

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-195150

(P2017-195150A)

(43) 公開日 平成29年10月26日(2017.10.26)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 37/02 (2006.01)	H05B 37/02 J	3K273
B60Q 1/14 (2006.01)	B60Q 1/14 Z	3K339

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2016-86250 (P2016-86250)
 (22) 出願日 平成28年4月22日 (2016.4.22)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2-1番地
 (74) 代理人 110001933
 特許業務法人 佐野特許事務所
 (72) 発明者 桂 幸司
 京都市右京区西院溝崎町2-1番地 ローム
 株式会社内
 (72) 発明者 村松 泰典
 京都市右京区西院溝崎町2-1番地 ローム
 株式会社内

最終頁に続く

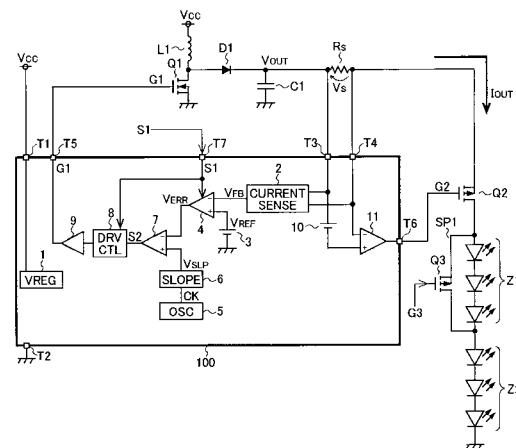
(54) 【発明の名称】 発光素子駆動用半導体集積回路、発光素子駆動装置、発光装置、車両

(57) 【要約】

【課題】 発光素子の点灯個数を減らしたときに発光素子に大電流が流れることを抑えることができる発光素子駆動用半導体集積回路を提供する。

【解決手段】 発光素子駆動用半導体集積回路(100)は、第1光源(Z1)と第2光源(Z2)とを第1光源が短絡されていないときに駆動し、第1光源が短絡されているときに第2光源を駆動し、且つ出力コンデンサ(C1)を有する発光素子駆動装置の少なくとも一部を構成する。発光素子駆動用半導体集積回路は、第1光源及び第2光源に直列接続される抵抗Rsの両端電圧に応じて、第1光源及び第2光源に直列接続される可変抵抗(Q2)の抵抗値を制御する制御部(10、11)を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

少なくとも一つの発光素子を含む第 1 光源と少なくとも一つの発光素子を含み前記第 1 光源に直列接続される第 2 光源とを前記第 1 光源が短絡されていないときに駆動し、前記第 1 光源が短絡されているときに前記第 2 光源を駆動し、且つ出力コンデンサを有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、

前記第 1 光源及び前記第 2 光源に直列接続される抵抗の両端電圧に応じて、前記第 1 光源及び前記第 2 光源に直列接続される可変抵抗の抵抗値を制御する制御部を有することを特徴とする発光素子駆動用半導体集積回路。

【請求項 2】

少なくとも一つの発光素子を含む第 1 光源と少なくとも一つの発光素子を含み前記第 1 光源に直列接続される第 2 光源とを前記第 1 光源が短絡されていないときに駆動し、前記第 1 光源が短絡されているときに前記第 2 光源を駆動し、且つ出力コンデンサを有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、

前記第 1 光源及び前記第 2 光源に直列接続される抵抗の両端電圧に応じて、前記第 1 光源を短絡する短絡経路に設けられる可変抵抗の抵抗値を制御する制御部を有することを特徴とする発光素子駆動用半導体集積回路。

【請求項 3】

前記制御部は、前記第 1 光源を短絡させないことを指示する信号を受け取った場合に、前記抵抗の両端電圧に応じて前記可変抵抗の抵抗値を制御する動作を停止し、前記可変抵抗の抵抗値を前記短絡経路が前記可変抵抗によって遮断状態になる値に制御する請求項 2 に記載の発光素子駆動用半導体集積回路。

【請求項 4】

前記制御部は、エラーアンプ及び定電圧源を有し、

前記抵抗の両端電圧が前記定電圧源によって補正されてから前記エラーアンプに供給される請求項 1 ~ 3 のいずれか一項に記載の発光素子駆動用半導体集積回路。

【請求項 5】

少なくとも一つの発光素子を含む第 1 光源と少なくとも一つの発光素子を含み前記第 1 光源に直列接続される第 2 光源とを前記第 1 光源が短絡されていないときに駆動し、前記第 1 光源が短絡されているときに前記第 2 光源を駆動する発光素子駆動装置であって、

入力電圧から出力電圧を生成し、且つ出力コンデンサを含む電源回路と、

前記第 1 光源を短絡する短絡経路と、

前記短絡経路に設けられるスイッチと、

前記第 1 光源及び前記第 2 光源に直列接続される抵抗と、

前記第 1 光源及び前記第 2 光源に直列接続される可変抵抗と、

前記抵抗の両端電圧に応じて、前記可変抵抗の抵抗値を制御する制御部と、

を有することを特徴とする発光素子駆動装置。

【請求項 6】

少なくとも一つの発光素子を含む第 1 光源と少なくとも一つの発光素子を含み前記第 1 光源に直列接続される第 2 光源とを前記第 1 光源が短絡されていないときに駆動し、前記第 1 光源が短絡されているときに前記第 2 光源を駆動する発光素子駆動装置であって、

入力電圧から出力電圧を生成し、且つ出力コンデンサを含む電源回路と、

前記第 1 光源を短絡する短絡経路と、

前記短絡経路に設けられ前記短絡経路の導通状態と遮断状態とを切り替える可変抵抗と

、前記第 1 光源及び前記第 2 光源に直列接続される抵抗と、

前記抵抗の両端電圧に応じて、前記可変抵抗の抵抗値を制御する制御部と、を有することを特徴とする発光素子駆動装置。

【請求項 7】

少なくとも一つの発光素子を含む第 1 光源と、

10

20

30

40

50

少なくとも一つの発光素子を含み前記第 1 光源に直列接続される第 2 光源と、

前記第 1 光源が短絡されていないときに前記 1 光源及び前記 2 光源駆動し、前記第 1 光源が短絡されているときに前記 2 光源を駆動する請求項 5 又は請求項 6 に記載の発光素子駆動装置と、を有することを特徴とする発光装置。

【請求項 8】

前記発光素子は、発光ダイオード、または、有機 EL 素子であることを特徴とする請求項 7 に記載の発光装置。

【請求項 9】

請求項 7 または請求項 8 に記載の発光装置を有し、前記発光装置がヘッドライトとして用いられることを特徴とする車両。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子駆動用半導体集積回路に関する。また、本発明は、発光素子駆動装置並びにこれを用いた発光装置及び車両に関する。

【背景技術】

【0002】

自動車のヘッドランプは、ロービームを照射するすれ違い用前照灯になっている状態と、ロービームよりも前方遠方まで届くハイビームを照射する走行用前照灯になっている状態とを切り替えることができる構成である。

【0003】

自動車のヘッドランプとして用いられる発光装置の一例が特許文献 1 に開示されている。特許文献 1 に開示されている発光装置 (LED 点灯回路) は、複数の発光素子を直列に接続し、走行用前照灯になっている状態では全ての発光素子を点灯させ、すれ違い用前照灯になっている状態では一部の発光素子を短絡させ残りの発光素子のみを点灯させる構成である。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2013 - 47047 号公報 (段落 0029 乃至 0033)

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 で開示されている発光装置 (LED 点灯回路) は、走行用前照灯になっている状態からすれ違い用前照灯になっている状態に切り替えるときに、発光素子を駆動する DC - DC コンバータの出力電圧が低下する。この出力電圧の低下により、DC - DC コンバータの出力コンデンサに蓄えられていた電荷が出力コンデンサから放出され、DC - DC コンバータの出力電流が一時的に過電流になり、短絡されていない LED に一時的に過電流が流れる。すなわち、走行用前照灯になっている状態からすれ違い用前照灯になっている状態に切り替えるときに、短絡されていない LED はダメージを受ける。

【0006】

特許文献 1 では、走行用前照灯になっている状態からすれ違い用前照灯になっている状態に切り替えるときに、LED の短絡を 2 段階で実施することで、上述した DC - DC コンバータの出力電圧を 2 段階で低下させ、過電流を小さくしている。

【0007】

しかしながら、特許文献 1 で開示されている発光装置 (LED 点灯回路) は、過電流の程度を小さくしているだけであり、過電流の根本的な解決には至っていない。このため、1 段階目の出力電圧低下で得られる所定の出力電圧 V_a の値および所定の出力電圧 V_a を維持する維持時間 t_1 の値は、過電流を所望値まで確実に小さくできるようにカット・アンド・トライにより実験的に最適値を見つける必要がある。LED の仕様変更あるいは L

10

20

30

40

50

ＥＤの個体ばらつきによって上記Ｖ_aおよび上記 t_1 の最適値が変わるため、特許文献１で開示されている発光装置（ＬＥＤ点灯回路）では、過電流を所望値まで小さくできていると保証することは困難であった。

【０００８】

本発明は、上記の状況に鑑み、発光素子の点灯個数を減らしたときに発光素子に大電流が流れることを抑えることができる発光素子駆動用半導体集積回路を提供することを目的とする。また、本発明は、上記の状況に鑑み、発光素子の点灯個数を減らしたときに発光素子に大電流が流れることを抑えることができる発光素子駆動装置並びにこれを用いた発光装置及び車両を提供することを目的とする。

【課題を解決するための手段】

10

【０００９】

本明細書中に開示されている第１の構成の発光素子駆動用半導体集積回路は、少なくとも一つの発光素子を含む第１光源と少なくとも一つの発光素子を含み前記第１光源に直列接続される第２光源とを前記第１光源が短絡されていないときに駆動し、前記第１光源が短絡されているときに前記第２光源を駆動し、且つ出力コンデンサを有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、前記第１光源及び前記第２光源に直列接続される抵抗の両端電圧に応じて、前記第１光源及び前記第２光源に直列接続される可変抵抗の抵抗値を制御する制御部を有する構成である。

【００１０】

本明細書中に開示されている第２の構成の発光素子駆動用半導体集積回路は、少なくとも一つの発光素子を含む第１光源と少なくとも一つの発光素子を含み前記第１光源に直列接続される第２光源とを前記第１光源が短絡されていないときに駆動し、前記第１光源が短絡されているときに前記第２光源を駆動し、且つ出力コンデンサを有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、前記第１光源及び前記第２光源に直列接続される抵抗の両端電圧に応じて、前記第１光源を短絡する短絡経路に設けられる可変抵抗の抵抗値を制御する制御部を有する構成である。

20

【００１１】

また、上記第２の構成の発光素子駆動用半導体集積回路において、前記制御部は、前記第１光源を短絡させないことを指示する信号を受け取った場合に、前記抵抗の両端電圧に応じて前記可変抵抗の抵抗値を制御する動作を停止し、前記可変抵抗の抵抗値を前記短絡経路が前記可変抵抗によって遮断状態になる値に制御する構成（第３の構成）であってもよい。

30

【００１２】

また、上記第１～第３いずれかの構成の発光素子駆動用半導体集積回路において、前記制御部は、エラーアンプ及び定電圧源を有し、前記抵抗の両端電圧が前記定電圧源によって補正されてから前記エラーアンプに供給される構成（第４の構成）であってもよい。

【００１３】

本明細書中に開示されている第５の構成の発光素子駆動装置は、少なくとも一つの発光素子を含む第１光源と少なくとも一つの発光素子を含み前記第１光源に直列接続される第２光源とを前記第１光源が短絡されていないときに駆動し、前記第１光源が短絡されているときに前記第２光源を駆動する発光素子駆動装置であって、入力電圧から出力電圧を生成し、且つ出力コンデンサを含む電源回路と、前記第１光源を短絡する短絡経路と、前記短絡経路に設けられ前記短絡経路の導通状態と遮断状態とを切り替えるスイッチと、前記第１光源及び前記第２光源に直列接続される抵抗と、前記第１光源及び前記第２光源に直列接続される可変抵抗と、前記抵抗の両端電圧に応じて、前記可変抵抗の抵抗値を制御する制御部と、を有する構成である。

40

【００１４】

本明細書中に開示されている第６の構成の発光素子駆動装置は、少なくとも一つの発光素子を含む第１光源と少なくとも一つの発光素子を含み前記第１光源に直列接続される第２光源とを前記第１光源が短絡されていないときに駆動し、前記第１光源が短絡されてい

50

るときに前記 2 光源を駆動する発光素子駆動装置であって、入力電圧から出力電圧を生成し、且つ出力コンデンサを含む電源回路と、前記第 1 光源を短絡する短絡経路と、前記短絡経路に設けられる可変抵抗と、前記第 1 光源及び前記第 2 光源に直列接続される抵抗と、前記抵抗の両端電圧に応じて、前記可変抵抗の抵抗値を制御する制御部と、を有する構成である。

【 0 0 1 5 】

本明細書中に開示されている発光装置は、少なくとも一つの発光素子を含む第 1 光源と、少なくとも一つの発光素子を含み前記第 1 光源に直列接続される第 2 光源と、前記第 1 光源が短絡されていないときに前記 1 光源及び前記 2 光源駆動し、前記第 1 光源が短絡されているときに前記 2 光源を駆動する上記第 5 または上記第 6 の構成の発光素子駆動装置と、を有する構成（第 7 の構成）である。

10

【 0 0 1 6 】

また、上記第 7 の構成の発光装置において、前記発光素子は、発光ダイオード、または、有機 EL 素子である構成（第 8 の構成）であってもよい。

【 0 0 1 7 】

本明細書中に開示されている車両は、上記第 7 または上記第 8 の構成の発光装置を有し、前記発光装置がヘッドライトとして用いられる構成（第 9 の構成）である。

【発明の効果】

【 0 0 1 8 】

本明細書中に開示されている発光素子駆動用半導体集積回路、発光素子駆動装置、発光装置、及び車両によれば、発光素子の点灯個数を減らしたときに発光素子に大電流が流れることを抑えることができる。

20

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】発光装置の第 1 構成例を示す図

【図 2】比較例におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

【図 3】図 1 に示す発光装置におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

【図 4】発光装置の第 2 構成例を示す図

【図 5】図 4 に示す発光装置におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

30

【図 6】発光装置の第 3 構成例を示す図

【図 7】図 6 に示す発光装置におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

【図 8】発光装置が搭載される車両の外観図

【図 9】LED ヘッドライトモジュールの外観図

【図 10】発光装置の変形例を示す図

【図 11】図 10 に示す発光装置におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

【発明を実施するための形態】

40

【 0 0 2 0 】

< 第 1 構成例 >

図 1 は、発光装置の第 1 構成例を示す図である。図 1 に示す発光装置は、発光素子駆動用 IC 100 と、コイル L 1 と、N チャネル型 MOS 電界効果トランジスタ（以下、NMOS トランジスタと称す）Q 1 と、ダイオード D 1 と、出力コンデンサ C 1 と、センス抵抗 R_s と、P チャネル型 MOS 電界効果トランジスタ（以下、PMOS トランジスタと称す）Q 2 と、短絡経路 SP 1 と、PMOS トランジスタ Q 3 と、を有する発光素子駆動装置を備える。また、図 1 に示す発光装置は、当該発光素子駆動装置の駆動対象である光源 Z 1 及び Z 2 を備える。なお、図 1 の構成例では、光源 Z 1 を 3 個の発光ダイオードによって構成しているが、発光ダイオードの個数は 3 個に限定されることはなく 1 個または 3

50

個以上であってもよい。光源 Z 2 についても同様である。

【0021】

発光素子駆動用 IC 100 は、基準電圧生成部 1 と、電流検出部 2 と、定電圧源 3 及び 10 と、エラーアンプ 4 及び 11 と、発振回路 5 と、スロープ電圧生成部 6 と、コンパレータ 7 と、ドライバ制御部 8 と、ドライバ 9 と、を集積化した半導体集積回路装置（いわゆる LED ドライバ IC）である。また、発光素子駆動用 IC 100 は、外部との電氣的な接続を確立するために外部端子 T 1 ~ T 7 を有する。

【0022】

コイル L 1 と、NMOS トランジスタ Q 1 と、ダイオード D 1 と、出力コンデンサ C 1 と、センス抵抗 R_s と、PMOS トランジスタ Q 2 及び Q 3 と、短絡経路 SP 1 と、光源 Z 1 及び Z 2 とが、発光素子駆動用 IC 100 に外部接続される。

10

【0023】

電源電圧 V_{cc} が外部端子 T 1 に印加され、外部端子 T 2 が接地される。電源電圧 V_{cc} がコイル L 1 の第 1 端に印加され、コイル L 1 の第 2 端は NMOS トランジスタ Q 1 のドレイン及びダイオード D 1 のアノードに接続される。NMOS トランジスタ Q 1 のソースは接地され、NMOS トランジスタ Q 1 のゲートは外部端子 T 5 に接続される。

【0024】

ダイオード D 1 のカソードは、出力コンデンサ C 1 の第 1 端、センス抵抗 R_s の第 1 端、及び外部端子 T 3 に接続される。出力コンデンサ C 1 の第 2 端は接地される。センス抵抗 R_s の第 2 端は外部端子 T 4 及び PMOS トランジスタ Q 2 のソースに接続される。PMOS トランジスタ Q 2 のゲートは外部端子 T 6 に接続され、PMOS トランジスタ Q 2 のドレインは光源 Z 1 のアノード及び短絡経路 SP 1 の第 1 端に接続される。短絡経路 SP 1 には PMOS トランジスタ Q 3 が設けられる。

20

【0025】

PMOS トランジスタ Q 3 は、ゲート信号 G 3 によってオン状態又はオフ状態に制御される。PMOS トランジスタ Q 3 のゲート信号 G 3 としては、例えばマイクロコンピュータ（不図示）、カメラモジュール（不図示）などから供給される信号を用いることができる。また、PMOS トランジスタ Q 3 のゲートとハイレベルの電圧を出力する第 1 電圧出力部とを接続するか PMOS トランジスタ Q 3 のゲートとローレベルの電圧を出力する第 2 電圧出力部とを接続するかを切り替えるスイッチを設け、当該スイッチが例えばマイクロコンピュータ（不図示）、カメラモジュール（不図示）などから出力される信号によって制御される構成であっても PMOS トランジスタ Q 3 のゲートにハイレベル又はローレベルのゲート信号 G 3 を供給することができる。

30

【0026】

PMOS トランジスタ Q 3 がオン状態であるときに、短絡経路 SP 1 は導通状態になり光源 Z 1 を短絡する。一方、PMOS トランジスタ Q 3 がオフ状態であるときに、短絡経路 SP 1 は遮断状態になり光源 Z 1 を短絡しない。光源 Z 1 のカソード及び短絡経路 SP 1 の第 2 端は光源 Z 2 のアノードに接続され、光源 Z 2 のカソードは接地される。

【0027】

続いて、発光素子駆動用 IC 100 に集積化された回路ブロック毎の概要を説明する。

40

【0028】

基準電圧生成部 1 は、外部端子 T 1 に印加される電源電圧 V_{cc} から基準電圧 V_{REG} を生成する。基準電圧 V_{REG} は他の回路ブロックの駆動電圧として用いられる。

【0029】

電流検出部 2 は、外部端子 T 3 と外部端子 T 4 との端子間電圧すなわちセンス抵抗 R_s の両端電圧 V_s を監視して、センス抵抗 R_s の両端電圧 V_s に応じた帰還電圧 V_{FB} を生成する。定電圧源 3 は、参照電圧 V_{REF} を生成する。

【0030】

エラーアンプ 4 は、非反転入力端（+）に印加される参照電圧 V_{REF} と、反転入力端（-）に印加される帰還電圧 V_{FB} との差分に応じた誤差電圧 V_{ERR} を生成する。ま

50

た、エラーアンプ 4 は、発光素子駆動用 IC 100 の外部から外部端子 T 7 を介して入力される PWM 調光信号 S 1 に応じてその出力動作が許可 / 禁止される。具体的に述べると、エラーアンプ 4 の出力動作は、PWM 調光信号 S 1 がハイレベルであるときに許可され、PWM 調光信号 S 1 がローレベルであるときに禁止される。

【0031】

発振回路 5 はクロック信号 CK を生成する。スロープ電圧生成部 6 は、クロック信号 CK を用いて三角波状または鋸波状のスロープ電圧 V_{SLP} を生成する。

【0032】

コンパレータ 7 は、反転入力端 (-) に印加される誤差電圧 V_{ERR} と非反転入力端 (+) に印加されるスロープ電圧 V_{SLP} とを比較し、その比較結果に応じた比較信号 S 2 を生成する。

10

【0033】

ドライバ制御部 8 は、比較信号 S 2 に応じてドライバ 9 を駆動することにより NMOS トランジスタ Q 1 のオン / オフ制御を行う。なお、ドライバ制御部 8 は、PWM 調光信号 S 1 に応じてその出力動作が許可 / 禁止される。具体的に述べると、ドライバ制御部 8 の出力動作は、PWM 調光信号 S 1 がハイレベルであるときに許可され、PWM 調光信号 S 1 がローレベルであるときに禁止される。したがって、発光素子駆動用 IC 100 は、PWM 調光信号 S 1 がハイレベルであるときに点灯制御を行い、PWM 調光信号 S 1 がローレベルであるときに消灯制御を行う。

【0034】

20

ドライバ 9 は、ドライバ制御部 8 からの指示に応じて NMOS トランジスタ Q 1 のゲート信号 G 1 を生成し外部端子 T 5 に出力する。

【0035】

定電圧源 10 はバイアス電圧 V_B を生成する。外部端子 T 3 と外部端子 T 4 との端子間電圧すなわちセンス抵抗 R_s の両端電圧 V_s は、定電圧源 10 によってバイアス電圧 V_B だけ差し引かれてからエラーアンプ 11 に供給される。エラーアンプ 11 は、非反転入力端 (+) と反転入力端 (-) の間に印加される入力電圧 ($V_s - V_B$) に応じた誤差信号を生成し外部端子 T 6 に出力する。外部端子 T 6 から出力されるエラーアンプ 11 の誤差信号は PMOS トランジスタ Q 2 のゲート信号 G 2 になる。バイアス電圧 V_B の値は、PMOS トランジスタ Q 3 がオン状態又はオフ状態のいずれかに固定されている場合におけるセンス抵抗 R_s の両端電圧 V_s の平均的な値 (例えば 0.2 V) に所定値 (例えば 0.01 V) を加えた値である。センス抵抗 R_s の両端電圧 V_s がバイアス電圧 V_B 以下であれば、エラーアンプ 11 の入力電圧 ($V_s - V_B$) が 0 以下になり、PMOS トランジスタ Q 2 は飽和特性領域で動作しドレイン - ソース間の抵抗は略一定になる。一方、センス抵抗 R_s の両端電圧 V_s がバイアス電圧 V_B より大きければ、エラーアンプ 11 の入力電圧 ($V_s - V_B$) が 0 より大きくなり、PMOS トランジスタ Q 2 は線形 (非飽和) 特性領域で動作しエラーアンプ 11 の誤差信号のレベルが大きいほどドレイン - ソース間の抵抗が大きくなる。

30

【0036】

ここで、ゲート信号 G 3 によって PMOS トランジスタ Q 3 がオフ状態からオン状態に切り替わると、光源 Z 1 のアノード電圧が光源 Z 1 及び Z 2 の順方向電圧の総和から光源 Z 2 のみの順方向電圧に急激に低下する。

40

【0037】

もし PMOS トランジスタ Q 2 を設けない構成 (比較例の構成) にすれば、センス抵抗 R_s の両端電圧 V_s 及び光源を駆動する発光素子駆動装置 (スイッチング電源装置) の出力電流 I_{OUT} は次のように変化する。光源を駆動する発光素子駆動装置 (スイッチング電源装置) の出力電圧 V_{OUT} である出力コンデンサ C 1 の第 1 端の電圧と光源 Z 1 のアノード電圧との電位差が全てセンス抵抗 R_s の両端にかかり、出力電流 I_{OUT} は一時的に大電流になる (図 2 参照)。その後、出力コンデンサ C 1 に蓄えられていた電荷が放出され、出力電圧 V_{OUT} が低下するにつれて出力電流 I_{OUT} は光源を駆動する発光素子

50

駆動装置（スイッチング電源装置）による定電流制御の目標値 I_{TG} に近づく。

【0038】

一方、本構成例では、PMOSトランジスタQ2を設けており、センス抵抗Rsの両端電圧Vsが大きいほど、PMOSトランジスタQ2におけるドレイン・ソース間の抵抗が大きくなり出力コンデンサC1の第1端と光源Z1のアノードとの間の抵抗が大きくなる。したがって、光源Z1のアノード電圧が光源Z1及びZ2の順方向電圧の総和から光源Z2のみの順方向電圧に急激に低下するときに出力電流 I_{OUT} が増加することを抑制することができる。

【0039】

< 第2構成例 >

図4は、発光装置の第2構成例を示す図である。図4に示す発光装置は、PMOSトランジスタQ2を短絡経路SP1に設けた点で図1に示す発光装置と異なっており、それ以外の点で図1に示す発光装置と同一の構成である。図5は、図4に示す発光装置におけるセンス抵抗Rsの両端電圧Vs及び出力電流 I_{OUT} を示すタイムチャートである。

【0040】

図1に示す発光装置では、ゲート信号G3によってPMOSトランジスタQ3がオフ状態からオン状態に切り替わると、直ちに短絡経路SP1が遮断状態から導通状態に切り替わっている。このため、エラーアンプ11が高速応答でないアンプである場合には、出力電流 I_{OUT} が増加することを抑制する動作が遅れ、その遅延期間に出力電流 I_{OUT} が大電流になるおそれがある。

【0041】

これに対して、図4に示す発光装置では、ゲート信号G3によってPMOSトランジスタQ3がオフ状態からオン状態に切り替わっても、PMOSトランジスタQ2のゲート信号G2がハイレベルから緩やかにローレベルに移行し（図5参照）、PMOSトランジスタQ2におけるソース・ドレイン間の抵抗が緩やかに減少するため、短絡経路SP1が遮断状態から緩やかに導通状態に移行する。このため、エラーアンプ11が高速応答でないアンプである場合でも、出力電流 I_{OUT} が増加することを抑制する動作が遅れない。したがって、図4に示す発光装置は、エラーアンプ11が高速応答でないアンプである場合でも、PMOSトランジスタQ3がオフ状態からオン状態に切り替わった直後に出力電流 I_{OUT} が増加することを抑制することができる。

【0042】

< 第3構成例 >

図6は、発光装置の第3構成例を示す図である。図6に示す発光装置は、PMOSトランジスタQ3を取り除き尚且つ発光素子駆動用IC100に外部端子T8を設けた点で図4に示す発光装置と異なっており、それ以外の点で図4に示す発光装置と同一の構成である。図7は、図6に示す発光装置におけるセンス抵抗Rsの両端電圧Vs及び出力電流 I_{OUT} を示すタイムチャートである。

【0043】

外部端子T8は、第1光源Z1を短絡させないことを指示する信号S3、すなわち短絡経路SP1を遮断状態にすることを指示する信号S3を発光素子駆動用IC100の外部から入力するための端子である。

【0044】

第1光源Z1を短絡させないことを指示する信号S3としては、例えばマイクロコンピュータ（不図示）、カメラモジュール（不図示）などから供給される信号を用いることができる。また、外部端子T8とハイレベルの電圧を出力する第1電圧出力部とを接続するか外部端子T8とローレベルの電圧を出力する第2電圧出力部とを接続するかを切り替えるスイッチを発光素子駆動用IC100の外部に設け、当該スイッチが例えばマイクロコンピュータ（不図示）、カメラモジュール（不図示）などから出力される信号によって制御される構成であっても、第1光源Z1を短絡させないことを指示する信号S3の外部端子T8への供給／非供給を切り替えることができる。この場合、外部端子T8に供給され

10

20

30

40

50

るハイレベルの電圧信号、ローレベルの電圧信号のいずれ一方が第 1 光源 Z 1 を短絡させないことを指示する信号 S 3 となる。

【 0 0 4 5 】

第 1 光源 Z 1 を短絡させないことを指示する信号 S 3 が外部端子 T 8 に入力されると、エラーアンプ 1 1 は、非反転入力端 (+) と反転入力端 (-) の間に印加される入力電圧 ($V_s - V_B$) に応じた誤差信号を生成する動作を停止し、ハイレベルの信号を外部端子 T 6 に出力する。これにより、P M O S トランジスタ Q 2 のゲート信号 G 2 がハイレベルになるので P M O S トランジスタ Q 2 がオフ状態になり短絡経路 S P 1 が遮断状態になる。

【 0 0 4 6 】

図 6 に示す発光装置は、図 4 に示す発光装置と同様に、エラーアンプ 1 1 が高速応答でないアンプである場合でも、P M O S トランジスタ Q 3 がオフ状態からオン状態に切り替わった直後に出力電流 I_{OUT} が増加することを抑制することができる。また、図 6 に示す発光装置は、図 4 に示す発光装置と比較して発光素子駆動用 I C 1 0 0 に外付けされる部品を減らすことができる。

【 0 0 4 7 】

< 用途 >

上記した発光装置は、例えば、図 8 で示す車両 X 1 0 のヘッドライト X 1 1 として好適に用いることができる。

【 0 0 4 8 】

なお、上述した発光装置は、図 9 の L E D ヘッドライトモジュール Y 1 0 として提供されるものであってもよい。また、上述した発光装置から発光ダイオード及び発光素子駆動用 I C の外付け部品などを取り除いた半製品である駆動装置の形態で提供されてもよい。

【 0 0 4 9 】

< その他の変形例 >

なお、上記の実施形態では、発光素子として発光ダイオードを用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、例えば、発光素子として有機 E L [electro-luminescence] 素子を用いることも可能である。

【 0 0 5 0 】

また、図 1 に示す発光装置に N M O S トランジスタ Q 4 及び逆流防止用のダイオード D 2 を追加して図 1 0 に示す構成にしてもよい。N M O S トランジスタ Q 4 のドレインは光源 Z 2 のカソード及びダイオード D 2 のアノードに接続される。N M O S トランジスタ Q 4 のソースは接地される。ダイオード D 2 のカソードに電源電圧 V_{CC} が供給される。図 1 1 に示す通り、P M O S トランジスタ Q 3 がオフ状態からオン状態に切り替わる直前に N M O S トランジスタ Q 4 がオン状態からオフ状態に切り替わる。これにより、短絡経路 S P 1 が導通状態であるときの光源 Z 2 のカソード電圧を高くすることができるため、短絡経路 S P 1 が導通状態であるときの出力電圧 V_{OUT} の減少を抑えることができる。

【 0 0 5 1 】

N M O S トランジスタ Q 4 は、ゲート信号 G 4 によってオン状態又はオフ状態に制御される。N M O S トランジスタ Q 4 のゲート信号 G 4 としては、例えばマイクロコンピュータ (不図示) 、カメラモジュール (不図示) などから供給される信号を用いることができる。また、N M O S トランジスタ Q 4 のゲートとハイレベルの電圧を出力する第 1 電圧出力部とを接続するか N M O S トランジスタ Q 4 のゲートとローレベルの電圧を出力する第 2 電圧出力部とを接続するかを切り替えるスイッチを設け、当該スイッチが例えばマイクロコンピュータ (不図示) 、カメラモジュール (不図示) などから出力される信号によって制御される構成であっても N M O S トランジスタ Q 4 のゲートにハイレベル又はローレベルのゲート信号 G 4 を供給することができる。

【 0 0 5 2 】

なお、図 4 に示す発光装置又は図 6 に示す発光装置に対しても、図 1 に示す発光装置と同様に、N M O S トランジスタ Q 4 及び逆流防止用のダイオード D 2 を追加する変形が可

10

20

30

40

50

能である。

【 0 0 5 3 】

また、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、上記実施形態では、スイッチング電源回路の出力段を昇圧型とした構成を例に挙げたが、出力段の構成はこれに限定されるものではなく、降圧型、昇降圧型、S E P I C型のいずれにも容易に対応することが可能である。また、センス抵抗 R_s を光源 Z_2 のカソード側に設けてもよい。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

10

【 符号の説明 】

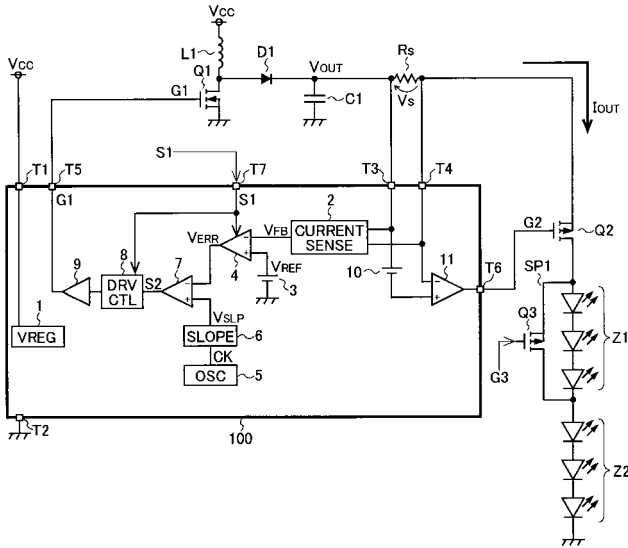
【 0 0 5 4 】

- 1 基準電圧生成部
- 2 電流検出部
- 3、10 定電圧源
- 4、11 エラーアンプ
- 5 発振回路
- 6 スロープ電圧生成部
- 7 コンパレータ
- 8 ドライバ制御部
- 9 ドライバ
- 100 発光素子駆動用 I C
- C1 出力コンデンサ
- D1、D2 ダイオード
- L1 コイル
- Q1、Q4 N M O S トランジスタ
- Q2、Q3 P M O S トランジスタ
- R_s センス抵抗
- S P 1 短絡経路
- T1 ~ T8 外部端子
- Z1、Z2 光源
- X10 車両
- X11 ヘッドライト
- Y10 L E D ヘッドライトモジュール

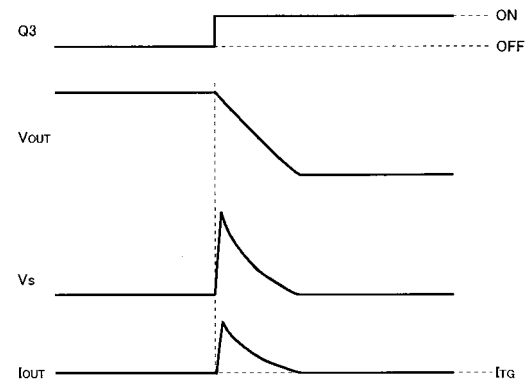
20

30

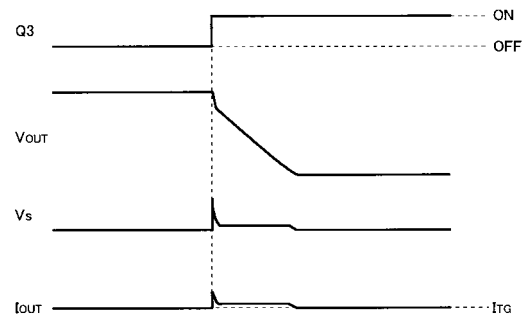
【図 1】



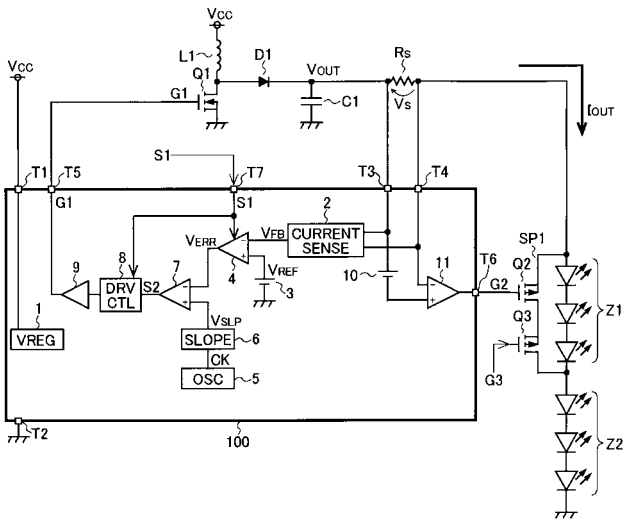
【図 2】



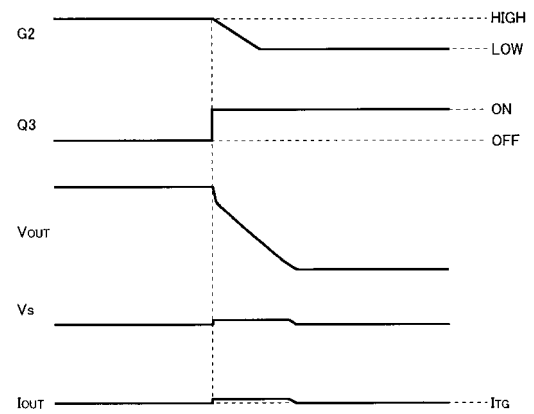
【図 3】



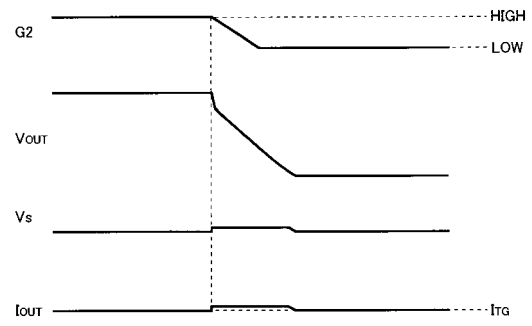
【図 4】



【図 5】

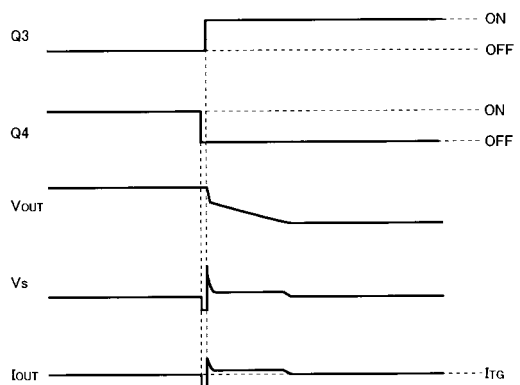


【 図 7 】



A line drawing of a car, viewed from the front-left. Callout X10 points to the front-left headlight. Callout X11 points to the front-left bumper area.

【 ㄨ 1 1 】



フロントページの続き

F ターム(参考) 3K273 AA02 BA22 BA27 BA34 CA02 CA03 CA12 CA25 DA08 EA07
EA25 EA35 EA36 EA44 FA07 FA14 FA26 FA38 FA41 GA05
GA14 GA22 GA28 GA29
3K339 AA02 BA01 BA11 CA01 DA01 GB01 JA02 JA05 JA21 JA22
KA07 LA06 MA01 MC04 MC41 MC90