(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年4月15日(15.04.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/070495 A1

(51) 国際特許分類:
H03K 17/08 (2006.01) *H02M 1/08* (2006.01)
H03K 17/567 (2006.01) *H02M 7/48* (2007.01)
H02M 1/00 (2007.01)

(21) 国際出願番号： PCT/JP2020/032077

(22) 国際出願日： 2020年8月25日(25.08.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-187442 2019年10月11日(11.10.2019) JP

(71) 出願人: 富士電機株式会社 (**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 岡山 健一 (**OKAYAMA, Kenichi**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

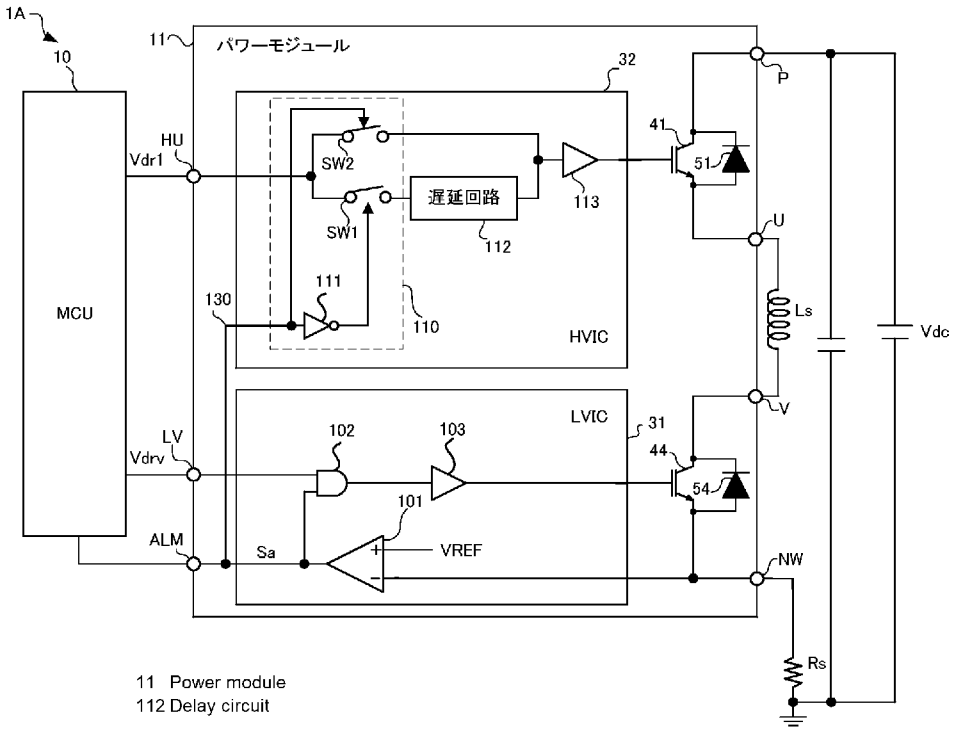
(74) 代理人: 一色国際特許業務法人 (**ISSHIKI & CO.**); 〒1080073 東京都港区三田三丁目１１番３６号三田日東ダイビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

WO 2021/070495 A1

(54) **Title:** SWITCHING CONTROL CIRCUIT, DRIVE CONTROL DEVICE, AND SWITCHING CONTROL METHOD

(54) 発明の名称： スイッチング制御回路、駆動制御装置及びスイッチング制御方法



(57) **Abstract:** This switching control circuit controls switching of a first switching element in a bridge circuit including the first switching element on a power supply side and a second switching element on a ground side connected in series to the first switching element via a load, and comprises: an output circuit that when the current of the first and second switching elements becomes an overcurrent and the second switching element is turned off, delays a first drive signal for turning off the first switching element for a predetermined period and outputs the delayed first drive signal, and when the

［続葉有］

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

current does not become the overcurrent, outputs a second drive signal for switching the first switching element; and a drive circuit for driving the first switching element on the basis of the output of the output circuit.

(57) 要約:スイッチング制御回路は、電源側の第1スイッチング素子と、前記第1スイッチング素子に、負荷を介して直列に接続される、接地側の第2スイッチング素子と、を備えるブリッジ回路のうちの前記第1スイッチング素子のスイッチングを制御するスイッチング制御回路であって、前記第1及び第2スイッチング素子の電流が過電流となり、前記第2スイッチング素子がオフされる場合、前記第1スイッチング素子をオフするための第1駆動信号を所定期間遅延させて出力し、前記電流が前記過電流とならない場合、前記第1スイッチング素子をスイッチングするための第2駆動信号を出力する出力回路と、前記出力回路の出力に基づいて前記第1スイッチング素子を駆動する駆動回路と、を備える。

明　細　書

発明の名称 ：

スイッチング制御回路、駆動制御装置及びスイッチング制御方法

技術分野

[0001]　本発明は、スイッチング制御回路、駆動制御装置及びスイッチング制御方法に関する。

背景技術

[0002]　スイッチング素子のスイッチングを制御するスイッチング制御回路がある（例えば、特許文献１）。

先行技術文献

特許文献

[0003] 特許文献1：特開２００４－３０４５２７号公報

発明の概要

発明が解決しようとする課題

[0004]　ところで、３相モータを駆動するための複数のスイッチング素子を駆動する駆動装置は、負荷短絡による過電流を遮断するために、下アームのスイッチング素子をオフした後、上アームのスイッチング素子をオフすることがある。この時、上アームのスイッチング素子に生じる電圧により、上アームのスイッチング素子がダメージを受ける場合がある。

[0005]　本発明は、上記のような従来の問題に鑑みてなされたものであって、その目的は、上アームのスイッチング素子がダメージを受けることを防ぐことができるスイッチング制御回路、駆動制御装置及びスイッチング制御方法を提供することにある。

課題を解決するための手段

[0006]　前述した課題を解決する本発明にかかるスイッチング制御回路は、電源側の第１スイッチング素子と、前記第１スイッチング素子に、負荷を介して直

列に接続される、接地側の第２スイッチング素子と、を備えるブリッジ回路のうちの前記第１スイッチング素子のスイッチングを制御するスイッチング制御回路であって、前記第１及び第２スイッチング素子の電流が過電流となり、前記第２スイッチング素子がオフされる場合、前記第１スイッチング素子をオフするための第１駆動信号を所定期間遅延させて出力し、前記電流が前記過電流とならない場合、前記第１スイッチング素子をスイッチングするための第２駆動信号を出力する出力回路と、前記出力回路の出力に基づいて前記第１スイッチング素子を駆動する駆動回路と、を備える。

[0007] 前述した課題を解決する本発明にかかる半導体装置は、電源側の第１スイッチング素子と、前記第１スイッチング素子に、負荷を介して直列に接続される、接地側の第２スイッチング素子と、前記第１スイッチング素子のスイッチングを制御するスイッチング制御回路と、前記第１及び第２スイッチング素子の電流が過電流か否かを示す信号を前記スイッチング制御回路に直接出力する検出回路と、を備え、前記スイッチング制御回路は、前記第１及び第２スイッチング素子の電流が前記過電流となり、前記検出回路からの前記信号が前記過電流を示し、前記第２スイッチング素子がオフされる場合、前記第１スイッチング素子をオフするための第１駆動信号を所定期間遅延させて出力し、前記電流が前記過電流とならない場合、前記第１スイッチング素子をスイッチングするための第２駆動信号を出力する出力回路と、前記出力回路の出力に基づいて前記第１スイッチング素子を駆動する駆動回路と、を備える。

[0008] 前述した課題を解決する本発明にかかる駆動制御装置は、電源側の第１スイッチング素子と、前記第１スイッチング素子に、負荷を介して直列に接続される、接地側の第２スイッチング素子と、前記第１スイッチング素子および前記第２スイッチング素子を制御する制御信号を出力する制御回路と、高電圧側駆動回路と、低電圧側駆動回路と、を備える駆動制御装置であって、前記高電圧側駆動回路は、前記制御信号に基づいて、前記第１スイッチング素子を駆動し、前記低電圧側駆動回路は、前記制御信号に基づいて、前記第

２スイッチング素子を駆動し、前記制御回路は、前記第２スイッチング素子を流れる電流が過電流となると、所定期間をカウントするカウンタと、前記電流が過電流となると、前記第２スイッチング素子をオフするための前記制御信号を前記低電圧側駆動回路へ出力し、前記所定期間がカウントされると、前記第１スイッチング素子をオフするための前記制御信号を前記高電圧側駆動回路へ出力する信号出力回路と、を備える。

[0009] 前述した課題を解決する本発明にかかる、スイッチング制御方法は、電源側の第１スイッチング素子と、前記第１スイッチング素子に、負荷を介して直列に接続される、接地側の第２スイッチング素子と、を備えるブリッジ回路のうちの、前記第１スイッチング素子と、第２スイッチング素子と、のスイッチングを制御するスイッチング制御方法であって、前記第２スイッチング素子を流れる電流が過電流となると、前記第２スイッチング素子をオフし、前記電流が過電流となると、所定期間経過後前記第１スイッチング素子をオフする。

発明の効果

[0010] 本発明によれば、上アームのスイッチング素子がダメージを受けることを防ぐことができるスイッチング制御回路、駆動制御装置及びスイッチング制御方法を提供することができる。

図面の簡単な説明

[0011] [図1]ＭＣＵ１０と、パワーモジュール１１と、の構成の一例を示す図である。

[図2]ブリッジ回路３０に流れる過電流の経路の一例を示す図である。

[図3]ＨＶＩＣ３２の構成の一例を示す図である。

[図4]遅延回路１１２の構成の一例を示す図である。

[図5]パワーモジュール１１の動作を説明するための図である。

[図6]ＨＶＩＣ２００の構成の一例を示す図である。

[図7]パワーモジュール１５の動作を説明するための図である。

[図8]ＨＶＩＣ３２とＨＶＩＣ２００の動作概念を説明するための図である。

[図9]駆動制御装置１Ｃの構成の一例を示す図である。

[図10]ＩＧＢＴ４１，４４のスイッチング制御方法を示す図である。

発明を実施するための形態

[0012] 関連出願の相互参照

この出願は、２０１９年１０月１１日に出願された日本特許出願、特願２０１９－１８７４４２に基づく優先権を主張し、その内容を援用する。

[0013] 本明細書及び添付図面の記載により、少なくとも以下の事項が明らかとなる。

[0014] ＝＝＝＝＝本実施形態＝＝＝＝＝

図１は、ＭＣＵ１０と、本発明の一実施形態であるパワーモジュール１１と、の構成を示す図である。

[0015] ＜＜＜ＭＣＵ１０の説明＞＞＞

制御回路（例えば、ＭＣＵ（Ｍｉｃｒｏ Ｃｏｎｔｒｏｌ Ｕｎｉｔ））１０は、ユーザの指示等でパワーモジュール１１を制御するために駆動信号Ｖｄｒ１，Ｖｄｒ２，Ｖｄｒ３，Ｖｄｒｕ，Ｖｄｒｖ，Ｖｄｒｗを出力する。ＭＣＵ１０には、低電圧側駆動回路３１（以下、ＬＶＩＣ）（後述）からの、抵抗Ｒｓ（後述）に流れる電流が過電流であるか否かを示すＡＬＭ信号Ｓａが入力される。

[0016] ＭＣＵ１０は、抵抗Ｒｓに流れる電流が過電流であることを示すＡＬＭ信号Ｓａを受けると、順次、ＩＧＢＴ４１～４６のうち、下アームのＩＧＢＴをオフし、上アームのＩＧＢＴをオフする駆動信号Ｖｄｒ１～Ｖｄｒ３，Ｖｄｒｕ～Ｖｄｒｗを出力する。

[0017] ＜＜＜パワーモジュール１１の説明＞＞＞

パワーモジュール１１は、３相モータ１２を駆動する半導体装置であり、電力変換用のブリッジ回路３０、ＬＶＩＣ３１、高電圧側駆動回路３２～３４（以下、ＨＶＩＣ）、端子ＨＵ，ＨＶ，ＨＷ，ＬＵ，ＬＶ，ＬＷ，ＡＬＭ，Ｐ，Ｕ，Ｖ，Ｗ，ＮＵ，ＮＶ，ＮＷ，ＣＯＭを含む。

[0018] ブリッジ回路３０は、３相モータ１２を駆動するＩＧＢＴ（Insulated Gat

e Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ）４１～４６、ＦＷＤ（Free Wheeling Diode：還流ダイオード）５１～５６を含んで構成される。

[0019] ＩＧＢＴ４１，４２は、Ｕ相のスイッチング素子であり、ＩＧＢＴ４１，４２の夫々には、ＦＷＤ５１，５２が設けられている。ＩＧＢＴ４３，４４は、Ｖ相のスイッチング素子であり、ＩＧＢＴ４３，４４の夫々には、ＦＷＤ５３，５４が設けられている。ＩＧＢＴ４５，４６は、W相のスイッチング素子であり、ＩＧＢＴ４５，４６の夫々には、ＦＷＤ５５，５６が設けられている。

[0020] なお、本実施形態では、パワーモジュール１１のスイッチング素子として、ＩＧＢＴ４１～４６が用いられたが、例えばパワーＭＯＳトランジスタであっても良い。その場合、ＦＷＤ５１～５６は、ボディダイオードとなる。

[0021] 抵抗Ｒｓは、ブリッジ回路３０に流れる電流を検出する抵抗である。端子Ｐには、電源電圧Ｖｄｃが印加され、端子Ｕ，Ｖ，Ｗには、負荷である３相モータ１２が設けられ、端子ＮＵ，ＮＶ，ＮWは抵抗Ｒｓを介して接地されている。

[0022] ＬＶＩＣ３１は、端子ＬＵ，ＬＶ，ＬＷを介して入力される駆動信号Ｖｄｒｕ，Ｖｄｒｖ，Ｖｄｒｗに基づいて、下アームのＩＧＢＴ４２，４４，４６をスイッチングするための集積回路である。ＬＶＩＣ３１は、抵抗Ｒｓに流れる電流を検出し、ＡＬＭ信号Ｓａを生成するコンパレータ（後述）を含む。

[0023] なお、ＡＬＭ信号Ｓａは、抵抗Ｒｓに流れる電流が過電流の場合、例えば、ローレベル（以下、Ｌレベルとする）となり、抵抗Ｒｓに流れる電流が過電流でない場合、ハイレベル（以下、Ｈレベルとする）となる。

[0024] ＨＶＩＣ３２～３４の夫々は、端子ＨＵ，ＨＶ，ＨＷを介して入力される駆動信号Ｖｄｒ１，Ｖｄｒ２，Ｖｄｒ３と、ＬＶＩＣ３１からのＡＬＭ信号Ｓａと、に基づいて、上アームのＩＧＢＴ４１，４３，４５のスイッチングを制御する集積回路である。

[0025] ブリッジ回路３０は、通常、３相モータ１２を回転させるために３相モータ１２内の３つのコイル（不図示）にそれぞれ電流を流す。具体的には、ブリッジ回路３０は、端子Ｕ，Ｖ，Ｗのそれぞれに接続された、上アームのＩＧＢＴ４１，４３，４５と、下アームのＩＧＢＴ４２，４４，４６との組み合わせをスイッチングすることにより、異なるコイルに電流を流す。

[0026] 例えば、上アームのＵ相のＩＧＢＴ４１と、下アームのＶ相のＩＧＢＴ４４と、が同時にオンされると、３相モータ１２内のコイルを介して端子Ｕから端子Ｖに電流が流れる。他の相間の組み合わせも同様であるため説明を省略する。これにより、ブリッジ回路３０は、例えば、それぞれ１２０度、位相がずれた駆動電流を端子Ｕ，Ｖ，Ｗから出力するため、３相モータ１２は、駆動電流に応じた速度で回転する。

[0027] ＜＜＜ブリッジ回路３０内の過電流の経路＞＞＞

図２は、ブリッジ回路３０に流れる過電流の経路の一例を示す図である。図２は、過電流の経路を示すのに必要な要素のみを示している。

[0028] 端子Ｕ，Ｖ，Ｗの夫々の間の電流経路付近にゴミや埃が付着することで、微小インダクタンスＬｓを有する導通経路が生じ、端子Ｕ，Ｖ，Ｗの夫々の間に負荷短絡が発生する。発生した負荷短絡は、端子Ｕ，Ｖ，Ｗを夫々駆動するＩＧＢＴに過電流を流す。

[0029] そして、図２中の過電流の経路Ｐ１（点線で示す）は、例えば、端子Ｕと、端子Ｖと、の間に負荷短絡が発生した際に生じる過電流の経路である。他の端子間で負荷短絡が生じた場合には、異なる経路で過電流が流れる。しかしながら、その過電流が流れる原理は、端子Ｕと、端子Ｖと、の間に負荷短絡による過電流が流れる原理と同様であるので、説明を省略する。

[0030] 以下で、端子Ｕと、端子Ｖと、の間に負荷短絡が生じた場合の過電流の経路Ｐ１，Ｐ２（一点鎖線で示す）について説明する。

[0031] ＬＶＩＣ３１と、ＨＶＩＣ３２と、が、３相モータ１２を介して接続された、上アームのＵ相のＩＧＢＴ４１と、下アームのＶ相のＩＧＢＴ４４と、をそれぞれ同時にオンし、３相モータ１２を駆動することがある。この時、

端子Ｕと、端子Ｖと、の間に負荷短絡が生じると、過電流は、微小インダクタンスＬｓを介して電源側から接地側まで経路Ｐ１に沿って流れる。

[0032] 詳細は後述するが、ＬＶＩＣ３１が、過電流を抵抗Ｒｓで検知すると、ＬＶＩＣ３１は、ＩＧＢＴ４４をオフする。ＩＧＢＴ４４がオフされると、ＩＧＢＴ４４に流れる電流ＩｃＬは、遮断される。その結果、過電流が流れる経路は、経路Ｐ１から経路Ｐ２になる。この時、過電流は、ＦＷＤ５３を流れる際に熱に変換され、過電流の電流量は時間と共に低減される。

[0033] その後、上アームのＵ相のＩＧＢＴ４１をオフするための駆動信号Ｖｄｒ１がＭＣＵ１０からＨＶＩＣ３２に入力されると、ＨＶＩＣ３２は、ＩＧＢＴ４１をオフする。そして、負荷短絡による過電流は、遮断される。

[0034] 上述の通り、過電流が発生する原因は、上下アーム短絡（負荷短絡）であることが多く、過電流は、一般に、ＩＧＢＴ４１の定格電流の十倍から数十倍である。そのため、ＨＶＩＣ３２が、ＩＧＢＴ４１をオフする場合、一般に、遮断におけるｄｉ／ｄｔが急峻となる。

[0035] ＨＶＩＣ３２がＩＧＢＴ４１をオフする際のＩＧＢＴ４１のコレクタ・エミッタ間に発生する電圧ピークＶＣＥＰは、オフ時のｄｉ／ｄｔと、微小インダクタンスＬｓと、上下アーム電源電圧Ｖｄｃと、を用いて、以下の式で表される。

[0036] ＶＣＥＰ＝Ｖｄｃ＋Ｌｓ×ｄｉ／ｄｔ　　・・・（１）

例えば、Ｖｄｃ＝４００Ｖ、Ｌｓ＝１００ｎＨ、ｄｉ／ｄｔ＝３ｋＡ／ｕｓとした場合、ＶＣＥＰ＝７００Ｖとなる。これは、ＩＧＢＴ４１の絶対最大定格が６００Ｖである場合、ＩＧＢＴ４１のコレクタ・エミッタ間の電圧の絶対最大定格を超える電圧となる。

[0037] なお、ＩＧＢＴ４１が、「第１スイッチング素子」に相当し、ＩＧＢＴ４４が、「第２スイッチング素子」に相当し、３相モータ１２は、「負荷」に相当する。また、ブリッジ回路３０は、「ブリッジ回路」に相当する。

[0038] さらに、ＦＷＤ５３は、「還流ダイオード」に相当する。ここで、「接続」とは、電気的に接続されることを指し、間に他の素子が含まれている場合

も含む。

[0039] 以下、過電流が流れる際、上アームのＩＧＢＴを保護すべく、パワーモジュール１１に設けられた、ＬＶＩＣ３１、ＨＶＩＣ３２～３４等の詳細を説明する。

[0040] ＜＜ＬＶＩＣ３１の構成＞＞

図３のＬＶＩＣ３１は、下アームのＵ相，Ｖ相，Ｗ相のＩＧＢＴ４２，４４，４６を駆動するとともに、抵抗Ｒｓに流れる電流を検出し、抵抗Ｒｓに流れる電流が過電流か否かを示すＡＬＭ信号Ｓａを生成する回路である。

[0041] ここでは、便宜上、ＩＧＢＴ４２，４４，４６のうち、ＩＧＢＴ４４を駆動する回路について記載し、他を省略する。

[0042] ＬＶＩＣ３１は、ＡＬＭ信号Ｓａを生成するコンパレータ１０１と、下アームのＶ相のＩＧＢＴ４４を駆動するための回路である、ＡＮＤ素子１０２、バッファ１０３とを含んで構成される。

[0043] コンパレータ１０１は、抵抗ＲｓのＬＶＩＣ３１側の電圧ＶＲｓを検出することによって、ＡＬＭ信号Ｓａを生成する。コンパレータ１０１は、電圧ＶＲｓが、閾値電圧ＶＲＥＦを超えると、例えば、ＩＧＢＴ４１，４４の電流が過電流となることを示すＬレベルを出力する。

[0044] 一方、コンパレータ１０１は、電圧ＶＲｓが、閾値電圧ＶＲＥＦを超えない場合、ＩＧＢＴ４１，４４の電流が過電流とはなっていないことを示すＨレベルを出力する。ここで、閾値電圧ＶＲＥＦは、過電流判定閾値に基づいて決定される。ＡＬＭ信号Ｓａは、ＭＣＵ１０と、配線１３０を介して直接ＨＶＩＣ３２と、に入力されている。

[0045] また、ＡＮＤ素子１０２には、ＭＣＵ１０からの駆動信号Ｖｄｒｖと、コンパレータ１０１の出力と、が入力される。そして、ＡＮＤ素子１０２は、コンパレータ１０１の出力がＨレベルである時、駆動信号Ｖｄｒｖをバッファ１０３に出力し、コンパレータ１０１の出力がＬレベルである時、Ｌレベルの信号をバッファ１０３に出力する。

[0046] この結果、コンパレータ１０１の出力がＨレベルであり、過電流を示さな

い場合、ＡＮＤ素子１０２は、下アームのＶ相のＩＧＢＴ４４を駆動するための駆動信号Ｖｄｒｖをバッファ１０３に出力する。バッファ１０３は、ＡＮＤ素子１０２の出力に基づいて、下アームのＶ相のＩＧＢＴ４４を駆動する。なお、コンパレータ１０１は、「検出回路」に相当する。

[0047] ＜＜＜ＨＶＩＣ３２の構成＞＞＞

図３のＨＶＩＣ３２は、ＡＬＭ信号ＳａがＨレベルであり、過電流となっていないことを示す場合、ＩＧＢＴ４１をスイッチングするための駆動信号Ｖｄｒ１を出力する。一方、ＨＶＩＣ３２は、ＡＬＭ信号ＳａがＬレベルであり、過電流となったことを示す場合、ＩＧＢＴ４１をオフするための駆動信号Ｖｄｒ１を遅延させて出力する。

[0048] ＨＶＩＣ３２は、選択回路１１０と、遅延回路１１２と、駆動回路１１３と、を含んで構成される。なお、ＨＶＩＣ３３，３４についても同様であるため、省略する。

[0049] なお、ＨＶＩＣ３２は、「スイッチング制御回路」に相当し、ＩＧＢＴ４１をオフするための駆動信号Ｖｄｒ１は、「第１駆動信号」に相当し、ＩＧＢＴ４１をスイッチングするための駆動信号Ｖｄｒ１は、「第２駆動信号」に相当する。

[0050] ＜＜選択回路１１０＞＞

選択回路１１０は、ＡＬＭ信号ＳａがＬレベルである場合、ＩＧＢＴ４１をオフするための駆動信号Ｖｄｒ１を遅延回路１１２（後述）に出力し、ＡＬＭ信号ＳａがＨレベルである場合、駆動信号Ｖｄｒ１を駆動回路１１３（後述）に出力する回路である。

[0051] 選択回路１１０は、駆動信号Ｖｄｒ１を遅延回路１１２に出力するスイッチＳＷ１と、駆動信号Ｖｄｒ１を駆動回路１１３に出力するスイッチＳＷ２と、インバータ１１１と、を含んで構成される。

[0052] ＡＬＭ信号ＳａがＬレベルである場合、ＳＷ１がオンされ、ＳＷ２がオフされる。その結果、駆動信号Ｖｄｒ１は、遅延回路１１２に出力される。反対に、ＡＬＭ信号ＳａがＨレベルである場合、ＳＷ２がオンされ、ＳＷ１が

オフされる。その結果、駆動信号Ｖｄｒ１は、駆動回路１１３に出力される。

[0053] また、選択回路１１０は、配線１３０を介してＬＶＩＣ３１のコンパレータ１０１の出力と接続される。これにより、ＭＣＵ１０からの制御によらず、選択回路１１０は、ＳＷ１及びＳＷ２を切り替えることができる。なお、ＡＬＭ信号Ｓａは、「電流が過電流か否かを示す信号」に相当する。

[0054] ＜＜遅延回路１１２＞＞

遅延回路１１２は、ＭＣＵ１０が、ＩＧＢＴ４１をオフすることを指示する、Ｌレベルである駆動信号Ｖｄｒ１を所定期間Ｔａ遅延させて出力する回路である。図４は、遅延回路１１２の構成の一例を示す図である。図４に示すように、遅延回路１１２は、タイマ回路１２１と、ＳＲフリップフロップ１２２と、を含んで構成される。タイマ回路１２１は、駆動信号Ｖｄｒ１の立下りから所定期間Ｔａカウントし、カウント完了時にＨレベルの信号を出力する。

[0055] そして、ＳＲフリップフロップ１２２のＳ入力には、駆動信号Ｖｄｒ１が入力され、Ｒ入力には、タイマ回路１２１の出力が接続され、ＳＲフリップフロップ１２２のＱ出力は、駆動回路１１３（後述）に接続される。この結果、Ｌレベルである駆動信号Ｖｄｒ１のみが所定期間Ｔａだけ遅延される。

[0056] また、所定期間Ｔａは、駆動信号Ｖｄｒ１がＬレベルになった後、ＩＧＢＴ４１に流れる電流ＩｃＨが過電流より小さくなるまでの第１期間をＴ１とすると、Ｔａ≧Ｔ１を満たすように設定される。

[0057] さらに、所定期間Ｔａは、駆動信号Ｖｄｒ１がＬレベルになった後、ＩＧＢＴ４１に印可される電圧ＶｃｅＨが、ＩＧＢＴ４１のコレクタ・エミッタ間の電圧値の絶対最大定格を超えない電圧値となるまでの第２期間をＴ２とすると、Ｔａ≧Ｔ２を満たすように設定される。

[0058] さらに、所定期間Ｔａは、駆動信号Ｖｄｒ１がＬレベルになった後、電流ＩｃＨが、ＩＧＢＴ４１のアバランシェ破壊が生じる電流値より小さくなるまでの第３期間をＴ３とすると、Ｔａ≧Ｔ３を満たすように設定される。

[0059] また、所定期間Ｔａは、図示しない記憶装置（例えば、ＥＰＲＯＭ等）に記憶された値に応じて設定されても良い。なお、選択回路１１０は、「選択回路」に相当し、遅延回路１１２は、「遅延回路」に相当し、選択回路１１０と、遅延回路１１２と、を合わせたものは、「出力回路」に相当する。

[0060] ＜＜駆動回路１１３＞＞

駆動回路１１３は、選択回路１１０の出力または遅延回路１１２の出力に応じて、ＩＧＢＴ４１を駆動する回路である。なお、駆動回路１１３は、「駆動回路」に相当する。

[0061] ＜＜＜パワーモジュール１１の動作＞＞＞

図５は、パワーモジュール１１のＵ端子と、Ｖ端子と、の間に負荷短絡が発生した場合の動作を説明するための図である。ここでは、図２及び図３を参照する。

[0062] 図５の駆動信号Ｖｄｒ１及び駆動信号Ｖｄｒｖは、それぞれＩＧＢＴ４１，４４を駆動する信号を示している。

[0063] 時刻ｔ０において、ＩＧＢＴ４１，４４をオンするための駆動信号Ｖｄｒ１及び駆動信号ＶｄｒｖがＨレベルとなる。そして、ＩＧＢＴ４１，４４がオンされることによって、ＩＧＢＴ４１，４４のコレクタ・エミッタ間電圧であるＶｃｅＨ及びＶｃｅＬは、Ｌレベルに低下する。また、ＩＧＢＴ４１に流れる電流ＩｃＨ及びＩＧＢＴ４４に流れる電流ＩｃＬが増加する。

[0064] この時、電流ＩｃＨ及び電流ＩｃＬが経路Ｐ１に沿って抵抗Ｒｓに流れるので、抵抗ＲｓのＬＶＩＣ３１側の電圧ＶＲｓは、上昇し始める。

[0065] 時刻ｔ０～ｔ１の間に、ＩＧＢＴ４４に流れる電流ＩｃＬとＩＧＢＴ４４のオン抵抗とによって、電圧Ｖｃｅは、徐々に上昇する。同様に、ＩＧＢＴ４１に流れる電流ＩｃＨとＩＧＢＴ４１のオン抵抗とによって、電圧ＶｃｅＨは、徐々に上昇する。

[0066] 時刻ｔ１において、電圧ＶＲｓが過電流判定閾値に達すると、ＬＶＩＣ３１内のコンパレータ１０１は、ＡＬＭ信号ＳａをＬレベルとする。

[0067] ＡＬＭ信号ＳａがＬレベルであるため、選択回路１１０のスイッチＳＷ１

はオンされ、スイッチＳＷ２はオフされ、選択回路１１０は、駆動信号Ｖｄｒ１を遅延回路１１２に出力する。

[0068] ＬレベルであるＡＬＭ信号ＳａがＭＣＵ１０に出力され、ＭＣＵ１０での処理時間が経過し、時刻ｔ２となると、ＭＣＵ１０は、駆動信号Ｖｄｒ１をＬレベルとし、ＨＶＩＣ３２に出力する。

[0069] そして、遅延回路１１２のタイマ回路１２１は、Ｌレベルである駆動信号Ｖｄｒ１の立下りから所定期間Ｔａカウントし、Ｌレベルである駆動信号Ｖｄｒ１を遅延させる。その結果、駆動回路１１３の出力に示される通り、ＩＧＢＴ４１をオフするタイミングは遅延される。

[0070] 時刻ｔ２～ｔ３の間に、過電流は、ＦＷＤ５３で熱に変換され、低減される。

[0071] 時刻ｔ２から所定期間Ｔａ経過後の時刻ｔ３において、ＨＶＩＣ３２は、ＩＧＢＴ４１をオフする。ここでは、所定期間Ｔａ＞Ｔ１，Ｔ２，Ｔ３であるため、ＩＧＢＴ４１がダメージを受けることを防ぐことができる。

[0072] ＜＜＜ＨＶＩＣ２００の構成＞＞＞

図６は、ＨＶＩＣ２００の構成の一例を示す図である。ＨＶＩＣ２００は、ＨＶＩＣ３２から選択回路１１０、遅延回路１１２を除去した回路である。そのため、説明は省略する。

[0073] ＜＜＜パワーモジュール１５の動作＞＞＞

図７は、パワーモジュール１５の動作を説明するための図である。図５と同様の箇所に関しては説明を省略する。

[0074] ＨＶＩＣ２００は、ＨＶＩＣ３２の遅延回路１１２を有していない。この相違点に基づき、ＨＶＩＣ２００は、ＩＧＢＴ４１をオフするための駆動信号Ｖｄｒ１を所定期間Ｔａの間遅延させない。

[0075] また、時刻ｔ１１において電圧ＶＲｓが過電流判定閾値に達すると、Ｌレベルであるアラーム信号ＳａがＭＣＵ１０に出力され、ＭＣＵ１０での処理時間が経過し、時刻ｔ１２となると、ＭＣＵ１０は、駆動信号Ｖｄｒ１をＬレベルとし、ＨＶＩＣ２００に出力する。

[0076] その結果、時刻ｔ１２にＩＧＢＴ４１はオフされ、電圧ＶｃｅＨは瞬時に絶対最大定格を超えてしまう。これにより、ＩＧＢＴ４１はダメージを受けることがある。

[0077] ＜＜＜ＨＶＩＣ３２とＨＶＩＣ２００の動作概念の説明＞＞＞

図８は、ＨＶＩＣ３２とＨＶＩＣ２００の動作概念を説明するための図である。図８中のハッチング部分は、電流ＩｃＨが流れている状態でスイッチング素子をオフした場合に、ＶｃｅＨのピークがスイッチング素子の絶対最大定格を超えない領域を示す。

[0078] ＨＶＩＣ２００の動作点は、例えば、ハッチング部分の外側の点Ｘ１である。そして、電流ＩｃＨ１でスイッチング素子がオフされるため、ＶｃｅＨのピークは、スイッチング素子の絶対最大定格を超えるＶｃｅＨ１になる。

[0079] 一方、ＨＶＩＣ３２の動作点は、ハッチング部分の内側の点Ｘ２である。これにより、スイッチング素子をオフする際の電流ＩｃＨが、電流ＩｃＨ１よりも低減された電流ＩｃＨ２となる。そして、低減された電流ＩｃＨ２でスイッチング素子がオフされるため、ＶｃｅＨのピークは、スイッチング素子の絶対最大定格を超えないＶｃｅＨ２になる。

[0080] ＝＝＝変形例＝＝＝

点Ｘ２で動作させるには、所定期間ＴａでＩＧＢＴ４１をオフしたが、これに限られない。

[0081] 抵抗Ｒｓが電源側に接続され、ＨＶＩＣ３２が抵抗Ｒｓに流れる電流による電圧降下に基づいて過電流を検出し、上アームのＩＧＢＴ４１がオフされることとしてもよい。

[0082] また、例えば、遅延回路１１２によって、ＩＧＢＴ４１をオフするための駆動信号Ｖｄｒ１を遅延させることにした。しかしながら、ＩＧＢＴ４１に加えセンス用のＩＧＢＴ（不図示）を用いて、センス用のＩＧＢＴの電流が、ハッチング部分の内側の点になると、駆動回路１１３に上アームのＩＧＢＴをオフさせても良い。これにより、ＨＶＩＣ３２がＩＧＢＴ４１をオフする際にＩＧＢＴ４１が受けるダメージが防止される。

[0083] また、第２期間Ｔ２は、ＩＧＢＴ４１として使用する素子が異なる絶対最大定格を有する系列のうちの１つであるとした場合、系列中の最も大きい絶対最大定格を有する素子に必要とされるだけの期間よりも長くなるように設定してもよい。これにより、同じ系列中の異なる絶対最大定格を有する素子のために個別に所定期間Ｔａを設定せずに済む。

[0084] 図９は、駆動制御装置１Ｃの構成の一例を示す図である。上述の実施形態ではパワーモジュール１１がＩＧＢＴ４１，４４をオフする制御を説明したが、図９に示す通り、駆動制御装置１Ｃ中の制御回路１６によってＩＧＢＴ４１，４４をオフする制御が行われても良い。駆動制御装置１Ｃは、パワーモジュール１４と、制御回路１６と、を含んで構成される。パワーモジュール１４は、電力変換用のブリッジ回路３０、ＬＶＩＣ３１ａ、ＨＶＩＣ３２ａ～３４ａ、端子ＨＵ，ＨＶ，ＨＷ，ＬＵ，ＬＶ，ＬＷ，ＡＬＭ，Ｐ，Ｕ，Ｖ，Ｗ，ＮＵ，ＮＶ，ＮＷ，ＣＯＭを含む。図９においては、便宜上、ＬＶＩＣ３１ａと、ＨＶＩＣ３２ａと、ＩＧＢＴ４１，４４と、ＦＷＤ５１，５４と、端子ＨＵ，ＬＶ，ＡＬＭ，Ｐ，Ｕ，Ｖ，ＮＷと、についてのみ図示されている。

[0085] 制御回路１６は、カウンタ１４１と、信号出力回路１４２と、を含んで構成される。カウンタ１４１は、ＩＧＢＴ４４を流れる電流が過電流となると、所定期間をカウントする。信号出力回路１４２は、ＩＧＢＴ４４を流れる電流が過電流となると、ＩＧＢＴ４４をオフするための制御信号Ｖｄｒｖを ＬＶＩＣ３１ａへ出力し、所定期間がカウントされると、ＩＧＢＴ４１をオフするための制御信号Ｖｄｒ１をＨＶＩＣ３２ａへ出力する。図９の構成でもＩＧＢＴ４１がダメージを受けることを防ぐことができる。

[0086] ＜＜ＩＧＢＴ４１，４４のスイッチングを制御する方法＞＞

図１０は、駆動制御装置１Ａ，１Ｂ，１Ｃによって実行され、ＩＧＢＴ４４に過電流が流れた際に、ＩＧＢＴ４１，４４をオフする方法の一例を示す図である。

[0087] まず、駆動制御装置１Ａ，１Ｂ，１Ｃは、ＩＧＢＴ４４を流れる電流が過

電流となると、ＩＧＢＴ４４をオフする（Ｓ１０１０）。

[0088] つぎに、駆動制御装置１Ａ，１Ｂ，１Ｃは、ＩＧＢＴ４４を流れる電流が過電流となると、所定期間経過後ＩＧＢＴ４１をオフする（Ｓ１０２０）。この結果、ＩＧＢＴ４１がダメージを受けることを防ぐことができる。

[0089] ＝＝＝まとめ＝＝＝

以上、本実施形態のパワーモジュール１１について説明した。ＬＶＩＣ３１が下アームのＩＧＢＴ４４をオフした後、ＨＶＩＣ３２は、上アームのＩＧＢＴ４１をオフするための駆動信号Ｖｄｒ１を所定期間Ｔａ遅らせる。これにより、ＩＧＢＴ４１に流れる電流は低減され、ＩＧＢＴ４１をオフする際の過電流のｄｉ／ｄｔを低減する。この結果、電圧ＶｃｅＨのピークが小さくなり、電圧ＶｃｅＨが、ＩＧＢＴ４１の絶対最大定格を超えることは防止される。また、ＨＶＩＣ３２は、ＩＧＢＴ４１のアバランシェ破壊の発生を防止できる。さらに、ＨＶＩＣ３２を用いることで、ＭＣＵ１０の動作を変更することなく、及び、ＭＣＵ１０のユーザがパワーモジュール１１の機能を詳細に検討することなく、以前と変わりなくパワーモジュール１１を利用することができる。このように、ＨＶＩＣ３２を用いたパワーモジュール１１は、ユーザの利便性を向上させ、その上、上述した効果をもたらすことができる。

[0090] また、出力回路は、選択回路１１０と、遅延回路１１２と、を備える。遅延回路１１２は、過電流発生時、ＩＧＢＴ４１をオフするための駆動信号Ｖｄｒ１を所定期間Ｔａ遅らせることによって、上述した効果をもたらす。

[0091] また、選択回路１１０には、ＬＶＩＣ３１からのＡＬＭ信号ＳａがＭＣＵ１０を介さず直接入力される。これは、ＭＣＵ１０を変更しなくとも下アームからの信号で、過電流発生時、ＩＧＢＴ４１をオフし、ＭＣＵ１０の処理負荷を減らすことができる。

[0092] また、過電流発生後、ＬＶＩＣ３１がＩＧＢＴ４４をオフした後、過電流は、ＦＷＤ５３を介して流れる。ＦＷＤ５３に過電流が流れることによって、過電流は熱に変換されるため、電流を低下させることができる。

[0093] また、遅延回路１１２の所定期間Ｔａが、負荷短絡による電流が過電流よりも小さくなるまでの期間よりも長く設定されると、ＨＶＩＣ３２がＩＧＢＴ４１をオフする際にＩＧＢＴ４１が受けるダメージが防止される。

[0094] また、遅延回路１１２の所定期間Ｔａが、ＨＶＩＣ３２がＩＧＢＴ４１をオフする際にＩＧＢＴ４１に印可される電圧が、絶対最大定格を超えない電圧値になるまでの期間よりも長く設定されると、確実に、ＩＧＢＴ４１が受けるダメージが防止される。

[0095] また、遅延回路１１２の所定期間Ｔａが、ＨＶＩＣ３２がＩＧＢＴ４１をオフする際にＩＧＢＴ４１に流れる電流が、ＩＧＢＴ４１のアバランシェ破壊が生じる電流値より小さくなるまでの期間よりも長く設定されると、ＩＧＢＴ４１が受けるダメージが防止される。

[0096] また、遅延回路１１２の所定期間Ｔａの設定が、記憶装置（例えば、ＥＰＲＯＭ等）に記憶されると、ＩＧＢＴ４１の仕様や、使用目的等に従って、所定期間Ｔａを個別に設定することができる。

[0097] また、上述した制御は、制御回路（例えば、ＭＣＵ）１６によっても行われることができる。

[0098] また、スイッチング素子のスイッチングを制御するスイッチング制御方法は、駆動制御装置１Ａ，１Ｂ，１Ｃなどの装置によって使用される。しかしながら、この方法を使用する装置はこれらに限られない。

[0099] 上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。また、本発明は、その趣旨を逸脱することなく、変更や改良され得るとともに、本発明にはその等価物が含まれるのはいうまでもない。

符号の説明

[0100] １０，１６　制御回路，ＭＣＵ

１１，１５　パワーモジュール

１２　３相モータ

３０　ブリッジ回路

３１，３１ａ　低電圧側駆動回路

３２～３４，３２ａ，２００　高電圧側駆動回路

４１～４６　ＩＧＢＴ

５１～５６　ＦＷＤ

１０１　コンパレータ

１０２　ＡＮＤ素子

１０３　バッファ

１１０　選択回路

１１１　インバータ

１１２　遅延回路

１１３　駆動回路

１４１　カウンタ

１４２　信号出力回路

１Ａ，１Ｂ，１Ｃ　駆動制御装置

請求の範囲

[請求項1] 電源側の第１スイッチング素子と、前記第１スイッチング素子に、負荷を介して直列に接続される、接地側の第２スイッチング素子と、を備えるブリッジ回路のうちの前記第１スイッチング素子のスイッチングを制御するスイッチング制御回路であって、

前記第２スイッチング素子を流れる電流が過電流となり、前記第２スイッチング素子がオフされる場合、前記第１スイッチング素子をオフするための第１駆動信号を所定期間遅延させて出力する出力回路と、

前記出力回路の出力に基づいて前記第１スイッチング素子を駆動する駆動回路と、

を備えることを特徴とするスイッチング制御回路。

[請求項2] 請求項１に記載のスイッチング制御回路であって、

前記出力回路は、

前記第１駆動信号を前記所定期間遅延させて出力する遅延回路と、

前記電流が前記過電流となる場合、前記第１駆動信号を前記遅延回路に出力し、前記電流が前記過電流とならない場合、前記駆動回路に前記第１スイッチング素子をスイッチングするための第２駆動信号を出力する選択回路と、

を備えるスイッチング制御回路。

[請求項3] 請求項１または２に記載のスイッチング制御回路であって、

前記出力回路には、前記過電流を検出する検出回路から、前記電流が前記過電流か否かを示す信号が直接入力されること、

を特徴とするスイッチング制御回路。

[請求項4] 請求項１～３の何れか一項に記載のスイッチング制御回路であって、

前記ブリッジ回路は、

前記第２スイッチング素子がオフされると、前記第１スイッチング

素子の電流を流す還流ダイオード

をさらに備えることを特徴とするスイッチング制御回路。

[請求項5] 請求項１～４の何れか一項に記載のスイッチング制御回路であって、

前記所定期間は、前記第１駆動信号が入力された後、前記第１スイッチング素子に流れる前記電流が、前記過電流より小さくなるまでの第１期間より長いこと、

を特徴とするスイッチング制御回路。

[請求項6] 請求項１～４の何れか一項に記載のスイッチング制御回路であって、

前記所定期間は、前記第１駆動信号が入力された後、前記第１スイッチング素子に印可される電圧が、前記第１スイッチング素子の電圧値の絶対最大定格を超えない電圧値となるまでの第２期間より長いこと、

を特徴とするスイッチング制御回路。

[請求項7] 請求項１～４の何れか一項に記載のスイッチング制御回路であって、

前記所定期間は、前記第１駆動信号が入力された後、前記電流が、前記第１スイッチング素子のアバランシェ破壊が生じる電流値より小さくなるまでの第３期間よりも長いこと、

を特徴とするスイッチング制御回路。

[請求項8] 請求項５～７の何れか一項に記載のスイッチング制御回路であって、

前記所定期間は、記憶装置に記憶された値に応じて設定されること、

を特徴とするスイッチング制御回路。

[請求項9] 電源側の第１スイッチング素子と、前記第１スイッチング素子に、負荷を介して直列に接続される、接地側の第２スイッチング素子と、

前記第１スイッチング素子および前記第２スイッチング素子を制御する制御信号を出力する制御回路と、高電圧側駆動回路と、低電圧側駆動回路と、を備える駆動制御装置であって、

前記高電圧側駆動回路は、前記制御信号に基づいて、前記第１スイッチング素子を駆動し、

前記低電圧側駆動回路は、前記制御信号に基づいて、前記第２スイッチング素子を駆動し、

前記制御回路は、

前記第２スイッチング素子を流れる電流が過電流となると、所定期間をカウントするカウンタと、

前記電流が過電流となると、前記第２スイッチング素子をオフするための前記制御信号を前記低電圧側駆動回路へ出力し、前記所定期間がカウントされると、前記第１スイッチング素子をオフするための前記制御信号を前記高電圧側駆動回路へ出力する信号出力回路と、

を備えること、

を特徴とする駆動制御装置。

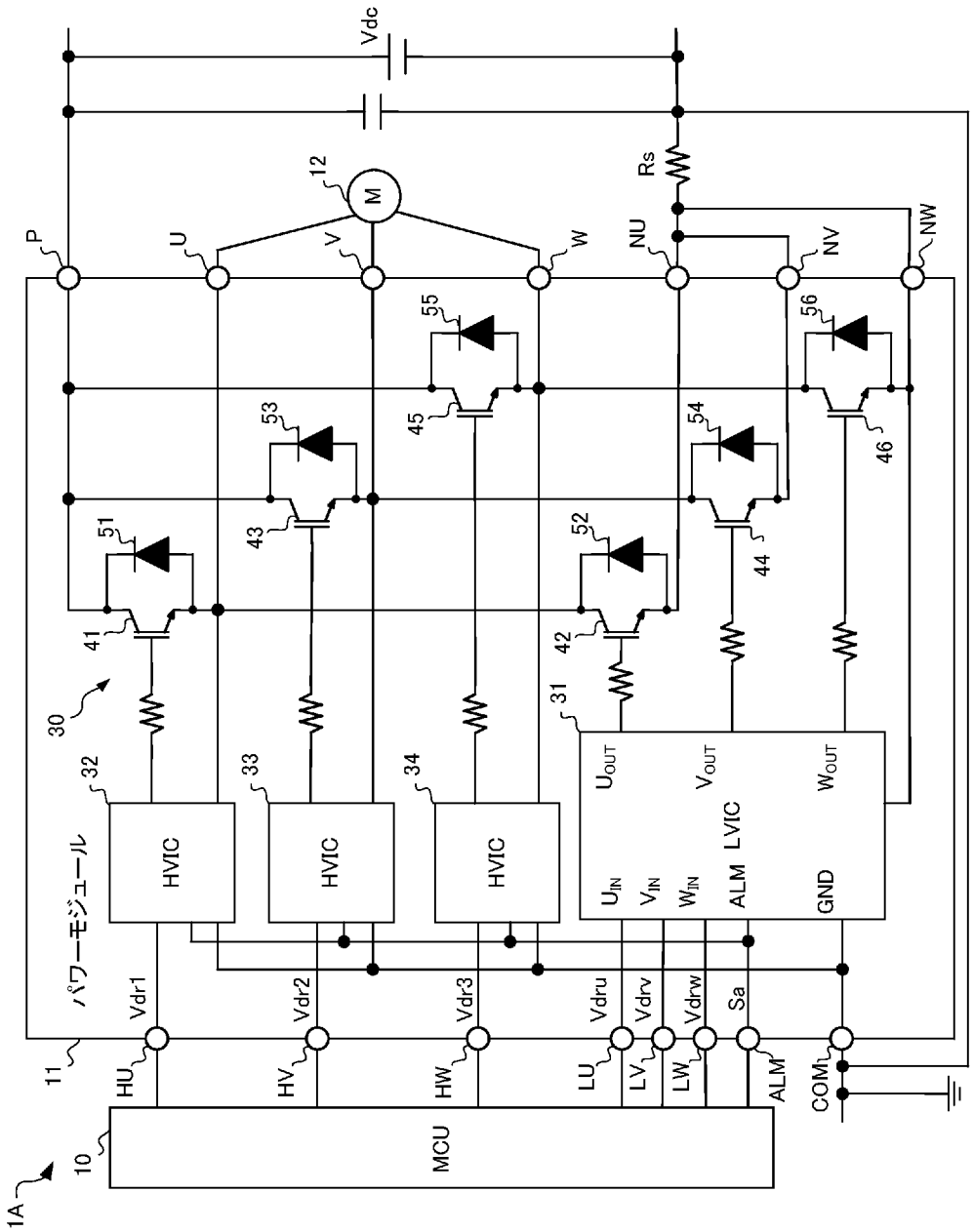
[請求項10] 電源側の第１スイッチング素子と、前記第１スイッチング素子に、負荷を介して直列に接続される、接地側の第２スイッチング素子と、を備えるブリッジ回路のうちの、前記第１スイッチング素子と、第２スイッチング素子と、のスイッチングを制御するスイッチング制御方法であって、

前記第２スイッチング素子を流れる電流が過電流となると、前記第２スイッチング素子をオフし、

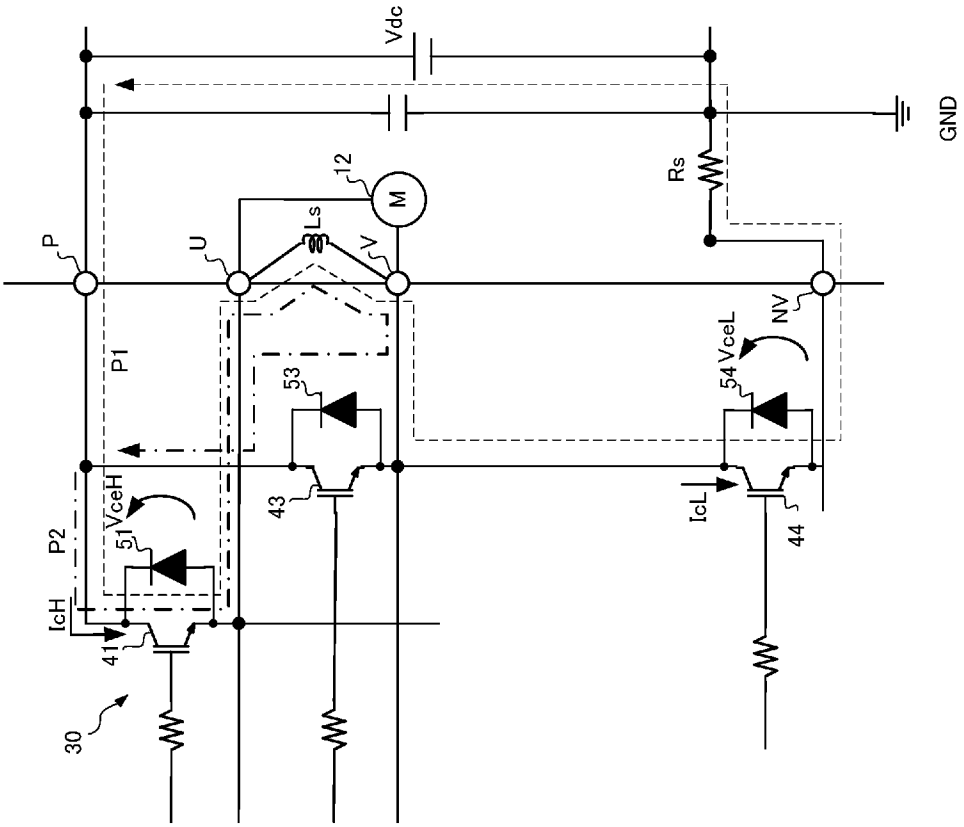
前記電流が過電流となると、所定期間経過後前記第１スイッチング素子をオフすること、

を特徴とするスイッチング制御方法。

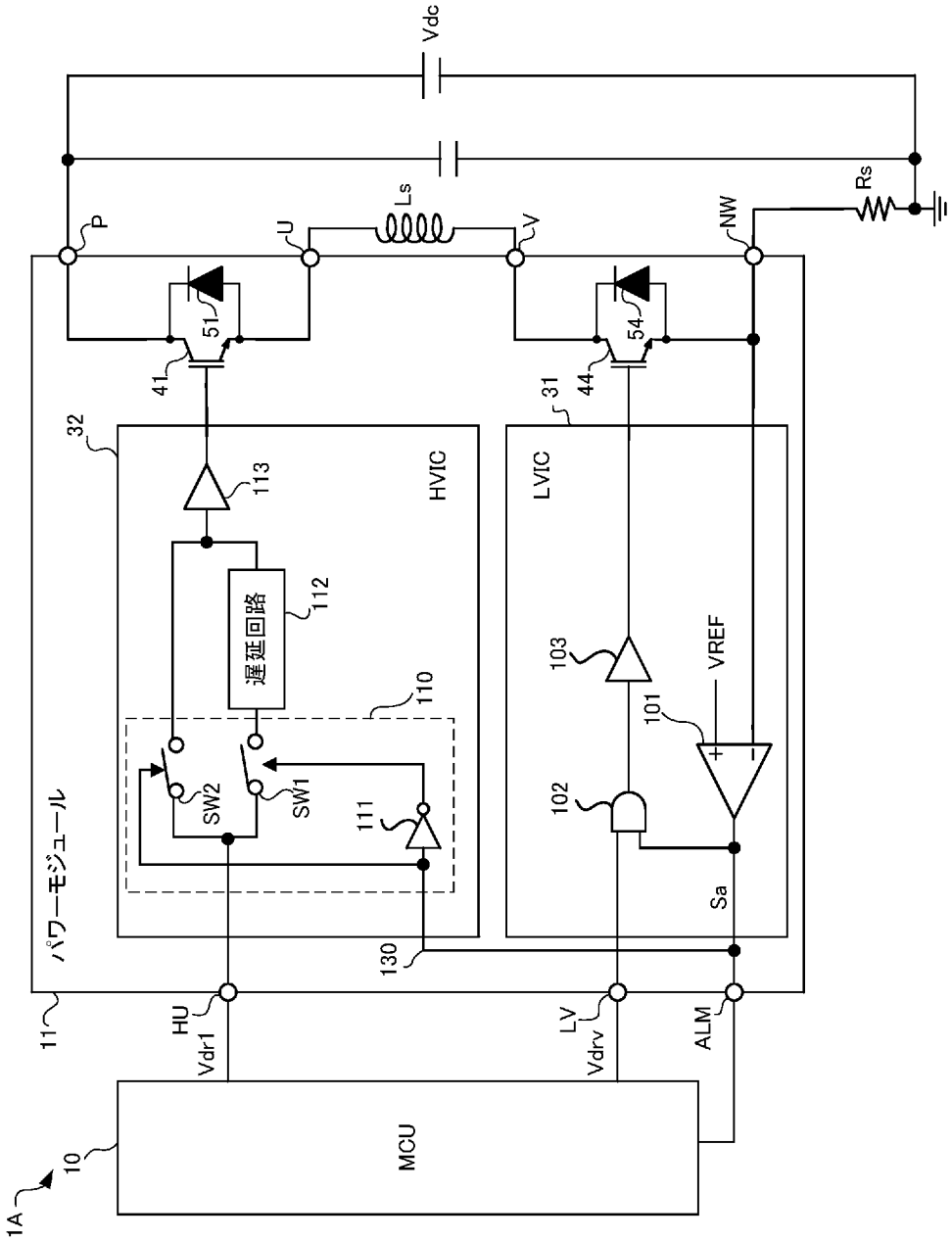
[図1]


Vdc
12
M
Rs
P
U
V
W
NU
NV
NW
55
56
53
54
45
46
43
44
51
52
41
42
30
31
32
33
34
HVIC
HVIC
HVIC
LVIC
U_{OUT}
V_{OUT}
W_{OUT}
U_{IN}
V_{IN}
W_{IN}
ALM
GND
パワーモジュール
Vdr1
Vdr2
Vdr3
Vdru
Vdrv
Vdrw
Sa
11
HU
HV
HW
LU
LV
LW
ALM
COM
MCU
10
1A

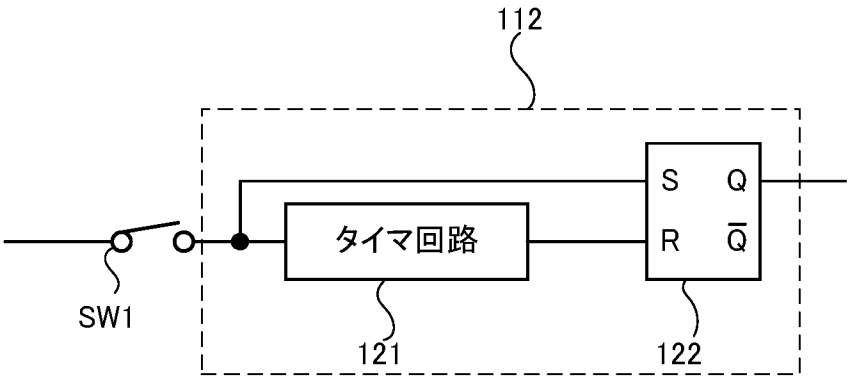
[図2]


Vdc
GND
Rs
12
M
Ls
P
U
V
NV
P1
P2
53
54
VceL
VceH
51
43
IcH
IcL
41
44
30

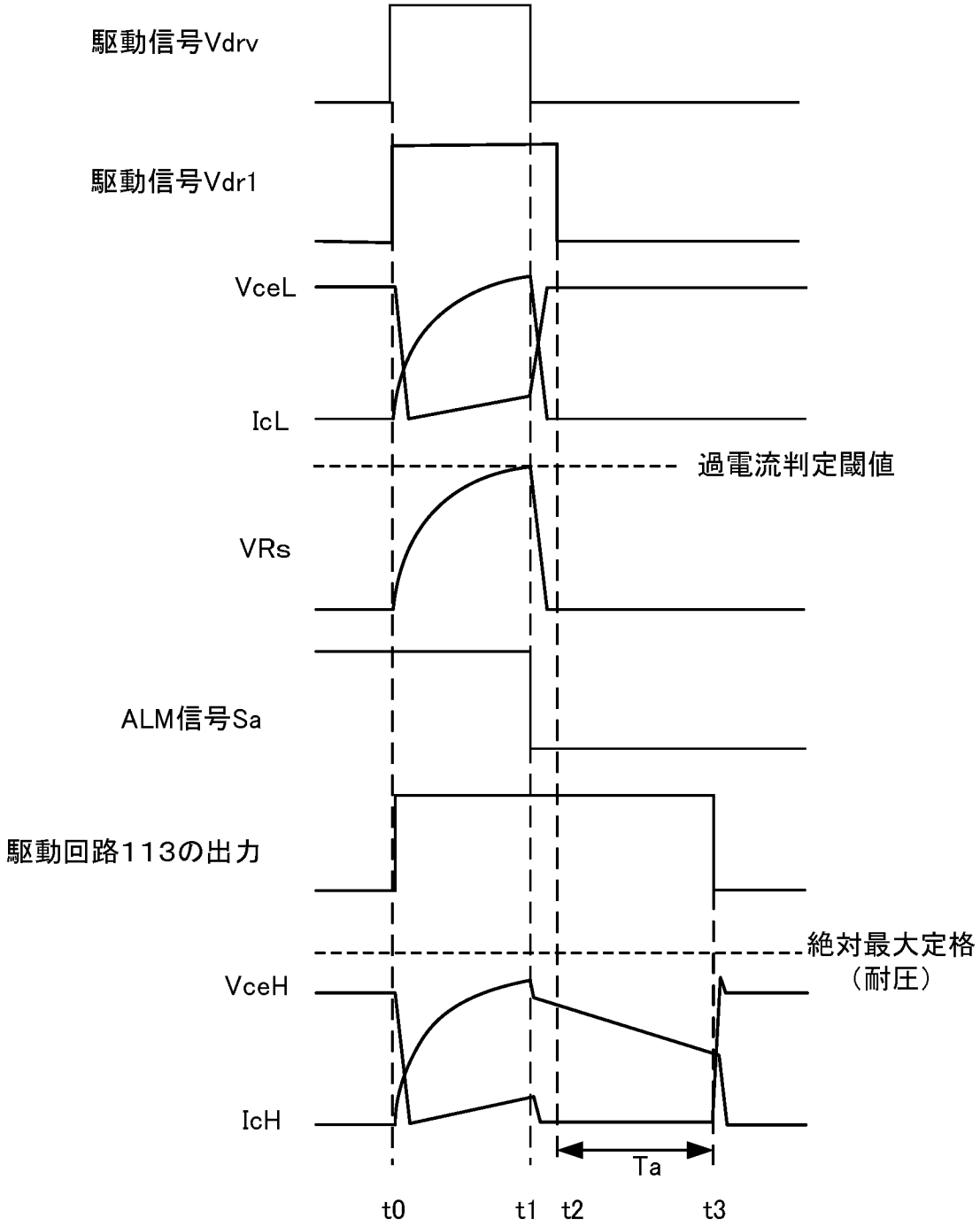
[図3]


Vdc
Rs
Ls
P
U
V
NW
51
54
41
44
31
32
HVIC
LVIC
113
112
遅延回路
110
103
VREF
101
102
SW2
SW1
111
Sa
130
パワーモジュール
11
HU
Vdr1
LV
Vdrv
ALM
MCU
10
1A

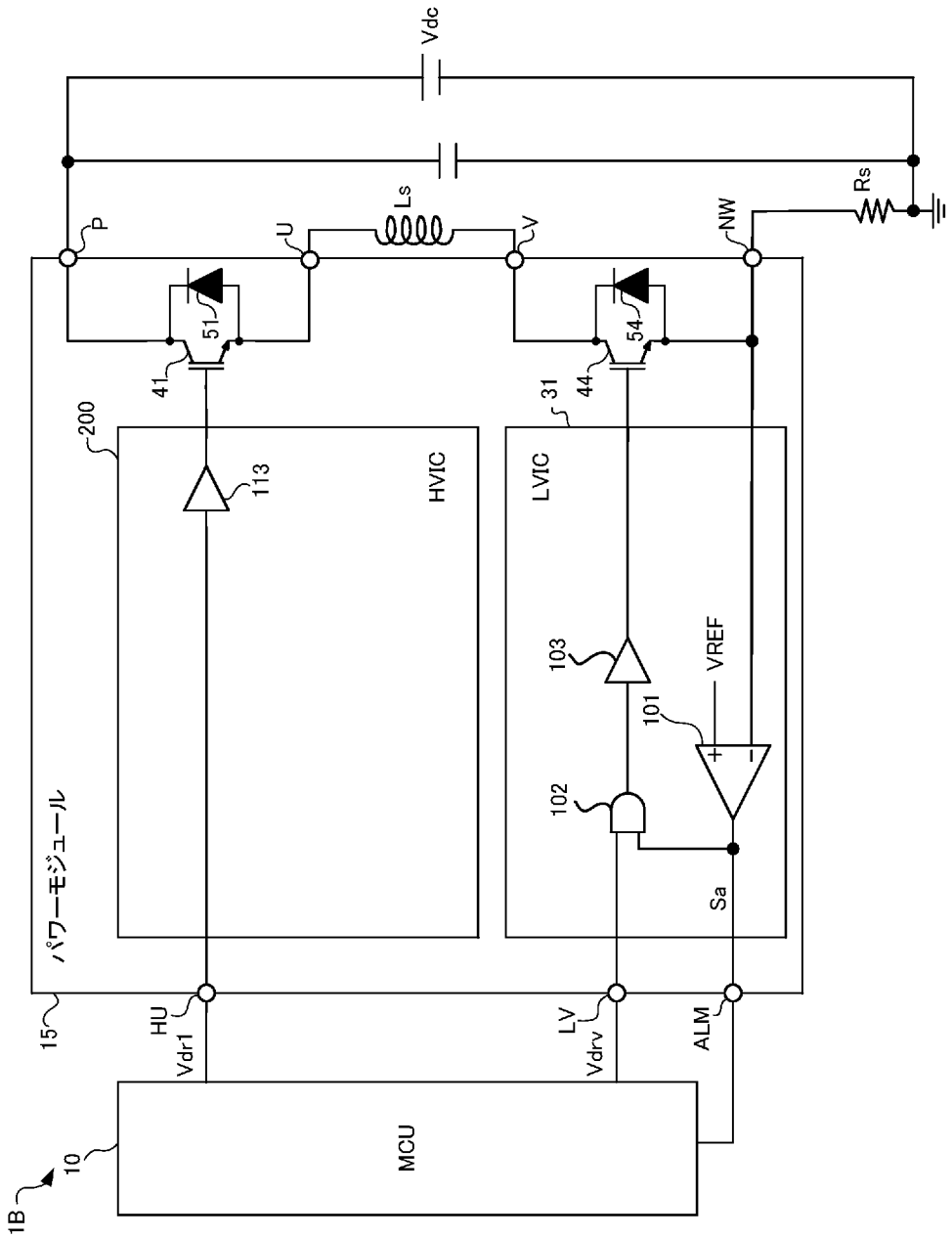
[図4]



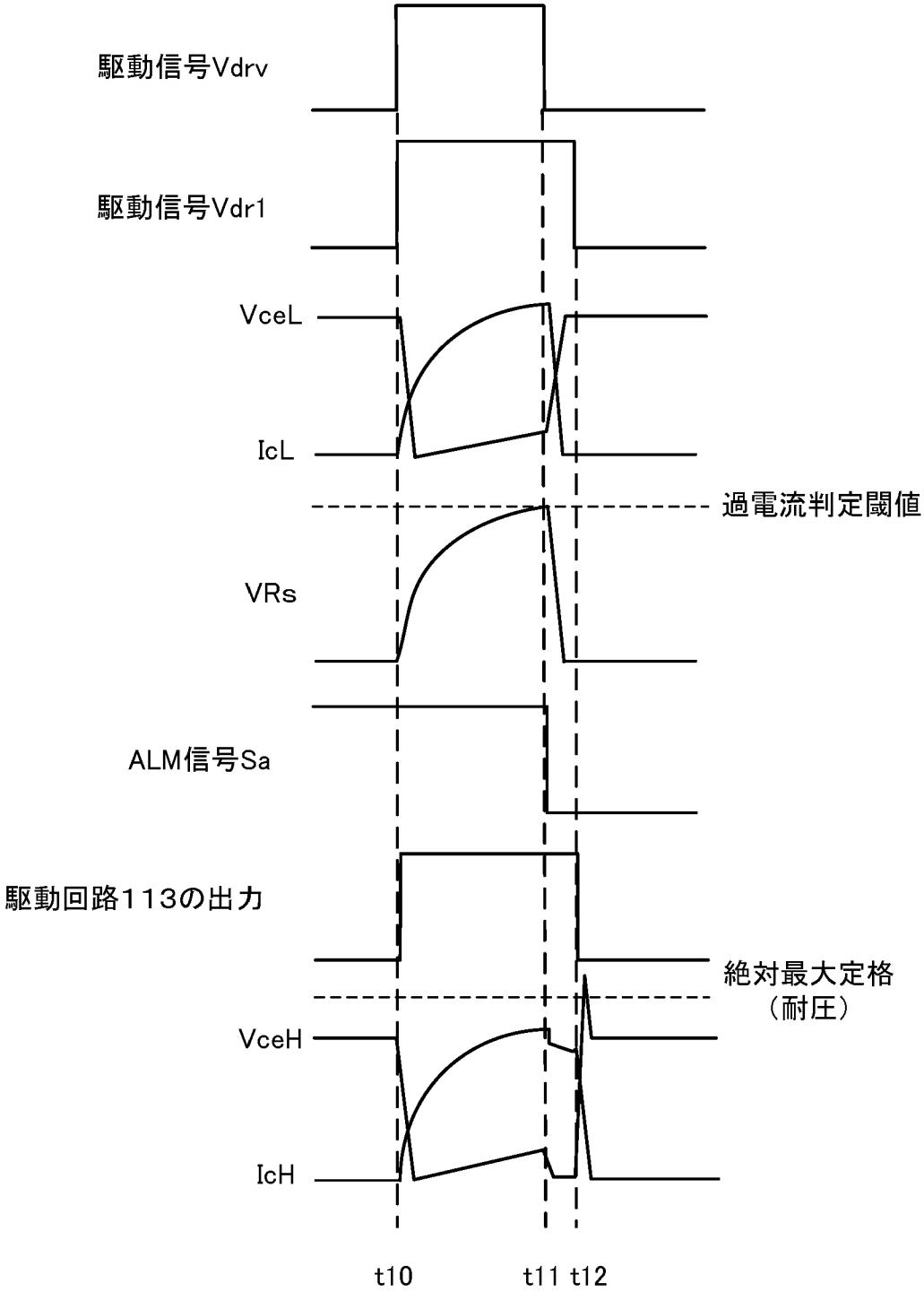
[図5]


駆動信号Vdrv
駆動信号Vdr1
VceL
IcL
過電流判定閾値
VRs
ALM信号Sa
駆動回路113の出力
絶対最大定格
（耐圧）
VceH
IcH
Ta
t0
t1
t2
t3

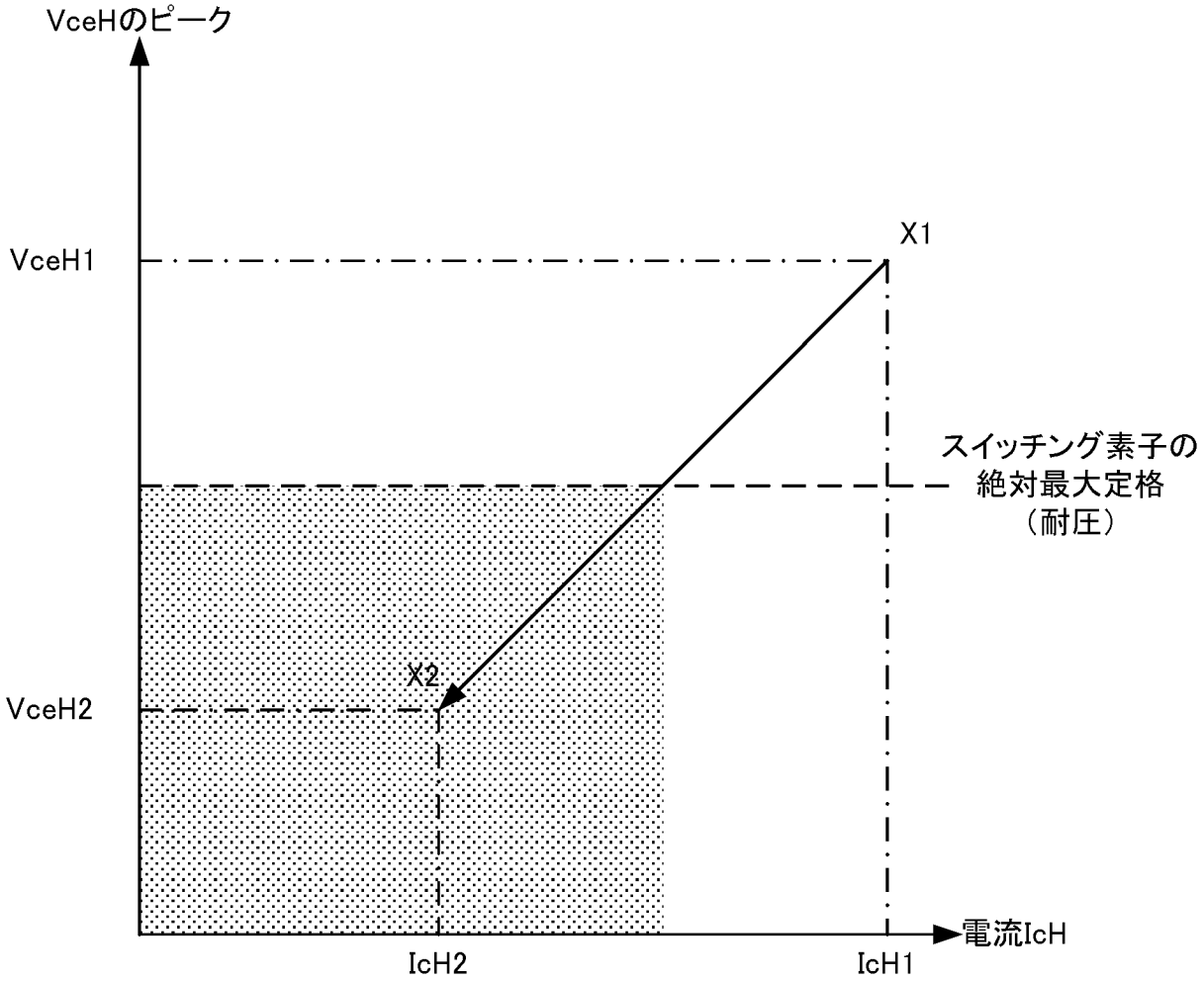
[図6]


Vdc
Ls
Rs
P
U
V
NW
51
54
41
44
31
200
113
HVIC
LVIC
103
VREF
101
102
Sa
パワーモジュール
15
HU
Vdr1
LV
Vdrv
ALM
MCU
10
1B

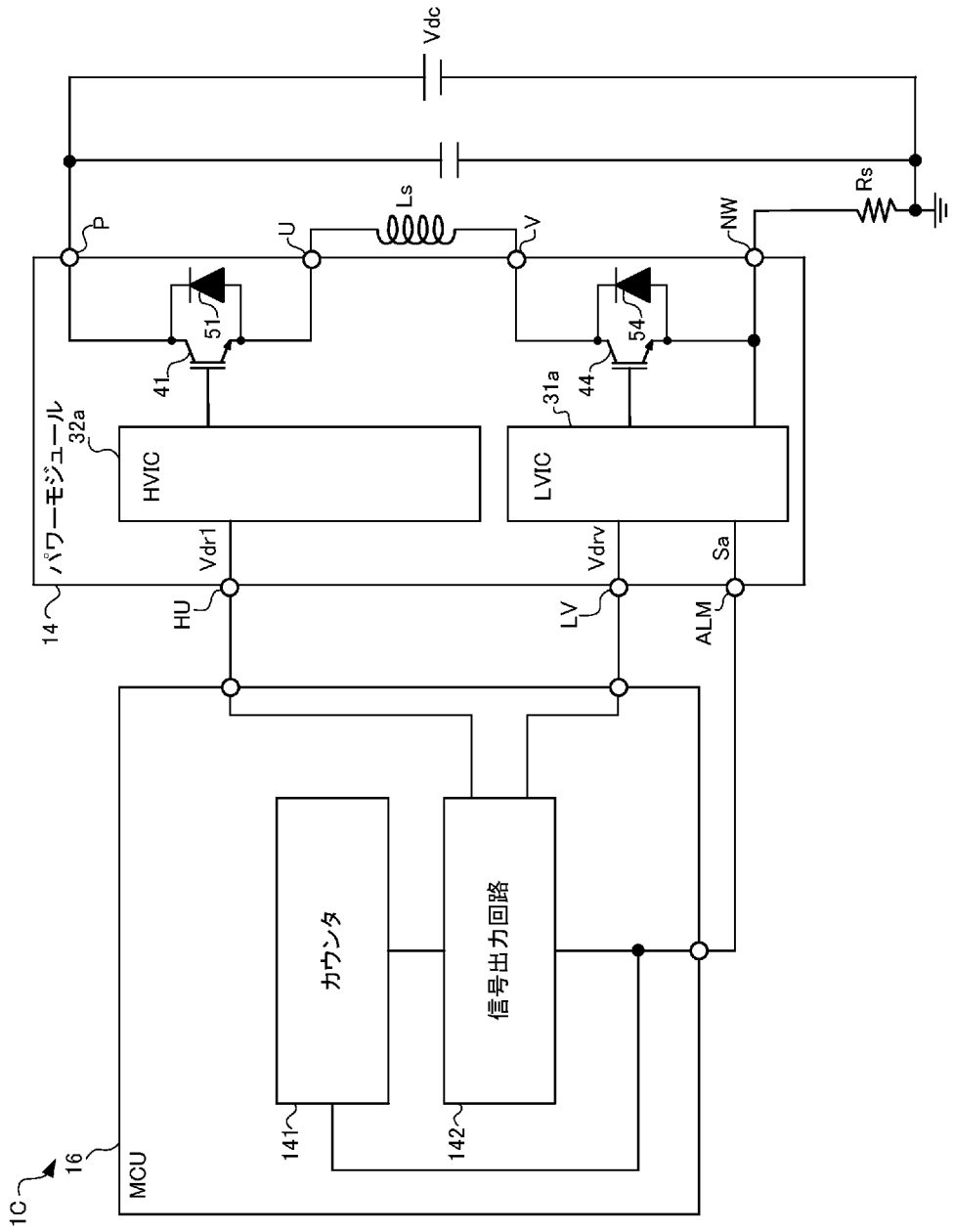
[図7]


駆動信号Vdrv
駆動信号Vdr1
VceL
IcL
過電流判定閾値
VRs
ALM信号Sa
駆動回路113の出力
絶対最大定格
（耐圧）
VceH
IcH
t10
t11 t12

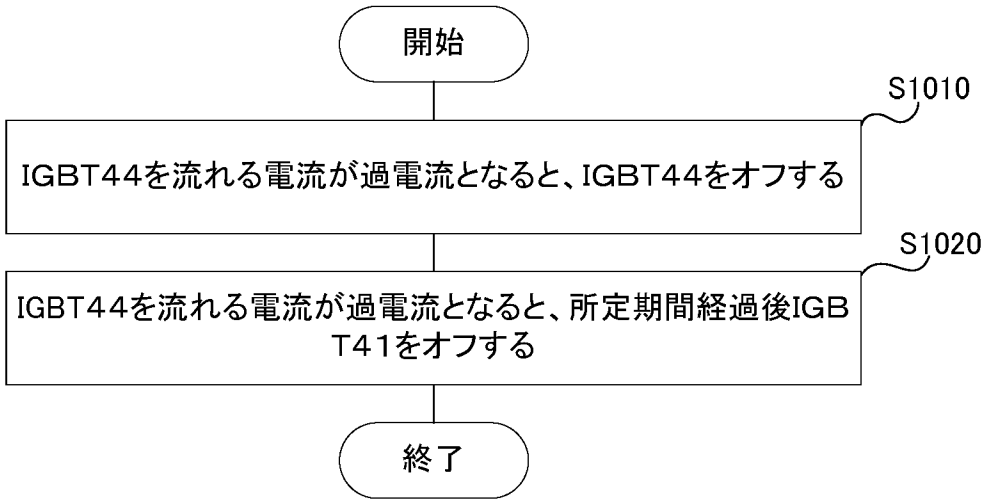
[図8]


VceHのピーク
VceH1
X1
スイッチング素子の
絶対最大定格
（耐圧）
X2
VceH2
電流IcH
IcH2
IcH1

[図9]


Vdc
Rs
Ls
P
U
V
NW
51
54
41
44
31a
パワーモジュール
32a
HVIC
LVIC
Vdr1
Vdrv
Sa
14
HU
LV
ALM
カウンタ
信号出力回路
141
142
16
MCU
1C

[図10]


開始
S1010
IGBT44を流れる電流が過電流となると、IGBT44をオフする
S1020
IGBT44を流れる電流が過電流となると、所定期間経過後IGBT41をオフする
終了

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/032077

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H03K17/08(2006.01)i, H03K17/567(2006.01)i, H02M1/00(2007.01)i, H02M1/08(2006.01)i, H02M7/48(2007.01)i
FI: H02M1/00H, H02M1/08A, H02M7/48M, H03K17/08Z, H03K17/567
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H02M1/00, H02M1/08, H02M7/48, H03K17/08, H03K17/567

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-33678 A (YASKAWA ELECTRIC CORPORATION) 03 February 2005 (2005-02-03), entire text, all drawings	1-10
A	JP 2004-260981 A (HITACHI, LTD.) 16 September 2004 (2004-09-16), entire text, all drawings	1-10
A	JP 2007-312504 A (MITSUBISHI ELECTRIC CORPORATION) 29 November 2007 (2007-11-29), entire text, all drawings	1-10
A	JP 2006-203415 A (TOYOTA MOTOR CORPORATION) 03 August 2006 (2006-08-03), entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 28 October 2020	Date of mailing of the international search report 10 November 2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

JP 2005-33678 A	03 February 2005	(Family: none)
JP 2004-260981 A	16 September 2004	(Family: none)
JP 2007-312504 A	29 November 2007	(Family: none)
JP 2006-203415 A	03 August 2006	(Family: none)

国際調査報告

国際出願番号
PCT/JP2020/032077

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03K 17/08(2006.01)i; H03K 17/567(2006.01)i; H02M 1/00(2007.01)i; H02M 1/08(2006.01)i; H02M 7/48(2007.01)i
FI: H02M1/00 H; H02M1/08 A; H02M7/48 M; H03K17/08 Z; H03K17/567

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M1/00; H02M1/08; H02M7/48; H03K17/08; H03K17/567

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2005-33678 A (株式会社安川電機) 03.02.2005 (2005-02-03) 全文，全図	1-10
A	JP 2004-260981 A (株式会社日立製作所) 16.09.2004 (2004-09-16) 全文，全図	1-10
A	JP 2007-312504 A (三菱電機株式会社) 29.11.2007 (2007-11-29) 全文，全図	1-10
A	JP 2006-203415 A (トヨタ自動車株式会社) 03.08.2006 (2006-08-03) 全文，全図	1-10

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
28.10.2020	10.11.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
栗栖　正和 5G 3987
電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/032077

引用文献	公表日	パテントファミリー文献	公表日
JP 2005-33678 A	03.02.2005	（ファミリーなし）	
JP 2004-260981 A	16.09.2004	（ファミリーなし）	
JP 2007-312504 A	29.11.2007	（ファミリーなし）	
JP 2006-203415 A	03.08.2006	（ファミリーなし）	