

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 6 月 7 日(07.06.2012)



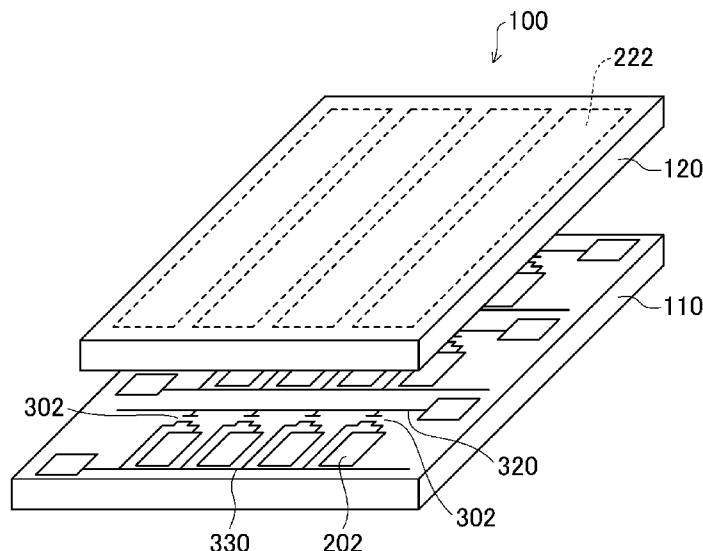
(10) 国際公開番号
WO 2012/073467 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2011/006580
- (22) 国際出願日: 2011 年 11 月 25 日(25.11.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-269357 2010 年 12 月 2 日(02.12.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小川 康行
(OGAWA, Yasuyuki). 山本 薫 (YAMAMOTO,
Kaoru).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒
5410053 大阪府大阪市中区本町 2 丁目 5 番 7
号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置

[図2]



(57) Abstract: A liquid crystal display device (100) comprises: a first substrate (110) that is provided with pixel electrodes (202), TFTs (302) and scanning lines (320) that are coupled to gates of the TFTs; a second substrate (120) that opposes the first substrate (110) and is provided with signal lines (222) that form right angles with the scanning lines (320) in a planar view; and a liquid crystal layer. The respective ON intervals of pulses applied to the scanning lines (320) are longer than one horizontal interval of the liquid crystal display device (100), the TFTs (302) are in ON states before the image signals corresponding to the respective TFTs (302) are supplied to the signal lines (222), and the reference potential is applied to the pixel electrodes (202) via the TFTs (302).

(57) 要約:

[続葉有]

WO 2012/073467 A1



液晶表示装置（１００）は、画素電極（２０２）と、ＴＦＴ（３０２）と、前記ＴＦＴのゲートに結合された走査線（３２０）とが設けられた第１基板（１１０）と、前記走査線（３２０）と平面視で直角をなす信号線（２２２）が設けられた、前記第１基板（１１０）に対向する第２基板（１２０）と、液晶層とを備え、前記走査線（３２０）に印加されるパルスのそれぞれのオン期間は、前記液晶表示装置（１００）の１水平期間よりも長く、前記ＴＦＴ（３０２）のそれぞれの、前記ＴＦＴ（３０２）のそれぞれに対応する前記映像信号が前記信号線（２２２）に供給される前にオン状態であり、前記ＴＦＴ（３０２）を介して基準電位が前記画素電極（２０２）に印加される。

明 細 書

発明の名称： 液晶表示装置

技術分野

[0001] 本開示は、アクティブマトリクス型の液晶表示装置に関する。

背景技術

[0002] アクティブマトリクス型の液晶パネルにおいて、走査線のオン期間を実効的に長くするために、走査線を1つ前の水平期間からオンにする、いわゆるオーバーラップ走査が提案されている。このような従来技術による液晶表示装置は、例えば特許文献1に記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-106394号公報

発明の概要

発明が解決しようとする課題

[0004] オーバーラップ走査を行っても、一時的に1ライン前のビデオ信号電圧が画素に書き込まれることとなる。一般的な液晶パネルにおいては、ドット反転もしくはライン反転の極性反転駆動を行うため、1ライン前のビデオ信号は逆極性となり、本来書き込むべき電圧を画素に充電するには時間がかかってしまう。

[0005] そこで、本発明の目的は、駆動周波数の高い高解像度パネル等においても、高速に画素を充電でき、明るさ、コントラスト等の表示品位を向上できる液晶表示装置を提供することにある。

課題を解決するための手段

[0006] 本発明のある実施形態による、映像信号が表す画像を表示する液晶表示装置は、マトリクス状に配置された画素電極と、前記画素電極に結合された薄膜トランジスタ（TFT）と、前記TFTのゲートに結合された走査線とが設けられた第1基板と、前記走査線と平面視で直角をなす信号線が設けられ

た、前記第 1 基板に対向する第 2 基板と、前記第 1 基板と前記第 2 基板との間に設けられた液晶層とを備え、前記走査線に印加されるパルスのそれぞれのオン期間は、前記液晶表示装置の 1 水平期間よりも長く、前記 T F T のそれぞれは、前記 T F T のそれぞれに対応する前記映像信号が信号線に供給される前に、オン状態であり、前記 T F T を介して基準電位が前記画素電極に印加される。この構成により、表示品位を向上できる液晶表示装置を実現できる。

[0007] ある実施形態によれば、前記基準電位は、前記映像信号の最大値および最小値の平均値に実質的に等しく、実質的に一定である。この構成により、より効率的な画素の駆動が実現できる。

[0008] ある実施形態によれば、前記走査線は、第 1 駆動回路および第 2 駆動回路によって駆動される。この構成により、駆動回路を分散して配置することができる。

[0009] ある実施形態によれば、前記第 1 駆動回路は、前記走査線のうち奇数番目の走査線を駆動し、前記第 2 駆動回路は、前記走査線のうち偶数番目の走査線を駆動する。この構成により、駆動回路を効率的に基板上に配置できる。

[0010] ある実施形態によれば、前記走査線は、単一の駆動回路によって駆動される。この構成により、液晶表示パネルの額縁のサイズを小さくできる。

発明の効果

[0011] 本発明のさまざまな実施形態は、ビデオ信号を供給するバスラインを対向基板側に設けた対向マトリクス構造を利用する。この構造においては、画素 T F T を介して画素電極に充電する電圧は一定のコモン電圧となる。対向マトリクス構造において、オーバーラップ走査を行うことによって、1 水平期間前からコモン電圧の充電が始まり、画素に対応した水平期間と合わせて、十分な長さのオン期間を確保できる。

[0012] 対向マトリクス構造では、画素への書込み時、対向側にある信号線の電圧が変化するため、液晶容量を介して画素電極の電位変動（ノイズ）を生じえる。しかしオーバーラップ走査を行うことによって、このノイズを低減でき

る効果がある。そのため、より高速に画素電極の電位を安定化できる。

[0013] 上記により、駆動周波数の高い高解像度パネル等においても、画素を十分に充電できる。その結果、明るさ、コントラスト等の表示品位を改善できる。

図面の簡単な説明

[0014] [図1]図1は、ある実施形態による液晶表示装置を横から見た図である。

[図2]図2は、液晶表示装置の斜視図である。

[図3]図3は、本実施形態によるTFT基板を上から見た図である。

[図4]図4は、走査線駆動回路を実現するために用いられるシフトレジスタの接続を示す図である。

[図5]図5は、シフトレジスタの回路構成を示す図である。

[図6]図6は、図5のシフトレジスタのさまざまな端子／ノードにおける信号を示す図である。

[図7]図7は、ビデオ信号、走査線駆動回路が出力する走査信号、および画素電極に印加される電位を示す図である。

[図8]図8は、液晶表示装置の各部の信号を示す図である。

[図9]図9は、代替の実施形態によるTFT基板を上から見た図である。

[図10]図10は、走査線駆動回路を実現するために用いられるシフトレジスタの接続を示す図である。

[図11]図11は、図10のシフトレジスタのさまざまな端子／ノードにおける信号を示す図である。

発明を実施するための形態

[0015] 本開示による液晶表示装置の例示的实施形態を、図面を用いて詳細に説明する。図面において同一又は同様の構成要素は、同じ参照符号によって表される。

[0016] (システムの概略)

図1は、ある実施形態による液晶表示装置100を横から見た図である。

液晶表示装置100は、ビデオ信号線で受け取られた映像信号が表す画像を

表示する。

- [0017] 液晶表示装置 100 は、薄膜トランジスタ (TFT) 基板 110、対向基板 120、液晶層 130 を含む。TFT 基板 110 は、対向基板 120 と実質的に平行である。TFT 基板 110 と、対向基板 120 とは、その間に液晶層 130 を挟んでいる。TFT 基板 110 および対向基板 120 の主面のうち、液晶層 130 に向いている面には、例えばポリイミドを含む配向膜が設けられる。
- [0018] TFT 基板 110 は、表示領域 112、周辺回路領域 114、116 を含む。表示領域 112 には、マトリクス状に配置された画素が設けられる。それぞれの画素は、画素電極および TFT などを含む。周辺回路領域 114、116 には、例えば、画素を駆動する回路が設けられる。対向基板 120 上には、例えばビデオ信号線 (階調信号線とも呼ばれる) が設けられる。
- [0019] TFT 基板 110 および対向基板 120 は、シール材によって貼り合わされる。その後、TFT 基板 110 および対向基板 120 の間の隙間に液晶材料が注入されることによって、液晶層 130 を実現する。
- [0020] 図 2 は、液晶表示装置 100 の斜視図である。図 2 では簡単のため液晶層 130 を省略している。
- [0021] 図 3 は、本実施形態による TFT 基板 110 を上から見た図である。TFT 基板 110 の表示領域 112 には、マトリクス状に配置された複数の画素 (例えば画素 300) が設けられる。表示領域 112 は、 m 、 n を自然数として、 $m \times n$ 個の画素 (水平方向に m 個の画素、垂直方向に n 個) を有する。走査線 320 および基準信号線 330 が配置される向きは、ビデオ信号線 222 が配置される向きと直角をなす。すなわち走査線 320 および基準信号線 330 は、TFT 基板 110 の法線方向に沿って見たとき (平面視ともいう) ビデオ信号線 222 と直角をなす。
- [0022] 本明細書では、走査線 320 および基準信号線 330 が走る方向を水平方向という。ビデオ信号線 222 が走る方向は垂直方向という。水平方向の 1 つの直線上に配置された m 個の画素 300 を 1 つのロウという。垂直方向の

1つの直線上に配置された n 個の画素300を1つのカラムという。

[0023] 画素300は、TFT302および表示素子304を含む。表示素子304は、画素電極202およびビデオ信号線222と、液晶層130のうち、画素電極202およびビデオ信号線222とによって挟まれる部分とを含む。図3においては、複数の画素のうち1つの画素（代表画素という）だけに参照符号が付され、以下で説明される。表示領域112内の他の画素も代表画素と同じ構成である。

[0024] TFT302は、アモルファスシリコン（ $a-Si$ ）、多結晶シリコン（ $p-Si$ ）、または透明酸化物半導体でできた金属酸化膜半導体（MOS）構造のトランジスタである。TFT302のゲート302gは、走査線320に結合される。走査線320は、結合されたTFT302のオン／オフを制御する。TFT302のドレイン302dは、基準信号線330に結合される。基準信号線330は、画素電極202に書き込むコモン電圧を供給する。TFT302のソース302sは、画素電極202に結合される。TFT302のドレイン302dおよびソース302sは、入れ換えてもよい。すなわち、TFT302のソース302sを基準信号線330に結合し、TFT302のドレイン302dを画素電極202に結合してもよい。

[0025] 複数の走査線320は、走査線駆動回路322および324に交互に結合される。例えば、奇数番目の走査線320が走査線駆動回路322に結合され、偶数番目の走査線320が走査線駆動回路324に結合される。

[0026] 複数の基準信号線330はたがいにまとめて結合され、共通（COM）端子332に結合される。COM端子332は、一定の電圧である基準電位（基準信号、共通電位ともよばれる）を受け取る。よってCOM端子332は、一定の基準電位に維持される。図3に示すように、COM端子332で受け取られた基準電位は、TFT302を介して画素電極202に印加される。

[0027] 基準信号線330の電圧は、好ましくは実質的に一定であり、具体的にはビデオ信号線222に印加される信号の最大値および最小値の平均値に実質

的に等しい。例えば、ビデオ信号線 2 2 2 の信号の最大値および最小値がそれぞれ $+V_a$ および $-V_a$ なら、基準信号線 3 3 0 の電圧は、好ましくは実質的にゼロである。

[0028] 液晶は交流で駆動されるので、液晶に印加される電圧は、1 水平期間ごとに極性が反転する。例えば、ビデオ信号線 2 2 2 の電圧は、交互に 0 V および 1 0 V をとる。このとき基準信号線 3 3 0 の電位は、0 V および 1 0 V の平均値である約 5 V に設定される。このような電圧設定により、+ 5 V および - 5 V を交互に液晶層に印加することができる。

[0029] 実際には、T F T 3 0 2 がオフするタイミングで画素電極 2 0 2 の電位がやや下がる（ゲート引込みと呼ばれる）。このため、書込み時の電位を 0. 5 V から 2 V 程度上げて 5. 5 V から 7 V 程度に設定することで、画素電極 2 0 2 の電位を最終的に 5 V にする。ゲート引込み電圧は寄生容量によってパネル毎に変わるため、パネルができた後に最適な電圧に調整する。

[0030] 走査線駆動回路 3 2 2, 3 2 4 は、走査線 3 2 0 に T F T 3 0 2 を駆動する電圧を供給する。具体的には、走査線駆動回路 3 2 2 は、奇数番目の走査線 3 2 0 を駆動する。走査線駆動回路 3 2 4 は、偶数番目の走査線 3 2 0 を駆動する。

[0031] 走査線駆動回路 3 2 2, 3 2 4 は、T F T 基板 1 1 0 上に、モノリシックに形成されたシフトレジスタ回路で実現される。走査線駆動回路 3 2 2, 3 2 4 は、周辺回路領域 1 1 4, 1 1 6 内にそれぞれ設けられる。

[0032] 対向基板 1 2 0 には、垂直方向に沿って配置されたビデオ信号線 2 2 2 が設けられる。1 つのカラムを構成する n 個の表示素子 3 0 4 の端部 3 0 6 は、ビデオ信号線 2 2 2 にまとめて結合される。ビデオ信号線 2 2 2 は、階調電圧を供給する。

[0033] 走査線駆動回路 3 2 2, 3 2 4 は、パルス信号を出力することによって、ある走査線 3 2 0 を選択する。換言すれば、出力されたパルス信号は、選択された走査線 3 2 0 に結合された T F T 3 0 2 をオンする。T F T 3 0 2 がオンの期間のあいだ、T F T 3 0 2 は、画素電極 2 0 2 にコモン電圧を書き

込む。

[0034] 画素電極 202 と、それに対向するビデオ信号線 222 とは、キャパシタを形成する。よってビデオ信号線 222 から供給された階調電圧と、基準信号線 330 から供給されるコモン電圧との差に相当する電圧が液晶層 130 に印加される。画素 300 は、液晶層 130 に印加される電圧に基づいて、さまざまな階調を表現できる。

[0035] (走査線駆動回路)

図 4 は、走査線駆動回路 322, 324 を実現するために用いられるシフトレジスタの接続を示す図である。以下の説明では簡単のため、ある端子／ノードにおける信号は、その端子／ノードの参照符号と同じ参照符号によって参照される。

[0036] シフトレジスタ 411, 413 は、クロック CK1 を受け取る。シフトレジスタ 412, 414 は、クロック CK2 を受け取る。ここでは例としてシフトレジスタ 411 ~ 414 は、奇数番目の走査線 320 を駆動する走査信号 GL1, GL3, GL5, GL7 をそれぞれ出力する。シフトレジスタ 411 ~ 414 と同様の 4 つのシフトレジスタが偶数番目の走査線 320 を駆動する走査信号 GL2, GL4, GL6, GL8 (不図示) をそれぞれ出力する。シフトレジスタ 411 は、スタートパルス SP を受け取る。

[0037] 図 5 は、シフトレジスタ 411 ~ 414 のそれぞれに相当するシフトレジスタ 500 の回路構成を示す図である。シフトレジスタ 500 は、トランジスタ M1 ~ M4、キャパシタ Cb、入力端子 S, R、出力端子 Q、クロック端子 CK、およびグラウンド端子 Vss を有する。

[0038] 図 6 は、図 5 のシフトレジスタ 500 のさまざまな端子／ノードにおける信号を示す図である。図 6 の横軸は時間 t を表し、縦軸は電圧を表す。

[0039] 図 7 は、ビデオ信号 Vs、走査線駆動回路 322, 324 が出力する走査信号 GL1 ~ GL5、および画素電極 202 に印加される電位 Vpix1 ~ Vpix5 を示す図である。図 7 の横軸は時間 t を表し、縦軸は電圧を表す。図 7 は連続する 3 フレームだけを示す。n 本のすべてのラインが走査され

るには、1フレームの期間が必要である。

[0040] 図4～図7においては、図1～図3に示されるシステムのうちの代表的な要素（例えばシフトレジスタ）だけを示す。よって本実施形態を実現する具体的な構成は、図4～図7に示される構成には限定されない。例えば、本実施形態による液晶表示装置を実現するためには、任意の個数のシフトレジスタを用いることができる。また、回路構成も図5に示す構成に限定されず、同様の機能を有する他の構成でもかまわない。

[0041] 走査線駆動回路322, 324は、以下のように動作する。シフトレジスタ411～414のそれぞれ（例えばシフトレジスタ500）は、隣接するシフトレジスタの出力Sを受けてノードVcをプリチャージし、キャパシタCbに電荷が充電される（610）。クロックCK1がハイになるタイミングで、容量Cbを介し、いわゆるブートストラップ動作がおこなわれる。そのため、一時的にノードVcは、クロックCK1がハイであるときの電位よりも高い電位になり、出力端子Qをハイにする（612）。

[0042] その後、シフトレジスタ500は、隣接するシフトレジスタの出力Rを受け取るので、リセット動作をおこなう。具体的にはシフトレジスタ500は、ノードVcおよび出力端子Qをロウにする（614）。このような動作を順次おこなうことによって、走査線駆動回路322, 324は、走査線320へパルス信号を供給する。このようなパルス信号によってスキャン動作が実現できる。

[0043] 1段目のシフトレジスタ411は、前段からの信号の代わりに、スタートパルスSPを受け取る。このスタートパルスSPは、シフトレジスタ411～414などの動作が開始するタイミングを決める。

[0044] この実施形態では、2つの走査線駆動回路322, 324が用いられる。走査線駆動回路324は、走査線駆動回路322よりも1水平期間だけ遅いスタートパルスSP、クロックCK1, CK2を受け取る。その結果、奇数番目の走査線320と、偶数番目の走査線320とは、オーバーラップしたパルスが印加される。例えば、走査信号GL1のオン期間の後ろの半分の

あいだは、走査信号 G L 2 もオン期間である。つまり走査信号 G L 1 のオン期間は、走査信号 G L 2 のオン期間とオーバーラップしている。このように隣接する 2 つの走査線に印加される信号がオーバーラップする走査を「オーバーラップ走査」という。本実施形態では、隣接する 2 つの走査線に印加される信号は、それらのオン期間の半分だけオーバーラップしている。このオーバーラップ走査では、それぞれの走査線 3 2 0 に印加されるパルス信号のそれぞれのオン期間は、液晶表示装置の「1 水平期間」よりも長い。

[0045] 液晶ディスプレイを駆動するとき、水平方向のラインが順次スキャンされる。そのため、1 フレームを書き込むには、少なくとも水平方向のラインの数だけ、スキャンをおこなうことが必要である。「1 水平期間」とは、1 フレームスキャンするのに要する時間を、水平ラインの数で割った期間である。換言すれば、1 水平期間は、1 本のラインを駆動するのに要する期間である。なお実際の液晶表示装置においては、1 フレームをスキャンする期間はいわゆる「帰線期間」も含む。そのため 1 水平期間は、1 フレームスキャンするのに要する時間を、水平ラインの数で単純に割った期間とはならない。1 水平期間は、ディスプレイの仕様（例えば画素数やフレームレートなど）により決定される。

[0046] 加えて T F T 3 0 2 のそれぞれは、T F T 3 0 2 のそれぞれに対応する映像信号がビデオ信号線 2 2 2 に供給される前に、オン状態である。図 7 の走査信号 G L 1 ~ G L 5 は、図 3 の上から 5 本の走査線 3 2 0 に対応する。図 3 では n 本の走査線があると想定しているので、実際には走査線 3 2 0 は、G L 1 から G L n からなるが、図 3 では一部だけが図示される。ビデオ信号 V s は、ビデオ信号線 2 2 2 のうちの 1 本に印加される信号を代表して示す。

[0047] 図 7 において、期間 7 0 2 のあいだに映像信号 V s は走査ビデオ信号線 2 2 2 に供給される。この期間 7 0 2 が始まる前から、走査信号 G L 1 は T F T 3 0 2 をオンにする。すなわち期間 7 0 2 の始まりよりも、期間 7 1 2 の始まりが前である。ここでは前述のしたように期間 7 1 2 は、期間 7 0 2 の

2倍である。同様に、期間704が始まる前から、走査信号GL2はTFT302をオンにする。すなわち期間704の始まりよりも、期間714の始まりが前である。期間714は、期間704の2倍である。他の走査信号と映像信号との間にも同様の関係が成り立つ。

[0048] (効果)

図8は、液晶表示装置100の各部の信号を示す図である。具体的には図8は、ビデオ信号線222から供給される階調信号Vs、n番目の走査線320から供給される走査信号GLn、画素電極202の電位Vpix、および画素電極202によって液晶層130に印加される電圧Vlcを示す。液晶電圧Vlcは、階調信号Vsと、画素電極202の電位Vpixとの電位差に相当する。

[0049] 本実施形態のオーバーラップ走査によれば、オーバーラップ走査を用いない従来例と比較して、各画素電極202の充電時間は約2倍に延びる。従来の駆動手法では、ビデオ信号線に印加される電圧の極性が1水平期間(1H)毎に反転される。そのため、1水平期間前に印加されている電圧は、逆極性の電圧(例えば-Va)であり、これは書き込まれるべき階調電圧(+Va)とは大きく異なる。よって走査線(GLn)のオン期間が長くなっても、階調電圧(+Va)を書き込む時間はそれほど増えない。

[0050] これに対して、本実施形態による対向マトリクス構造では、一定の電圧を有する基準信号Vpix(コモン電位ともいう)がTFT302を介して画素電極202に書き込まれる。この基準信号Vpixは、ビデオ信号Vsの最大値および最小値の平均値に実質的に等しい電位(平均電位ともいう)である。例えば図8に示される例では、ビデオ信号線Vsのピークが+Vaおよび-Vaなので、基準信号Vpixは、それらの平均値である約0Vである。画素300に対応するビデオ信号線222は、時刻t0~t1(期間1H)においてアクティブである。換言すれば、その画素の階調は、時刻t0~t1のあいだに液晶層130に印加される電圧によって決まる。基準信号Vpixは、画素300がアクティブになる時刻t0の1水平期間前から書

き込まれる。

[0051] 液晶電圧 V_{lc} は、時刻 t_0 における電位 $-V_a$ から、最終的に到達すべき電圧である電圧 $+V_a$ へと高くなる。オン抵抗が高いTFT302を介して伝えられるのは、基準信号 V_{pix} である。上述のように、十分に長い充電時間がオーバーラップ走査によって得られるので、より短い時間で液晶電圧 V_{lc} は、所望の電圧（ここでは $+V_a$ ）に収束する。

[0052] ビデオ信号線の電位の変化は、液晶層が持つ容量を介して、画素電極の両端の電圧に影響を及ぼす。そのため、対向マトリクス構造において従来の走査がおこなわれるときは、画素電極における信号にノイズが加わる。このノイズは、走査信号の遅延および波形の歪み（例えば鈍った波形）に起因する。具体的にはTFTが十分にオンするまでに走査信号線の電圧が変化することが原因である。従来例に対して、オーバーラップ走査を利用する本実施形態は、ノイズを低減できる。

[0053] 本実施形態では、ビデオ信号線222を対向基板120上に設ける、対向マトリクス構造を利用している。ここでCOM端子332に結合された基準信号線330は、一定の電位を供給する。さらに、本構造においては、走査線320とビデオ信号線222とは異なる基板上に別々に設けられる。そのため結合容量（クロス容量ともいう）が小さく、各々の配線についての負荷も小さくなる。その結果、より高速な駆動が実現できる。

[0054] （変形例）

図9は、代替の実施形態によるTFT基板910を上から見た図である。TFT基板110と同様に、TFT基板910の表示領域912には、マトリクス状に配置された複数の画素（例えば画素300）が設けられる。画素300のそれぞれの構成は、図1～3を参照して上述したとおりである。走査線920、基準信号線930、およびCOM端子932は、走査線320、基準信号線330、およびCOM端子332にそれぞれ対応する。

[0055] TFT基板910は、走査線駆動回路322、324の代わりに、走査線駆動回路922が用いられる点でTFT基板110と異なる。具体的には、

T F T 基板 9 1 0 は、単一の走査線駆動回路だけを利用する。走査線駆動回路 9 2 2 は、表示領域 9 1 2 の片側に配置される。走査線 9 2 2 の全てが走査線駆動回路 9 2 2 に結合される。

[0056] 図 1 0 は、走査線駆動回路 9 2 2 を実現するために用いられるシフトレジスタを示す図である。以下の説明では簡単のため、ある端子／ノードにおける信号は、その端子／ノードの参照符号と同じ参照符号によって参照される。

[0057] 図 1 1 は、図 1 0 のシフトレジスタ 1 0 1 1 ~ 1 0 1 6 のさまざまな端子／ノードにおける信号を示す図である。図 1 1 の横軸は時間 t を表し、縦軸は電圧を表す。

[0058] シフトレジスタ 1 0 1 1 ~ 1 0 1 6 のそれぞれは、シフトレジスタ 5 0 0 と同様に動作する。本実施例では、単一の走査線駆動回路だけが利用される。シフトレジスタ 1 0 1 1 ~ 1 0 1 6 は、図 1 0 に示されるように結合される。例えば、シフトレジスタ 1 0 1 1 のリセット R は、シフトレジスタ 1 0 1 3 の出力 Q に結合される。

[0059] 出力信号のパルスをオーバーラップさせるために、4 種のクロック C K 1 ~ C K 4 が用いられる。具体的には、シフトレジスタ 1 0 1 1, 1 0 1 5 は、クロック C K 1 を受け取る。シフトレジスタ 1 0 1 2, 1 0 1 6 は、クロック C K 2 を受け取る。シフトレジスタ 1 0 1 3, 1 0 1 4 も同様にそれぞれ C K 3, C K 4 を受け取る。シフトレジスタ 1 0 1 1 ~ 1 0 1 6 は、出力 G L 1 ~ G L 6 をそれぞれ走査線 9 2 0 に出力する。

[0060] 走査線駆動回路 9 2 2 は、以下のように動作する。シフトレジスタ 1 0 1 1 ~ 1 0 1 6 のそれぞれ（例えばシフトレジスタ 5 0 0）は、隣接するシフトレジスタの出力 S を受けてノード V_c をプリチャージし、キャパシタ C_b に電荷が充電される（1 1 1 0）。クロック C K 1 がハイになるタイミングで、容量 C_b を介し、いわゆるブートストラップ動作がおこなわれる。そのため、一時的にノード V_c は、クロック C K 1 がハイであるときの電位よりも高い電位になり、出力端子 Q をハイにする（1 1 1 2）。

- [0061] その後、シフトレジスタ500は、隣接するシフトレジスタの出力Rを受け取るので、リセット動作をおこなう。具体的にはシフトレジスタ500は、ノードVcおよび出力端子Qをロウにする(1114)。このような動作を順次おこなうことによって、走査線駆動回路922は、走査線920へパルス信号を供給する。このようなパルス信号によってスキャン動作が実現できる。
- [0062] 上述の動作により、奇数番目の走査線920と、偶数番目の走査線920とに、オーバーラップしたパルスが供給される。換言すれば、走査線駆動回路322, 324と同様に、走査線駆動回路922もオーバーラップ走査が可能である。
- [0063] 画素300の充電メカニズムは、図1～8を参照して説明した実施形態と同様である。その結果、この変形例も、高速充電およびノイズ低減の効果を奏する。
- [0064] 加えて、走査線駆動回路922は、TFT基板910の片側に配置される。このような配置により、液晶表示パネルの額縁のサイズを小さくできる。表示領域のサイズが同じなら、額縁サイズが小さいほど、パネル全体のサイズを小さくできる。そのためこのような構成は、特にモバイル用途の、デザイン性に優れた商品を実現できる。
- [0065] さらに、パネル全体のサイズを小さくすることによって、同じサイズのガラス基板1枚から製造できるパネルの個数を増やすことができる。その結果、よりコスト効率の高い生産が可能となる。
- [0066] 当業者には理解されるように、上述のさまざまな要素(例えばハードウェアの要素)は、その一部が省略されてもよい。逆に、付加的な要素を用いてもよい。
- [0067] 全ての図面、特に断面図は、その要素が原寸に比例して描かれたのではない、概略的なものである。
- [0068] 「結合される」という語は、「直接的に接続される」という語を包含し、この語よりも広いと意図される。もしAがBに直接的に接続され、BがCに

直接的に接続されるなら、AはCに「結合される」と言える。換言すれば「結合される」という語は、「間接的に接続される」という語を含む。

[0069] 以上の記載は、特許請求の範囲に規定される主題の例示を含む。特許請求の範囲に規定される主題を説明する目的で、構成要素または方法の想定可能なあらゆる組み合わせを記載することはもちろん不可能であるが、当業者であれば、特許請求の範囲に規定される主題についてさまざまなさらなる組み合わせおよび順列が可能であることが理解されよう。したがって特許請求の範囲に規定される主題は、特許請求の範囲の精神および範囲に入る、全てのそのような改変、変更および変形を包含するように意図される。さらに「有する」および「含む」という語は、特許請求の範囲において移行部の語として用いられる時に「備える」が解釈されるように、「備える」という語と同様に、包含的であることが意図される。

産業上の利用可能性

[0070] 明るさ、コントラスト等の表示品位を改善できる液晶表示装置を提供できる点で有用である。

符号の説明

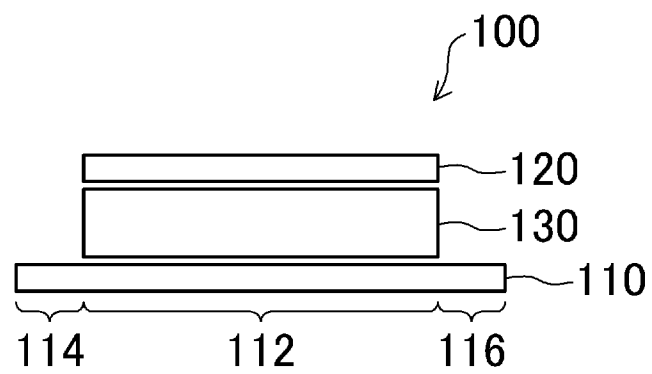
[0071] 1 1 0 薄膜トランジスタ基板
1 1 2 表示領域
3 0 0 画素
3 0 2 薄膜トランジスタ
3 0 2 d ドレイン
3 0 2 g ゲート
3 0 2 s ソース
3 0 4 表示素子
3 0 6 表示素子の端部
3 2 0 走査線
3 2 2, 3 2 4 走査線駆動回路
3 3 0 基準信号線

3 3 2 COM端子

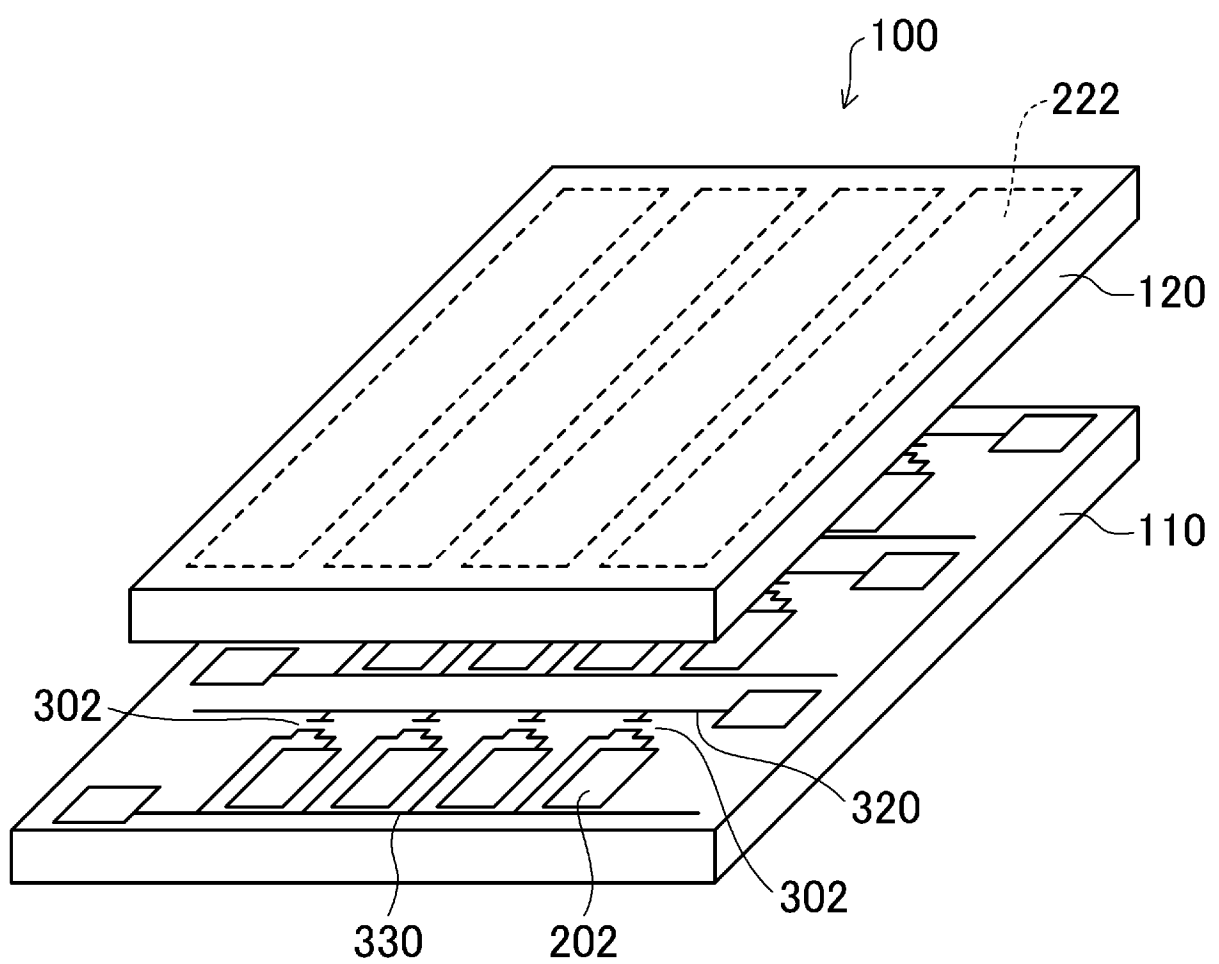
請求の範囲

- [請求項1] マトリクス状に配置された画素電極と、前記画素電極に結合された薄膜トランジスタ（TFT）と、前記TFTのゲートに結合された走査線とが設けられた第1基板と、
- 前記走査線と平面視で直角をなす信号線が設けられた、前記第1基板に対向する第2基板と、
- 前記第1基板と前記第2基板との間に設けられた液晶層とを備える、映像信号が表す画像を表示する液晶表示装置であって、
- 前記走査線に印加されるパルスのそれぞれのオン期間は、前記液晶表示装置の1水平期間よりも長く、
- 前記TFTのそれぞれは、前記TFTのそれぞれに対応する前記映像信号が信号線に供給される前に、オン状態であり、
- 前記TFTを介して基準電位が前記画素電極に印加される、液晶表示装置。
- [請求項2] 前記基準電位は、前記映像信号の最大値および最小値の平均値に実質的に等しく、実質的に一定である請求項1に記載の液晶表示装置。
- [請求項3] 前記走査線は、第1駆動回路および第2駆動回路によって駆動される請求項1に記載の液晶表示装置。
- [請求項4] 前記第1駆動回路は、前記走査線のうち奇数番目の走査線を駆動し、前記第2駆動回路は、前記走査線のうち偶数番目の走査線を駆動する、請求項3に記載の液晶表示装置。
- [請求項5] 前記走査線は、単一の駆動回路によって駆動される請求項1に記載の液晶表示装置。

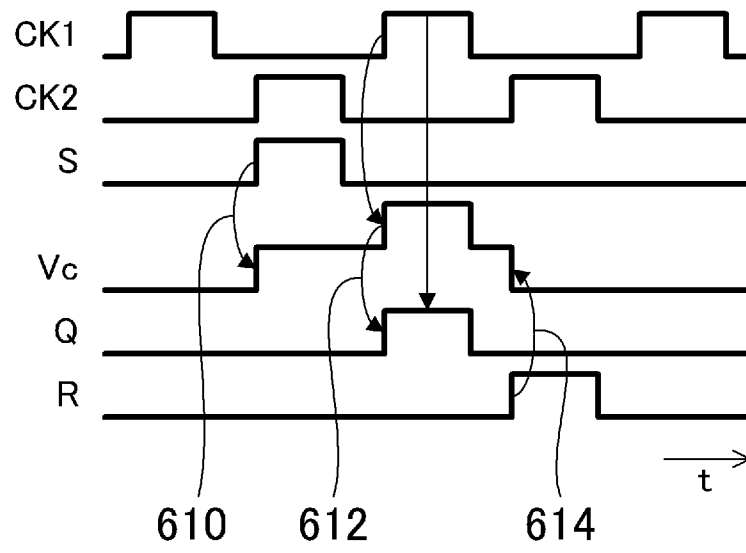
[図1]



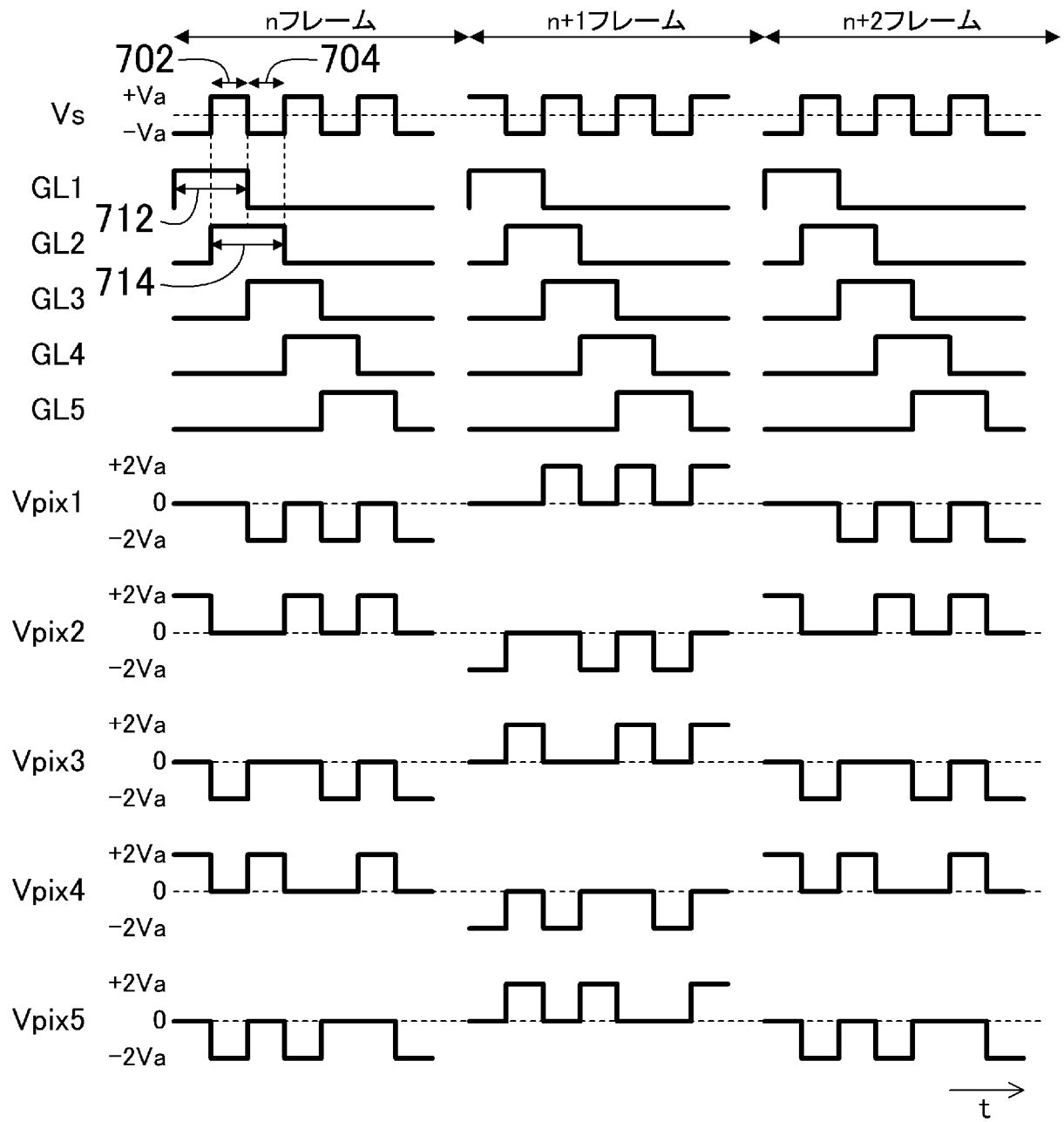
[図2]



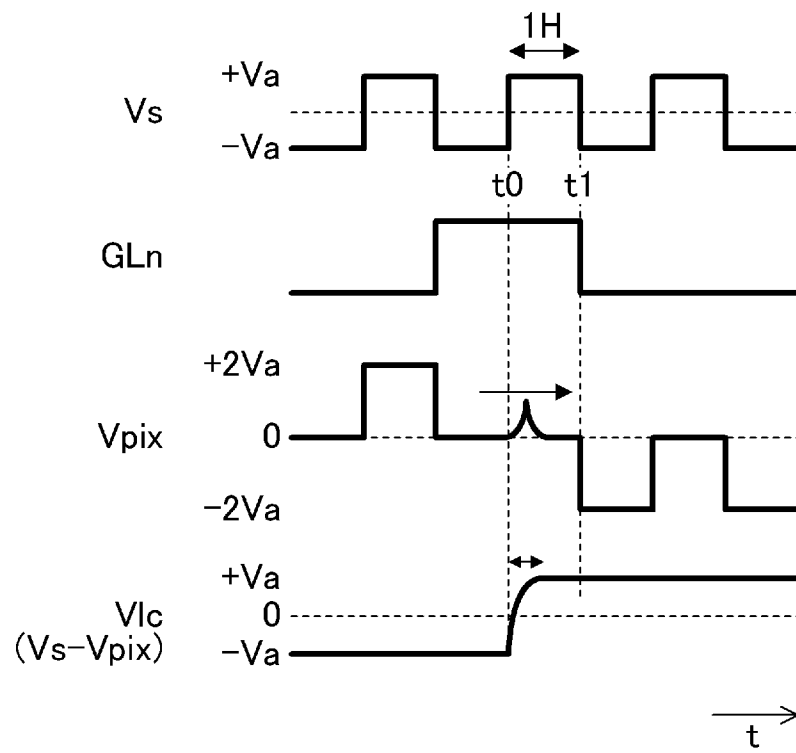
[図6]



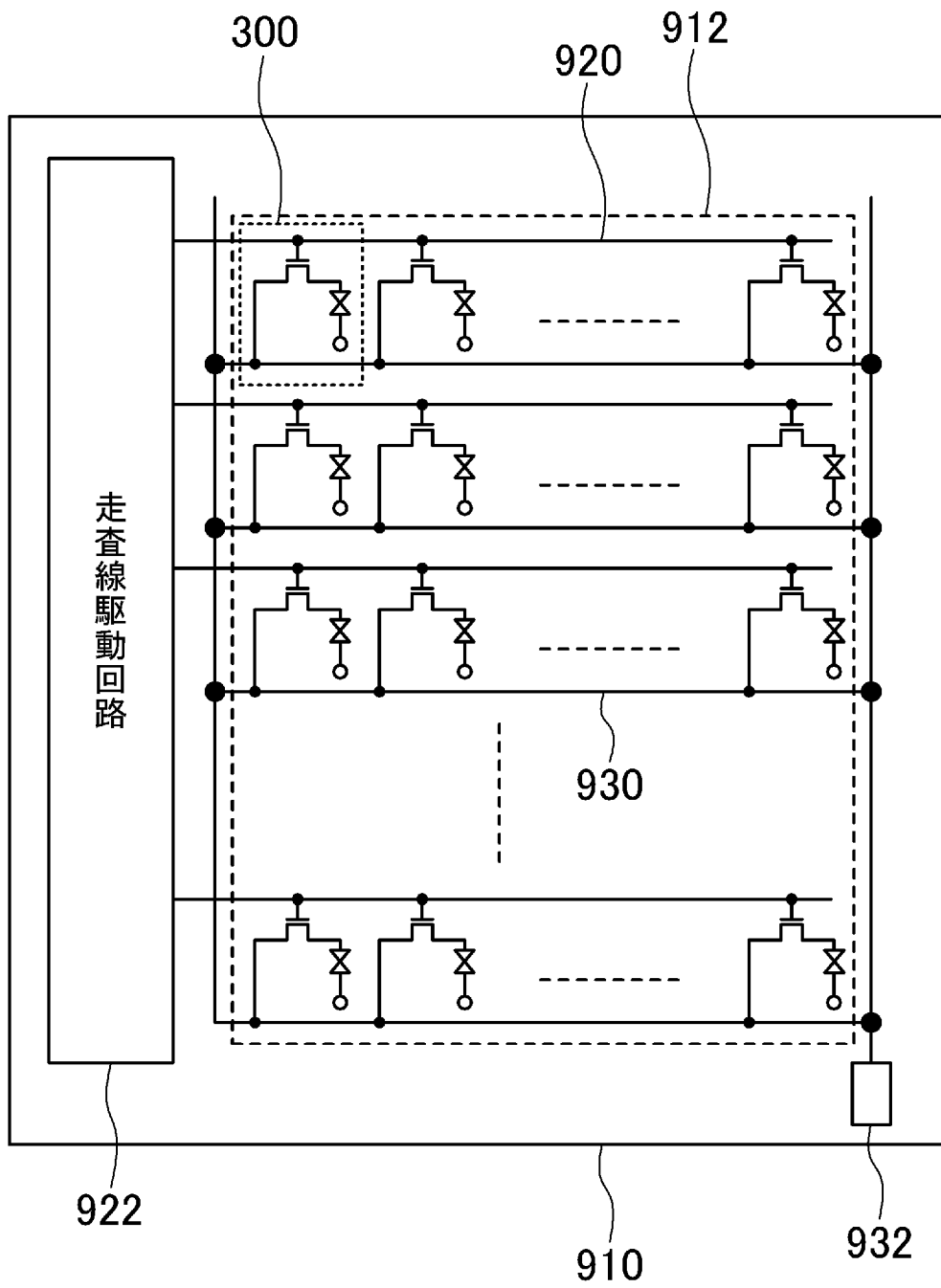
[図7]

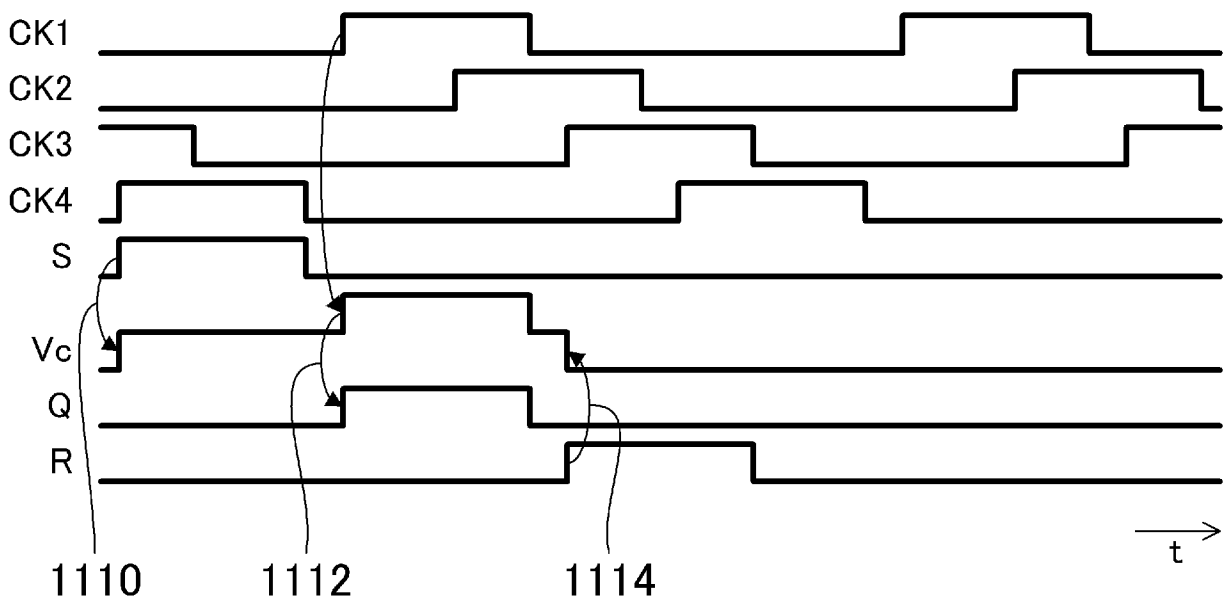
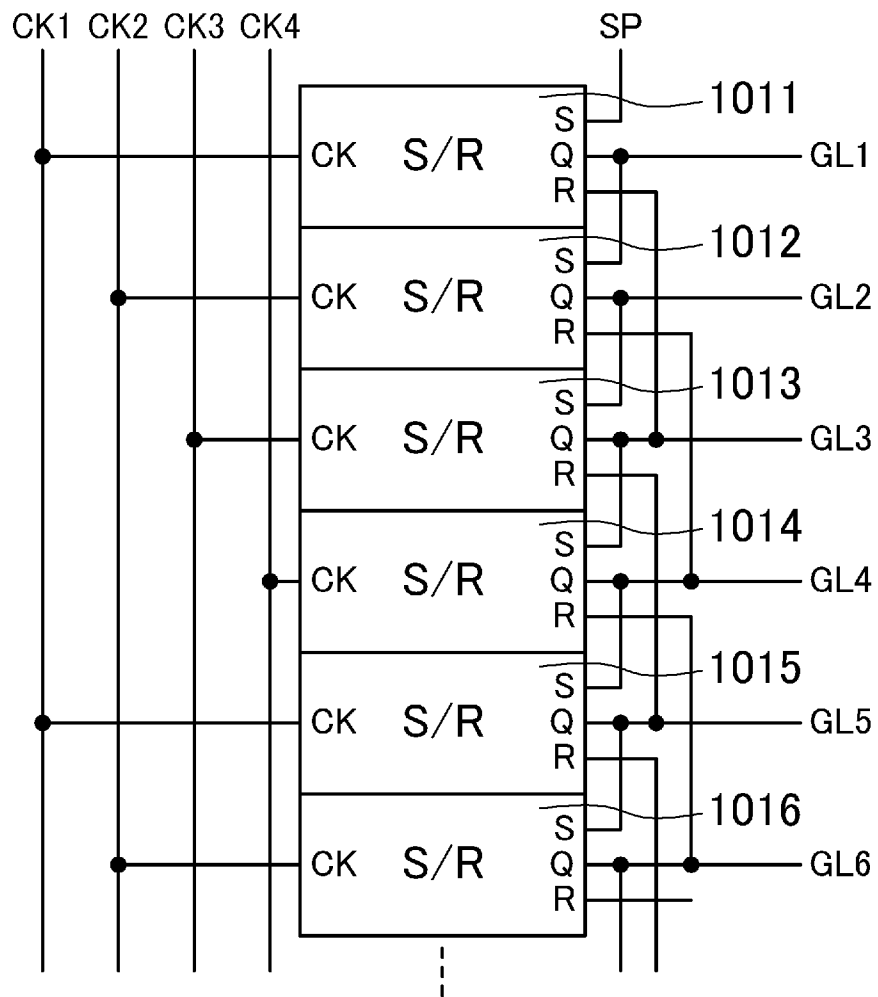


[図8]



[図9]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006580

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-333639 A (Sharp Corp.), 22 November 2002 (22.11.2002), paragraphs [0020] to [0022]; fig. 20 to 21 & US 2002/0171797 A1	1-5
Y	JP 04-324418 A (Toshiba Corp.), 13 November 1992 (13.11.1992), paragraphs [0006] to [0017], [0026] to [0036]; all drawings (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 December, 2011 (08.12.11)

Date of mailing of the international search report
20 December, 2011 (20.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-333639 A（シャープ株式会社）2002.11.22, 段落【0020】－【0022】, 図20－21 & US 2002/0171797 A1	1－5
Y	JP 04-324418 A（株式会社東芝）1992.11.13, 段落【0006】－【0017】, 【0026】－【0036】, 全図（ファミリーなし）	1－5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 1 2 . 2 0 1 1

国際調査報告の発送日

2 0 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安藤 達哉

2 G

4 0 0 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6