

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第6769029号  
(P6769029)

(45) 発行日 令和2年10月14日(2020. 10. 14)

(24) 登録日 令和2年9月28日(2020. 9. 28)

(51) Int.Cl.

F I

HO 3M 1/74 (2006.01)

HO 3B 5/32 (2006.01)

HO 3M 1/74

HO 3B 5/32

A

請求項の数 8 (全 39 頁)

(21) 出願番号	特願2015-242798 (P2015-242798)	(73) 特許権者	000002369
(22) 出願日	平成27年12月14日 (2015. 12. 14)		セイコーエプソン株式会社
(65) 公開番号	特開2017-112399 (P2017-112399A)		東京都新宿区新宿四丁目 1 番 6 号
(43) 公開日	平成29年6月22日 (2017. 6. 22)	(74) 代理人	100104710
審査請求日	平成30年12月10日 (2018. 12. 10)		弁理士 竹腰 昇
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	磯崎 繁紀
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	渡井 高広
			最終頁に続く

(54) 【発明の名称】 D/A変換器、回路装置、発振器、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項 1】

入力データのデコード処理を行って、制御信号を出力するデコーダーと、  
複数の電圧を生成して出力する電圧生成回路と、  
前記電圧生成回路からの前記複数の電圧と前記デコーダーからの前記制御信号に基づいて、前記複数の電圧の中から前記入力データに対応する電圧をD/A変換電圧として選択して出力する電圧選択回路と、  
を含み、  
前記電圧選択回路は、  
前段のセレクターブロックが有するセレクターの出力が後段のセレクターブロックが有するセレクターに入力される複数段のセレクターブロックを含み、  
前記複数段のセレクターブロックの1段目のセレクターブロックには、前記複数の電圧が入力され、前記複数段のセレクターブロックの最終段のセレクターブロックが、前記D/A変換電圧を出力し、  
前記複数段のセレクターブロックの各々は、電源ノードから近い側の第1のトランジスター及び前記電源ノードから遠い側の第2のトランジスターを含む複数のトランジスターにより構成され、前記第2のトランジスターのしきい値電圧は、前記第1のトランジスターのしきい値電圧より低く、  
前記第1のトランジスターとして、高電位側電源ノードから近い側の第1のP型トランジスターと、低電位側電源ノードから近い側の第1のN型トランジスターを含み、

10

20

前記第2のトランジスタとして、前記高電位側電源ノードから遠い側の第2のP型トランジスタと、前記低電位側電源ノードから遠い側の第2のN型トランジスタを含み、

前記第2のP型トランジスタのしきい値電圧は、前記第1のP型トランジスタのしきい値電圧より低く、

前記第2のN型トランジスタのしきい値電圧は、前記第1のN型トランジスタのしきい値電圧より低く、

前記第1のP型トランジスタ及び前記第1のN型トランジスタは、高耐圧用の製造プロセスにより形成されるトランジスタであり、前記第2のP型トランジスタ及び前記第2のN型トランジスタは、前記高耐圧用の製造プロセスよりトランジスタ耐圧が低くなる低耐圧用の製造プロセスにより形成されるトランジスタであることを特徴とするD/A変換器。

10

【請求項2】

請求項1に記載のD/A変換器において、

前記最終段のセレクターブロックを構成する少なくとも1つのトランジスタは、基板電圧が制御されるトランジスタであることを特徴とするD/A変換器。

【請求項3】

請求項1又は2に記載のD/A変換器において、

前記最終段のセレクターブロックのセレクターは、前段のセレクターブロックからI個(I≧3)の電圧が入力され、1個の前記D/A変換電圧を出力するセレクターであることを特徴とするD/A変換器。

20

【請求項4】

請求項1乃至3のいずれか一項に記載のD/A変換器と、

前記D/A変換器に電源電圧を供給する電源回路と、

を含み、

前記電源回路は、

トランジスタの仕事関数差に基づき生成された基準電圧を生成する基準電圧生成回路を有し、前記基準電圧生成回路により生成された前記基準電圧を前記電源電圧として、前記D/A変換器に供給することを特徴とする回路装置。

30

【請求項5】

請求項1乃至3のいずれか一項に記載のD/A変換器を含む回路装置であって、

温度センサー部からの温度検出電圧のA/D変換を行い、温度検出データを出力するA/D変換部と、

前記温度検出データに基づく周波数制御データを出力する処理部と、

前記処理部からの前記周波数制御データと振動子を用いて、前記周波数制御データにより設定される発振周波数の発振信号を生成する発振信号生成回路と、

を含み、

前記発振信号生成回路は、

前記D/A変換器を含み、前記処理部からの前記周波数制御データのD/A変換を行うD/A変換部と、

40

前記D/A変換部の出力電圧と前記振動子を用いて、前記発振信号を生成する発振回路と、

を含むことを特徴とする回路装置。

【請求項6】

請求項5に記載の回路装置と、

前記振動子と、

を含むことを特徴とする発振器。

【請求項7】

請求項1乃至3のいずれか一項に記載のD/A変換器を含むことを特徴とする電子機器

50

## 【請求項 8】

請求項 1 乃至 3 のいずれか一項に記載の D / A 変換器を含むことを特徴とする移動体。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、D / A 変換器、回路装置、発振器、電子機器及び移動体等に関する。

## 【背景技術】

## 【0002】

従来より、温度補償型発振器等の発振器用の回路装置や、液晶パネルを駆動する表示ドライバの回路装置などでは、デジタルデータをアナログ電圧に変換する D / A 変換器が用いられる。例えば温度補償型発振器用の回路装置では、周波数制御データの D / A 変換に D / A 変換器が用いられる。或いは、温度検出電圧を A / D 変換する A / D 変換部において D / A 変換器が用いられる。表示ドライバの回路装置では、複数の階調電圧から表示データに対応する階調電圧を選択する回路として、D / A 変換器が用いられる。例えば特許文献 1 には、表示ドライバの回路装置に用いられる D / A 変換器の構成例が開示されている。

10

## 【0003】

特許文献 1 に開示される D / A 変換器では、入力された複数の電圧の中から、入力データに対応する電圧を選択することで、入力データに対応する D / A 変換電圧を出力する。D / A 変換器が有する電圧選択回路は、複数のセレクトアブロックを有し、これらの複数のセレクトアブロックにより、いわゆるトーナメント方式で電圧を選択することで、入力電圧に対応する D / A 変換電圧を求める。

20

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2009 - 118457 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

このような D / A 変換器では、低消費電力化に対する要求がある。例えば D / A 変換器は、電圧生成回路を有しており、電圧生成回路は、直列接続された複数の抵抗により電源電圧を電圧分割することで、電圧選択回路に入力される複数の電圧を生成する。そして、この直列接続された複数の抵抗には常時に電流が流れる。このため、D / A 変換器の低消費電力化を図るためには、電圧生成回路に供給される電源電圧をなるべく低い電圧にすることが望ましい。また D / A 変換器以外の回路装置の他の回路の低消費電力化という意味でも、電源電圧をなるべく低い電圧にすることが望ましい。

30

## 【0006】

ところが、電圧選択回路を構成するセレクトアは、P 型や N 型のトランジスタにより構成されており、電源電圧が低くなると、これらのトランジスタのオン条件やオフ条件などの種々の条件を満たすことが難しいということが判明した。

40

## 【0007】

本発明の幾つかの態様によれば、低消費電力化を図りながらも適正な電圧選択を行って D / A 変換電圧を出力できる D / A 変換器、回路装置、発振器、電子機器及び移動体等を提供できる。

## 【課題を解決するための手段】

## 【0008】

本発明の一態様は、入力データのデコード処理を行って、制御信号を出力するデコーダーと、複数の電圧を生成して出力する電圧生成回路と、前記電圧生成回路からの前記複数の電圧と前記デコーダーからの前記制御信号に基づいて、前記複数の電圧の中から前記入力データに対応する電圧を D / A 変換電圧として選択して出力する電圧選択回路と、を含

50

み、前記電圧選択回路は、前段のセレクターブロックが有するセレクターの出力が後段のセレクターブロックが有するセレクターに入力される複数段のセレクターブロックを含み、前記複数段のセレクターブロックの1段目のセレクターブロックには、前記複数の電圧が入力され、前記複数段のセレクターブロックの最終段のセレクターブロックが、前記D/A変換電圧を出力し、前記複数段のセレクターブロックの各々は複数のトランジスターにより構成され、セレクターブロックを構成する複数のトランジスターのうち、電源ノードから遠い側の第2のトランジスターは、前記電源ノードから近い側の第1のトランジスターに比べて、低いしきい値電圧に設定されているD/A変換器に関係する。

【0009】

本発明の一態様によれば、電圧生成回路が生成した複数の電圧が、電圧選択回路の1段目のセレクターブロックに入力され、デコーダーからの制御信号に基づく電圧選択により、最終段のセレクターブロックから、入力データに対応するD/A変換電圧が出力される。そしてセレクターブロックを構成する複数のトランジスターのうち、電源ノードから遠い側の第2のトランジスターは、電源ノードから近い側の第1のトランジスターに比べて、低いしきい値電圧に設定されている。このようにすれば、例えば低消費電力化のために電源電圧を低い電圧にした場合にも、電源ノードから遠い側の第2のトランジスターが低いしきい値電圧に設定されていることで、電圧選択回路による適正な電圧選択を実現できる。従って、低消費電力化を図りながらも適正な電圧選択を行ってD/A変換電圧を出力できるD/A変換器の提供が可能になる。

【0010】

また本発明の一態様では、前記セレクターブロックを構成する前記複数のトランジスターのうち、高電位側電源ノードから遠い側の第2のP型トランジスターは、前記高電位側電源ノードから近い側の第1のP型トランジスターに比べて、低いしきい値電圧に設定され、低電位側電源ノードから遠い側の第2のN型トランジスターは、前記低電位側電源ノードから近い側の第1のN型トランジスターのしきい値電圧に比べて、低いしきい値電圧に設定されていてもよい。

【0011】

このようにすれば、P型トランジスターについては、高電位側電源ノードから遠い側の第2のP型トランジスターのしきい値電圧を低い電圧に設定し、N型トランジスターについては、低電位側電源ノードから遠い側の第2のN型トランジスターのしきい値電圧を低い電圧に設定することで、低消費電力化と適正な電圧選択とを両立できるようになる。

【0012】

また本発明の一態様では、前記第1のトランジスターは、しきい値電圧のティピカル値が第1のしきい値電圧である第1の種類のトランジスターであり、前記第2のトランジスターは、前記しきい値電圧のティピカル値が前記第1のしきい値電圧よりも低い第2のしきい値電圧である第2の種類のトランジスターであってもよい。

【0013】

このようにすれば、トランジスターの種類の設定により、第2のトランジスターのしきい値電圧を低い電圧に設定できるようになる。

【0014】

また本発明の一態様では、前記第1のトランジスターと前記第2のトランジスターとは、ゲート長が異なってもよい。

【0015】

このようにすれば、ゲート長の設定により、第2のトランジスター等のしきい値電圧の微調整が可能になる。

【0016】

また本発明の一態様では、前記セレクターブロックを構成する前記複数のトランジスターのうち、前記第2のトランジスターよりも前記電源ノードから遠い側の第3のトランジスターは、前記第2のトランジスターに比べて、低いしきい値電圧に設定されていてもよい。

## 【 0 0 1 7 】

このようにすれば、第2のトランジスタよりも電源ノードから遠い側の第3のトランジスタのしきい値電圧を低い電圧に設定することで、電源電圧が更に低い電圧に設定された場合等にも、低消費電力化と適正な電圧選択とを両立できるようになる。

## 【 0 0 1 8 】

また本発明の一態様では、前記第1のトランジスタは、しきい値電圧のティピカル値が第1のしきい値電圧である第1の種類のトランジスタであり、前記第2のトランジスタは、前記しきい値電圧のティピカル値が前記第1のしきい値電圧よりも低い第2のしきい値電圧である第2の種類のトランジスタであり、前記第3のトランジスタは、前記しきい値電圧のティピカル値が前記第2のしきい値電圧よりも低い第3のしきい値電圧である第3の種類のトランジスタであってもよい。

10

## 【 0 0 1 9 】

このようにすれば、トランジスタの種類の設定により、第2、第3のトランジスタのしきい値電圧を低い電圧に設定できるようになる。

## 【 0 0 2 0 】

また本発明の一態様では、前記第1、第2、第3のトランジスタのうちの少なくとも1つのトランジスタは、前記第1、第2、第3のトランジスタのうちの他のトランジスタとは、ゲート長が異なってもよい。

## 【 0 0 2 1 】

このようにすれば、ゲート長の設定により、第2、第3のトランジスタ等のしきい値電圧の微調整等が可能になる。

20

## 【 0 0 2 2 】

また本発明の一態様では、前記第1のトランジスタと前記第2のトランジスタとは、トランジスタの製造プロセスパラメーターが異なることで、異なるしきい値電圧に設定されていてもよい。

## 【 0 0 2 3 】

このようにすれば、トランジスタの製造プロセスパラメーターの設定により、第2のトランジスタのしきい値電圧を低い電圧に設定できるようになる。

## 【 0 0 2 4 】

また本発明の一態様では、前記最終段のセレクターブロックを構成する少なくとも1つのトランジスタのゲート長は、前記最終段のセレクターブロックを構成する他のトランジスタのゲート長よりも長くてもよい。

30

## 【 0 0 2 5 】

このようにすれば、最終段のセレクターブロックを構成する複数のトランジスタにおいて、オン条件やオフ条件等の種々の条件を満たすためのしきい値電圧の微調整を実現できるようになる。

## 【 0 0 2 6 】

また本発明の一態様では、前記最終段のセレクターブロックを構成する少なくとも1つのトランジスタのゲート長は、前記1段目のセレクターブロックを構成するトランジスタのゲート長よりも長くてもよい。

40

## 【 0 0 2 7 】

このようにすれば、1段目のセレクターブロックを構成するトランジスタに比べて、オン条件等を満たすことが厳しい最終段のセレクターブロックを構成するトランジスタのしきい値電圧を、ゲート長の設定により微調整することが可能になる。

## 【 0 0 2 8 】

また本発明の一態様では、前記最終段のセレクターブロックを構成する少なくとも1つのトランジスタは、基板電圧が制御されるトランジスタであってもよい。

## 【 0 0 2 9 】

このようにすれば、オン条件等を満たすことが厳しい最終段のセレクターブロックを構成するトランジスタのしきい値電圧を、基板電圧の制御により微調整することが可能に

50

なる。

【0030】

また本発明の一態様では、前記最終段のセレクターブロックのセレクターは、前段のセレクターブロックから  $I$  個 ( $I \geq 3$ ) の電圧が入力され、1 個の前記 D/A 変換電圧を出力するセレクターであってもよい。

【0031】

このようにすれば、例えば 2 入力 / 1 出力のセレクターを最終段のセレクターとして用いる場合に比べて、最終段のセレクターを構成するトランジスタの入力電圧範囲を狭くでき、トランジスタのオン条件等を満たすしきい値電圧の設定を容易化できる。

【0032】

また本発明の他の態様は、上記に記載の D/A 変換器と、前記 D/A 変換器に電源電圧を供給する電源回路と、を含み、前記電源回路は、トランジスタの仕事関数差に基づき生成された基準電圧を生成する基準電圧生成回路を有し、前記基準電圧生成回路により生成された前記基準電圧を前記電源電圧として、前記 D/A 変換器に供給する回路装置に係する。

【0033】

このように、基準電圧生成回路が仕事関数差に基づき生成した電源電圧を、D/A 変換器に供給すれば、他の回路方式の基準電圧生成回路を用いる場合に比べて、低消費電力化を図れるようになる。そして、このような基準電圧生成回路により生成された電源電圧が、低い電圧である場合にも、D/A 変換器は適正な電圧選択を行うことができるため、低消費電力化と適正な電圧選択とを両立できるようになる。

【0034】

また本発明の他の態様は、上記に記載の D/A 変換器を含む回路装置であって、温度センサー部からの温度検出電圧の A/D 変換を行い、温度検出データを出力する A/D 変換部と、前記温度検出データに基づいて発振周波数の温度補償処理を行い、前記発振周波数の周波数制御データを出力する処理部と、前記処理部からの前記周波数制御データと振動子を用いて、前記周波数制御データにより設定される前記発振周波数の発振信号を生成する発振信号生成回路と、を含み、前記発振信号生成回路は、前記 D/A 変換器を含み、前記処理部からの前記周波数制御データの D/A 変換を行う D/A 変換部と、前記 D/A 変換部の出力電圧と前記振動子を用いて、前記発振信号を生成する発振回路と、を含む回路装置に係する。

【0035】

このようにすれば、消費電力が低く適正な電圧選択が可能な D/A 変換器を用いて、周波数制御データの D/A 変換を行うことが可能になり、回路装置の低消費電力化と性能向上とを両立して実現できるようになる。

【0036】

また本発明の他の態様は、上記に記載の回路装置と、前記振動子と、を含む発振器に係する。

【0037】

また本発明の他の態様は、上記に記載の D/A 変換器を含む電子機器に係する。

【0038】

また本発明の他の態様は、上記に記載の D/A 変換器を含む移動体に係する。

【図面の簡単な説明】

【0039】

【図 1】本実施形態の D/A 変換器の構成例。

【図 2】電圧選択回路、電圧生成回路の構成例。

【図 3】図 3 A、図 3 B はトランジスタのオン条件、オフ条件の説明図。

【図 4】図 4 A、図 4 B は本実施形態のしきい値電圧設定手法の説明図。

【図 5】オフリーク電流により発生する問題点についての説明図。

【図 6】図 6 A ~ 図 6 D はゲート長によりしきい値電圧を調整する手法の説明図。

10

20

30

40

50

【図 7】図 7 A ~ 図 7 C は基板電圧の制御によりしきい値電圧を調整する手法の説明図。

【図 8】しきい値電圧の設定の具体例。

【図 9】しきい値電圧の設定の他の具体例。

【図 10】図 10 A は回路装置、電子機器の構成例、図 10 B は基準電圧生成回路の第 1 の構成例。

【図 11】基準電圧生成回路の第 2 の構成例。

【図 12】本実施形態の回路装置の構成例。

【図 13】本実施形態の回路装置の詳細な構成例。

【図 14】図 14 A、図 14 B は温度補償処理の説明図。

【図 15】D / A 変換部の詳細な構成例。

10

【図 16】D / A 変換部の更に詳細な構成例。

【図 17】図 17 A、図 17 B、図 17 C は PWM 変調の説明図。

【図 18】図 18 A、図 18 B、図 18 C は発振器、電子機器、移動体の構成例。

【発明を実施するための形態】

【0040】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0041】

1. D / A 変換器の構成

20

図 1 に本実施形態の D / A 変換器の構成例を示す。D / A 変換器は、デコーダー 30、電圧生成回路 32、電圧選択回路 40 を含む。なお D / A 変換器の構成は図 1 の構成には限定されず、その一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【0042】

デコーダー 30 (スイッチング制御回路) は、入力データ D I のデコード処理を行って、制御信号 S C 1 ~ S C i ( i は 2 以上の整数) を出力する。入力データ D I は D / A 変換の対象となるデータである。制御信号 S C 1 ~ S C i は、電圧選択回路 40 が有するセレクターを構成するトランジスタをオン又はオフにする信号である。S C 1 ~ S C i の各制御信号の電圧レベルに応じて、各制御信号に対応するトランジスタ (制御信号又はその反転信号がゲートに入力されるトランジスタ) がオン又はオフになる。制御信号 S C 1 は、入力データ D I の下位ビットに対応し、制御信号 S C i は、入力データ D I の上位ビットに対応する。デコーダー 30 が行うデコード処理は公知の処理であるため、詳細な説明は省略する。

30

【0043】

電圧生成回路 32 は、複数の電圧 V 1 ~ V j ( j は 2 以上の整数) を生成して出力する。例えば電圧生成回路 32 は、電源間 (高電位側電源 V D D A と低電位側電源 V S S の間) に直列に接続された複数の抵抗を有し、これらの複数の抵抗により電圧分割された電圧を、複数の電圧 V 1 ~ V j として出力する。これらの複数の電圧 V 1 ~ V j は電源間 ( V D D A、V S S 間) の電圧を例えば等分割した電圧である。但し、複数の電圧 V 1 ~ V j は、液晶パネル等の表示パネルでの画像表示のための階調電圧であってもよい。この場合には、複数の電圧 V 1 ~ V j は表示パネルの階調特性に応じた電圧になる。

40

【0044】

電圧選択回路 40 は、複数の電圧 V 1 ~ V j に基づいて電圧選択を行い、D / A 変換電圧 V D Q を出力する。具体的には電圧選択回路 40 は、電圧生成回路 32 からの複数の電圧 V 1 ~ V j と、デコーダー 30 からの制御信号 S C 1 ~ S C i に基づいて、複数の電圧 V 1 ~ V j の中から入力データ D I に対応する電圧を D / A 変換電圧 V D Q として選択して出力する。即ち、入力データ D I を D / A 変換した電圧を、D / A 変換電圧 V D Q として出力する。

【0045】

50

電圧選択回路 40 は、複数のセレクトアブロック B L A、B L B、B L C・・・B L F を含む。セレクトアブロックの段数は少なくとも 2 段以上である。B L A・・・B L F の各セレクトアブロックは 1 又は複数のセレクトアにより構成され、各セレクトアは、例えば M O S 型のトランジスタにより構成される。そして前段のセレクトアブロックが有するセレクトアの出力が後段のセレクトアブロックが有するセレクトアに入力される。具体的には、1 段目（前段）のブロック B L A が有するセレクトアの出力が、2 段目（後段）のセレクトアブロック B L B に入力される。2 段目（前段）のセレクトアブロック B L B が有するセレクトアの出力が、3 段目（後段）のセレクトアブロック B L C に入力される。最終段のセレクトアブロック B L F は、その前段のセレクトアブロックが有するセレクトアの出力が入力され、電圧選択を行って D / A 変換電圧 V D Q を出力する。

10

#### 【0046】

1 段目のセレクトアブロック B L A には、電圧生成回路 32 からの複数の電圧 V 1 ~ V j が入力される。そして最終段のセレクトアブロック B L F が、D / A 変換電圧 V D Q を出力する。具体的には、電圧選択回路 40 は、セレクトアブロック B L A ~ B L F により、いわゆるトーナメント方式で電圧選択を行って、最終的な D / A 変換電圧 V D Q を出力する。トーナメント方式は、セレクトアブロックの各セレクトアが制御信号に基づき電圧選択を行うことで、セレクトアに入力された複数の電圧の中から 1 つの電圧が選択され、これによりセレクトアに対応するブロックの電圧が順次に勝ち残りて選択されて行く電圧選択方式である。

#### 【0047】

20

複数段のセレクトアブロック B L A ~ B L F の各々は複数のトランジスタ（例えば P 型トランジスタ、N 型トランジスタ）により構成される。具体的には各セレクトアブロック B L A ~ B L F は 1 又は複数のセレクトアを有し、当該セレクトアが複数のトランジスタにより構成される。

#### 【0048】

そして本実施形態では、セレクトアブロック（少なくとも最終段のセレクトアブロック）を構成する複数のトランジスタのうち、電源ノード（V D D A、V S S）から遠い側の第 2 のトランジスタは、電源ノードから近い側の第 1 のトランジスタに比べて、低いしきい値電圧に設定されている。具体的には、セレクトアブロック（B L A ~ B L F）を構成する複数のトランジスタのうち、高電位側電源ノード（V D D A）から遠い側の第 2 の P 型トランジスタは、高電位側電源ノードから近い側の第 1 の P 型トランジスタに比べて、低いしきい値電圧に設定されている。また低電位側電源ノード（V S S）から遠い側の第 2 の N 型トランジスタは、低電位側電源ノードから近い側の第 1 の N 型トランジスタのしきい値電圧に比べて、低いしきい値電圧に設定されている。

30

#### 【0049】

ここで、電源ノードから遠い側のトランジスタとは、電源ノードから近い側のトランジスタに比べて、トランジスタの入力電圧（入力電圧範囲）が、電源電圧から離れた電圧（電源電圧との差が大きい電圧）となるトランジスタである。電源ノードから近い側の第 1 のトランジスタの入力電圧を V I N 1 とし、電源ノードから遠い側の第 2 のトランジスタを入力電圧 V I N 2 とし、電源電圧を V P W R とした場合に、例えば、 $|V P W R - V I N 2| > |V P W R - V I N 1|$  が成り立つ。

40

#### 【0050】

具体的には、高電位側電源ノードから近い側の第 1 の P 型トランジスタの入力電圧を V I N P 1 とし、高電位側電源ノードから遠い側の第 2 の P 型トランジスタを入力電圧 V I N P 2 とし、高電位側電源電圧を V D D A とした場合に、例えば  $V D D A - V I N P 2 > V D D A - V I N P 1$  が成り立つ。低電位側電源ノードから近い側の第 1 の N 型トランジスタの入力電圧を V I N N 1 とし、低電位側電源ノードから遠い側の第 2 の N 型トランジスタを入力電圧 V I N N 2 とし、低電位側電源電圧を V S S とした場合に、例えば  $V I N N 2 - V S S > V I N N 1 - V S S$  が成り立つ。なお本実施形態では、説明の簡素化のために V D D A、V S S を、適宜、電源を表す記号として用いたり、電源電圧を表

50



す記号として用いたりする。

【 0 0 5 1 】

例えば図 1 のセレクトーブロック B L A は、電圧 V 1、V 2 が入力されて、V 1、V 2 のいずれかを出力する第 1 のセレクトーと、電圧 V 3、V 4 が入力されて、V 3、V 4 のいずれかを出力する第 2 のセレクトーを含むことができる。この場合に第 2 のセレクトー ( V 3、V 4 ) を構成するトランジスター ( N 型 ) は、第 1 のセレクトー ( V 1、V 2 ) を構成するトランジスター ( N 型 ) に比べて、低電位側の電源 V S S のノードから遠い側のトランジスターになる。

【 0 0 5 2 】

またセレクトーブロック B L A は、電圧 V j - 2、V j - 3 が入力されて、V j - 2、V j - 3 のいずれかを出力する第 3 のセレクトーと、電圧 V j、V j - 1 が入力されて、V j、V j - 1 のいずれかを出力する第 4 のセレクトーを含むことができる。この場合に第 3 のセレクトー ( V j - 2、V j - 3 ) を構成するトランジスター ( P 型 ) は、第 4 のセレクトー ( V j、V j - 1 ) を構成するトランジスター ( P 型 ) に比べて、高電位側の電源 V D D A のノードから遠い側のトランジスターになる。

【 0 0 5 3 】

図 2 に電圧選択回路 4 0、電圧生成回路 3 2 の詳細な構成例を示す。なお電圧選択回路 4 0、電圧生成回路 3 2 の構成は図 2 の構成には限定されず、その一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。例えば図 2 では電圧生成回路 3 2 が 2 4 個の電圧 V 1 ~ V 2 4 を生成し、これらの電圧 V 1 ~ V 2 4 が電圧選択回路 4 0 に入力される例を示しているが、生成及び入力される複数の電圧の個数はこれに限定されない。また図 2 では 1 段目のセレクトーブロック B L A を構成するセレクトーが、2 入力 / 1 出力のセレクトーである例を示しているが、例えば 4 入力 / 1 出力のセレクトーなどの他の構成のセレクトーであってもよい。2 段目、最終段のセレクトーブロック B L B、B L F も同様である。また図 2 ではセレクトーブロックの段数が 3 段である場合を示しているが、セレクトーブロックの段数は 4 段以上であってもよい。また電圧生成回路 3 2 は抵抗分割以外の手法により複数の電圧を生成してもよい。

【 0 0 5 4 】

図 2 では電圧生成回路 3 2 は、高電位側の電源 V D D A のノードと低電位側の電源 V S S ( G N D ) のノードとの間に直列に接続された複数の抵抗 R 1 ~ R 2 3 を有する。電圧生成回路 3 2 は、これらの抵抗 R 1 ~ R 2 3 による電圧分割により、複数の電圧 V 1 ~ V 2 4 を生成して出力する。

【 0 0 5 5 】

電圧選択回路 4 0 は、セレクトーブロック B L A、B L B、B L F を含む。B L A、B L B、B L F は、各々、1 段目 ( 初段 )、2 段目、最終段のセレクトーブロックである。

【 0 0 5 6 】

1 段目のセレクトーブロック B L A はセレクトー S A 1 ~ S A 1 2 を含む。S A 1 ~ S A 1 2 の各セレクトーは、2 入力 / 1 出力のセレクトーであり、2 つのトランジスターにより構成される。

【 0 0 5 7 】

具体的には、S A 1 ~ S A 6 の各セレクトーは、2 つの N 型トランジスターにより構成される。例えばセレクトー S A 1 は N 型のトランジスター T A 1、T A 2 により構成され、セレクトー S A 2 は N 型のトランジスター T A 3、T A 4 により構成される。他のセレクトー S A 3 ~ S A 6 も同様である。一方、S A 7 ~ S A 1 2 の各セレクトーは、2 つの P 型のトランジスターにより構成される。例えばセレクトー S A 7 は P 型のトランジスター T A 1 3、T A 1 4 により構成され、セレクトー S A 8 は P 型のトランジスター T A 1 5、T A 1 6 により構成される。他のセレクトー S A 9 ~ S A 1 2 も同様である。

【 0 0 5 8 】

そして、この 1 段目のセレクトーブロック B L A には、電圧生成回路 3 2 からの複数の電圧 V 1 ~ V 2 4 が入力される。具体的にはセレクトー S A 1 は、電圧 V 1、V 2 が入力

10

20

30

40

50

され、V 1、V 2 のいずれかを選択して、後段のセレクターブロック B L B (セレクター S B 1) に出力する。セレクター S A 2 は、電圧 V 3、V 4 が入力され、V 3、V 4 のいずれかを選択して、後段のセレクターブロック B L B (セレクター S B 2) に出力する。他のセレクター S A 3 ~ S A 12 も同様である。

【0059】

2 段目のセレクターブロック B L B はセレクター S B 1 ~ S B 6 を含む。S B 1 ~ S B 6 の各セレクターは、2 入力 / 1 出力のセレクターであり、2 つのトランジスタにより構成される。具体的には、S B 1 ~ S B 3 の各セレクターは、2 つの N 型のトランジスタにより構成される。例えばセレクター S B 1 は N 型のトランジスタ T B 1、T B 2 により構成される。他のセレクター S B 2、S B 3 も同様である。一方、S B 4 ~ S B 6 の各セレクターは、2 つの P 型のトランジスタにより構成される。例えばセレクター S B 4 は P 型のトランジスタ T B 7、T B 8 により構成される。他のセレクター S B 5、S B 6 も同様である。

10

【0060】

そして、この 2 段目のセレクターブロック B L B には、1 段目 (前段) のセレクターブロック B L A により選択された複数の電圧が入力される。具体的にはセレクター S B 1 は、前段のセレクター S A 1、S A 2 により選択された 2 つの電圧が入力され、これらの 2 つの電圧のいずれかを選択して、後段 (最終段) のセレクターブロック B L F のセレクター S F に出力する。セレクター S B 2 は、前段のセレクター S A 3、S A 4 により選択された 2 つの電圧が入力され、これらの 2 つの電圧のいずれかを選択して、後段のセレクターブロック B L F のセレクター S F に出力する。他のセレクター S B 3 ~ S B 6 も同様である。

20

【0061】

最終段のセレクターブロック B L F は、6 入力 / 1 出力のセレクター S F により構成される。このセレクター S F は、N 型のトランジスタ T F 1 ~ T F 3 と、P 型のトランジスタ T F 4 ~ T F 6 により構成される。そしてセレクター S F は、前段のセレクターブロック B L B のセレクター S B 1 ~ S B 6 により選択された 6 つの電圧が入力され、これらの 6 つの電圧のいずれかを選択して、D / A 変換電圧 V D Q として出力する。

【0062】

1 段目のセレクターブロック B L A を構成するトランジスタ T A 1 ~ T A 24 は、図 1 のデコーダー 30 からの 1 ビットの制御信号 S C 1 (スイッチ制御信号) によりオン、オフ制御される。制御信号 S C 1 は入力データの下位の 1 ビットに対応する信号である。例えば制御信号 S C 1 が L レベル (論理レベル「0」) である場合には、奇数番目のトランジスタ T A 1、T A 3、T A 5 . . . T A 23 がオンになる。一方、制御信号 S C 1 が H レベル (論理レベル「1」) である場合には、偶数番目のトランジスタ T A 2、T A 4、T A 6 . . . T A 24 がオンになる。即ち、奇数番目のトランジスタと偶数番目のトランジスタとは、互いに排他的にオン又はオフになる。この排他的なオン、オフは、制御信号 S C 1 とその反転信号を用いることで実現できる。

30

【0063】

2 段目のセレクターブロック B L B を構成するトランジスタ T B 1 ~ T B 12 は、デコーダー 30 からの 1 ビットの制御信号 S C 2 によりオン、オフ制御される。例えば制御信号 S C 2 が L レベル (「0」) である場合には、奇数番目のトランジスタ T B 1、T B 3 . . . T B 11 がオンになる。一方、制御信号 S C 2 が H レベル (「1」) である場合には、偶数番目のトランジスタ T B 2、T B 4 . . . T B 12 がオンになる。即ち、奇数番目のトランジスタと偶数番目のトランジスタとは、互いに排他的にオン又はオフになる。この排他的なオン、オフは、制御信号 S C 2 とその反転信号を用いることで実現できる。

40

【0064】

最終段のセレクターブロック B L F を構成するトランジスタ T F 1 ~ T F 6 は、デコーダー 30 からの例えば 3 ビットの制御信号 S C 3 ~ S C 5 によりオン、オフ制御される

50

。例えば制御信号  $SC3 \sim SC5$  により、6つのトランジスタ  $TF1 \sim TF6$  のいずれか1つのトランジスタがオンになり、他のトランジスタはオフになる。これにより6入力/1出力のセレクター  $SF$  が実現される。

#### 【0065】

このように本実施形態では、複数段のセレクターブロック  $BLA$ 、 $BLB$ 、 $BLF$  では、前段のセレクターブロックが有するセレクターの出力が後段のセレクターブロックが有するセレクターに入力される。1段目(前段)のセレクターブロック  $BLA$  が有するセレクター  $SA1 \sim SA12$  の出力が、2段目(後段)のセレクターブロック  $BLB$  が有するセレクター  $SB1 \sim SB6$  に入力される。2段目(前段)のセレクターブロック  $BLB$  が有するセレクター  $SB1 \sim SB6$  の出力が、最終段(後段)のセレクターブロック  $BLF$  が有するセレクター  $SF$  に入力される。そして1段目のセレクターブロック  $BLA$  には、複数の電圧  $V1 \sim V24$  が入力され、いわゆるトーナメント方式で電圧選択を行うことで、最終段のセレクターブロック  $BLF$  から、入力データ  $DI$  の  $D/A$  変換電圧  $VDQ$  が出力される。

#### 【0066】

また複数段のセレクターブロック  $BLA$ 、 $BLB$ 、 $BLF$  の各々は複数のトランジスタにより構成される。例えばセレクターブロック  $BLA$  はトランジスタ  $TA1 \sim TA24$  により構成される。セレクターブロック  $BLB$  はトランジスタ  $TB1 \sim TB12$  により構成される。セレクターブロック  $BLF$  はトランジスタ  $TF1 \sim TF6$  により構成される。

#### 【0067】

そして、これらの複数のトランジスタにおいて、電源ノード( $VDDA$ 、 $VSS$ )から遠い側のトランジスタは、電源ノード( $VDDA$ 、 $VSS$ )から近い側のトランジスタに比べて、低いしきい値電圧に設定されている。

#### 【0068】

例えば最終段のブロック  $BLF$  において、 $P$ 型のトランジスタ  $TF5$ (第2のトランジスタ)は、 $P$ 型のトランジスタ  $TF6$ (第1のトランジスタ)に比べて、高電位側の電源  $VDDA$  のノードから遠い側のトランジスタである。このため、 $TF5$  のしきい値電圧  $VTPM$  は、 $TF6$  のしきい値電圧  $VTPH$  よりも低い電圧に設定( $VTPM < VTPH$ )されている。 $P$ 型のトランジスタ  $TF4$ (第3のトランジスタ)は、 $P$ 型のトランジスタ  $TF5$ (第2のトランジスタ)に比べて、 $VDDA$  のノードから遠い側のトランジスタである。このため、 $TF4$  のしきい値電圧  $VTPL$  は、 $TF5$  のしきい値電圧  $VTPM$  よりも低い電圧に設定( $VTPL < VTPM$ )されている。前段のセレクターブロック  $BLA$ 、 $BLB$  の  $P$ 型のトランジスタ  $TA13 \sim TA24$ 、 $TB7 \sim TB12$  についても同様である。なお  $P$ 型のトランジスタのしきい値電圧  $VTPH$ 、 $VTPM$ 、 $VTPL$  はしきい値電圧の絶対値( $|VTPH|$ 、 $|VTPM|$ 、 $|VTPL|$ )を意味する。

#### 【0069】

また最終段のブロック  $BLF$  において、 $N$ 型のトランジスタ  $TF2$ (第2のトランジスタ)は、 $N$ 型のトランジスタ  $TF1$ (第1のトランジスタ)に比べて、低電位側の電源  $VSS$  のノードから遠い側のトランジスタである。このため、 $TF2$  のしきい値電圧  $VTNM$  は、 $TF1$  のしきい値電圧  $VTNH$  よりも低い電圧に設定( $VTNM < VTNH$ )されている。 $N$ 型のトランジスタ  $TF3$ (第3のトランジスタ)は、 $N$ 型のトランジスタ  $TF2$ (第2のトランジスタ)に比べて、 $VSS$  のノードから遠い側のトランジスタである。このため、 $TF3$  のしきい値電圧  $VTNL$  は、 $TF2$  のしきい値電圧  $VTNM$  よりも低い電圧に設定( $VTNL < VTNM$ )されている。前段のセレクターブロック  $BLA$ 、 $BLB$  の  $N$ 型のトランジスタ  $TA1 \sim TA12$ 、 $TB1 \sim TB6$  についても同様である。

#### 【0070】

ここで、電源ノード( $VDDA$ 、 $VSS$ )に近い側の第1のトランジスタ( $TF1$ 、

TF 6等)は、しきい値電圧のティピカル値が第1のしきい値電圧(例えば0.6V)である第1の種類(後述するPRH)のトランジスタである。電源ノードから遠い側の第2のトランジスタ(TF 2、TF 5等)は、しきい値電圧のティピカル値が第1のしきい値電圧よりも低い第2のしきい値電圧(例えば0.45V)である第2の種類(後述するPRM)のトランジスタである。電源ノードから更に遠い側の第3のトランジスタ(TF 3、TF 4等)は、しきい値電圧のティピカル値が第2のしきい値電圧よりも低い第3のしきい値電圧(例えば0.25V)である第3の種類(後述するPRL)のトランジスタである。

#### 【0071】

しきい値電圧のティピカル値は、例えば製造プロセス条件がティピカル条件(プロセスばらつきが無い場合の条件)であり、温度が基準温度(例えば25)である場合のしきい値電圧である。第1、第2、第3の種類のトランジスタは、例えば製造プロセスが異なるトランジスタである。第1の種類のトランジスタ(TF 1、TF 6等)は、例えば高耐圧用(ハイボルテージ)の製造プロセスにより形成されるトランジスタである。第3の種類のトランジスタ(TF 3、TF 4等)は、例えば低耐圧用(ローボルテージ)の製造プロセスにより形成されるトランジスタである。第2の種類のトランジスタ(TF 2、TF 5等)は、例えば高耐圧用と低耐圧用の間の中耐圧用の製造プロセスにより形成されるトランジスタである。

#### 【0072】

例えば第1、第2の種類である第1、第2のトランジスタでは、トランジスタの製造プロセスパラメータが異なることで、異なるしきい値電圧に設定されている。第3の種類である第3のトランジスタも、トランジスタの製造プロセスパラメータが異なることで、第1、第2のトランジスタとは異なるしきい値電圧に設定されている。ここで、製造プロセスパラメータは、トランジスタのチャネル領域等における不純物濃度やゲート酸化膜の厚さなどのパラメータである。例えば不純物濃度を高くしたり、低くすることで、トランジスタのしきい値電圧を設定する。或いは、ゲート酸化膜を薄くしたり、厚くすることで、トランジスタのしきい値電圧を設定する。或いは、製造プロセスパラメータは、トランジスタの異極ゲートについてのパラメータであってもよい。即ち、トランジスタのゲート(ポリシリコン)について異種のゲート(例えばイオン注入される不純物の濃度や種類が異なるゲート)を用いることで、トランジスタのしきい値電圧を設定する。このようにトランジスタのしきい値電圧を設定する製造プロセスパラメータとしては種々のパラメータを想定できる。

#### 【0073】

また本実施形態では、このようなトランジスタの種類(製造プロセス等)のみならず、トランジスタのゲート長L(チャネル長)の設定により、トランジスタのしきい値電圧を互いに異ならせている。具体的には、後述するようにトランジスタの短チャネル効果や、逆短チャネル効果を有効活用して、トランジスタのしきい値電圧を設定する。

#### 【0074】

例えば図2では、第1のトランジスタ(TF 1、TF 6等)と、第2のトランジスタ(TF 2、TF 5等)とは、ゲート長(チャネル長)が異なっている。また第3のトランジスタ(TF 3、TF 4等)も、他のトランジスタとゲート長を異ならせてもよい。即ち、第1、第2、第3のトランジスタのうちの少なくとも1つのトランジスタは、第1、第2、第3のトランジスタのうちの他のトランジスタとは、ゲート長が異なっている。

#### 【0075】

例えばトランジスタTF 1、TF 6(第1のトランジスタ)のゲート長は $L = L_T$ に設定されている。ここで、 $L_T$ は、第1の種類のトランジスタ(PRH)において標準的なゲート長(ティピカルゲート長)であり、例えば $L_T = 0.4 \mu m$ である。

#### 【0076】

一方、トランジスタTF 2、TF 5(第2のトランジスタ)のゲート長は $L = L_1$

10

20

30

40

50

、 $L_4$ に設定されており、 $L_1$ 、 $L_4$ は標準的なゲート長 $L_T$ とは異なっている。例えば $L_1$ 、 $L_4$ を $L_T$ よりも長くしたり、短くする。なお $L_1$ 又は $L_4$ を、 $L_T$ と同じ長さに設定してもよい。また $L_1$ と $L_4$ は、異なる長さでもよいし、同じ長さでもよい。

【0077】

またトランジスタ $TF_3$ 、 $TF_4$ （第3のトランジスタ）のゲート長は $L=L_2$ 、 $L_3$ に設定されており、 $L_2$ 、 $L_3$ は標準的なゲート長 $L_T$ とは異なっている。例えば $L_2$ 、 $L_3$ を $L_T$ よりも長くしたり、短くする。なお $L_2$ 又は $L_3$ を、 $L_T$ と同じ長さに設定してもよい。また $L_2$ と $L_3$ は、異なる長さでもよいし、同じ長さでもよい。また $L_2$ 、 $L_3$ と、前述の $L_1$ 、 $L_4$ は、異なる長さでもよいし、同じ長さでもよい。

【0078】

また、最終段のセレクトブロック $BLF$ を構成する少なくとも1つのトランジスタのゲート長は、最終段のセレクトブロック $BLF$ を構成する他のトランジスタのゲート長よりも長くなっている。また最終段のセレクトブロック $BLF$ を構成する少なくとも1つのトランジスタのゲート長は、1段目のセレクトブロック $BLA$ を構成するトランジスタのゲート長よりも長くなっている。

【0079】

例えばセレクトブロック $BLF$ を構成するP型のトランジスタ $TF_4$ 又は $TF_5$ のゲート長 $L_3$ 、 $L_4$ は、 $BLF$ を構成する他のP型のトランジスタ $TF_6$ のゲート長 $L_T$ よりも長くなっている。或いはトランジスタ $TF_4$ 又は $TF_5$ のゲート長 $L_3$ 、 $L_4$ は、1段目のセレクトブロック $BLA$ を構成するP型のトランジスタ $TA_{13} \sim TA_{24}$ のゲート長 $L_T$ よりも例えば長くなっている。

【0080】

またセレクトブロック $BLF$ を構成するN型のトランジスタ $TF_3$ 等のゲート長 $L_2$ は、 $BLF$ を構成する他のN型のトランジスタ $TF_1$ のゲート長 $L_T$ よりも長くなっている。或いはトランジスタ $TF_3$ 等のゲート長 $L_2$ は、1段目のセレクトブロック $BLA$ を構成するN型のトランジスタ $TA_1 \sim TA_{12}$ のゲート長 $L_T$ よりも例えば長くなっている。

【0081】

このようにトランジスタの種類のみならず、ゲート長も用いて、トランジスタのしきい値電圧を設定すれば、より細かなしきい値電圧の調整が可能になる。これにより、電源電圧が低い場合等においても、例えばトランジスタのオン条件、オフ条件を満たすしきい値電圧の設定が容易になる。またトランジスタのオフリーク電流（オフ時のリーク電流）に起因するD/A変換器の非直線性誤差（ $DN_L$ 等）を抑制するしきい値電圧の設定も可能になる。

【0082】

なお図2に示すように本実施形態では、最終段のセレクトブロック $BLF$ のセクター $SF$ は、前段のセレクトブロック $BLB$ から例えば6個（広義には $I$ 個。 $I=3$ ）の電圧が入力され、1個のD/A変換電圧 $VDQ$ を出力するセクターになっている。即ち最終段のセレクトブロック $BLF$ では、例えば1つのセクター $SF$ を用いて、例えば6個の電圧（広義には3個以上の複数の電圧）から、電圧選択を行って、D/A変換電圧 $VDQ$ を出力する。後述するように最終段のセレクトブロック $BLF$ のトランジスタ $TF_1 \sim TF_6$ では、その入力電圧が所与の電圧範囲で変化する。このため、トランジスタのオン条件及びオフ条件等を満たすしきい値電圧の設定が難しいという課題がある。この点、図2では、セレクトブロック $BLF$ のセクター $SF$ は、2入力/1出力のセクターではなく、6入力/1出力のセクターになっている。従って、2入力/1出力のセクターである場合に比べて、セクター $SF$ を構成するトランジスタ $TF_1 \sim TF_6$ の入力電圧範囲（電圧変化範囲）を狭くできる。この結果、トランジスタのオン条件、オフ条件等を満たすしきい値電圧の設定を容易化できるという利点がある。

【0083】

2. しきい値電圧設定手法

10

20

30

40

50

次に本実施形態のしきい値電圧設定手法について詳細に説明する。図3AはP型トランジスタTPのオン条件、オフ条件の説明図である。図3Aに示すようにP型トランジスタTPをオンさせる場合には、そのゲートに例えば $V_{SS} = 0V$ が入力される。P型トランジスタTPがオンするためには、そのゲート・ソース間電圧（絶対値）をしきい値電圧（絶対値）よりも大きくする必要があり、下式（1）に示すオン条件が成立する必要がある。

【0084】

$$V_{IN} > V_{TP} + V_{BS} + V_{PR} + V_{TS} \quad (1)$$

ここで $V_{IN}$ は、P型トランジスタTPの入力電圧（ソース・ドレインの入力電圧）である。 $V_{TP}$ はP型トランジスタTPの基本的なしきい値電圧であり、 $V_{BS}$ は基板バイアス効果によるしきい値電圧の増加分である。即ち、P型トランジスタTPでは、基板電圧が例えば $V_{DDA}$ の電圧となっており、入力電圧 $V_{IN}$ とは異なっているため、しきい値電圧 $V_{TP}$ が基板バイアス効果により電圧 $V_{BS}$ だけ増加する。また $V_{PR}$ はプロセスばらつきに起因するしきい値電圧の変動分（プラス方向への変動分）である。 $V_{TS}$ は温度変動に起因するしきい値電圧の変動分（プラス方向への変動分）である。即ち、半導体の製造プロセスにはばらつきがあるため、このばらつきに起因して、しきい値電圧が高くなる場合がある。また温度変動があった場合にも、しきい値電圧が変動して、高くなる場合がある。従って、P型トランジスタTPがオンするためには、入力電圧 $V_{IN}$ が $V_{TP} + V_{BS} + V_{PR} + V_{TS}$ よりも高い電圧である必要がある。なお $V_{TP}$ はしきい値電圧の絶対値（ $|V_{TP}|$ ）を意味する。

【0085】

またP型トランジスタTPが適正にオフするためには、下式（2）に示すオフ条件が成立する必要がある。

【0086】

$$V_{TP} - V_{PR} - V_{TS} > 0 \quad (2)$$

ここで、 $V_{PR}$ はプロセスばらつきに起因するしきい値電圧の変動分（マイナス方向への変動分）である。 $V_{TS}$ は温度変動に起因するしきい値電圧の変動分（マイナス方向への変動分）である。即ち、半導体の製造プロセスにはばらつきがあるため、このばらつきに起因して、しきい値電圧が低くなる場合がある。また温度変動があった場合にも、しきい値電圧が変動して、低くなる場合がある。これらのプロセスばらつきや温度変動に起因してしきい値電圧が変動した場合にも、P型トランジスタTPを適正にオフするためには、上式（2）のオフ条件が成立する必要がある。

【0087】

図3BはN型トランジスタTNのオン条件、オフ条件の説明図である。図3Bに示すようにN型トランジスタTNをオンさせる場合には、そのゲートに例えば $V_{DDA}$ の電圧（例えば $0.9V$ ）が入力される。N型トランジスタTNがオンするためには、そのゲート・ソース間電圧（ $V_{DDA} - V_{IN}$ ）をしきい値電圧よりも大きくする必要があり、下式（3）に示すオン条件が成立する必要がある。

【0088】

$$V_{DDA} - V_{IN} > V_{TN} + V_{BS} + V_{PR} + V_{TS} \quad (3)$$

ここで、 $V_{TN}$ はN型トランジスタTNの基本的なしきい値電圧であり、 $V_{BS}$ は基板バイアス効果によるしきい値電圧の増加分である。 $V_{PR}$ 、 $V_{TS}$ は、上述と同様に、プロセスばらつき、温度変動に起因するしきい値電圧の変動分（プラス方向への変動分）である。

【0089】

またN型トランジスタTNが適正にオフするためには、下式（4）に示すオフ条件が成立する必要がある。

【0090】

$$V_{TN} - V_{PR} - V_{TS} > 0 \quad (4)$$

$V_{PR}$ 、 $V_{TS}$ は、上述と同様に、プロセスばらつき、温度変動に起因するしきい値電

圧の変動分（マイナス方向への変動分）である。

【 0 0 9 1 】

さて、電源  $V_{DDA}$  の電圧が、トランジスタのしきい値電圧に対して十分に高い場合には、図 1、図 2 に示すような構成の D / A 変換器において、上式 ( 1 ) ~ ( 4 ) のようなオン条件、オフ条件を考慮する必要はほとんどない。

【 0 0 9 2 】

しかしながら、電源  $V_{DDA}$  の電圧が低くなり、トランジスタのしきい値電圧に近くなると、上式 ( 1 ) ~ ( 4 ) のようなオン条件、オフ条件を考慮しないと、図 1、図 2 のような構成の D / A 変換器の適正な動作を実現できないことが判明した。

【 0 0 9 3 】

例えば本実施形態では、後述するように、トランジスタの仕事関数差を利用した電源回路により、電源  $V_{DDA}$  を生成している。このため、 $V_{DDA}$  の電圧が例えば 0 . 9 V というように非常に低い電圧になる。そして  $V_{DDA} = 0 . 9 V$  というように低い電圧になると、例えば図 2 に示すように電源間に多数のトランジスタが配列された電圧選択回路 4 0 において、適正な電圧選択を行うことが難しくなる。即ち、電源  $V_{DDA}$  の電圧が低くなると、電圧選択回路 4 0 を構成するトランジスタのオン条件、オフ条件を満たすことが難しくなり、トーナメント方式による適正な電圧選択を行って D / A 変換電圧  $V_D Q$  を出力することが困難になる。

【 0 0 9 4 】

例えば図 4 A には、図 2 の最終段の P 型のトランジスタ  $T_{F4} \sim T_{F6}$  の入力電圧範囲  $V_R$  ( 入力電圧  $V_{IN}$  の電圧範囲 ) が示されている。例えば  $V_{DDA} = 0 . 9 V$  とした場合に、最終段の P 型のトランジスタ  $T_{F6}$  の入力電圧範囲は  $V_R = 0 . 9 \sim 0 . 75 V$  になる。即ち、トランジスタ  $T_{F6}$  には、電圧生成回路 3 2 により生成された電圧  $V_{24}$ 、 $V_{23}$ 、 $V_{22}$ 、 $V_{21}$  のいずれかの電圧が、入力電圧  $V_{IN}$  として入力される。従って、トランジスタ  $T_{F6}$  の入力電圧範囲は、電圧  $V_{24} \sim V_{21}$  に対応する  $V_R = 0 . 9 \sim 0 . 75 V$  の範囲になる。

【 0 0 9 5 】

また、P 型のトランジスタ  $T_{F5}$  には、電圧生成回路 3 2 により生成された電圧  $V_{20}$ 、 $V_{19}$ 、 $V_{18}$ 、 $V_{17}$  のいずれかの電圧が、入力電圧  $V_{IN}$  として入力される。従って、トランジスタ  $T_{F6}$  の入力電圧範囲は、電圧  $V_{20} \sim V_{17}$  に対応する  $V_R = 0 . 75 \sim 0 . 6 V$  の範囲になる。同様に、P 型のトランジスタ  $T_{F4}$  の入力電圧範囲は  $V_R = 0 . 6 \sim 0 . 45 V$  になる。

【 0 0 9 6 】

図 4 B には、図 2 の N 型のトランジスタ  $T_{F1} \sim T_{F3}$  の入力電圧範囲  $V_R$  が示されている。例えば N 型のトランジスタ  $T_{F3}$  には、電圧  $V_{12}$ 、 $V_{11}$ 、 $V_{10}$ 、 $V_9$  のいずれかの電圧が、入力電圧  $V_{IN}$  として入力される。従って、トランジスタ  $T_{F3}$  の入力電圧範囲は、電圧  $V_{12} \sim V_9$  に対応する  $V_R = 0 . 45 \sim 0 . 3 V$  の範囲になる。同様に、N 型のトランジスタ  $T_{F2}$ 、 $T_{F1}$  の入力電圧範囲は、各々、 $V_R = 0 . 3 \sim 0 . 15 V$ 、 $V_R = 0 . 15 \sim 0 V$  になる。

【 0 0 9 7 】

そして図 4 A において、P 型のトランジスタ  $T_{F6}$  の入力電圧範囲は  $V_R = 0 . 9 \sim 0 . 75 V$  であり、この入力電圧範囲での入力電圧  $V_{IN}$  の最小電圧  $V_{INmin}$  は 0 . 75 V である。そして図 3 A に示すように、P 型のトランジスタ  $T_{F6}$  のオン条件は、 $V_{IN} > V_{TP} + V_{BS} + V_{PR} + V_{TS}$  である。従って、 $V_{INmin} = 0 . 75 V$  である場合に、 $V_{IN} - ( V_{TP} + V_{BS} + V_{PR} + V_{TS} )$  で表されるマージンが最も小さくなり、トランジスタ  $T_{F6}$  のオン条件が最も厳しくなる。同様に、トランジスタ  $T_{F5}$ 、 $T_{F4}$  では、各々、 $V_{INmin} = 0 . 6 V$ 、 $0 . 45 V$  である場合に、オン条件が最も厳しくなる。

【 0 0 9 8 】

また図 4 B において、N 型のトランジスタ  $T_{F3}$  の入力電圧範囲は  $V_R = 0 . 45 \sim$

10

20

30

40

50

0.3 Vであり、この入力電圧範囲での $V_{DDA} - V_{IN}$ の最小電圧( $V_{DDA} - V_{IN}$ ) $_{min}$ は0.45 Vである。即ち、 $V_{DDA} = 0.9$  Vであるため、 $V_{IN} = 0.45$  Vである場合に、 $V_{DDA} - V_{IN}$ は最小電圧( $V_{DDA} - V_{IN}$ ) $_{min} = 0.9$  V - 0.45 V = 0.45 Vになる。そして図3 Bに示すように、N型のトランジスタTF3のオン条件は、 $V_{DDA} - V_{IN} > V_{TN} + V_{BS} + V_{PR} + V_{TS}$ である。従って、( $V_{DD} - V_{IN}$ ) $_{min} = 0.45$  Vである場合に、( $V_{DDA} - V_{IN}$ ) - ( $V_{TN} + V_{BS} + V_{PR} + V_{TS}$ )で表されるマージンが最も小さくなり、トランジスタTF3のオン条件が最も厳しくなる。同様に、トランジスタTF2、TF1では、各々、( $V_{DD} - V_{IN}$ ) $_{min} = 0.6$  V、0.75 Vである場合に、オン条件が最も厳しくなる。

10

#### 【0099】

このように図4 AのP型のトランジスタTF6、TF5、TF4では、オン条件が最も厳しくなる $V_{IN_{min}} = 0.75$  V、0.6 V、0.45 Vの場合に、 $V_{IN} > V_{TP} + V_{BS} + V_{PR} + V_{TS}$ のオン条件が満たされるように、しきい値電圧 $V_{TP}$ を設定する必要がある。従って、トランジスタTF6、TF5、TF4のしきい値電圧 $V_{TP}$ は、各々、少なくとも0.75 V、0.6 V、0.45 Vよりも低い電圧に設定する必要がある。

#### 【0100】

また図4 BのN型のトランジスタTF3、TF2、TF1では、オン条件が最も厳しくなる( $V_{DDA} - V_{IN}$ ) $_{min} = 0.45$  V、0.6 V、0.75 Vの場合に、 $V_{DDA} - V_{IN} > V_{TN} + V_{BS} + V_{PR} + V_{TS}$ のオン条件が満たされるように、しきい値電圧 $V_{TN}$ を設定する必要がある。従って、トランジスタTF3、TF2、TF1のしきい値電圧 $V_{TN}$ は、各々、少なくとも0.45 V、0.6 V、0.75 Vよりも低い電圧に設定する必要がある。

20

#### 【0101】

そして図4 Aに示すように、例えば種類PRH、PRM、PRLのP型のトランジスタでは、しきい値電圧のティピカル値は、各々、0.6 V、0.45 V、0.25 Vになっている。また図4 Bに示すように、種類PRL、PRM、PRHのN型のトランジスタでは、しきい値電圧のティピカル値は、各々、0.25 V、0.45 V、0.6 Vになっている。即ち、しきい値電圧(絶対値)は、種類PRHが最も高く、種類PRLが最も低い。

30

#### 【0102】

そこで、トランジスタの種類の設定により、しきい値電圧を設定する手法を採用する場合には、例えばTF6については種類PRHのトランジスタを用い、TF5については種類PRMのトランジスタを用い、TF4については種類PRLのトランジスタを用いることが望ましい。また、TF3については種類PRLのトランジスタを用い、TF2については種類PRMのトランジスタを用い、TF1については種類PRHのトランジスタを用いることが望ましい。こうすることで、少なくともトランジスタのオン条件については満たすことが可能になる。

#### 【0103】

40

一方、しきい値電圧 $V_{TP}$ 、 $V_{TN}$ が低くなりすぎると、今度は図3 A、図3 Bのオフ条件が満たされなくなるという問題が生じる。即ち、しきい値電圧 $V_{TP}$ 、 $V_{TN}$ が低くなりすぎると、 $V_{TP} - V_{PR} - V_{TS} > 0$ 、 $V_{TN} - V_{PR} - V_{TS} > 0$ のオフ条件が成立しなくなるおそれがある。更に、トランジスタのオフリーク電流に起因するD/A変換器の非直線性誤差(DNL)が許容値を超えてしまうという問題も考慮する必要がある。このため、例えばトランジスタTF6、TF5、TF4のしきい値電圧 $V_{TP}$ は、各々、0.75 V、0.6 V、0.45 Vよりも低く、且つ、これらの電圧に近い電圧にすることが望ましい。またトランジスタTF3、TF2、TF1のしきい値電圧 $V_{TN}$ は、各々、0.45 V、0.6 V、0.75 Vよりも低く、且つ、これらの電圧に近い電圧にすることが望ましい。

50



## 【 0 1 0 4 】

図 5 は、トランジスタのオフリーク電流に起因する問題について説明する図である。1 段目のトランジスタ T A 1 3 ~ T A 2 0 は、制御信号 S C 1 により排他的にオン又はオフになる。例えば図 5 では、奇数番目のトランジスタ T A 1 3、T A 1 5 . . . T A 1 9 がオンになっており、偶数番目のトランジスタ T A 1 4、T A 1 6 . . . T A 2 0 がオフになっている。また 2 段目のトランジスタ T B 7 ~ T B 1 0 は、制御信号 S C 2 により排他的にオン又はオフになる。例えば図 5 では、奇数番目のトランジスタ T B 7、T B 9 がオフになっており、偶数番目のトランジスタ T B 8、T B 1 0 がオンになっている。そして最終段のトランジスタ T F 4、T F 5 では、T F 4 がオンになっており、T F 5 がオフになっている。これにより図 5 では、電圧 V 1 5 が選択されて、D / A 変換電圧 V D Q = V 1 5 が出力されている。

10

## 【 0 1 0 5 】

この場合に、例えばオフになっているトランジスタ T F 5 においても、オフリーク電流 I L が流れる。このオフリーク電流 I L は、電源 V D D A から抵抗 R 2 3 ~ R 1 9 及びオン状態のトランジスタ T A 1 9、T B 1 0 を介して、オフ状態のトランジスタ T F 5 を流れ、オン状態のトランジスタ T F 4 に流れ込む。そして、このオフリーク電流 I L は、オン状態のトランジスタ T B 8、T A 1 5 を介して、電圧 V 1 5 のノードに流れ込み、抵抗 R 1 4 ~ R 1 を介して電源 V S S 側に流れる。

## 【 0 1 0 6 】

このようなオフリーク電流 I L が流れると、オン状態のトランジスタ T F 4、T B 8、T A 1 5 のオン抵抗 R O N と、オフリーク電流との積に対応する電圧の分だけ、D / A 変換電圧 V D Q が、電圧 V 1 5 からずれてしまう。また、直列接続された抵抗 R 1 ~ R 2 3 には、本来は、V D D A - V S S の電圧を R 1 ~ R 2 3 の総抵抗値で除算したものに相当する電流 I が流れる前提となっているが、オフリーク電流 I L が流れると、この前提が崩れる。即ち電圧生成回路 3 2 では、電源 V D D A から V S S に電流 I が流れることで、V D D A - V S S の電圧を等分割した電圧 V 1 ~ V 2 4 が生成される前提となっている。しかしながら、オフリーク電流 I L が存在すると、例えば抵抗 R 2 3 ~ R 1 9 や R 1 4 ~ R 1 に流れる電流が I + I L になってしまうなどの事態が発生し、上記前提が崩れ、D / A 変換電圧 V D Q が電圧 V 1 5 からずれた電圧になってしまう。そして、D / A 変換電圧 V D Q が本来の電圧からずれた電圧になり、D / A 変換器の非直線性誤差 ( D N L ) が許容値 (例えば 1 L S B の電圧) を越えてしまうと、適正な D / A 変換を実現できなくなってしまう。

20

30

## 【 0 1 0 7 】

トランジスタのオン条件、オフ条件を満たしながら、図 5 のようなオフリーク電流の問題を回避するためには、図 4 A、図 4 B で説明したトランジスタの種類の設定によるしきい値電圧の設定手法だけでは、不十分な場合がある。

## 【 0 1 0 8 】

例えば図 5 において、オフリーク電流 I L の電流値を小さくするためには、オフ状態のトランジスタ T F 5 のしきい値電圧を高くする必要がある。トランジスタ T F 5 のしきい値電圧を高くすることで、オフリーク電流 I L が減り、オフリーク電流 I L に起因する非直線性誤差を低減することが可能になる。

40

## 【 0 1 0 9 】

しかしながら、例えばオン状態のトランジスタ T F 4 についても、しきい値電圧を高くしてしまうと、今度はオン抵抗 R O N が増加し、オン抵抗 R O N に起因する雑音が増加してしまう。このように雑音が増加すると、例えば後述する発振器用の回路装置に D / A 変換器を用いた場合に、発振周波数の位相雑音が増加する問題が生じる。

## 【 0 1 1 0 】

このようなトランジスタのオン条件、オフ条件、オフリーク電流に起因する性能低下 (非直線性誤差の増加) の回避条件などの種々の条件を満たすためには、しきい値電圧の微調整が必要である。

50

## 【 0 1 1 1 】

ところが、図 4 A、図 4 B に示すようなトランジスタの種類の設定によるしきい値電圧の設定手法では、しきい値電圧の粗調整は可能であるが、微調整は難しい。例えばトランジスタの種類（製造プロセス）を増やして、しきい値電圧の微調整を実現する手法も考えられるが、この手法では、製造プロセスの種類の増加によるコストの増加や、手間・作業の増加・複雑化などの問題を招く。

## 【 0 1 1 2 】

そこで本実施形態では、図 4 A、図 4 B に示すようなトランジスタの種類の設定によるしきい値電圧の設定に加えて、トランジスタのゲート長（チャンネル長）の調整によるしきい値電圧の設定を行う。例えばトランジスタの種類の設定により、しきい値電圧の粗調整を行い、トランジスタのゲート長の調整により、しきい値電圧の微調整を実現する。こうすることで、トランジスタのオン条件、オフ条件、オフリーク電流に起因する性能低下の回避条件などを満たすことが可能なしきい値電圧の設定手法を実現できる。

10

## 【 0 1 1 3 】

例えば図 6 A は、種類 P R M、P R L の P 型、N 型トランジスタにおけるゲート長 L としきい値電圧 V T の関係の例を示す図である。例えば種類 P R L（低耐圧）の P 型トランジスタでは、図 6 B の F 1 に示す短チャンネル効果により、チャンネル値 L が長くなった場合に、しきい値電圧 V T が増加する傾向にある。一方、種類 P R M（中耐圧）の P 型トランジスタ、N 型トランジスタ、及び種類 P R L（低耐圧）の N 型トランジスタでは、図 6 B の F 2 に示す逆短チャンネル効果により、ゲート長が長くなった場合に（長チャンネル領域において）、しきい値電圧 V T が減少する傾向にある。

20

## 【 0 1 1 4 】

例えば図 6 C の F 3、F 4 は、短チャンネル効果の場合の空乏層の様子を模式的に示す図である。F 3 はゲートによる空乏層であり、F 4 はソース・ドレイン（N 型不純物領域）による空乏層である。短チャンネル効果によるしきい値電圧の低下は、F 3、F 4 の空乏層の影響により生じる。即ち空乏層中のアクセプターイオンが表面ポテンシャル（反転層）を低下させることで、しきい値電圧が低下してしまう。例えば図 6 C ではソース・ドレインによる空乏層がチャンネル側に伸びることで、この部分でのアクセプターイオンが表面ポテンシャルを低下させ、しきい値電圧を低下させる。一方、図 6 D の F 5、F 6 は、逆短チャンネル効果の場合の空乏層の様子を模式的に示す図である。F 5 はゲートによる空乏層であり、F 6 はソース・ドレインによる空乏層である。図 6 D の F 6 では、ソース・ドレインによる空乏層の形状が図 6 C の F 4 とは異なっており、例えば空乏層中のアクセプターイオンの影響が少なくなる。

30

## 【 0 1 1 5 】

本実施形態では、これらの短チャンネル効果、逆短チャンネル効果を逆手にとって利用し、ゲート長 L によるしきい値電圧の微調整を実現する。例えば種類 P R L の P 型トランジスタでは、ゲート長 L を長くすることで、短チャンネル効果により、しきい値電圧をその典型的値から増加させることができる。一方、種類 P R M の P 型トランジスタ、N 型トランジスタ、及び種類 P R L の N 型トランジスタでは、ゲート長 L を長くすることで、逆短チャンネル効果により、しきい値電圧をその典型的値から減少させることができる。これにより、トランジスタのオン条件、オフ条件、オフリーク電流に起因する性能低下の回避条件などを満たすためのしきい値電圧の微調整が可能になる。

40

## 【 0 1 1 6 】

なお、本実施形態では基板バイアス効果を利用して、トランジスタのしきい値電圧を設定してもよい。例えば最終段のセレクターブロック B L F を構成する少なくとも 1 つのトランジスタ（T F 1 ~ T F 6）を、基板電圧が制御されるトランジスタにすることで、これらのトランジスタのしきい値電圧の微調整を実現する。

## 【 0 1 1 7 】

例えば図 7 A では、基板電圧制御回路 4 2 が D / A 変換器（回路装置）に設けられ、この基板電圧制御回路 4 2 が、P 型トランジスタ T F P の基板電圧として電圧 V B P を供

50

給する。またN型トランジスタ-TFNの基板電圧として電圧VBNを供給する。P型トランジスタ-TFPは、図2の最終段のセレクトブロックBLFを構成するP型のトランジスタ-TF4~TF6の少なくとも1つである。N型トランジスタ-TFNは、最終段のセレクトブロックBLFを構成するN型のトランジスタ-TF1~TF3の少なくとも1つである。即ち、P型トランジスタ-TFPの基板電圧としては、通常は高電位側の電源VDDAの電圧(例えば0.9V)が供給されるが、基板電圧制御回路42は、この電圧とは異なる電圧VBPを供給する。またN型トランジスタ-TFNの基板電圧としては、通常は低電位側の電源VSSの電圧(例えば0V)が供給されるが、基板電圧制御回路42は、この電圧とは異なる電圧VBNを供給する。

【0118】

10

例えば図7Bでは、P型トランジスタ-TFPとしてP型トランジスタ-TFP1、TFP2が設けられている。これらのP型トランジスタ-TFP1、TFP2は、互いに電氣的に分離されたN型ウェルに形成されている。そして基板電圧制御回路42は、P型トランジスタ-TFP1のN型ウェルの電位を設定する基板電圧として、電圧VBP1を供給する。またP型トランジスタ-TFP2のN型ウェルの電位を設定する基板電圧として、電圧VBP2を供給する。こうすることで、P型トランジスタ-TFP1とTFP2のしきい値電圧を異なる電圧に設定できる。

【0119】

また図7Cでは、N型トランジスタ-TFNとしてN型トランジスタ-TFN1、TFN2が設けられている。これらのN型トランジスタ-TFN1、TFN2は、互いに電氣的に分離されたP型ウェルに形成されている。そして基板電圧制御回路42は、N型トランジスタ-TFN1のP型ウェルの電位を設定する基板電圧として、電圧VBN1を供給する。またN型トランジスタ-TFN2のP型ウェルの電位を設定する基板電圧として、電圧VBN2を供給する。こうすることで、N型トランジスタ-TFN1とTFN2のしきい値電圧を異なる電圧に設定できる。

20

【0120】

以上のように例えば最終段のセクターを構成するトランジスタ(TF1~TF6)の基板電圧を制御することで、これらのトランジスタのしきい値電圧を設定できる。これにより、トランジスタのオン条件、オフ条件、オフリーク電流に起因する性能低下の回避条件などを満たすためのしきい値電圧の微調整が可能になる。

30

【0121】

但し、基板電圧を制御する手法では、図7B、図7Cに示すように、電氣的に分離されたウェル(P型、N型)を形成する必要があるため、回路のレイアウト面積が増加してしまう。これに対してゲート長Lを設定する手法では、例えばゲート長を長くしても、回路のレイアウト面積は殆ど増加しない。従って、この点においてはゲート長Lを設定する手法の方が有利である。

【0122】

### 3. しきい値電圧の設定の具体例

図8にしきい値電圧の設定の具体例を示す。図8では、P型のトランジスタ-TA21~TA24、TB11、TB12、TF6として、種類PRH(高耐圧)のP型のトランジスタを用いている。これらのトランジスタのゲート長は $L = 0.4 \mu m$ に設定されている。この種類PRHのP型のトランジスタは、しきい値電圧のティピカル値が0.6Vになっている。例えば図4Aで説明したように最終段のトランジスタ-TF6の入力電圧範囲は0.9~0.75Vであり、 $V_{INmin} = 0.75V$ である。従って、トランジスタ-TF6のしきい値電圧 $V_{TPH}$ が、種類PRHのしきい値電圧のティピカル値である0.6Vに設定されていても、トランジスタのオン条件、オフ条件等を満たすことができる。

40

【0123】

また図8では、P型のトランジスタ-TA13~TA20、TB7~TB10として、種類PRL(低耐圧)のトランジスタを用いている。これらのトランジスタのゲート

50

長は  $L = 0.4 \mu\text{m}$  に設定されている。この種類 PRL のトランジスタは、しきい値電圧のティピカル値が  $0.25 \text{ V}$  になっている。

#### 【0124】

このように本実施形態では、電源 VDDA のノードから遠い側のトランジスタ TA13 ~ TA20、TB7 ~ TB10 として、しきい値電圧が低い種類 PRL のトランジスタを用いている。これにより、これらのトランジスタ TA13 ~ TA20、TB7 ~ TB10 のしきい値電圧を、電源 VDDA のノードから近い側のトランジスタ TA21 ~ TA24、TB11、TB12 に比べて、低い電圧に設定できるようになる。

#### 【0125】

また図 8 では、N 型のトランジスタ TA1 ~ TA4、TB1、TB2、TF1 として、種類 PRH (高耐圧) の N 型のトランジスタを用いている。これらのトランジスタのゲート長は  $L = 0.4 \mu\text{m}$  に設定されている。この種類 PRH の N 型トランジスタは、しきい値電圧のティピカル値が  $0.6 \text{ V}$  になっている。例えば図 4 B で説明したように最終段のトランジスタ TF1 の入力電圧範囲は  $0.15 \sim 0 \text{ V}$  であり、 $(VDDA - VIN)_{\min} = 0.75 \text{ V}$  である。従って、トランジスタ TF1 のしきい値電圧  $V_{TNH}$  が、種類 PRH のしきい値電圧のティピカル値である  $0.6 \text{ V}$  に設定されていても、トランジスタのオン条件、オフ条件等を満たすことができる。

#### 【0126】

また図 8 では、N 型のトランジスタ TA5 ~ TA12、TB3 ~ TB6 として、種類 PRL (低耐圧) の N 型のトランジスタを用いている。これらのトランジスタのゲート長は  $L = 0.4 \mu\text{m}$  に設定されている。この種類 PRL の N 型のトランジスタは、しきい値電圧のティピカル値が  $0.25 \text{ V}$  になっている。

#### 【0127】

このように本実施形態では、電源 VSS のノードから遠い側のトランジスタ TA5 ~ TA12、TB3 ~ TB6 として、しきい値電圧が低い種類 PRL のトランジスタを用いている。これにより、これらのトランジスタ TA5 ~ TA12、TB3 ~ TB6 のしきい値電圧を、電源 VSS のノードから近い側のトランジスタ TA1 ~ TA4、TB1、TB2 に比べて、低い電圧に設定できるようになる。

#### 【0128】

また図 8 では、最終段の P 型のトランジスタ TF5 として、しきい値電圧のティピカル値が  $0.45 \text{ V}$  である種類 PRM (中耐圧) のトランジスタを用いている。そして、このトランジスタ TF5 のゲート長  $L$  は、標準のゲート長である  $0.4 \mu\text{m}$  よりも長くなっている。図 6 A に示すように、種類 PRM の P 型トランジスタは、逆短チャネル効果により、ゲート長を長くすることで、しきい値電圧が低くなる。これを利用してトランジスタ TF5 のしきい値電圧を  $V_{TPM} < 0.45 \text{ V}$  に設定する。例えばゲート長  $L$  を  $2 \mu\text{m}$  以上に設定することで、しきい値電圧  $V_{TPM}$  をティピカル値である  $0.45 \text{ V}$  から例えば  $0.05 \sim 0.1 \text{ V}$  程度、低い電圧にする。図 4 A で説明したようにトランジスタ TF5 の入力電圧範囲は  $0.75 \sim 0.6 \text{ V}$  であり、 $V_{IN\min} = 0.6 \text{ V}$  である。従って、トランジスタ TF5 のしきい値電圧を  $V_{TPM} < 0.45 \text{ V}$  に設定することで、トランジスタのオン条件、オフ条件、オフリーク電流に起因する性能低下の回避条件などを満たすことが可能になる。例えば、オン条件である  $V_{IN\min} = 0.6 \text{ V} > V_{TPM} + V_{BS} + V_{PR} + V_{TS}$  を満たすことができる。またオフ条件である  $V_{TPM} - V_{PR} - V_{TS} > 0$  も満たすことができる。またゲート長  $L$  を長くすることによるしきい値電圧の微調整により、オフリーク電流に起因する性能低下の回避条件等も満たすことができる。

#### 【0129】

また図 8 では、最終段の P 型のトランジスタ TF4 として、しきい値電圧のティピカル値が  $0.25 \text{ V}$  である種類 PRL (低耐圧) のトランジスタを用いている。そして、このトランジスタ TF4 のゲート長  $L$  は、標準のゲート長である  $0.4 \mu\text{m}$  よりも長くなっている。図 6 A に示すように、種類 PRL の P 型のトランジスタは、短チャネル効

10

20

30

40

50

果により、ゲート長を長くすることで、しきい値電圧が高くなる。これを利用してトランジスタTF4のしきい値電圧 $V_{TPL}$ を、ティピカル値である $0.25V$ よりも少しだけ高い電圧に設定する。トランジスタTF4の入力電圧範囲は $0.6 \sim 0.45V$ であり、 $V_{INmin} = 0.45V$ である。従って、オン条件である $V_{INmin} = 0.45V > V_{TPL} + V_{BS} + V_{PR} + V_{TS}$ を満たすことができる。またオフ条件である $V_{TPL} - V_{PR} - V_{TS} > 0$ も満たすことができる。またゲート長 $L$ を長くすることによるしきい値電圧の微調整により、オフリーク電流に起因する性能低下の回避条件等も満たすことができる。

#### 【0130】

また図8では、最終段のN型のトランジスタTF3として、しきい値電圧のティピカル値が $0.45V$ である種類PRM（中耐圧）のトランジスタを用いている。そして、このトランジスタTF3のゲート長 $L$ は、標準のゲート長である $0.4\mu m$ よりも長くなっている。図6Aに示すように、種類PRMのN型のトランジスタは、逆短チャネル効果により、ゲート長を長くすることで、しきい値電圧が低くなる。これを利用してトランジスタTF3のしきい値電圧 $V_{TNL}$ を、ティピカル値よりも低い電圧に設定する。例えばゲート長 $L$ を $2\mu m$ 以上に設定することで、しきい値電圧 $V_{TNL}$ をティピカル値である $0.45V$ から例えば $0.1 \sim 0.15V$ 程度、低い電圧にする。トランジスタTF3の入力電圧範囲は $0.45 \sim 0.3V$ であり、 $(V_{DDA} - V_{IN})_{min} = 0.45V$ である。従って、オン条件である $(V_{DDA} - V_{IN})_{min} = 0.45V > V_{TNL} + V_{BS} + V_{PR} + V_{TS}$ を満たすことができる。またオフ条件である $V_{TNL} - V_{PR} - V_{TS} > 0$ も満たすことができる。またゲート長 $L$ を長くすることによるしきい値電圧の微調整により、オフリーク電流に起因する性能低下の回避条件等も満たすことができる。

#### 【0131】

また図8では、最終段のN型のトランジスタTF2として、しきい値電圧のティピカル値が $0.45V$ である種類PRM（中耐圧）のトランジスタを用いている。そして、このトランジスタTF2のゲート長 $L$ は、標準のゲート長である $0.4\mu m$ よりも少しだけ短くなっている。種類PRMのN型のトランジスタは逆短チャネル効果のトランジスタであるため、ゲート長 $L$ を少しだけ短くすることで、トランジスタTF2のしきい値電圧 $V_{TNM}$ を、ティピカル値である $0.45V$ よりも少しだけ高い電圧に設定できる。トランジスタTF2の入力電圧範囲は $0.3 \sim 0.15V$ であり、 $(V_{DDA} - V_{IN})_{min} = 0.6V$ である。従って、オン条件である $(V_{DDA} - V_{IN})_{min} = 0.6V > V_{TNM} + V_{BS} + V_{PR} + V_{TS}$ を満たすことができる。またオフ条件である $V_{TNM} - V_{PR} - V_{TS} > 0$ も満たすことができる。またゲート長 $L$ を長くすることによるしきい値電圧の微調整により、オフリーク電流に起因する性能低下の回避条件等も満たすことができる。

#### 【0132】

例えば図8において、オフリーク電流に起因する性能低下の回避条件が厳しくなる場所は、P型トランジスタとN型トランジスタの境界である。即ち、図5のオフリーク電流 $I_L$ が発生するトランジスタが、P型のトランジスタTF4であり、オン状態となってオフリーク電流 $I_L$ が流れるトランジスタが、N型のトランジスタTF3である場合である。この場合にも、ゲート長 $L$ によりしきい値電圧を微調整することで、オフリーク電流に起因する非直線性誤差の増加などの性能低下を回避できるようになる。

#### 【0133】

図9はしきい値電圧の設定の他の具体例である。図9では、1段目のセレクトアブロック(BLA)は、128個のトランジスタTA1～TA128により構成され、2段目のセレクトアブロック(BLB)は、32個のトランジスタTB1～TB32により構成される。即ち、1段目のセレクトアブロックは、32個の4入力/1出力のセレクトアにより構成され、2段目のセレクトアブロックは、16個の2入力/1出力のセレクトアにより構成される。また3段目のセレクトアブロックは、16個のトランジスタTC1

10

20

30

40

50

～TC16により構成され、最終段のセレクターブロックは、8個のトランジスタTF1～TF8により構成される。即ち、3段目のセレクターブロックは、8個の2入力/1出力のセレクターにより構成され、最終段目のセレクターブロックは、1個の8入力/1出力のセレクターにより構成される。なお、これらのトランジスタに対する種類PRH、PRM、PRLの設定や、ゲート長Lの設定は、図8と同様であるため、詳細な説明は省略する。

#### 【0134】

##### 4. 電源回路

図10Aに本実施形態の回路装置500と、回路装置500を含む電子機器の構成例を示す。なお電子機器や回路装置500は他の構成要素を含むことができるが、ここでは図示を省略している。

10

#### 【0135】

回路装置500は、図1～図9で説明した本実施形態のD/A変換器100と、D/A変換器100に電源電圧(VDDA)を供給する電源回路44を含む。そして電源回路44は、トランジスタの仕事関数差に基づき生成された基準電圧を生成する基準電圧生成回路45を有し、基準電圧生成回路45により生成された基準電圧を電源電圧(VDDA)として、D/A変換器100に供給する。

#### 【0136】

図10Aの電子機器は、スイッチングレギュレーター560(広義には外部電源回路)と、回路装置500を含む。回路装置500の電源回路44には、スイッチングレギュレーター560から外部電源(VDD)が供給される。

20

#### 【0137】

スイッチングレギュレーター560は、例えばトランジスタ等のスイッチ素子とインダクター、キャパシター、ダイオード等で構成される。そして、スイッチ素子がオンになるオン期間では、電源(VDE)とインダクターの一端がスイッチ素子を介して接続されてインダクターが駆動されると共にキャパシターに電荷が供給される。スイッチ素子がオフになるオフ期間では、電源とインダクターの一端が遮断され、インダクターに蓄えられたエネルギーが放電されてダイオードを介したキャパシターに電荷が供給される。スイッチングレギュレーター560の出力電圧をフィードバックすることにより、オン期間とオフ期間のデューティが制御され、出力電圧が一定に保たれる。

30

#### 【0138】

なお、スイッチングレギュレーター560の構成はこれに限定されず、スイッチ素子のオンオフにより断続的に電源を接続及び遮断するDC-DCコンバーターであればよい。

#### 【0139】

このようなスイッチングレギュレーター560は、リニアレギュレーターのような抵抗による電力ロスがほとんどないため、リニアレギュレーターに比べて低消費電力である。一方、スイッチ素子によりチョッピングを行うため、リニアレギュレーターに比べて、生成される電源電圧(VDD)のノイズが大きい。この点、図10Aの構成では、仕事関数差に基づき電源電圧(VDDA)を生成することで、電源回路44の消費電力を抑えつつ、高いPSRR(Power Supply Rejection Ratio)を実現することが可能であり、スイッチングレギュレーター560と電源回路44を含めた電源システム全体としての低消費電力化や低ノイズ化が可能になる。例えばPSRRが高ければ、スイッチングレギュレーター560が生成する電源電圧(VDD)のノイズを十分に低減できる。

40

#### 【0140】

図10Bに、基準電圧生成回路45の第1の構成例を示す。図10Bの基準電圧生成回路45は、トランジスタTAa、TA b、TA c、TA d、TA e、抵抗RNA、RPA、RGA、キャパシターCA、電流源IGAを含む。

#### 【0141】

トランジスタTAaとトランジスタTA bは、カレントミラー回路を構成し、トランジスタTA cとトランジスタTA dに電流を供給する。トランジスタTA cとト

50

ランジスター T A d は差動対を構成する。電流源 I G A は、差動対にバイアス電流を供給する。トランジスター T A a、T A b は例えば P 型トランジスター（広義には第 1 導電型のトランジスター）であり、トランジスター T A c、T A d は N 型トランジスター（広義には第 2 導電型のトランジスター）である。またトランジスター T A a、T A b、T A d はエンハンスメント型のトランジスターであり、トランジスター T A c はデプレッション型のトランジスターである。

#### 【 0 1 4 2 】

トランジスター T A a、T A b のソースには V D D の電源電圧が供給され、トランジスター T A a、T A b のゲート電極はトランジスター T A c のドレインのノード N A a に接続される。

10

#### 【 0 1 4 3 】

トランジスター T A c、T A d は、ノード N A a、N A b とノード N A f、N A c との間に設けられる。またノード N A f とノード N A c との間には抵抗 R N A が設けられる。トランジスター T A c のゲート電極には、V S S の電源電圧が入力される。トランジスター T A d のゲート電極は、ノード N A d に接続される。電流源 I G A は、ノード N A c と V S S の電源ノードとの間に設けられる。

#### 【 0 1 4 4 】

トランジスター T A e はデプレッション型の N 型トランジスターである。トランジスター T A e は、V D D の電源ノード N D G と出力ノード N A e（抵抗 R P A の一端）との間に設けられ、そのゲート電極に差動対の出力ノード N A b が接続される。即ち、トランジスター T A e は、トランジスター T A d のドレイン電圧に基づきゲート電圧が制御される。キャパシター C A は、ノード N A b と V S S のノードとの間に設けられる。抵抗 R P A は、出力ノード N A e とノード N A d の間に設けられ、一端（ノード N A e）の電圧を、基準電圧である電源電圧 V D D A として出力する。抵抗 R G A は、ノード N A d と V S S のノードとの間に設けられる。

20

#### 【 0 1 4 5 】

トランジスター T A d は、トランジスター T A c とはゲート電極の導電性が異なるトランジスターになっている。例えばトランジスター T A c のゲート電極は N 型であり、トランジスター T A d のゲート電極は P 型となっている。例えばトランジスター T A c と T A d は、基板の不純物濃度やチャネルの不純物濃度は同じであるが、ゲート電極の導電性が異なっており、ゲート電極の不純物濃度が異なっている。

30

#### 【 0 1 4 6 】

例えば、M O S トランジスターのしきい値電圧は、 $V_{th} = \frac{q}{C_{ox}} (N_A - N_D) + \frac{Q_{ss}}{C_{ox}} + \phi_F$  と表すことができる。ここで  $N_A$  は、ゲート電極と基板の仕事関数差であり、 $N_D$  は酸化膜内の固定電荷であり、 $C_{ox}$  はゲート酸化膜の単位面積当たりの容量であり、 $\phi_F$  はフェルミ準位であり、 $Q_{ss}$  は空乏層内の電荷である。トランジスター T A c の N 型ゲート電極の不純物濃度と、トランジスター T A d の P 型ゲート電極の不純物濃度の設定により、デプレッション型のトランジスター T A c のしきい値電圧  $V_{T1}$  は例えば - 0 . 5 2 V に設定されており、エンハンスメント型のトランジスター T A d のしきい値電圧  $V_{T2}$  は例えば 0 . 4 5 V に設定されている。従って、基準電圧生成回路 4 5 の出力ノード N A e には、 $V_{T2} - V_{T1} = 0 . 9 7 V$  の基準電圧が、電源電圧 V D D A として出力されるようになる。即ち、スイッチングレギュレーター 5 6 0 からの電源 V D D が変動した場合にも、一定電圧の電源電圧 V D D A を供給することが可能になる。

40

#### 【 0 1 4 7 】

図 1 1 に、基準電圧生成回路 4 5 の第 2 の構成例を示す。図 1 1 の基準電圧生成回路 4 5 は、第 1 の仕事関数差アンプ R E G 1、第 2 の仕事関数差アンプ R E G 2 を含む。第 1 の仕事関数差アンプ R E G 1 は、トランジスター T B a、T B b、T B c、T B d、T B e、抵抗 R N B、R P B、R G B、キャパシター C B、電流源 I G B を含む。第 2 の仕事関数差アンプ R E G 2 は、トランジスター T A a、T A b、T A c、T A d、T A e、抵抗 R N A、R P A、R G A、キャパシター C A、電流源 I G A を含む。

50

## 【 0 1 4 8 】

第 1、第 2 の仕事関数差アンプ R E G 1、R E G 2 の構成は、図 1 0 B の回路の構成と同様である。即ち、図 1 1 では、図 1 0 B の構成の回路が直列に接続された構成となっている。具体的には、第 1 の仕事関数差アンプ R E G 1 が、基準電圧である出力電圧  $V_{reg}$  を生成し、この出力電圧  $V_{reg}$  が、第 2 の仕事関数差アンプ R E G 2 の電源ノード N D D G に対して供給される。即ち、同じ回路構成の仕事関数差アンプが 2 段積みとなる構成となっている。そして第 2 の仕事関数差アンプ R E G 2 により生成された基準電圧が、電源電圧  $V_{DDA}$  として出力される。具体的には、第 1 の仕事関数差アンプ R E G 1 が電圧  $V_{reg} = 0.97V$  を出力し、第 2 の仕事関数差アンプ R E G 2 が電圧  $V_{reg} = 0.97V$  を電源として電源電圧  $V_{DDA} = 0.9V$  を出力する。

10

## 【 0 1 4 9 】

このように、第 1 の仕事関数差アンプ R E G 1 と第 2 の仕事関数差アンプ R E G 2 を直列に接続することによって、図 1 0 B のような 1 段の仕事関数差アンプよりも、更に P S R R を向上できる。

## 【 0 1 5 0 】

以上に説明した図 1 0 A ~ 図 1 1 の構成によれば、トランジスタの仕事関数差に基づいて基準電圧が生成され、その基準電圧が電源電圧  $V_{DDA}$  として、D / A 変換器 1 0 0 等の回路装置 5 0 0 の各回路に供給される。これにより、D / A 変換器 1 0 0 や回路装置 5 0 0 の低消費電力化を実現できる。

## 【 0 1 5 1 】

20

例えば本実施形態の比較例として、基準電圧生成回路 4 5 としてバンドギャップリファレンス回路を用いる手法が考えられる。しかしながら、バンドギャップリファレンス回路は、バンドギャップ電圧の温度依存性をキャンセルするために複数のバイポーラートランジスタを用いており、それらに流すバイアス電流等によって、消費電流が大きい回路になってしまう。そのため、高い P S R R を維持しつつ、消費電流を絞ることが難しいという課題がある。電源のノイズ特性は、例えば回路装置 5 0 0 を発振器に適用した場合には、発振器の発振信号の精度（例えば位相ノイズ特性）に影響する。このため、高い P S R R が必要であり、この点からバンドギャップリファレンス回路を用いた電源回路では低消費電力化に限界がある。

## 【 0 1 5 2 】

30

この点、本実施形態の電源回路 4 4 ではトランジスタの仕事関数差に基づいて電源電圧  $V_{DDA}$  を生成することで、バンドギャップリファレンス回路を用いる場合に比べて消費電流を低下させつつ、高い P S R R を維持できる。例えば、ゲート電極と基板の間の仕事関数が異なるトランジスタ T A c とトランジスタ T A d で差動対を構成し、その差動対の出力をトランジスタ T A e により差動対にフィードバックすることで、電源電圧  $V_{DDA}$ （基準電圧）を生成できる。このように、仕事関数差を用いた場合には簡素な構成で電源回路 4 4 を構成できるので、バイアス電流を小さくすることが容易である。

## 【 0 1 5 3 】

また本実施形態の電源回路 4 4 によれば、高い P S R R が得られることから、より上流側の外部電源として、図 1 0 A に示すようにスイッチングレギュレーター 5 6 0 を用いることが可能となる。即ち、スイッチングレギュレーター 5 6 0 により発生するノイズを、高い P S S R の電源回路 4 4 により除去できる。

40

## 【 0 1 5 4 】

また図 1 0 B、図 1 1 に示す基準電圧生成回路 4 5 は、バンドギャップリファレンス回路に比べて、回路規模が小さいという利点がある。このため、例えば回路装置の各回路ブロック毎に基準電圧生成回路 4 5 を設けるといような、電源回路 4 4 の構成が可能になる。例えば D / A 変換器 1 0 0 を含む D / A 変換部には、第 1 の基準電圧生成回路が電源電圧を供給し、後述する A / D 変換部、処理部には、各々、第 2、第 3 の基準電圧生成回路が電源電圧を供給するというような構成が可能になる。これにより基準電圧生成回路を用いた電源分離が可能になる。

50



## 【0155】

そして図10A～図11で説明したような電源回路44を用いた場合には、VDDAの電圧がトランジスタの仕事関数差を用いて生成されるため、VDDAが例えば0.9Vというように非常に低い電圧になる。従って、VDDAが供給されるD/A変換器100の適正なD/A変換（電圧選択）を実現できなくなるおそれがある。

## 【0156】

この点、図1～図9で説明した本実施形態のD/A変換器100では、前述したように、電源ノードから遠い側のトランジスタのしきい値電圧を、近い側のトランジスタに比べて低い電圧に設定する手法を採用している。また、しきい値電圧の設定を、トランジスタの種類による粗調整やゲート長による微調整により実現している。従って、VDDAの電圧が例えば0.9Vというように非常に低い電圧である場合にも、D/A変換器100の適正なD/A変換を実現することが可能になる。

10

## 【0157】

## 5. 回路装置

次に本実施形態のD/A変換器100を有する回路装置の構成の一例について説明する。例えば図12の回路装置は、DTXOやOCXO等のデジタル方式の発振器を実現する回路装置（半導体チップ）である。この回路装置と振動子XTALをパッケージに収納することで、デジタル方式の発振器が実現される。

## 【0158】

図12の回路装置は、A/D変換部20、処理部50、発振信号生成回路140を含む。また回路装置は温度センサー部10、バッファ回路160を含むことができる。なお回路装置の構成は図12の構成には限定されず、その一部の構成要素（例えば温度センサー部、バッファ回路、A/D変換部等）を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

20

## 【0159】

振動子XTALは、例えば水晶振動子等の圧電振動子である。振動子XTALは恒温槽内に設けられるオープン型振動子（OCXO）であってもよい。振動子XTALは共振器（電気機械的な共振子又は電氣的な共振回路）であってもよい。振動子XTALとしては、圧電振動子、SAW（Surface Acoustic Wave）共振子、MEMS（Micro Electro Mechanical Systems）振動子等を採用できる。振動子XTALの基板材料としては、水晶、タンタル酸リチウム、ニオブ酸リチウム等の圧電単結晶や、ジルコン酸チタン酸鉛等の圧電セラミックス等の圧電材料、又はシリコン半導体材料等を用いることができる。振動子XTALの励振手段としては、圧電効果によるものを用いてもよいし、クーロン力による静電駆動を用いてもよい。

30

## 【0160】

温度センサー部10は、温度検出電圧VTDを出力する。具体的には、環境（回路装置）の温度に応じて変化する温度依存電圧を、温度検出電圧VTDとして出力する。

## 【0161】

A/D変換部20は、温度センサー部10からの温度検出電圧VTDのA/D変換を行って、温度検出データDTDを出力する。例えば温度検出電圧VTDのA/D変換結果に対応するデジタルの温度検出データDTD（A/D結果データ）を出力する。A/D変換部20のA/D変換方式としては、例えば逐次比較方式や逐次比較方式に類似する方式などを採用できる。なおA/D変換方式はこのような方式には限定されず、種々の方式（計数型、並列比較型又は直並列型等）を採用できる。このA/D変換部20にも図1、図2等の本実施形態のD/A変換器を用いることができる。

40

## 【0162】

処理部50（DSP部：デジタル信号処理部）は種々の信号処理を行う。例えば処理部50（温度補償部）は、温度検出データDTDに基づいて発振周波数（発振信号の周波数）の温度補償処理を行う。そして発振周波数の周波数制御データDDSを出力する。具体的には処理部50は、温度に応じて変化する温度検出データDTD（温度依存データ）と

50

、温度補償処理用の係数データ（近似関数の係数のデータ）などに基づいて、温度変化があった場合にも発振周波数を一定にするための温度補償処理を行う。この処理部50は、ゲートアレイ等のASIC回路により実現してもよいし、プロセッサとプロセッサ上で動作するプログラムにより実現してもよい。

#### 【0163】

発振信号生成回路140は発振信号SSCを生成する。例えば発振信号生成回路140は、処理部50からの周波数制御データDDSと振動子XTALを用いて、周波数制御データDDSにより設定される発振周波数の発振信号SSCを生成する。一例としては、発振信号生成回路140は、周波数制御データDDSにより設定される発振周波数で振動子XTALを発振させて、発振信号SSCを生成する。

10

#### 【0164】

なお発振信号生成回路140は、ダイレクト・デジタル・シンセサイザ方式で発振信号SSCを生成する回路であってもよい。例えば振動子XTAL（固定発振周波数の発振源）の発振信号をリファレンス信号として、周波数制御データDDSで設定される発振周波数の発振信号SSCをデジタル的に生成してもよい。

#### 【0165】

発振信号生成回路140は、D/A変換部80と発振回路150を含むことができる。但し発振信号生成回路140は、このような構成には限定されず、その一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

#### 【0166】

D/A変換部80は、処理部50からの周波数制御データDDS（処理部の出力データ）のD/A変換を行う。D/A変換部80に入力される周波数制御データDDSは、処理部50による温度補償処理後の周波数制御データ（周波数制御コード）である。

20

#### 【0167】

発振回路150は、D/A変換部80の出力電圧VQと振動子XTALを用いて、発振信号SSCを生成する。発振回路150は、第1、第2の振動子用端子（振動子用パッド）を介して振動子XTALに接続される。例えば発振回路150は、振動子XTAL（圧電振動子、共振器等）を発振させることで、発振信号SSCを生成する。具体的には発振回路150は、D/A変換部80の出力電圧VQを周波数制御電圧（発振制御電圧）とした発振周波数で、振動子XTALを発振させる。例えば発振回路150が、電圧制御により振動子XTALの発振を制御する回路（VCO）である場合には、発振回路150は、周波数制御電圧に応じて容量値が変化する可変容量キャパシタ（バリキャップ等）を含むことができる。

30

#### 【0168】

なお、前述のように発振回路150はダイレクト・デジタル・シンセサイザ方式により実現してもよく、この場合には振動子XTALの発振周波数はリファレンス周波数となり、発振信号SSCの発振周波数とは異なる周波数になる。

#### 【0169】

バッファ回路160は、発振信号生成回路140（発振回路150）で生成された発振信号SSCのバッファリングを行って、バッファリング後の信号SQを出力する。即ち、外部の負荷を十分に駆動できるようにするためのバッファリングを行う。信号SQは例えばクリップドサイン波信号である。但し信号SQは矩形波信号であってもよい。或いはバッファ回路160は、信号SQとしてクリップドサイン波信号と矩形波信号の両方の出力が可能な回路であってもよい。

40

#### 【0170】

図13に本実施形態の回路装置の詳細な構成例を示す。図13ではD/A変換部80が、変調回路90とD/A変換器100とフィルター回路120を含む。

#### 【0171】

D/A変換部80の変調回路90は、処理部50から $i = (n + m)$ ビットの周波数制御データDDSを受ける（ $i$ 、 $n$ 、 $m$ は1以上の整数）。一例としては $i = 20$ 、 $n = 1$

50

6、 $m = 4$ である。そして変調回路90は、周波数制御データDDSの $m$ ビット（例えば4ビット）のデータに基づいて、周波数制御データDDSの $n$ ビット（例えば16ビット）のデータを変調する。具体的には変調回路90は、周波数制御データDDSのPWM変調を行う。なお変調回路90の変調方式はPWM変調（パルス幅変調）には限定されず、例えばPDM変調（パルス密度変調）等のパルス変調であってもよく、パルス変調以外の変調方式であってもよい。例えば周波数制御データDDSの $n$ ビットのデータに対して、 $m$ ビットのディザ処理（ディザリング処理）を行うことでビット拡張（ $n$ ビットから $i$ ビットへのビット拡張）を実現してもよい。

【0172】

D/A変換器100は、変調回路90により変調された $n$ ビットのデータのD/A変換を行う。例えば $n = 16$ ビットのデータのD/A変換を行う。

10

【0173】

フィルター回路120は、D/A変換器100の出力電圧VDAを平滑化する。例えばローパスフィルター処理を行って出力電圧VDAを平滑化する。このようなフィルター回路120を設けることで、例えばPWM変調された信号のPWM復調が可能になる。このフィルター回路120のカットオフ周波数は、変調回路90のPWM変調の周波数に応じて設定できる。即ちD/A変換器100からの出力電圧VDAの信号は、PWM変調の基本周波数及び高調波成分のリプルを含むため、フィルター回路120により、このリップルを減衰させる。なおフィルター回路120としては、例えば抵抗又はキャパシター等の受動素子を用いたパッシブフィルターを採用できる。但しフィルター回路120としてS

20

【0174】

例えば温度補償型発振器であるTCXOでは、周波数精度の向上と低消費電力化への要求がある。例えばGPS内蔵の時計や脈波等の生体情報の測定機器などのウェアラブル機器では、バッテリーによる動作継続時間を長くする必要がある。このため、基準信号源となるTCXOに対しては、周波数精度を確保しながら、より低消費電力であることが要求される。

【0175】

また通信端末と基地局との通信方式としては種々の方式が提案されている。例えばTDD（Time Division Duplex）方式では、各機器は割り当てられたタイムスロットにおいてデータを送信する。そしてタイムスロット（上がり回線スロット、下り回線スロット）の間にガードタイムが設定されることで、タイムスロットが重なるのが防止される。次世代の通信システムでは、例えば1つの周波数帯域（例えば50GHz）を用いて、TDD方式でデータ通信することが提案されている。

30

【0176】

しかしながら、このようなTDD方式を採用した場合には、各機器において時刻同期を行う必要があり、正確な絶対時刻の計時が要求される。このような要求を実現するために、例えば各機器に、基準信号源として原子時計（原子発振器）を設ける手法も考えられるが、機器の高コスト化を招いたり、機器が大型化するなどの問題が生じる。

【0177】

40

またTCXOには、アナログ方式の温度補償型発振器であるATCXOと、デジタル方式の温度補償型発振器であるDTCXOがある。

【0178】

そして基準信号源としてATCXOを用いた場合に、周波数精度を高精度化しようとする、回路装置のチップサイズが増加してしまい、低コスト化や低消費電力化の実現が難しくなる。一方、DTCXOでは、回路装置のチップサイズをそれほど大きくすることなく、周波数精度の高精度化を実現できるという利点がある。

【0179】

しかしながら、DTCXO等のデジタル方式の発振器では、その発振周波数の周波数ドリフトが原因で、発振器が組み込まれた通信装置において通信エラー等が発生してしまう

50

という問題がある。例えばデジタル方式の発振器では、温度センサー部からの温度検出電圧をA/D変換し、得られた温度検出データに基づいて周波数制御データの温度補償処理を行い、当該周波数制御データに基づいて発振信号を生成する。この場合に、温度変化により周波数制御データの値が大きく変化すると、これが原因で周波数ホッピングの問題が生じることが判明した。このような周波数ホッピングが生じると、GPS関連の通信装置を例にとれば、GPSのロックが外れてしまうなどの問題が発生してしまう。

【0180】

このような周波数ホッピングを原因とする通信エラーの発生を抑制し、周波数精度の向上を図るためには、D/A変換部80の分解能をできる限り高くする必要がある。

【0181】

しかしながら、例えば抵抗ストリング型等のD/A変換器100だけで、例えば $i = 20$ ビットというような高分解能のD/A変換を実現するのは困難である。またD/A変換部80の出力雑音が大きいと、当該雑音が原因となって、周波数精度の向上の実現が難しくなる。

【0182】

そこで図13では、D/A変換部80に変調回路90を設ける。また処理部50は、D/A変換器100の分解能である $n$ ビット（例えば16ビット）よりもビット数が多い $i = m + n$ ビットの周波数制御データDDSを出力する。処理部50は、例えば温度補償処理等のデジタル信号処理を実現するために、浮動小数点演算等を行っているため、このような $n$ ビット（例えば $n = 16$ ビット）よりもビット数が多い $i = m + n$ ビットの周波数制御データDDSを出力することは容易である。

【0183】

そして変調回路90は、 $i = m + n$ のうちの $m$ ビットのデータに基づいて、 $i = m + n$ のうちの $n$ ビットのデータの変調（PWM変調等）を行い、変調後の $n$ ビットのデータDMをD/A変換器100に出力する。そしてD/A変換器100がデータDMのD/A変換を行い、得られた出力電圧VDAの平滑化処理をフィルター回路120が行うことで、 $i = m + n$ ビット（例えば20ビット）というような高分解能のD/A変換を実現できるようになる。

【0184】

この構成によれば、D/A変換器100として例えば出力雑音が少ない抵抗ストリング型等を採用できるため、D/A変換部80の出力雑音を低減でき、周波数精度の劣化の抑制が容易になる。例えば変調回路90での変調により雑音が発生するが、当該雑音についても、フィルター回路120のカットオフ周波数の設定により十分に減衰することができ、当該雑音を原因とする周波数精度の劣化を抑制できる。

【0185】

なおD/A変換部80の分解能は $i = 20$ ビットには限定されず、20ビットよりも高い分解能であってもよいし、低い分解能であってもよい。また変調回路90の変調のビット数も $m = 4$ ビットには限定されず、4ビットよりも大きくてもよいし（例えば $m = 8$ ビット）、小さくてもよい。

【0186】

また図13では、D/A変換部80の前段に、温度補償処理等のデジタル信号処理を行う処理部50が設けられていることを、有効活用している。即ち、処理部50は、例えば浮動小数点演算などにより、高精度で、温度補償処理等のデジタル信号処理を実行している。従って、例えば浮動小数点演算の結果の仮数部の下位ビットも有効なデータとして扱って、バイナリーデータに変換すれば、例えば $i = m + n = 20$ ビットというような高いビット数での周波数制御データDDSも、容易に出力できる。図13ではこの点に着目し、このような高いビット数である $i = m + n$ ビットの周波数制御データDDSを、D/A変換部80に供給し、 $m$ ビットの変調回路90と $n$ ビットのD/A変換器100を用いて、 $i = m + n$ ビットというような高分解能のD/A変換の実現に成功している。

【0187】

このようにD/A変換部80の分解能を高分解能にすることで、上述した周波数ホッピングの発生を抑制できる。これにより周波数ホッピングを原因とする通信エラー等の発生を抑制することが可能になる。

#### 【0188】

また、このような周波数ホッピングの問題以外にも、DTCXOやOCXOなどのデジタル方式の発振器では、発振周波数に対して非常に高い周波数精度が要求される。例えば前述のTDD方式では、上がりと下りで同じ周波数を用いて時分割でデータが送受信され、各機器に割り当てられたタイムスロットの間にはガードタイムが設定されている。このため、適正な通信を実現するためには、各機器において時刻同期を行う必要があり、正確な絶対時刻の計時が要求される。例えば基準信号(GPS信号やインターネットを介した信号)が消失又は異常となるホールドオーバーが発生した場合には、基準信号が無い状態で発振器側が正確に絶対時刻を計時する必要がある。このため、このような機器(GPS関連機器、基地局等)に用いられる発振器には、非常に高い発振周波数精度が要求される。

10

#### 【0189】

このような要求を実現するために、例えば各機器に原子時計などを設ける手法を採用すると、機器の高コスト化や大規模化を招く。また、高い周波数精度の発振器を実現したとしても、発振器に用いられる回路装置が大規模化したり、消費電力が非常に大きくなってしまふのは望ましくない。

#### 【0190】

20

この点、図13の回路装置の構成によれば、D/A変換部80に、変調回路90やフィルター回路120を設けるだけで、例えばi20ビットとなるような非常に高い分解能のD/A変換部80を実現でき、このように分解能が高くなることで、発振周波数の高精度化を実現できる。そして、このような変調回路90やフィルター回路120を設けることによる回路装置のチップサイズの増加や消費電力の増加は、それほど大きくない。更に処理部50では浮動点小数点演算などにより温度補償処理を実行しているため、例えばi20ビットとなるような周波数制御データDDSをD/A変換部80に出力することも容易である。従って、図13の回路装置の構成は、発振周波数の高精度化と、回路装置の規模や消費電力の増加の抑制とを、両立して実現できるという利点がある。

#### 【0191】

30

なお図12、図13の回路装置は、基準信号(GPS信号やインターネットを介した信号)と発振信号に基づく入力信号を比較する位相比較回路を有するPLL回路における、発振用ICとしても用いることができる。この場合には、例えば当該位相比較回路からの周波数制御データに対して、処理部50が温度補償処理やエージング補正処理等を行って、発振信号生成回路140により発振信号を生成すればよい。

#### 【0192】

また処理部50は、第1の温度から第2の温度に温度が変化した場合に、第1の温度(第1の温度検出データ)に対応する第1のデータから、第2の温度(第2の温度検出データ)に対応する第2のデータへと、k×LSB単位で変化(k×LSBずつ変化)する周波数制御データDDSを出力する。ここでk=1であり、kは1以上の整数である。例えば周波数制御データDDSのビット数(D/A変換部の解像度)をiとした場合に、k<2<sup>i</sup>であり、kは2<sup>i</sup>よりも十分に小さい整数である(例えばk=1~8)。更に具体的にはk<2<sup>m</sup>である。例えばk=1の場合には、処理部50は、1LSB単位(1ビット単位)で第1のデータから第2のデータに変化する周波数制御データDDSを出力する。即ち、第1のデータから第2のデータに向かって、1LSB(1ビット)ずつシフトしながら変化するような周波数制御データDDSを出力する。なお周波数制御データDDSの変化ステップ幅は、1LSBには限定されず、例えば2×LSB、3×LSB、4×LSB・・・というように2×LSB以上の変化ステップ幅であってもよい。

40

#### 【0193】

例えば処理部50は、演算部60と出力部70を含む。演算部60は、温度検出データ

50

D T Dに基づいて発振周波数の温度補償処理の演算を行う。例えば浮動小数点演算等によるデジタル信号処理により温度補償処理を実現する。出力部 70 は、演算部 60 からの演算結果データ C Q を受け、周波数制御データ D D S を出力する。そして、この出力部 70 が、演算結果データ C Q が第 1 の温度に対応する第 1 のデータから、第 2 の温度に対応する第 2 のデータに変化した場合に、 $k \times L S B$  単位で第 1 のデータから第 2 のデータに変化する周波数制御データ D D S の出力処理を行う。

【0194】

このように、処理部 50 から出力される周波数制御データ D D S が、 $k \times L S B$  ずつ変化するようになれば、例えば温度が第 1 の温度から第 2 の温度に変化した場合に、D / A 変換部 80 の出力電圧 V Q に大きな電圧変化が生じ、この電圧変化が原因で周波数ホッピングが発生してしまう事態を抑制できる。これにより当該周波数ホッピングが原因で通信エラー等が生じるのを防止できるようになる。

10

【0195】

図 14 A は振動子 X T A L ( A T 振動子等 ) の温度による発振周波数の周波数偏差の一例を示す図である。処理部 50 は、図 14 A のような温度特性を有する振動子 X T A L の発振周波数を、温度に依存せずに一定にするための温度補償処理を行う。

【0196】

具体的には処理部 50 は、A / D 変換部 20 の出力データ ( 温度検出データ ) と D / A 変換部 80 の入力データ ( 周波数制御データ ) とが図 14 B に示すような対応関係になるような温度補償処理を実行する。図 14 B の対応関係 ( 周波数補正テーブル ) は、例えば回路装置が組み込まれた発振器を恒温槽に入れ、各温度での D / A 変換部 80 の入力データ ( D D S ) と A / D 変換部 20 の出力データ ( D T D ) をモニターするなどの手法により取得できる。

20

【0197】

そして図 14 B の対応関係を実現するための温度補償用の近似関数の係数データを、回路装置のメモリー部 ( 不揮発性メモリー ) に記憶しておく。そして処理部 50 が、メモリー部から読み出された係数データと、A / D 変換部 20 からの温度検出データ D T D とに基づいて、演算処理を行うことで、振動子 X T A L の発振周波数を温度に依らずに一定にするための温度補償処理を実現する。なお温度センサー部 10 の温度検出電圧 V T D は、例えば負の温度特性を有している。従って、図 14 B のような温度補償特性で、図 14 A の振動子 X T A L の発振周波数の温度依存性を相殺して補償できるようになる。

30

【0198】

#### 6. D / A 変換部

図 15、図 16 は D / A 変換部 80 の詳細な構成例を示す図である。D / A 変換部 80 は、変調回路 90 と D / A 変換器 100 とフィルター回路 120 を含む。

【0199】

図 15 に示すように、D / A 変換器 100 は、上位側の D / A 変換器 D A C A と、下位側の D / A 変換器 D A C B と、ボルテージフォロワー接続されたオペアンプ ( 演算増幅器 ) O P A、O P B、O P C を含む。図 1、図 2 等で説明した本実施形態の D / A 変換器は、例えば上位側の D / A 変換器 D A C A として用いられる。

40

【0200】

上位側 D A C A には、変調回路 90 からの  $n$  ビット ( $n = q + p$ ) のデータ D M のうちの上位の  $q$  ビットのデータが入力され、下位側 D A C B には下位の  $p$  ビット (例えば  $p = q = 8$ ) のデータが入力される。これらの上位側 D A C A、下位側 D A C B は、例えば直列接続された複数の抵抗により電圧分割された複数の分割電圧の中から、入力データに対応する電圧を選択する抵抗ストリング型の D / A 変換器である。

【0201】

図 16 に示すように上位側 D A C A は、高電位側電源 V D D A のノードと低電位側電源 V S S のノードとの間に直列接続された複数の抵抗 R A 1 ~ R A N を含む。また上位側 D A C A は、これらの抵抗 R A 1 ~ R A N による電圧分割ノードに一端が接続される複数の

50

スイッチ素子  $S A 1 \sim S A N + 1$  と、データ  $D M$  の上位  $q$  ビットのデータに基づいて、スイッチ素子  $S A 1 \sim S A N + 1$  をオン又オフにするスイッチ制御信号を生成するデコーダー 104 (スイッチ制御回路) を含む。

#### 【0202】

なおこれらのスイッチ素子等の接続構成は、実際には図2のような接続構成になるが、ここでは簡略化して示している。例えば上位側  $D A C A$  は、図2の構成の2組の第1、第2の電圧選択回路を有している。そして例えば第1の電圧選択回路を構成するセレクターのトランジスタが、スイッチ素子  $S A 1$ 、 $S A 3$ 、 $S A 5 \cdots$  に相当し、第2の電圧選択回路を構成するセレクターのトランジスタが、スイッチ素子  $S A 2$ 、 $S A 4$ 、 $S A 6 \cdots$  に相当する。

10

#### 【0203】

上位側  $D A C A$  は、複数の抵抗  $R A 1 \sim R A N$  のうち上位  $q$  ビットのデータにより特定される抵抗の両端の分割電圧のうち、一方の分割電圧をオペアンプ  $O P A$  の非反転入力端子に出力し、他方の分割電圧をオペアンプ  $O P B$  の非反転入力端子に出力する。これにより、当該一方の電圧が、ボルテージフォロワー接続されたオペアンプ  $O P A$  によりインピーダンス変換されて、電圧  $V X$  として下位側  $D A C B$  に供給される。また当該他方の電圧が、ボルテージフォロワー接続されたオペアンプ  $O P B$  によりインピーダンス変換されて、電圧  $V Y$  として下位側  $D A C B$  に供給される。

#### 【0204】

例えば上位  $q$  ビットのデータにより抵抗  $R A 1$  が特定された場合には、抵抗  $R A 1$  の両端の分割電圧のうち、高電位側の分割電圧が、オンになったスイッチ素子  $S A 1$  及びオペアンプ  $O P A$  を介して、電圧  $V X$  として供給される。また低電位側の分割電圧が、オンになったスイッチ素子  $S A 2$  及びオペアンプ  $O P B$  を介して、電圧  $V Y$  として供給される。また上位  $q$  ビットのデータにより抵抗  $R A 2$  が特定された場合には、抵抗  $R A 2$  の両端の分割電圧のうち、低電位側の分割電圧が、オンになったスイッチ素子  $S A 3$  及びオペアンプ  $O P A$  を介して、電圧  $V X$  として供給される。また高電位側の分割電圧が、オンになったスイッチ素子  $S A 2$  及びオペアンプ  $O P B$  を介して、電圧  $V Y$  として供給される。

20

#### 【0205】

下位側  $D A C B$  は、電圧  $V X$  のノードと電圧  $V Y$  のノードとの間に直列接続された複数の抵抗  $R B 1 \sim R B M$  を含む。また下位側  $D A C B$  は、これらの抵抗  $R B 1 \sim R B M$  による電圧分割ノードに一端が接続される複数のスイッチ素子  $S B 1 \sim S B M + 1$  と、データ  $D M$  の下位  $p$  ビットのデータに基づいて、スイッチ素子  $S B 1 \sim S B M + 1$  をオン又オフにするスイッチ制御信号を生成するデコーダー 106 (スイッチ制御回路) を含む。

30

#### 【0206】

そして下位側  $D A C B$  は、抵抗  $R B 1 \sim R B M$  による複数の分割電圧のうち、下位  $p$  ビットのデータにより選択された1つの分割電圧を選択電圧として、オンになったスイッチ素子を介して、ボルテージフォロワー接続されたオペアンプ  $O P C$  の非反転入力端子に出力する。これにより、当該選択電圧が、 $D / A$  変換器 100 の出力電圧  $V D A$  として出力されるようになる。

#### 【0207】

図17A、図17B、図17Cは変調回路90の説明図である。図17Aに示すように、変調回路90は、処理部50からの  $i = (n + m)$  ビットの周波数制御データ  $D D S$  を受ける。そして、この周波数制御データ  $D D S$  の下位の  $m$  ビットのデータ (ビット  $b 1 \sim b 4$ ) に基づいて、周波数制御データ  $D D S$  の上位の  $n$  ビット (ビット  $b 5 \sim b 20$ ) のデータのPWM変調を行う。そして、当該  $n$  ビットのデータのうち、上位の  $q$  ビットのデータ (ビット  $b 13 \sim b 20$ ) が、上位側  $D A C A$  に入力され、下位の  $p$  ビットのデータ (ビット  $b 5 \sim b 12$ ) が、下位側  $D A C B$  に入力される。

40

#### 【0208】

図17BはPWM変調の第1の方式の説明図である。 $D Y$ 、 $D Z$  は、データ  $D M$  の上位の  $n$  ビットのデータであり、 $n$  ビット表現において  $D Y = D Z + 1$  が成り立つデータであ

50

る。

#### 【0209】

PWM変調に用いられる下位の $m = 4$ ビットのデータで表されるデューティ比が、例えば8対8である場合には、図17Bに示すように、8個の16ビットのデータDYと8個の16ビットのデータDZが時分割で、変調回路90からD/A変換器100に出力される。

#### 【0210】

また下位の $m = 4$ ビットのデータで表されるデューティ比が10対6である場合には、10個のデータDYと6個のデータDZが時分割で、変調回路90からD/A変換器100に出力される。同様に、下位の $m = 4$ ビットのデータで表されるデューティ比が14対2である場合には、14個のデータDYと2個のデータDZが時分割で出力される。

10

#### 【0211】

図17CはPWM変調の第2の方式の説明図である。PWM変調に用いられる $m = 4$ ビットの各ビット $b_4$ 、 $b_3$ 、 $b_2$ 、 $b_1$ が、論理レベル「1」である場合に、図17Cにおいて各ビットに対応づけられた出力パターン（各ビットの右側に示される出力パターン）が選択される。

#### 【0212】

例えばビット $b_4 = 1$ で、 $b_3 = b_2 = b_1 = 0$ である場合には、ビット $b_4$ に対応づけられた出力パターンだけが期間 $P_1 \sim P_{16}$ において出力される。即ち、 $n = 16$ ビットのデータがDZ、DY、DZ、DY・・・の順で時分割に、変調回路90からD/A変換器100に出力される。これにより、データDY、DZの出力回数は共に8回となり、図17Bにおいてデューティ比が8対8である場合と同様のPWM変調が実現される。

20

#### 【0213】

またビット $b_4 = b_2 = 1$ で、 $b_3 = b_1 = 0$ である場合には、ビット $b_4$ と $b_2$ に対応づけられた出力パターンが期間 $P_1 \sim P_{16}$ において出力される。これによりデータDY、DZの出力回数は、各々、10回、6回になり、デューティ比が10対6である場合と同様のPWM変調が実現される。同様に、ビット $b_4 = b_3 = b_2 = 1$ で、 $b_1 = 0$ である場合には、データDY、DZの出力回数は、各々、14回、2回になり、デューティ比が14対2である場合と同様のPWM変調が実現される。

30

#### 【0214】

以上のように、本実施形態の変調回路90によれば、データDY、DZの出力回数等を制御するだけでPWM変調を実現でき、例えば16ビットの分解能のD/A変換器100を用いながらも、例えば20ビット以上のD/A変換の分解能を実現できるようになる。

#### 【0215】

例えば雑音が少なく抵抗ストリング型や抵抗ラダー型のD/A変換では、例えば16ビット程度の分解能が実質的な限界である。この点、本実施形態によれば、回路規模の小さな変調回路90とフィルター回路120を設けるだけで、D/A変換の分解能を例えば20ビット以上に向上できる。従って、回路規模の増加を最小限に抑えながら、D/A変換部80の分解能を向上することが可能になる。そしてD/A変換部80の分解能が向上することで、発振周波数精度の高精度化を実現でき、周波数ホッピングの抑制や、時刻同期に好適な発振器の提供を実現できるようになる。

40

#### 【0216】

##### 7. 発振器、電子機器、移動体

図18Aに、本実施形態の回路装置500を含む発振器400の構成例を示す。図18Aに示すように、発振器400は、振動子420と回路装置500を含む。振動子420と回路装置500は、発振器400のパッケージ410内に実装される。そして振動子420の端子と、回路装置500（IC）の端子（パッド）は、パッケージ410の内部配線により電氣的に接続される。

#### 【0217】

50



図18Bに、本実施形態の回路装置500(D/A変換器)を含む電子機器の構成例を示す。この電子機器は、本実施形態の回路装置500(D/A変換器)、水晶振動子等の振動子420、アンテナANT、通信部510、処理部520を含む。また操作部530、表示部540、記憶部550を含むことができる。振動子420と回路装置500により発振器400が構成される。なお電子機器は図18Bの構成に限定されず、これらの一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

#### 【0218】

図18Bの電子機器としては、例えばGPS内蔵時計、生体情報測定機器(脈波計、歩数計等)又は頭部装着型表示装置等のウェアラブル機器や、スマートフォン、携帯電話機、携帯型ゲーム装置、ノートPC又はタブレットPC等の携帯情報端末(移動端末)や、コンテンツを配信するコンテンツ提供端末や、デジタルカメラ又はビデオカメラ等の映像機器や、或いは基地局又はルーター等のネットワーク関連機器などの種々の機器を想定できる。

#### 【0219】

通信部510(無線回路)は、アンテナANTを介して外部からデータを受信したり、外部にデータを送信する処理を行う。処理部520は、電子機器の制御処理や、通信部510を介して送受信されるデータの種々のデジタル処理などを行う。この処理部520の機能は、例えばマイクロコンピュータなどのプロセッサにより実現できる。

#### 【0220】

操作部530は、ユーザーが入力操作を行うためのものであり、操作ボタンやタッチパネルディスプレイをなどにより実現できる。表示部540は、各種の情報を表示するものであり、液晶や有機ELなどのディスプレイにより実現できる。なお操作部530としてタッチパネルディスプレイを用いる場合には、このタッチパネルディスプレイが操作部530及び表示部540の機能を兼ねることになる。記憶部550は、データを記憶するものであり、その機能はRAMやROMなどの半導体メモリーやHDD(ハードディスクドライブ)などにより実現できる。

#### 【0221】

図18Cに、本実施形態の回路装置を含む移動体の例を示す。本実施形態の回路装置(発振器)は、例えば、車、飛行機、バイク、自転車、或いは船舶などの種々の移動体に組み込むことができる。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器(車載機器)を備えて、地上や空や海上を移動する機器・装置である。図18Cは移動体の具体例としての自動車206を概略的に示している。自動車206には、本実施形態の回路装置と振動子を有する発振器(不図示)が組み込まれる。制御装置208は、この発振器により生成されたクロック信号により動作する。制御装置208は、例えば車体207の姿勢に応じてサスペンションの硬軟を制御したり、個々の車輪209のブレーキを制御する。例えば制御装置208により、自動車206の自動運転を実現してもよい。なお本実施形態の回路装置や発振器が組み込まれる機器は、このような制御装置208には限定されず、自動車206等の移動体に設けられる種々の機器(車載機器)に組み込むことが可能である。

#### 【0222】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語と共に記載された用語は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また本実施形態及び変形例の全ての組み合わせも、本発明の範囲に含まれる。またD/A変換器、回路装置、発振器、電子機器、移動体の構成・動作や、D/A変換手法、電圧選択手法、しきい値電圧の設定手法等も本実施形態で説明したものに限定されず、種々の変形実施が可能である。

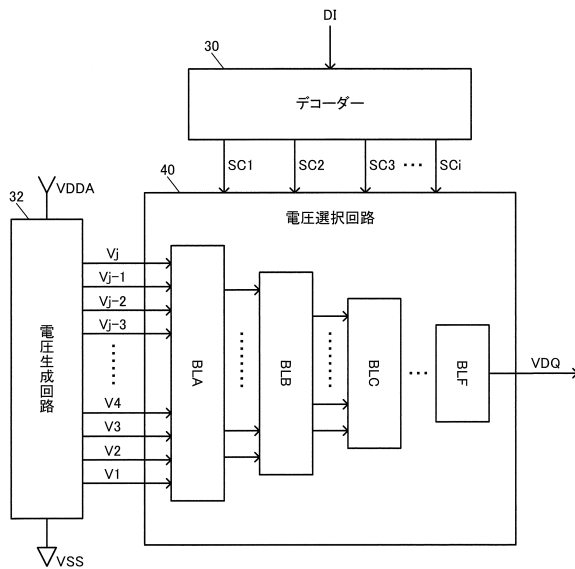
## 【符号の説明】

## 【 0 2 2 3 】

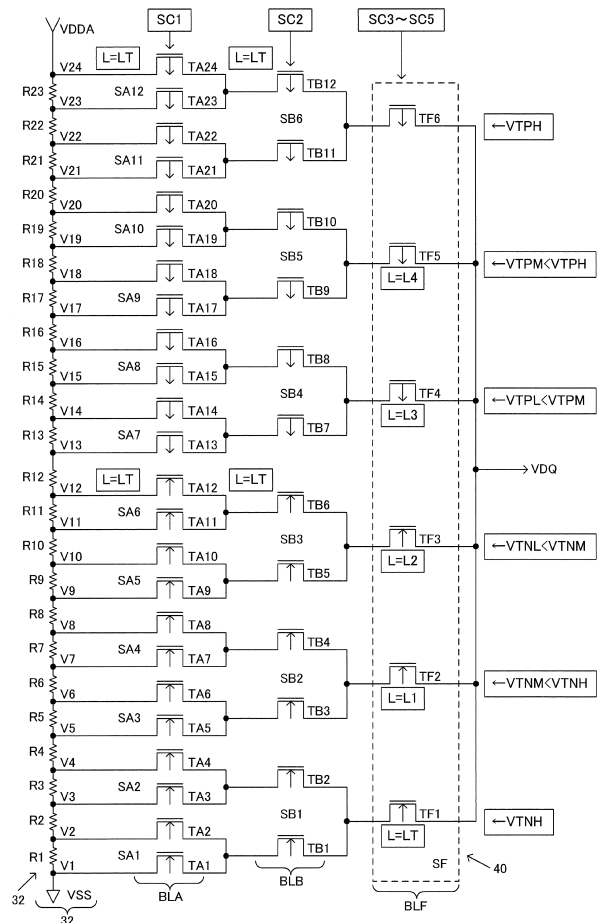
B L A ~ B L F ... セレクターブロック、R 1 ~ R 2 3 ... 抵抗、  
 S A 1 ~ S A 1 2、S B 1 ~ S B 6、S F ... セレクター、  
 T A 1 ~ T A 2 4、T B 1 ~ T B 1 2、T F 1 ~ T F 6 ... トランジスタ、  
 1 0 ... 温度センサー部、2 0 ... A / D 変換部、3 0 ... デコーダー、  
 3 2 ... 電圧生成回路、4 0 ... 電圧選択回路、4 2 ... 基板電圧制御回路、  
 4 4 ... 電源回路、4 5 ... 基準電圧生成回路、5 0 ... 処理部、6 0 ... 演算部、  
 7 0 ... 出力部、8 0 ... D / A 変換部、9 0 ... 変調回路、1 0 0 ... D / A 変換器、  
 1 0 4、1 0 6 ... デコーダー、1 2 0 ... フィルター回路、  
 1 4 0 ... 発振信号生成回路、1 5 0 ... 発振回路、1 6 0 ... バッファ回路、  
 2 0 6 ... 自動車、2 0 7 ... 車体、2 0 8 ... 制御装置、2 0 9 ... 車輪、  
 4 0 0 ... 発振器、4 1 0 ... パッケージ、4 2 0 ... 振動子、5 0 0 ... 回路装置、  
 5 1 0 ... 通信部、5 2 0 ... 処理部、5 3 0 ... 操作部、5 4 0 ... 表示部、  
 5 5 0 ... 記憶部、5 6 0 ... スイッチングレギュレーター

10

【図 1】

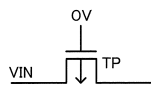


【図 2】



【図 3】

図3A



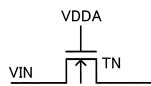
オン条件:  $VIN > VTP + VBS + VPR + VTS$

↑      ↑      ↑  
基板   プロセス   温度  
バイアス   ばらつき   変動  
効果

オフ条件:  $VTP - VPR - VTS > 0$

↑      ↑  
プロセス   温度  
ばらつき   変動

図3B



オン条件:  $VDDA - VIN > VTN + VBS + VPR + VTS$

↑      ↑      ↑  
基板   プロセス   温度  
バイアス   ばらつき   変動  
効果

オフ条件:  $VTN - VPR - VTS > 0$

↑      ↑  
プロセス   温度  
ばらつき   変動

【図 4】

種類	しきい値電圧の タイプカル値
PRH	0.6V
PRM	0.45V
PRL	0.25V



トランジスタ	VR	VINmin
TF6	0.9~0.75V	0.75V
TF5	0.75~0.6V	0.6V
TF4	0.6~0.45V	0.45V

図4A

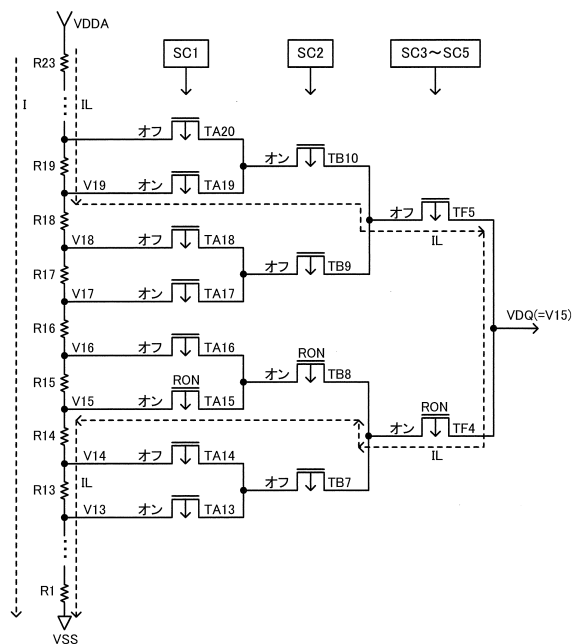
種類	しきい値電圧の タイプカル値
PRL	0.25V
PRM	0.45V
PRH	0.6V



トランジスタ	VR	(VDDA-VIN)min
TF3	0.45~0.3V	0.45V
TF2	0.3~0.15V	0.6V
TF1	0.15~0V	0.75V

図4B

【図 5】



【図 6】

図6A

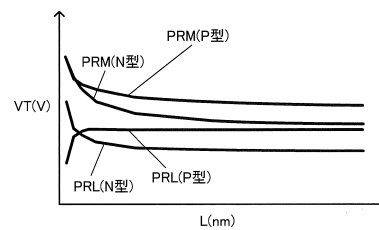


図6B

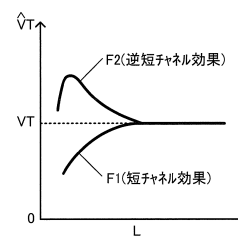
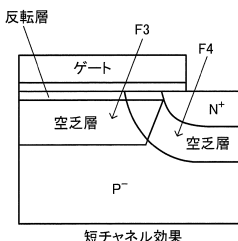
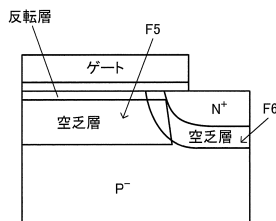


図6C



短チャネル効果

図6D



逆短チャネル効果

【 図 7 】

図7A

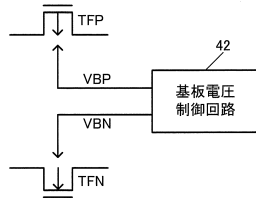


図7B

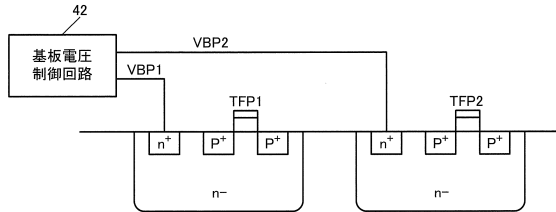
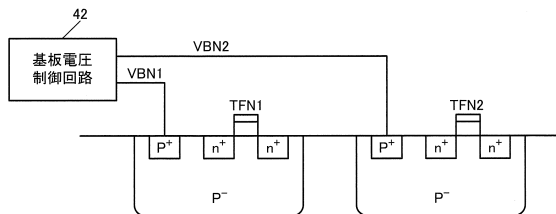
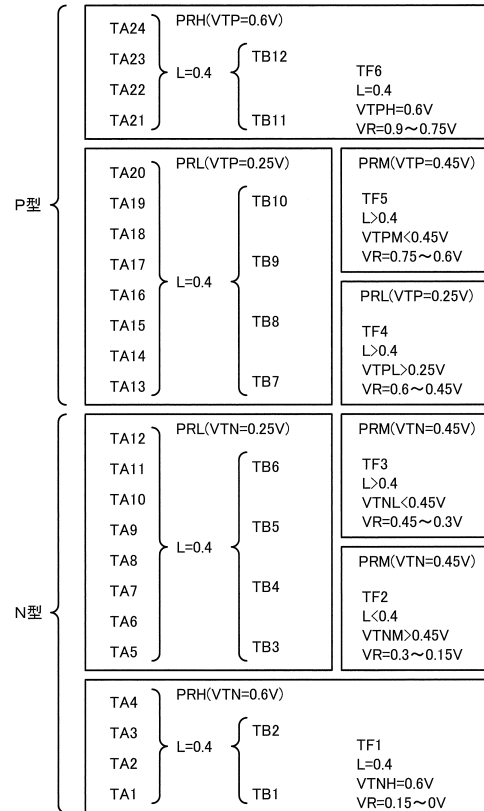


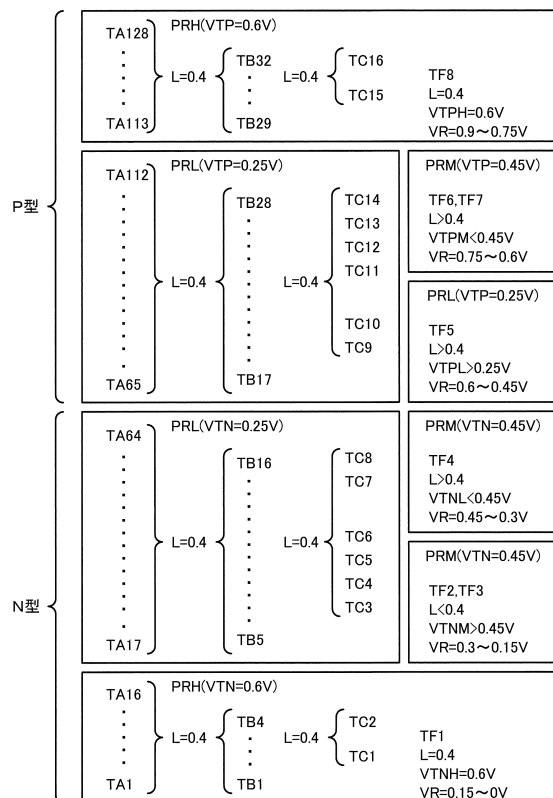
図7C



【 図 8 】



【 図 9 】



【 図 1 0 】

図10A

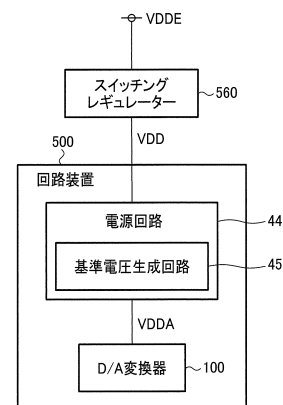
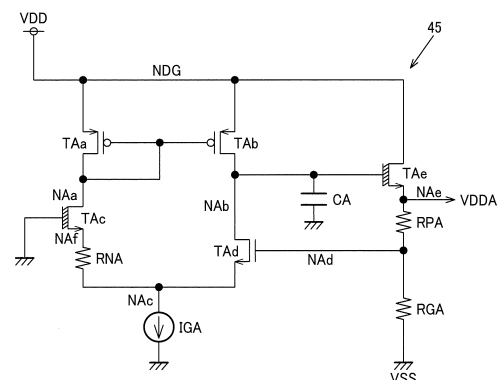
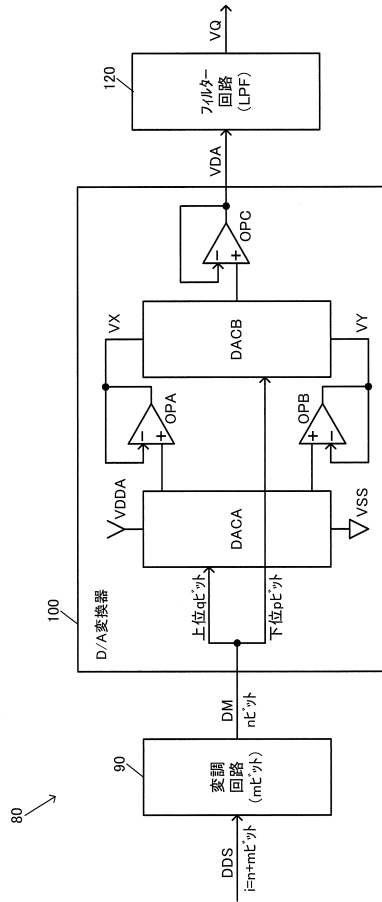


図10B

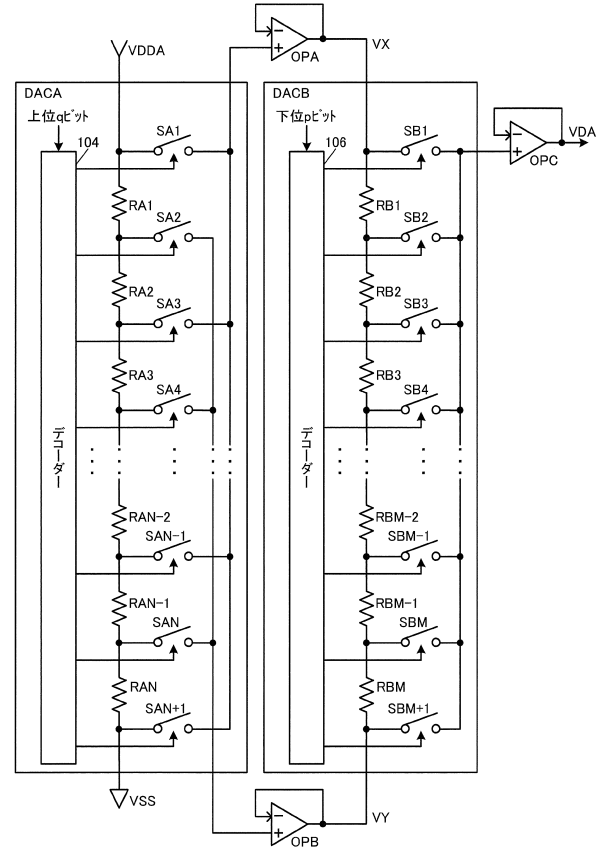




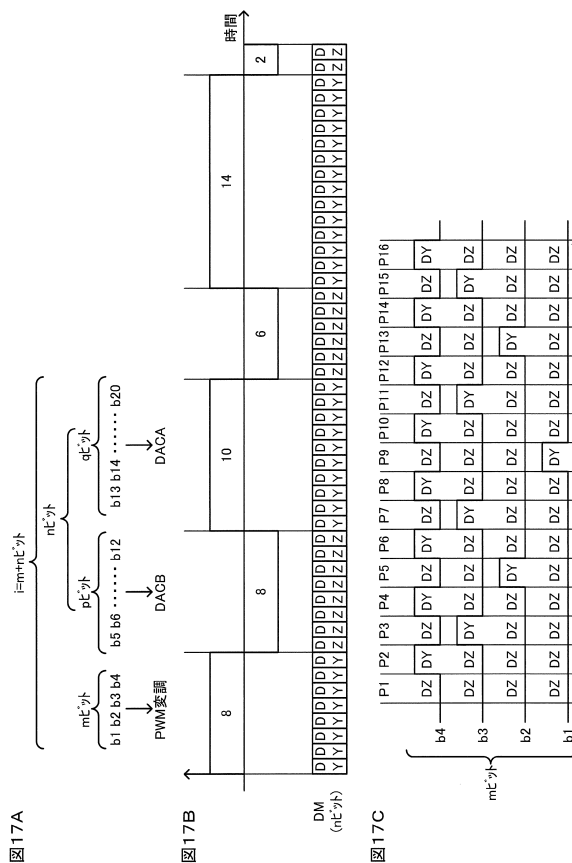
【図 15】



【図 16】



【図 17】



【図 18】

図 18A

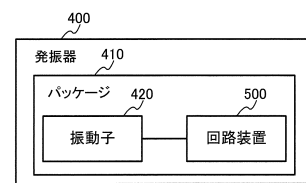


図 18B

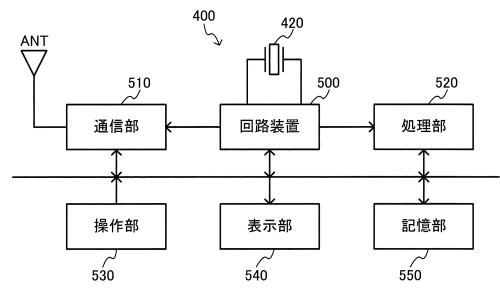
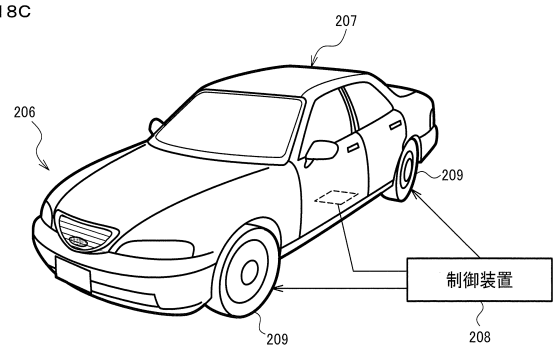


図 18C



---

フロントページの続き

(56)参考文献 特開2011-172100(JP,A)  
特開平11-251914(JP,A)  
特開平01-157127(JP,A)  
特開平06-140212(JP,A)  
特開昭55-115721(JP,A)  
特開2009-187300(JP,A)  
特開2012-108585(JP,A)  
特開2002-198737(JP,A)  
特開2000-250490(JP,A)  
特開2007-037191(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M	1/74
H03B	5/32