

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年8月3日 (03.08.2017)



(10) 国际公布号
WO 2017/128554 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2016/081782
- (22) 国际申请日: 2016年5月12日 (12.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610058332.4 2016年1月28日 (28.01.2016) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (72) 发明人: 李金明 (LI, Jinming); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市铭粤知识产权代理有限公司 (MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区登良路21号南油第二工业区206栋6层611室 (恒裕中心B座), Guangdong 518054 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: TFT ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: TFT阵列基板及其制造方法

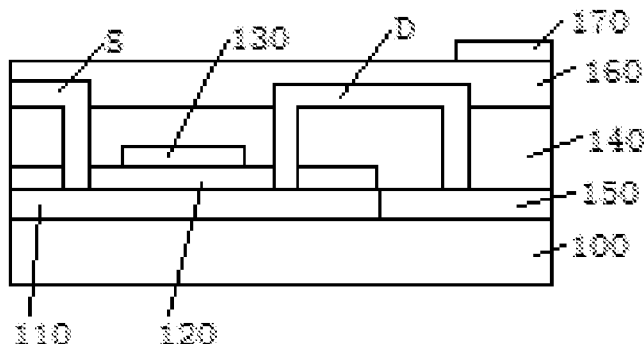


图 8

(57) Abstract: A TFT array substrate, comprising: a base (100); a semiconductor layer (110) formed on the base (100); a pixel electrode (150) formed on the base (100), so as to be located on the same layer as the semiconductor layer (110); a gate insulation layer (120) formed on the semiconductor layer (110); a gate electrode (130) formed on the gate insulation layer (120); an interlayer insulation layer (140) formed on the base (100) so as to cover the gate insulation layer (120), the gate electrode (130) and the pixel electrode (150); a source electrode (S) arranged on the interlayer insulation layer (140) and electrically connected to the semiconductor layer (110); and a drain electrode (D) arranged on the interlayer insulation layer (140) and electrically connected to the semiconductor layer (110) and the pixel electrode (150). Also provided is a manufacturing method for a TFT array substrate. Compared with a traditional TFT array substrate of a top gate structure, a TFT array substrate with a top gate structure omits two photo-mask processes, and thus the production cost is reduced.

(57) 摘要:

[见续页]



WO 2017/128554 A1



一种 TFT 阵列基板，包括：基底(100)；半导体层(110)，形成在基底(100)上；像素电极(150)，形成在基底(100)上以与半导体层(110)位于同一层上；栅极绝缘层(120)，形成在半导体层(110)上；栅电极(130)，形成在栅极绝缘层(120)上；层间绝缘层(140)，形成在基底(100)上以覆盖栅极绝缘层(120)、栅电极(130)和像素电极(150)；源电极(S)，设置在层间绝缘层(140)上并电连接到半导体层(110)；漏电极(D)，设置在层间绝缘层(140)上并电连接半导体层(110)和像素电极(150)。还提供了一种 TFT 阵列基板的制造方法，包括顶栅结构的 TFT 的阵列基板比传统的顶栅结构的 TFT 阵列基板节省两道光罩工艺，从而降低了生产成本。

TFT阵列基板及其制造方法

技术领域

本发明属于晶圆制造和平板显示技术领域。具体地讲，涉及一种 TFT 阵列基板以及制造方法。

背景技术

通常，薄膜晶体管（TFT）中的半导体层由金属氧化物薄膜构成，而金属氧化物薄膜对酸非常敏感，即便是弱酸也能够快速地腐蚀氧化物半导体层，从而在氧化物半导体层上刻蚀金属源电极和漏电极时很容易破坏氧化物半导体层本身。

此外，由于氧化物半导体层较薄（通常在 30nm 至 50nm 之间），即使采用浓度在 500:1 稀释的氢氟酸（HF）中，只需几秒钟就能够刻蚀氧化物半导体层。然而，大多数金属需要在强酸下刻蚀，并且速率较慢。因此如何在氧化物半导体层上刻蚀金属源电极和漏电极成为急需解决的难题。

发明内容

为了解决上述现有技术的不足，本发明提供一种既能够避免金属刻蚀液对金属氧化物的刻蚀又能够减少光罩工艺的 TFT 阵列基板及其制造方法。

根据本发明的一方面，提供一种 TFT 阵列基板，所述 TFT 阵列基板包括：基底；半导体层，形成在基底上；像素电极，形成在基底上并与半导体层位于同一层上；栅极绝缘层，形成在半导体层上；栅电极，形成在栅极绝缘层上；层间绝缘层，形成在基底上以覆盖栅极绝缘层、栅电极和像素电极；源电极，设置在层间绝缘层上并电连接到半导体层；漏电极，设置在层间绝缘层上并电连接半导体层和像素电极。

根据本发明的示例性实施例，层间绝缘层可以包括氮化硅层，或者包括以从下到上依次形成的氧化硅层和氮化硅层的复合层。

根据本发明的示例性实施例，所述 TFT 阵列基板还可以包括：钝化层，形

成在层间绝缘层上以覆盖源电极和漏电极；共电极，形成在钝化层上。

根据本发明的另一方面，提供一种制造 TFT 阵列基板的方法，所述方法包括：在基底上形成半导体层；在半导体层上形成栅极绝缘层，栅极绝缘层覆盖半导体层的一部分；在栅极绝缘层上形成栅电极；在半导体层上形成层间绝缘层以覆盖栅极绝缘层和栅电极，其中，层间绝缘层包括氮化硅层；对层间绝缘层执行退火工艺以使层间绝缘层中的氢扩散到半导体层中，以在半导体层的未被栅极绝缘层覆盖的部分处形成像素电极；在层间绝缘层和栅极绝缘层上形成用于暴露半导体层的接触孔，并且在层间绝缘层上形成用于暴露像素电极的开口；在层间绝缘层上形成源电极和漏电极，其中，源电极经接触孔电连接到半导体层，漏电极经接触孔和开口电连接半导体层和像素电极。

根据本发明的示例性实施例，形成半导体层的步骤可以包括：在基底上沉积金属氧化物，利用退火工艺对金属氧化物活化，之后执行黄光工艺和刻蚀工艺来形成具有预定图案的半导体层。

根据本发明的示例性实施例，形成栅极绝缘层的步骤可以包括：在半导体层上沉积绝缘层，之后执行黄光工艺和刻蚀工艺来形成具有预定图案的栅极绝缘层，其中，绝缘层包括氮化硅层的单层或者包括以从下到上依次沉积的氧化硅层和氮化硅层的复合层。

根据本发明的示例性实施例，形成栅电极的步骤可以包括：在栅极绝缘层上沉积金属层，并对金属层执行黄光工艺和刻蚀工艺以形成具有预定图案的栅电极。

根据本发明的示例性实施例，层间绝缘层还可以包括氧化硅层，其中，以从下到上的顺序依次沉积氮化硅层和氧化硅层。

根据本发明的示例性实施例，所述方法还可以包括：在层间绝缘层上形成钝化层以覆盖源电极和漏电极；在钝化层上形成共电极。

根据本发明的示例性实施例，形成共电极的步骤可以包括：在钝化层上沉积电极层，之后执行黄光工艺和刻蚀工艺来得到具有预定图案的共电极。

根据本发明的 TFT 阵列基板及其制造方法，能够避免金属刻蚀液对金属氧化物的刻蚀。此外，本发明的包括顶栅结构的 TFT 的阵列基板比传统的顶栅结构的 TFT 节省两道光罩工艺，从而降低了生产成本。

附图说明

图 1 至图 8 示出了根据本发明的示例性实施例的制造 TFT 阵列基板流程图示意图。

具体实施方式

下面将参照附图详细地描述本发明的示例性实施例。

以下将结合附图来详细描述本发明的示例性实施例，然而，附图只是示意性地示出了本发明的具体示例，且不具有限制作用。然而，本领域技术人员应理解的是，在不脱离本发明的权利要求所限定的保护范围的情况下，可以对其进行各种修改和变形。

在下文中，将通过参照附图解释本发明的示例性实施例来详细描述本发明。

图 1 至图 8 示出了根据本发明的示例性实施例的制造 TFT 阵列基板的流程图示意图。

如图 1 中所示，在基底 100 上形成半导体层 110。基底 100 可以由含有 SiO_2 作为主要成分的透明玻璃材料形成，但是不限于此。

通常，通过物理气相沉积（PVD）法形成半导体层 110。具体地讲，采用 PVD 在基底 100 上沉积金属氧化物，之后对金属氧化物进行退火（例如，在 200°C ~ 400°C 下）处理以对金属氧化物进行活化，接着执行黄光工艺和刻蚀工艺来形成具有预定图案的半导体层 110。

形成半导体层 110 的金属氧化物可以是氧化铟镓锌（IGZO），然而，本发明不限于此，可以选用任何适合的金属氧化物。在本发明的一个示例性实施例中，半导体层 110 的厚度可以为 300 埃至 1000 埃；然而，本发明不限于此。

接着，如图 2 中所示，在半导体层 110 上形成栅极绝缘层 120，栅极绝缘层 120 覆盖半导体层 110 的一部分，半导体层 110 的被栅极绝缘层 120 覆盖的部分可以为栅电极提供支撑，半导体层 110 的未被栅极绝缘层 120 覆盖的部分可以为形成像素电极提供位置。具体地讲，通过等离子增强化学气相沉积法在半导体层 110 的一部分上沉积绝缘层，之后执行黄光工艺和刻蚀工艺来得到具有预定图案的栅极绝缘层 120。

绝缘层可以形成为单层或形成为多层，所述单层包括氮化硅（ SiN_x ）层的无

机绝缘层，所述多层包括诸如氧化硅（ SiO_x ）层、氮化硅（ SiN_x ）层等的无机绝缘层。当绝缘层形成为多层时，多层可以是按从下到上的顺序沉积的氧化硅（ SiO_x ）层和氮化硅（ SiN_x ）层的复合层。

然后，参照图 3 中所示，在栅极绝缘层 120 上形成栅电极 130。具体地讲，可以通过 PVD 法在栅极绝缘层 120 上沉积诸如 Mo 的金属层，之后执行黄光工艺和刻蚀工艺来得到具有预定图案的栅电极 130。在本发明的非限制性实施例中，金属层的材质不限于 Mo，例如金属层的材质还可以包括 Al、Cu 等材料或其组合。栅电极 130 的厚度可以为 1500 埃至 6500 埃，然而，本发明不限于此。

接着，参照图 4 和图 5，在半导体层 110 上形成层间绝缘层 140 以覆盖栅电极 130 和栅极绝缘层 120，并且使半导体层 110 的未被栅极绝缘层 120 覆盖的部分形成为像素电极 150。具体地讲，通过等离子增强化学气相沉积法在半导体层 110 上沉积金属层，金属层可以形成为包括氧化硅的单层或者形成为以从下到上的顺序沉积的氮化硅层和氧化硅层的复合层；然后，对金属层执行退火工艺，使氮化硅中的氢扩散到半导体层 110，以实现半导体层 110 的氢掺杂，从而在半导体层 110 的未被栅极绝缘层 120 覆盖的部分处形成像素电极 150；接着，执行黄光工艺和刻蚀工艺来同时形成用于将源电极电连接到半导体层 110 上的接触孔 H1 以及用于将漏电极电连接到半导体层 110 和像素电极 150 上的接触孔 H2 和开口 H3。

根据本发明的 TFT 阵列基板中的 TFT 采用顶栅结构能够有效地避免金属刻蚀液对金属氧化物的刻蚀。

然后，参照图 6，在层间绝缘层 140 上形成源电极 S 和漏电极 D。具体地讲，首先在层间绝缘层 140 上沉积 Al/Mo 材料，接着执行黄光工艺和刻蚀工艺来得到具有预定图案的源电极 S/漏电极 D。在本发明中，形成源电极 S/漏电极 D 的材料不限于此，例如可以使用任何其它适合的材料。在本发明的一个实施例中，源电极 S 和漏电极 D 的厚度可以为 200 埃至 6000 埃，然而，本发明不限于此。

接着，参照图 7，在层间绝缘层 140 上形成钝化层 160 以覆盖源电极 S 和漏电极 D。具体地讲，通过等离子增加化学气相沉积法沉积钝化层 160，以保护源电极 S 和漏电极 D。在本发明的示例性实施例中，钝化层 160 可以形成为包括氧化硅层的单层结构或者形成为包括氧化硅层和氮化硅层的复合层结构。在本发明的一个实施例中，钝化层 160 的厚度可以为 1500 埃至 4000 埃，然而，本发明不限于此。

然后，参照图 8，在钝化层 160 上形成共电极 170。具体地讲，通过 PVD 法沉积电极层，接着执行黄光工艺和刻蚀工艺来得到具有预定图案的共电极 170。在本发明的非限制性实施例中，共电极 170 可以是 ITO 层或者可以由其它适合的透明导体形成的层。在本发明的一个实施例中，钝化层 170 的厚度可以为 300 埃至 1000 埃，然而，本发明不限于此。

根据本发明的 TFT 阵列基板，由于半导体层和像素电极形成在同一层中，因此能够减少为了在钝化层中形成接触孔而执行的光罩工艺以及用于形成像素电极的光罩工艺，从而降低了生产成本，简化了工艺。

此外，由于本发明采用顶栅结构，因此能够避免金属刻蚀液对金属氧化物的刻蚀。

以上描述了根据本发明的示例性实施例的 TFT 阵列基板及其制造方法，但本发明的保护范围并不限制于上述特定实施例。

权利要求书

1、一种 TFT 阵列基板，其中，所述 TFT 阵列基板包括：

基底；

半导体层，形成在基底上；

像素电极，形成在基底上以与半导体层位于同一层上；

栅极绝缘层，形成在半导体层上；

栅电极，形成在栅极绝缘层上；

层间绝缘层，形成在基底上以覆盖栅极绝缘层、栅电极和像素电极；

源电极，设置在层间绝缘层上并电连接到半导体层；

漏电极，设置在层间绝缘层上并电连接半导体层和像素电极。

2、根据权利要求 1 所述的 TFT 阵列基板，其中，层间绝缘层包括氮化硅层，或者包括以从下到上依次形成的氧化硅层和氮化硅层的复合层。

3、根据权利要求 1 所述的 TFT 阵列基板，其中，所述 TFT 阵列基板还包括：

钝化层，形成在层间绝缘层上以覆盖源电极和漏电极；

共电极，形成在钝化层上。

4、一种制造 TFT 阵列基板的方法，其中，所述方法包括：

在基底上形成半导体层；

在半导体层上形成栅极绝缘层，栅极绝缘层覆盖半导体层的一部分；

在栅极绝缘层上形成栅电极；

在半导体层上形成层间绝缘层以覆盖栅极绝缘层和栅电极，其中，层间绝缘层包括氮化硅层；

对层间绝缘层执行退火工艺以使层间绝缘层中的氢扩散到半导体层中，以在半导体层的未被栅极绝缘层覆盖的部分处形成像素电极；

在层间绝缘层和栅极绝缘层上形成用于暴露半导体层的接触孔，并且在层间绝缘层上形成用于暴露像素电极的开口；

在层间绝缘层上形成源电极和漏电极，其中，源电极经接触孔电连接到半导体层，漏电极经接触孔和开口电连接半导体层和像素电极。

5、根据权利要求 4 所述的方法，其中，形成半导体层的步骤包括：在基底

上沉积金属氧化物，利用退火工艺对金属氧化物活化，之后执行黄光工艺和刻蚀工艺来形成具有预定图案的半导体层。

6、根据权利要求 4 所述的方法，其中，形成栅极绝缘层的步骤包括：在半导体层上沉积绝缘层，之后执行黄光工艺和刻蚀工艺来形成具有预定图案的栅极绝缘层，其中，绝缘层包括氮化硅层的单层或者包括以从下到上依次沉积的氧化硅层和氮化硅层的复合层。

7、根据权利要求 4 所述的方法，其中，形成栅电极的步骤包括：在栅极绝缘层上沉积金属层，并对金属层执行黄光工艺和刻蚀工艺以形成具有预定图案的栅电极。

8、根据权利要求 4 所述的方法，其中，层间绝缘层还包括氧化硅层，其中，以从下到上的顺序依次沉积氮化硅层和氧化硅层。

9、根据权利要求 4 所述的方法，其中，所述方法还包括：
在层间绝缘层上形成钝化层以覆盖源电极和漏电极；
在钝化层上形成共电极。

10、根据权利要求 9 所述的方法，其中，形成共电极的步骤包括：在钝化层上沉积电极层，之后执行黄光工艺和刻蚀工艺来得到具有预定图案的共电极。

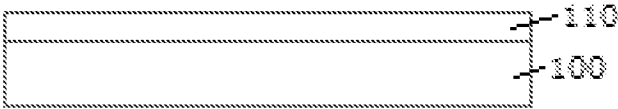


图 1



图 2

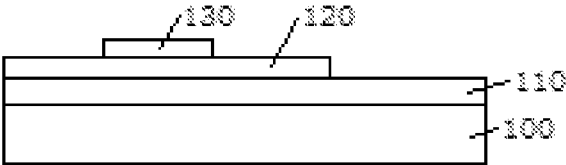


图 3

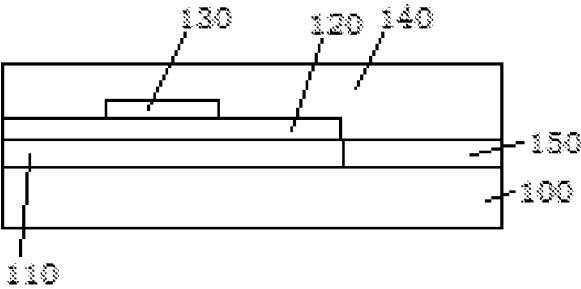


图 4

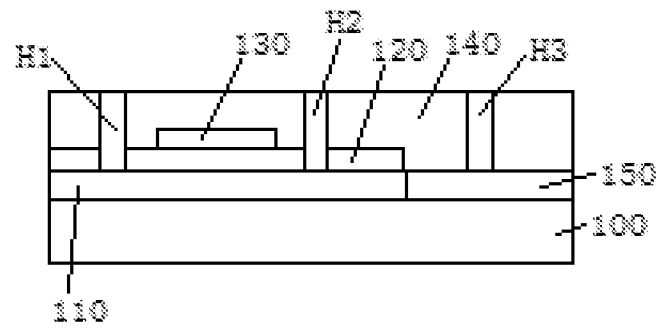


图 5

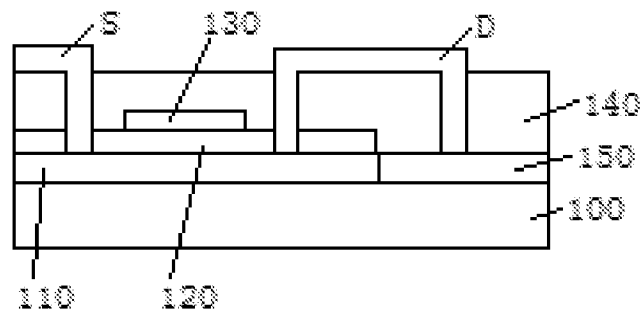


图 6

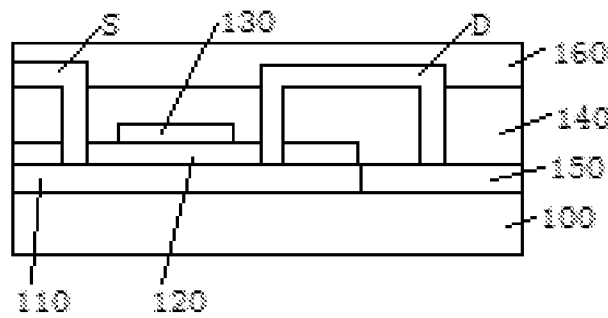


图 7

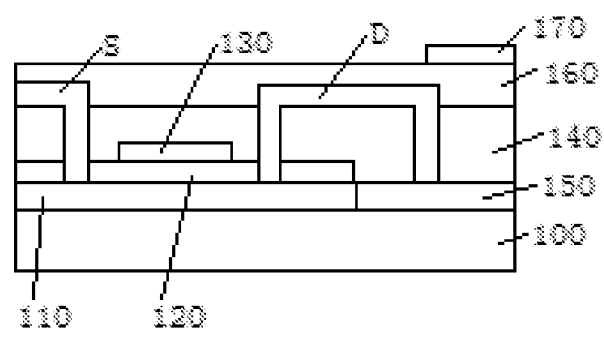


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/081782

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: TFT, thin film transistor, pixel electrode, interlayer insulating layer, hydrogen, annealing, diffusion, same layer;

WPI, EPODOC: TFT, thin w film w transistor, pixel w electrode, interlayer, hydrogen, anneal+, same, layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105514122 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 20 April 2016 (20.04.2016), claims 1-10	1-10
X	CN 101090125 A (MITSUBISHI ELECTRIC CORPORATION), 19 December 2007 (19.12.2007), description, page 4, line 12 to page 10, line 18 and page 15, line 26 to page 16, line 16, and figure 5	1-3
X	CN 103295962 A (BOE TECHNOLOGY GROUP CO., LTD.), 11 September 2013 (11.09.2013), description, paragraphs [0065-[0079], and figures 2-8	1-3
A	CN 104505372 A (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD.), 08 April 2015 (08.04.2015), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 September 2016 (12.09.2016)

Date of mailing of the international search report
28 October 2016 (28.10.2016)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

LIU, Jing

Telephone No.: (86-10) **62413952**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/081782

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105514122 A	20 April 2016	None	
CN 101090125 A	19 December 2007	US 2007298548 A1	27 December 2007
		JP 2007333808 A	27 December 2007
		TW 200809364 A	16 February 2008
		KR 20070118541 A	17 December 2007
		KR 100898773 B1	20 May 2009
CN 103295962 A	11 September 2013	US 2015179679 A1	25 June 2015
		WO 2014190712 A1	04 December 2014
CN 104505372 A	08 April 2015	None	

国际检索报告

国际申请号

PCT/CN2016/081782

A. 主题的分类 H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI: TFT, 薄膜晶体管, 像素电极, 象素电极, 画素电极, 层间绝缘层, 氢, 退火, 扩散, 同层, 同一层 WPI, EPODOC: TFT, thin w film w transistor, pixel w electrode, interlayer, hydrogen, anneal+, same, layer																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105514122 A (深圳市华星光电技术有限公司) 2016年 4月 20日 (2016 - 04 - 20) 权利要求1-10</td> <td>1-10</td> </tr> <tr> <td>X</td> <td>CN 101090125 A (三菱电机株式会社) 2007年 12月 19日 (2007 - 12 - 19) 说明书第4页第12行至第10页第18行, 第15页第26行至第16页第16行, 附图5</td> <td>1-3</td> </tr> <tr> <td>X</td> <td>CN 103295962 A (京东方科技集团股份有限公司) 2013年 9月 11日 (2013 - 09 - 11) 说明书第0065-0079段, 附图2-8</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>CN 104505372 A (昆山龙腾光电有限公司) 2015年 4月 8日 (2015 - 04 - 08) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105514122 A (深圳市华星光电技术有限公司) 2016年 4月 20日 (2016 - 04 - 20) 权利要求1-10	1-10	X	CN 101090125 A (三菱电机株式会社) 2007年 12月 19日 (2007 - 12 - 19) 说明书第4页第12行至第10页第18行, 第15页第26行至第16页第16行, 附图5	1-3	X	CN 103295962 A (京东方科技集团股份有限公司) 2013年 9月 11日 (2013 - 09 - 11) 说明书第0065-0079段, 附图2-8	1-3	A	CN 104505372 A (昆山龙腾光电有限公司) 2015年 4月 8日 (2015 - 04 - 08) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 105514122 A (深圳市华星光电技术有限公司) 2016年 4月 20日 (2016 - 04 - 20) 权利要求1-10	1-10															
X	CN 101090125 A (三菱电机株式会社) 2007年 12月 19日 (2007 - 12 - 19) 说明书第4页第12行至第10页第18行, 第15页第26行至第16页第16行, 附图5	1-3															
X	CN 103295962 A (京东方科技集团股份有限公司) 2013年 9月 11日 (2013 - 09 - 11) 说明书第0065-0079段, 附图2-8	1-3															
A	CN 104505372 A (昆山龙腾光电有限公司) 2015年 4月 8日 (2015 - 04 - 08) 全文	1-10															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
国际检索实际完成的日期 2016年 9月 12日		国际检索报告邮寄日期 2016年 10月 28日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 刘婧 电话号码 (86-10) 62413952															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/081782

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105514122	A	2016年 4月 20日	无			
CN	101090125	A	2007年 12月 19日	US	2007298548	A1	2007年 12月 27日
				JP	2007333808	A	2007年 12月 27日
				TW	200809364	A	2008年 2月 16日
				KR	20070118541	A	2007年 12月 17日
				KR	100898773	B1	2009年 5月 20日
CN	103295962	A	2013年 9月 11日	US	2015179679	A1	2015年 6月 25日
				WO	2014190712	A1	2014年 12月 4日
CN	104505372	A	2015年 4月 8日	无			