



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I876308 B

(45)公告日：中華民國 114 (2025) 年 03 月 11 日

(21)申請案號：112112206 (22)申請日：中華民國 112 (2023) 年 03 月 30 日

(51)Int. Cl. : *H10D30/67 (2025.01)* *H01L21/316 (2006.01)*
H10D62/40 (2025.01) *H10B99/00 (2023.01)*

(30)優先權：2022/03/30 日本 2022-057461

(71)申請人：日商日本顯示器股份有限公司 (日本) JAPAN DISPLAY INC. (JP)
 日本
 日商出光興產股份有限公司 (日本) IDEMITSU KOSAN CO., LTD. (JP)
 日本

(72)發明人：渡壁創 WATAKABE, HAJIME (JP)；津吹將志 TSUBUKU, MASASHI (JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；田丸尊也 TAMARU, TAKAYA (JP)；川嶋繪美 KAWASHIMA, EMI (JP)；霍間勇輝 TSURUMA, YUKI (JP)；佐佐木大地 SASAKI, DAICHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW	201304145A	TW	201351664A
TW	201714854A	TW	201834257A
US	2009/0075436A1	US	2020/0335628A1
US	2021/0225889A1		

審查人員：莊榮昌

申請專利範圍項數：12 項 圖式數：22 共 61 頁

(54)名稱

薄膜電晶體及電子機器

(57)摘要

本發明提供一種包含具有新穎結晶結構之氧化物半導體膜之薄膜電晶體。

薄膜電晶體包含：基板；氧化物半導體層，其設置於基板之上且具有結晶性；閘極電極，其與氧化物半導體層重疊地設置；以及絕緣層，其設置於氧化物半導體層與閘極電極之間；氧化物半導體層包含藉由 EBSD(電子束背向散射繞射)法獲取之分別包含結晶方位 $\langle 001 \rangle$ 、結晶方位 $\langle 101 \rangle$ 及結晶方位 $\langle 111 \rangle$ 中之至少 1 個之複數個晶粒；在基於具有相對於基板之表面之法線方向之結晶方位差為 0° 以上 15° 以下之結晶方位的測定點而計算出之結晶方位之佔有率中，結晶方位 $\langle 111 \rangle$ 之佔有率大於結晶方位 $\langle 001 \rangle$ 之佔有率及結晶方位 $\langle 101 \rangle$ 之佔有率。

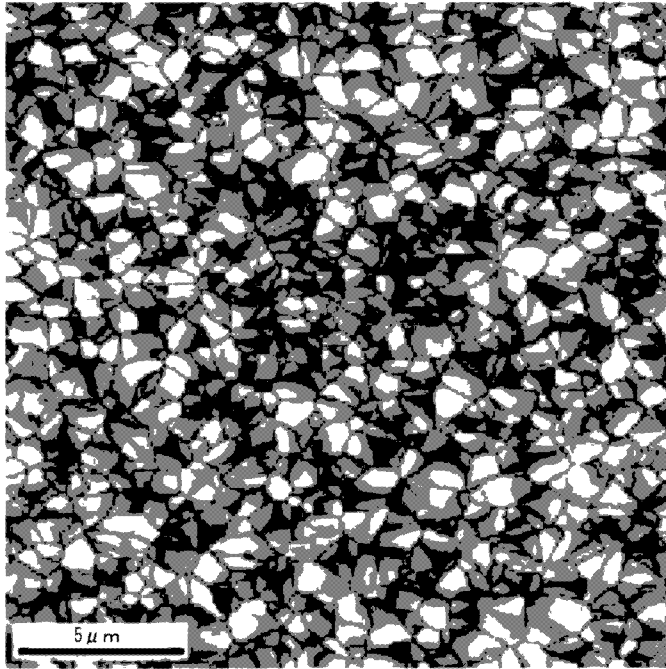
指定代表圖：

符號簡單說明：

001:結晶方位

101:結晶方位

111:結晶方位



【圖1】



I876308

【發明摘要】

【中文發明名稱】

薄膜電晶體及電子機器

【中文】

本發明提供一種包含具有新穎結晶結構之氧化物半導體膜之薄膜電晶體。

薄膜電晶體包含：基板；氧化物半導體層，其設置於基板之上且具有結晶性；閘極電極，其與氧化物半導體層重疊地設置；以及絕緣層，其設置於氧化物半導體層與閘極電極之間；氧化物半導體層包含藉由EBSD(電子束背向散射繞射)法獲取之分別包含結晶方位 $\langle 001 \rangle$ 、結晶方位 $\langle 101 \rangle$ 及結晶方位 $\langle 111 \rangle$ 中之至少1個之複數個晶粒；在基於具有相對於基板之表面之法線方向之結晶方位差為 0° 以上 15° 以下之結晶方位的測定點而計算出之結晶方位之佔有率中，結晶方位 $\langle 111 \rangle$ 之佔有率大於結晶方位 $\langle 001 \rangle$ 之佔有率及結晶方位 $\langle 101 \rangle$ 之佔有率。

【指定代表圖】

圖1

【代表圖之符號簡單說明】

001:結晶方位

101:結晶方位

111:結晶方位

【發明說明書】

【中文發明名稱】

薄膜電晶體及電子機器

【技術領域】

【0001】

本發明之一實施方式係關於一種包含氧化物半導體膜之薄膜電晶體。又，本發明之一實施方式係關於一種包含薄膜電晶體之電子機器。

【先前技術】

【0002】

近年來，正在推進將氧化物半導體膜代替非晶矽、低溫多晶矽及單晶矽等矽半導體膜來用作通道之薄膜電晶體之開發(例如，參照專利文獻1~6)。包含此種氧化物半導體膜之薄膜電晶體與包含非晶矽膜之薄膜電晶體同樣地可由單純之結構且藉由低溫製程形成。又，已知包含氧化物半導體膜之薄膜電晶體具有較包含非晶矽膜之薄膜電晶體高之遷移率。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利特開2021-141338號公報

[專利文獻2]日本專利特開2014-099601號公報

[專利文獻3]日本專利特開2021-153196號公報

[專利文獻4]日本專利特開2018-006730號公報

[專利文獻5]日本專利特開2016-184771號公報

[專利文獻6]日本專利特開2021-108405號公報

【發明內容】

[發明所欲解決之問題]

【0004】

然而，包含先前之氧化物半導體膜之薄膜電晶體之場效遷移率即便於使用具有結晶性之氧化物半導體膜之情形時，亦沒有那麼大。因此，會改良用於薄膜電晶體之氧化物半導體膜之結晶結構，而希望提高薄膜電晶體之場效遷移率。

【0005】

鑒於上述問題，本發明之一實施方式之目的之一在於提供一種包含具有新穎結晶結構之氧化物半導體膜之薄膜電晶體。又，本發明之一實施方式係關於一種包含薄膜電晶體之電子機器。

[解決問題之技術手段]

【0006】

本發明之一實施方式之薄膜電晶體包含：基板；氧化物半導體層，其設置於基板之上且具有結晶性；閘極電極，其與氧化物半導體層重疊地設置；以及絕緣層，其設置於氧化物半導體層與閘極電極之間；氧化物半導體層包含藉由EBSD(electron backscattering diffraction，電子束背向散射繞射)法獲取之分別包含結晶方位<001>、結晶方位<101>及結晶方位<111>中之至少1個之複數個晶粒；在基於具有相對於基板之表面之法線方向之結晶方位差為 0° 以上 15° 以下之結晶方位的測定點而計算出之結晶方位之佔有率中，結晶方位<111>之佔有率大於結晶方位<001>之佔有率及結晶方位<101>之佔有率。

【0007】

本發明之一實施方式之電子機器包含上述薄膜電晶體。

【圖式簡單說明】

【0008】

圖1係本發明之一實施方式之氧化物半導體膜(實施例1)之IPF圖(Inverse Pole Figure map, 反極圖面分佈圖)。

圖2係本發明之一實施方式之氧化物半導體膜(實施例1)之IPF圖。

圖3係表示本發明之一實施方式之氧化物半導體膜(實施例1)之GOS(Grain Orientation Spread, 晶粒取向差分佈值)之分佈的圖。

圖4係本發明之一實施方式之氧化物半導體膜(實施例2)之IPF圖。

圖5係本發明之一實施方式之氧化物半導體膜(實施例2)之IPF圖。

圖6係表示本發明之一實施方式之氧化物半導體膜(實施例2)之GOS之分佈的圖。

圖7係表示本發明之一實施方式之薄膜電晶體之概要的剖視圖。

圖8係表示本發明之一實施方式之薄膜電晶體之概要的俯視圖。

圖9係表示本發明之一實施方式之薄膜電晶體之製造方法的流程圖。

圖10係表示本發明之一實施方式之薄膜電晶體之製造方法的剖視圖。

圖11係表示本發明之一實施方式之薄膜電晶體之製造方法的剖視圖。

圖12係表示本發明之一實施方式之薄膜電晶體之製造方法的剖視圖。

圖13係表示本發明之一實施方式之薄膜電晶體之製造方法的剖視圖。

圖14係表示本發明之一實施方式之薄膜電晶體之製造方法的剖視圖。

圖15係表示本發明之一實施方式之薄膜電晶體之製造方法的剖視圖。

圖16係表示本發明之一實施方式之薄膜電晶體之製造方法的剖視圖。

圖17係本發明之一實施方式之薄膜電晶體之剖面STEM(Scanning Transmission Electron Microscopy，掃描傳輸電子顯微鏡)圖像。

圖18係本發明之一實施方式之薄膜電晶體之剖面STEM圖像。

圖19係表示本發明之一實施方式之電子機器之模式圖。

圖20係先前之氧化物半導體膜(比較例)之IPF圖。

圖21係先前之氧化物半導體膜(比較例)之IPF圖。

圖22係表示先前之氧化物半導體膜(比較例)之GOS之分佈的圖。

【實施方式】

【0009】

以下，參照圖式，對本發明之各實施方式進行說明。以下之揭示僅為一例。業者藉由保持發明之主旨並適當變更實施方式之構成而可容易想到之構成當然包含於本發明之範圍內。為了使說明更加明確，與實際之態樣相比，圖式有時會對各部分之寬度、厚度、形狀等模式性地進行表示。然而，所圖示之形狀僅為一例，並不限定本發明之解釋。於本說明書及各圖中，有時會對與關於已示出之圖而於上文敘述者相同之元件標註相同之符號，適當省略詳細之說明。

【0010】

於本說明書中，將從基板朝向氧化物半導體層之方向稱為上或上方。相反地，將從氧化物半導體層朝向基板之方向稱為下或下方。如此，為便於說明，而使用上方或下方之詞進行說明，但亦可例如以基板與氧化物半導體層之上下關係成為與圖示相反之方式配置。於以下之說明中，例如基板上之氧化物半導體層之表達如上所述僅說明了基板與氧化物半導體層之上下關係，於基板與氧化物半導體層之間亦可配置有其他構件。上方或下方意指積層有複數個層之結構之積層順序，於表達為電晶體之上方之像素電極之情形時，亦可為俯視下電晶體與像素電極不重合之位置關係。另一方面，表達為電晶體之鉛直上方之像素電極之情形意指俯視下電晶體與像素電極重合之位置關係。

【0011】

於本說明書中，「膜」之用語及「層」之用語根據情形可相互替換。

【0012】

「顯示裝置」係指使用電光層來顯示影像之結構體。例如，顯示裝置之用語有時亦指包含電光層之顯示面板，或者，有時亦指相對於顯示單元安裝有其他光學構件(例如，偏光構件、背光源、觸控面板等)之結構體。只要不產生技術性矛盾，「電光層」可包括液晶層、電致發光(EL)層、電致變色(EC)層、電泳層。因此，例示包含液晶層之液晶顯示裝置及包含有機EL層之有機EL顯示裝置作為顯示裝置而對下述實施方式進行說明，但本實施方式中之結構可適用於包含上述其他電光層之顯示裝置。

【0013】

於本說明書中，「 α 包含A、B或C」、「 α 包含A、B及C中之任一者」、「 α 包含選自由A、B及C所組成之群中之一者」等表達只要無特別明示，

則不排除 α 包含A~C之複數個組合之情形。進而，該等表達亦不排除 α 包含其他元件之情形。

【0014】

再者，以下之各實施方式只要不產生技術性矛盾，則可相互組合。

【0015】

<第1實施方式>

參照圖1~圖6，對本發明之一實施方式之氧化物半導體膜進行說明。

【0016】

[1.氧化物半導體膜之組成]

本實施方式之氧化物半導體膜包含銦(In)元素、及銦元素以外之金屬(M)元素。於氧化物半導體膜之組成比中，銦元素及銦元素以外之金屬元素之原子比較佳為滿足式(1)。換言之，銦元素占氧化物半導體膜之比率較佳為50%以上。藉由使銦元素之比率變高，可形成具有結晶性之氧化物半導體膜。又，氧化物半導體膜之結晶結構較佳為具有方鐵錳礦型結構。藉由使銦元素之比率變高，可形成具有方鐵錳礦型結構之氧化物半導體膜。

【0017】

[數1]

$$0.01 < \frac{[M]}{[In] + [M]} < 0.5 \quad \dots (1)$$

【0018】

再者，銦元素以外之金屬元素並不限於1種金屬元素。銦元素以外之元素亦可包含複數種金屬元素。

【0019】

氧化物半導體膜之詳細製造方法於下文敘述，氧化物半導體膜可使用濺鍍法而成膜。藉由濺鍍而形成之氧化物半導體膜之組成依賴於濺鍍靶之組成。藉由具有上述組成之濺鍍靶，利用濺鍍可形成金屬元素之組成無偏差之氧化物半導體膜。因此，氧化物半導體膜之金屬元素(例如，銦元素及其他金屬元素)之組成可設為與濺鍍靶之金屬元素之組成同等。例如，氧化物半導體膜之金屬元素之組成可基於濺鍍靶之金屬元素之組成而特定出。再者，氧化物半導體膜所包含之氧元素會因濺鍍之製程條件等而變化，因而不適用於此。

【0020】

另外，氧化物半導體膜之金屬元素之組成亦可藉由螢光X射線分析或EPMA(Electron Probe Micro Analyzer，電子探針微量分析儀)分析等而特定出。進而，因氧化物半導體膜具有結晶性，故亦可使用XRD(X-ray Diffraction，X射線繞射測定)法，根據結晶結構及晶格常數而特定出氧化物半導體膜之金屬元素之組成。

【0021】**[2.氧化物半導體膜之結晶結構]**

本實施方式之氧化物半導體膜具有結晶性。氧化物半導體膜之結晶結構並無特別限定，較佳為方鐵錳礦型結構。氧化物半導體膜之結晶結構可使用XRD法或電子繞射法而特定出。

【0022】

又，本實施方式之氧化物半導體膜包含複數個晶粒。本發明人等發現，本實施方式之氧化物半導體膜之晶粒具有與先前之氧化物半導體膜之

晶粒不同之特徵。具體而言，本發明人等發現了具有包含與先前之晶粒不同之晶粒之新穎之結晶結構的氧化物半導體膜。具有此種新穎之結晶結構之氧化物半導體膜可使用電子束背向散射繞射(EBSD)法進行測定。因此，以下，對利用EBSD法所進行之氧化物半導體膜之測定進行說明。

【0023】

[2-1. EBSD法]

所謂EBSD法係如下之分析方法，其對被測定對象物照射電子束，解析被測定對象物所具有之結晶結構之各結晶面處產生之電子束背向散射繞射，測定被測定對象物之測定區域中之結晶結構。EBSD法藉由解析從安裝於掃描電子顯微鏡(SEM)或穿透式電子顯微鏡(TEM)之EBSD檢測器獲取之資料，可獲取測定區域中之氧化物半導體膜之晶粒或結晶方位等資訊。

【0024】

[2-2. IPF圖]

IPF(Inverse Pole Figure)圖係按照規定之色鍵(color key)以顏色區分結晶方位之圖像。於使用EBSD法之測定中，可獲取結晶方位之資訊，因此，基於所獲取之結晶方位之資訊，可製成IPF圖。於IPF圖中，亦可獲取複數個結晶方位之以顏色區分之區域各自之面積，計算相對於測定區域整體之面積之比率(以下，稱為「佔有率」)，而定量地進行比較。

【0025】

IPF圖亦可為擷取了測定點之資料之圖像，上述測定點係相對於基板之表面(或氧化物半導體膜之表面)之法線方向之結晶方位差處於規定之範圍內者。例如，規定之範圍為 0° 以上 15° 以下。於如此擷取了特定之測定

點之資料之IPF圖中，由於排除具有相對於基板之表面之法線方向較大地傾斜之結晶方位之測定點，因而可使複數個結晶方位中之容易配向之結晶方位明顯化。因此，於擷取了特定之測定點之資料之IPF圖中，可比較複數個結晶方位各自之佔有率，更明確地特定出容易配向之結晶方位。

【0026】

於本實施方式之氧化物半導體膜具有方鐵錳礦型結構之情形時，在相對於基板之表面之法線方向之結晶方位差為 0° 以上 15° 以下之範圍內，結晶方位 $\langle 111 \rangle$ 之佔有率大於結晶方位 $\langle 001 \rangle$ 之佔有率及結晶方位 $\langle 101 \rangle$ 之佔有率。又，結晶方位 $\langle 101 \rangle$ 之佔有率大於結晶方位 $\langle 001 \rangle$ 之佔有率。尤其於本實施方式之氧化物半導體膜中，結晶方位 $\langle 001 \rangle$ 之佔有率相當小，為5%以下，此為先前之氧化物半導體膜所看不到之特徵。於本實施方式之氧化物半導體膜中，結晶方位 $\langle 101 \rangle$ 及結晶方位 $\langle 111 \rangle$ 之合計佔有率為結晶方位 $\langle 001 \rangle$ 之佔有率之10倍以上。另一方面，於先前之氧化物半導體膜中，結晶方位 $\langle 101 \rangle$ 及結晶方位 $\langle 111 \rangle$ 之合計佔有率為結晶方位 $\langle 001 \rangle$ 之佔有率之未達10倍。又，於本實施方式之氧化物半導體膜中，結晶方位 $\langle 101 \rangle$ 之佔有率較佳為結晶方位 $\langle 001 \rangle$ 之佔有率之4倍以上。又，結晶方位 $\langle 111 \rangle$ 之佔有率較佳為結晶方位 $\langle 001 \rangle$ 之佔有率之4倍以上。

【0027】

此處，結晶方位 $\langle 001 \rangle$ 表示 $[001]$ 以及與此等價之 $[100]$ 及 $[010]$ 。又，結晶方位 $\langle 101 \rangle$ 表示 $[101]$ 以及與此等價之 $[110]$ 及 $[011]$ 。又，結晶方位 $\langle 111 \rangle$ 表示 $[111]$ 。進而，於各方位中，「1」亦可為「-1」，視為與各方位等價之軸。

【0028】

再者，結晶方位除了有 $\langle 001 \rangle$ 、 $\langle 101 \rangle$ 及 $\langle 111 \rangle$ 以外，亦有 $\langle hk0 \rangle$ ($h \neq k$ ， h 及 k 為自然數)、 $\langle hhl \rangle$ ($h \neq l$ ， h 及 l 為自然數)及 $\langle hkl \rangle$ ($h \neq k \neq l$ ， h 、 k 及 l 為自然數)等。

【0029】

[2-3.晶粒]

晶粒係由晶界所包圍之結晶區域。於EBSD法中，可獲得與結晶方位有關之資訊，因此可基於結晶方位來定義晶界。一般而言，相鄰之2個測定點之結晶方位差超過 5° 時，定義其間存在晶界。因此，於本實施方式之氧化物半導體膜中，亦適用上述定義。

【0030】

本實施方式之氧化物半導體膜於晶粒內包含結晶方位不同之複數個區域。例如，於本實施方式之氧化物半導體膜具有方鐵錳礦型結構之情形時，存在包含結晶方位 $\langle 001 \rangle$ 、結晶方位 $\langle 101 \rangle$ 及結晶方位 $\langle 111 \rangle$ 中之至少2個之晶粒。此被認為於晶粒內結晶方位變化較大，係先前之氧化物半導體膜所看不到之特徵。

【0031】

[2-4.結晶粒徑]

結晶粒徑係表示晶粒之大小之值。於EBSD法中，可計算出晶粒之面積 S ，因此將與面積 S 相當之圓之直徑定義為結晶粒徑 d 。

【0032】

[2-5.平均結晶粒徑]

平均結晶粒徑係複數個晶粒之結晶粒徑之平均值。本實施方式之氧化物半導體膜包含複數個晶粒，因此可使用平均結晶粒徑來評估氧化物半

導體膜。平均結晶粒徑 d_{AVE} 藉由式(2)計算。此處， A_j 為第 j 個晶粒之面積比(晶粒之面積相對於EBSD測定區域整體(測定區域)之面積之比)， d_j 為第 j 個晶粒之結晶粒徑， N 為晶粒之個數。如式(2)所示，平均結晶粒徑 d_{AVE} 係藉由晶粒之面積加權後之測定區域內之面積平均。當平均結晶粒徑 d_{AVE} 較大時，可謂氧化物半導體膜存在較多之結晶粒徑較大之晶粒。

【0033】

[數2]

$$d_{AVE} = \sum_{j=1}^N A_j * d_j \quad \dots (2)$$

【0034】

相較於先前之氧化物半導體膜之晶粒，本實施方式之氧化物半導體膜之晶粒之平均結晶粒徑更大。本實施方式之氧化物半導體膜所包含之複數個晶粒之平均結晶粒徑例如為 $0.1 \mu\text{m}$ 以上，較佳為 $0.3 \mu\text{m}$ 以上，進而較佳為 $0.5 \mu\text{m}$ 以上。

【0035】

[2-6.最大結晶粒徑]

最大結晶粒徑係複數個晶粒之結晶粒徑之最大值。相較於先前之氧化物半導體膜之晶粒，本實施方式之氧化物半導體膜之晶粒之最大結晶粒徑更大。本實施方式之氧化物半導體膜所包含之晶粒之最大結晶粒徑例如為 $0.5 \mu\text{m}$ 以上，較佳為 $1.0 \mu\text{m}$ 以上，進而較佳為 $1.5 \mu\text{m}$ 以上。

【0036】

[2-7. GOS]

GOS(Grain Orientation Spread)係表示晶粒內之結晶方位差之值。GOS藉由式(3)計算。即，GOS係晶粒內之第 i 個測定點之結晶方位 θ_i 與晶

粒內之n個測定點之平均結晶方位 θ_{AVE} 之差分除以晶粒內之n個測定點所得之值。換言之，GOS係晶粒內之結晶方位被平均化之值。GOS表示晶粒內之應變之大小，當GOS較大時，可謂晶粒內之應變較大。

【0037】

[數3]

$$GOS = \sum_{i=1}^n (\theta_i - \theta_{AVE})/n \quad \dots (3)$$

【0038】

[2-8. GOS平均值]

GOS平均值係複數個晶粒之GOS之平均值。本實施方式之氧化物半導體膜包含複數個晶粒，因此可使用GOS平均值來評估氧化物半導體膜。GOS平均值 GOS_{AVE} 藉由式(4)計算。此處， A_j 為第j個晶粒之面積比， GOS_j 為第j個晶粒之GOS，N為晶粒之個數。如式(4)所示，GOS平均值 GOS_{AVE} 係藉由晶粒之面積加權後之測定區域內之面積平均。當GOS平均值 GOS_{AVE} 較大時，可謂氧化物半導體膜存在較多之結晶方位大幅變化之晶粒。

【0039】

[數4]

$$GOS_{AVE} = \sum_{j=1}^N A_j * GOS_j \quad \dots (4)$$

【0040】

如上所述，本實施方式之氧化物半導體膜包含結晶方位大幅變化之晶粒，此種晶粒之數量被反映為GOS平均值。於本實施方式之氧化物半導體膜中，GOS平均值為 5° 以上。先前之氧化物半導體膜之GOS平均值為 1°

以下，GOS平均值較大亦為本實施方式之氧化物半導體膜之特徵之一。

【0041】

於先前之氧化物半導體膜中，當晶粒內之結晶方位大幅變化時，晶粒之應變變大，阻礙晶粒之結晶生長。因此，於先前之氧化物半導體膜中，晶粒內之結晶方位之變化較小，平均結晶粒徑或最大結晶粒徑亦較小。與此相對，於本實施方式之氧化物半導體膜中，雖然晶粒內之結晶方位大幅變化，但仍形成較大之晶粒，本實施方式之氧化物半導體膜之平均結晶粒徑或最大結晶粒徑大於先前之氧化物半導體膜。又，一般而言，當晶粒內之結晶方位之變化較大時，容易生成晶格缺陷，氧化物半導體膜之絕緣特性(或半導體特性)會下降。然而，於本實施方式之氧化物半導體膜中，藉由濺鍍成膜條件之最佳化而生成特定之結晶方位之晶核，藉此抑制熱處理後之膜中之氧缺陷量，絕緣特性不會下降，例如，將氧化物半導體膜用作通道之薄膜電晶體具有高遷移率之優異電特性。

【0042】

再者，本實施方式之氧化物半導體膜之結晶結構之測定並不限定於EBSD法。亦可使用EBSD法以外之其他測定方法來測定結晶方位或晶粒內之結晶方位之變化等。

【0043】

[3.氧化物半導體膜之製作方法]

本實施方式之氧化物半導體膜係藉由濺鍍製程及退火製程而製作。

【0044】

於濺鍍製程中，在基板上成膜氧化物半導體膜。濺鍍製程後之氧化物半導體膜較佳為結晶成分較少之膜，特佳為非晶質。於利用濺鍍所進行

之成膜中，電漿中產生之離子及藉由濺鍍靶反跳之原子與基板碰撞，因此即便濺鍍開始時之基板溫度為室溫，成膜中基板溫度亦上升。當成膜中基板溫度上升時，剛成膜後之氧化物半導體膜包含微晶，藉由隨後之退火製程會容易生成結晶方位<001>之晶粒。因此，較佳為一面控制基板溫度一面進行氧化物半導體膜之成膜。基板溫度例如為 100°C 以下，較佳為 70°C 以下，進而較佳為 50°C 以下。基板溫度亦可為 30°C 以下。基板溫度例如可藉由使基板冷卻而進行控制。又，亦可以基板溫度不超過規定之溫度之成膜速率來成膜氧化物半導體膜。又，亦可使靶-基板間之距離變大，以基板不受濺鍍靶之影響之方式進行調整而控制基板溫度。

【0045】

作為供氧化物半導體膜成膜之基板，可使用玻璃基板、石英基板及藍寶石基板等剛性基板、或聚醯亞胺基板、丙烯酸基板、矽氧烷基板及氟樹脂基板等可撓性基板。又，供氧化物半導體膜成膜之基板亦可為形成有氧化矽(SiO_x)膜、氮氧化矽(SiO_xN_y)膜、氮化矽(SiN_x)膜、氧氮化矽(SiN_xO_y)膜、氧化鋁(AlO_x)膜、氮氧化鋁(AlO_xN_y)、氧氮化鋁(AlN_xO_y)或氮化鋁(AlN_x)之基板。

【0046】

又，於濺鍍製程中，在氧分壓10%以下之條件下成膜氧化物半導體膜。當氧分壓較高時，由於對氧化物半導體膜過量之氧，剛成膜後之氧化物半導體膜會包含微晶，藉由隨後之退火製程會容易生成結晶方位<001>之晶粒。因此，較佳為於氧分壓較低之條件下進行氧化物半導體膜之成膜。氧分壓例如為2%以上20%以下，較佳為3%以上15%以下，進而較佳為3%以上10%以下。

【0047】

於退火製程中，使氧化物半導體膜結晶化。退火於規定之到達溫度下保持規定之時間。規定之到達溫度為300°C以上500°C以下，較佳為350°C以上450°C以下。又，到達溫度下之保持時間為15分鐘以上120分鐘以下，較佳為30分鐘以上60分鐘以下。

【0048】**[4.實施例]**

基於具體之實施例，對本實施方式之氧化物半導體膜進而詳細地進行說明。再者，以下所說明之實施例係本實施方式之氧化物半導體膜之一實施例，且本實施方式之氧化物半導體之構成並不限定於以下所說明之實施例之構成。

【0049】**[4-1.製作方法]****(實施例1)**

作為實施例1，使用上述濺鍍製程及退火製程，於基板上製作本實施方式之氧化物半導體膜。於濺鍍製程中，使用銦元素相對於燒結體中所包含之所有金屬元素以原子比率計為70%以上之濺鍍靶，於玻璃基板上成膜氧化物半導體膜。成膜時之氧分壓為5.1(%)，以成膜中之基板溫度成為100°C以下之方式控制基板溫度。其後，將氧化物半導體膜於大氣氛圍下進行退火製程。於退火製程中，以到達溫度成為400°C之方式進行控制，於到達溫度下保持30分鐘。氧化物半導體膜之化學組成與濺鍍靶之化學組成相同。

【0050】

(實施例2)

作為實施例2，僅變更退火製程之條件，以與實施例1相同之方式製作本實施方式之氧化物半導體膜。於退火製程中，以到達溫度成為450°C之方式進行控制，於到達溫度下保持60分鐘。

【0051】

(比較例)

作為比較例，使用先前之濺鍍製程及退火製程，於基板上製作先前之氧化物半導體膜。於濺鍍製程中，使用銦元素相對於燒結體中所包含之所有金屬元素以原子比率計為70%以上之濺鍍靶，於石英基板上成膜氧化物半導體膜。成膜時之氧分壓為10.0(%)，成膜中不進行基板溫度控制。其後，將氧化物半導體膜於大氣氛圍下進行退火製程。於退火製程中，以到達溫度成為450°C之方式進行控制，於到達溫度下保持60分鐘。氧化物半導體膜之化學組成與濺鍍靶之化學組成相同。

【0052】

將實施例1、實施例2及比較例之製作條件(成膜條件及退火條件)示於表1。於實施例1及實施例2與比較例中，氧化物半導體膜之膜厚存在不同，但較大之不同係成膜時有無基板溫度之控制及氧分壓。

【0053】

[表1]

		實施例1	實施例2	比較例
成膜條件	基板溫度之控制	控制為100°C以下	控制為100°C以下	無控制
	氧分壓(%)	5.1	5.1	10.0
	膜厚(nm)	30	30	50
退火條件	到達溫度(°C)	400	450	450
	保持時間(分鐘)	30	60	60
	氛圍	大氣	大氣	大氣

【0054】

[4-2.利用XRD法所進行之結晶結構解析]

使用XRD法，進行實施例1及實施例2之氧化物半導體膜以及比較例之氧化物半導體膜之結晶結構解析。實施例1及實施例2之氧化物半導體膜以及比較例之氧化物半導體膜皆具有結晶性，結晶結構為方鐵錳礦型結構。

【0055】

[4-3.利用EBSD法所進行之結晶方位解析]

使用EBSD法，進行實施例1及實施例2之氧化物半導體膜以及比較例之氧化物半導體膜之結晶方位解析。EBSD法之測定條件如表2。又，結晶方位之解析使用TSL Solutions(股)製造之OIM-Analysis(ver. 7.1)。結晶結構之定向係使用ICSD(Inorganic Crystal Structure Database：化學資訊協會)之14388之方鐵錳礦型結構之結晶結構檔案。測定、解析之結果為，判斷為CI值成為0.6以上之情形時所獲得之圖案足夠清晰，鑑定結晶方位為方鐵錳礦型結構。

【0056】

[表2]

裝置	日本電子(股)製造之熱場發射型掃描電子顯微鏡(TFE-SEM) JSM-6500F
加速電壓	10 kV
照射電流	15 nA
試樣傾斜	70°
測定區域	20 μm×20 μm
測定間隔	80 nm/step

【0057】

將實施例1之氧化物半導體膜之IPF圖示於圖1及圖2。又，將實施例2之氧化物半導體膜之IPF圖示於圖4及圖5。又，將比較例之氧化物半導體膜之IPF圖示於圖20及圖21。於圖1、圖2、圖4、圖5、圖20及圖21中，黑色之線表示晶界。即，實施例1及實施例2之氧化物半導體膜以及比較例之氧化物半導體膜皆可確認到由黑色之線包圍之複數個晶粒。圖1、圖2、圖4、圖5、圖20及圖21所示之IPF圖按照各個圖所示之色鍵而以顏色區分。主要為結晶方位<001>以紅色、結晶方位<101>以綠色、結晶方位<111>以藍色來區分。於圖2、圖5及圖21中，擷取並以顏色區分相對於基板之表面(或氧化物半導體膜之表面)之法線方向之結晶方位<001>、結晶方位<101>或結晶方位<111>之結晶方位差處於0°以上15°以下之範圍內的測定點。換言之，圖2、圖5及圖21分別為於圖1、圖4及圖20中，排除了相對於基板之表面之法線方向之結晶方位<001>、結晶方位<101>或結晶方位<111>之結晶方位差超過15°之測定點的圖像。

【0058】

實施例1及實施例2之氧化物半導體膜之平均結晶粒徑分別計算為

1.04(μm)及1.06(μm)。另一方面，比較例之氧化物半導體膜之平均結晶粒徑計算為0.65(μm)。實施例1及實施例2之氧化物半導體膜之平均結晶粒徑為比較例之氧化物半導體膜之平均結晶粒徑之超過1.5倍。

【0059】

又，實施例1及實施例2之氧化物半導體膜之最大結晶粒徑均為1.7(μm)。另一方面，比較例之氧化物半導體膜之最大結晶粒徑為1.1(μm)。實施例1及實施例2之氧化物半導體膜之最大結晶粒徑為比較例之氧化物半導體膜之最大結晶粒徑之約1.5倍。

【0060】

當將圖2及圖5所示之IPF圖與圖21所示之IPF圖進行比較時，圖2及圖5所示之IPF圖之以藍色區分之區域較多，與之相對，圖21所示之IPF圖之以綠色區分之區域較多。基於圖2(即，具有相對於基板之表面之法線方向之結晶方位差為 0° 以上 15° 以下之結晶方位的測定點)，對測定區域內之實施例1之氧化物半導體膜之結晶方位 $\langle 001 \rangle$ 、結晶方位 $\langle 101 \rangle$ 及結晶方位 $\langle 111 \rangle$ 之佔有率進行計算，分別為3.4(%)、16.5(%)及34.5(%)。又，基於圖5(即，具有相對於基板之表面之法線方向之結晶方位差為 0° 以上 15° 以下之結晶方位的測定點)，對測定區域內之實施例2之氧化物半導體膜之結晶方位 $\langle 001 \rangle$ 、結晶方位 $\langle 101 \rangle$ 及結晶方位 $\langle 111 \rangle$ 之佔有率進行計算，分別為2.1(%)、18.2(%)及33.8(%)。另一方面，基於圖21(即，具有相對於基板之表面之法線方向之結晶方位差為 0° 以上 15° 以下之結晶方位的測定點)，對測定區域內之比較例之氧化物半導體膜之結晶方位 $\langle 001 \rangle$ 、結晶方位 $\langle 101 \rangle$ 及結晶方位 $\langle 111 \rangle$ 之佔有率進行計算，分別為5.6(%)、23.3(%)及19.8(%)。

【0061】

與結晶方位<101>及結晶方位<111>之佔有率相比，實施例1及實施例2之氧化物半導體膜之結晶方位<001>之佔有率較低。換言之，相對於結晶方位<001>之佔有率，結晶方位<101>及結晶方位<111>之佔有率較高。於實施例1之氧化物半導體膜中，結晶方位<101>之佔有率及結晶方位<111>之佔有率分別為結晶方位<001>之佔有率之4.9倍及10.1倍。又，於實施例2之氧化物半導體膜中，結晶方位<101>之佔有率及結晶方位<111>之佔有率分別為結晶方位<001>之佔有率之8.7倍及16.1倍。另一方面，於比較例之氧化物半導體膜中，結晶方位<101>之佔有率及結晶方位<111>之佔有率分別為結晶方位<001>之佔有率之4.2倍及3.5倍。

【0062】

將基於實施例1之氧化物半導體膜所包含之複數個晶粒各自之GOS而以顏色區分複數個晶粒的GOS之分佈圖示於圖3。將基於實施例2之氧化物半導體膜所包含之複數個晶粒各自之GOS而以顏色區分複數個晶粒的GOS之分佈圖示於圖6。又，將基於比較例之氧化物半導體膜所包含之複數個晶粒各自之GOS而以顏色區分複數個晶粒的GOS之分佈圖示於圖22。換言之，圖3、圖6及圖22係表示晶粒內之結晶方位差之大小之分佈圖。於圖3、圖6及圖22中，基於圖中所示之色條，以顏色區分複數個晶粒各自之GOS，隨著晶粒之顏色從藍色變為紅色、即可見光波長變大，晶粒內之結晶方位差變大。

【0063】

當將圖3及圖6所示之GOS分佈圖與圖22所示之GOS分佈圖進行比較時，於圖22所示之GOS分佈圖中，複數個晶粒均以藍色區分，與之相

對，於圖3及圖6所示之GOS分佈圖中，以藍色區分之晶粒及以綠色區分之晶粒混合存在，以綠色區分之晶粒多於以藍色區分之晶粒。因此，可知相較於比較例之氧化物半導體膜，實施例1及實施例2之氧化物半導體膜包含更多之結晶方位之變化較大之晶粒。於圖2及圖5所示之IPF圖中，亦可確認到晶粒內之顏色之漸變，可知包含較多之結晶方位之變化較大之晶粒。又，於圖2及圖5所示之IPF圖中，確認到含有包含2個結晶方位之晶粒。

【0064】

對測定區域內之GOS平均值進行計算，實施例1及實施例2之氧化物半導體膜之GOS平均值分別為 8.12° 及 8.61° 。另一方面，比較例之氧化物半導體膜之GOS平均值為 0.71° 。由GOS平均值亦可知，與比較例之氧化物半導體膜相比，實施例1及實施例2之氧化物半導體膜之晶粒內之結晶方位之變化相當大。

【0065】

將與實施例1及實施例2之氧化物半導體膜以及比較例之氧化物半導體膜之結晶結構有關之資訊示於表3。如表3所示，於實施例1及實施例2之氧化物半導體膜與比較例之氧化物半導體膜中，結晶結構相同，皆為方鐵錳礦型結構，但各自所包含之晶粒之結晶方位之特徵有較大不同。

【0066】

[表3]

	實施例1	實施例2	比較例
結晶結構	方鐵錳礦型結構	方鐵錳礦型結構	方鐵錳礦型結構
平均結晶粒徑(μm)	1.04	1.06	0.65
最大結晶粒徑(μm)	1.7	1.7	1.1
結晶方位<001>之佔有率(%)	3.4	2.1	5.6
結晶方位<101>之佔有率(%)	16.5	18.2	23.3
結晶方位<111>之佔有率(%)	34.5	33.8	19.8
GOS平均值($^{\circ}$)	8.12	8.61	0.71

【0067】

如以上所說明，本實施方式之氧化物半導體膜於晶粒之結晶方位具有顯著之特徵，具有與先前之氧化物半導體不同之新穎結晶結構。詳細情況於下文敘述，使用本實施方式之氧化物半導體膜之薄膜電晶體具有高於使用先前之氧化物半導體膜之薄膜電晶體的場效遷移率。因此，推測本實施方式之氧化物半導體膜本身亦具有較高之遷移率。

【0068】

<第2實施方式>

參照圖7～圖16，對本發明之一實施方式之薄膜電晶體進行說明。本實施方式之薄膜電晶體例如可用於顯示裝置、微處理器(Micro-Processing Unit：MPU)等積體電路(Integrated Circuit：IC)、或記憶電路。

【0069】

[1.薄膜電晶體10之構成]

圖7係表示本發明之一實施方式之薄膜電晶體10之概要的剖視圖。圖

8係表示本發明之一實施方式之薄膜電晶體10之概要的俯視圖。

【0070】

如圖7所示，薄膜電晶體10設置於基板100之上。薄膜電晶體10包含閘極電極105、閘極絕緣層110及120、氧化物半導體層140、閘極絕緣層150、閘極電極160、絕緣層170及180、源極電極201、以及汲極電極203。於不特別區分源極電極201及汲極電極203之情形時，有時會將該等合稱為源極、汲極電極200。

【0071】

閘極電極105設置於基板100之上。閘極絕緣層110及120設置於基板100及閘極電極105之上。氧化物半導體層140設置於閘極絕緣層120之上。氧化物半導體層140與閘極絕緣層120相接。將氧化物半導體層140之主面中之與閘極絕緣層120相接之面稱為下表面142。

【0072】

閘極電極160與氧化物半導體層140對向。閘極絕緣層150設置於氧化物半導體層140與閘極電極160之間。閘極絕緣層150與氧化物半導體層140相接。將氧化物半導體層140之主面中之與閘極絕緣層150相接之面稱為上表面141。將上表面141與下表面142之間之面稱為側面143。絕緣層170及180設置於閘極絕緣層150及閘極電極160之上。於絕緣層170及180，設置有露出氧化物半導體層140之開口171及173。源極電極201以填充開口171之內部之方式設置。源極電極201於開口171之底部與氧化物半導體層140相接。汲極電極203以填充開口173之內部之方式設置。汲極電極203於開口173之底部與氧化物半導體層140相接。

【0073】

閘極電極105具備作為薄膜電晶體10之底部閘極之功能及作為對於氧化物半導體層140之遮光膜之功能。閘極絕緣層110具備作為遮蔽從基板100向氧化物半導體層140擴散之雜質之障壁膜之功能。閘極絕緣層110及120具備作為對於底部閘極之閘極絕緣層之功能。

【0074】

氧化物半導體層140劃分為源極區域S、汲極區域D及通道區域CH。通道區域CH係氧化物半導體層140中之閘極電極160之鉛直下方之區域。源極區域S係氧化物半導體層140中之與閘極電極160不重合之區域，且係較通道區域CH更靠近源極電極201之側之區域。汲極區域D係氧化物半導體層140中之與閘極電極160不重合之區域，且係較通道區域CH更靠近汲極電極203之側之區域。通道區域CH中之氧化物半導體層140具備作為半導體之物性。源極區域S及汲極區域D中之氧化物半導體層140具備作為導體之物性。

【0075】

閘極電極160具備作為薄膜電晶體10之頂部閘極及對於氧化物半導體層140之遮光膜之功能。閘極絕緣層150具備作為對於頂部閘極之閘極絕緣層之功能，具備藉由製造製程中之熱處理而釋出氧之功能。絕緣層170及180具備使閘極電極160與源極、汲極電極200絕緣，減少兩者間之寄生電容之功能。薄膜電晶體10之動作主要由供給至閘極電極160之電壓控制。向閘極電極105供給輔助性之電壓。但是，於將閘極電極105僅用作遮光膜之情形時，亦可不向閘極電極105供給特定之電壓，而為浮動。即，閘極電極105亦可僅被稱為「遮光膜」。

【0076】

於本實施方式中，例示使用了將閘極電極設置於氧化物半導體層之上方及下方兩者之雙閘極型電晶體作為薄膜電晶體10的構成，但並不限定於此構成。例如，亦可使用將閘極電極僅設置於氧化物半導體層140之下方之底部閘極型電晶體、或將閘極電極僅設置於氧化物半導體層140之上方之頂部閘極型電晶體作為薄膜電晶體10。上述構成僅為一實施方式，本發明並不限定於上述構成。

【0077】

如圖8所示，於D1方向上，閘極電極105之寬度大於閘極電極160之寬度。D1方向係將源極電極201與汲極電極203連結之方向，係表示薄膜電晶體10之通道長L之方向。具體而言，氧化物半導體層140與閘極電極160重合之區域(通道區域CH)之D1方向之長度為通道長L，該通道區域CH之D2方向之寬度為通道寬度W。

【0078】

於本實施方式中，例示了閘極絕緣層150形成於整面，於閘極絕緣層150設置有開口171及173之構成，但並不限定於此構成。亦可將閘極絕緣層150圖案化。例如，亦可以不僅氧化物半導體層140之上表面露出，氧化物半導體層140之側面亦露出之方式將閘極絕緣層150圖案化。

【0079】

於圖8中，例示了俯視下源極、汲極電極200與閘極電極105及160不重合之構成，但並不限定於此構成。例如，亦可俯視下源極、汲極電極200與閘極電極105及160中之至少一者重合。上述構成僅為一實施方式，本發明並不限定於上述構成。

【0080】

[2. 薄膜電晶體10之各構件之材質]

作為基板100，使用玻璃基板、石英基板及藍寶石基板等具有透光性之剛性基板。於需要基板100具備可撓性之情形時，使用聚醯亞胺基板、丙烯酸基板、矽氧烷基板、氟樹脂基板等包含樹脂之基板作為基板100。於使用包含樹脂之基板作為基板100之情形時，為了提高基板100之耐熱性，可將雜質導入至上述樹脂中。於薄膜電晶體10為如頂部發光型OLED(organic light emitting diode，有機發光二極體)之顯示裝置所包含之像素電晶體之情形時，不需要基板100為透明，因此亦可使用基板100之透明度下降之雜質。於將薄膜電晶體10用於並非顯示裝置之積體電路之情形時，使用矽基板、碳化矽基板、化合物半導體基板等半導體基板、或不鏽鋼基板等導電性基板等不具備透光性之基板作為基板100。

【0081】

作為閘極電極105、閘極電極160、以及源極、汲極電極200，使用一般之金屬材料。例如，作為該等構件，例如使用鋁(Al)、鈦(Ti)、鉻(Cr)、鈷(Co)、鎳(Ni)、鉬(Mo)、鈦(Hf)、鉭(Ta)、鎢(W)、鉍(Bi)、銀(Ag)、銅(Cu)、及該等之合金或化合物。作為閘極電極105、閘極電極160、以及源極、汲極電極200，可以單層使用上述材料，亦可以積層使用上述材料。

【0082】

作為閘極絕緣層110及120以及絕緣層170及180，使用一般之絕緣層性材料。例如，使用氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氮化矽(SiN_x)、氧氮化矽(SiN_xO_y)、氧化鋁(AlO_x)、氮氧化鋁(AlO_xN_y)、氧氮化鋁(AlN_xO_y)、氮化鋁(AlN_x)等無機絕緣層作為該等絕緣層。

【0083】

作為閘極絕緣層150，使用上述絕緣層中之包含氧之絕緣層。例如，使用氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鋁(AlO_x)、氮氧化鋁(AlO_xN_y)等無機絕緣層作為閘極絕緣層150。

【0084】

作為閘極絕緣層120，使用具備藉由熱處理而釋出氧之功能之絕緣層。閘極絕緣層120釋出氧之熱處理之溫度例如為 600°C 以下、 500°C 以下、 450°C 以下或 400°C 以下。即，閘極絕緣層120例如於使用玻璃基板作為基板100之情形時之薄膜電晶體10之製造工序中進行之熱處理溫度下釋出氧。

【0085】

作為閘極絕緣層150，使用缺陷較少之絕緣層。例如，於將閘極絕緣層150中之氧之組成比與和閘極絕緣層150相同之組成之絕緣層(以下，稱為「其他絕緣層」)中之氧之組成比進行比較之情形時，閘極絕緣層150中之氧之組成比較該其他絕緣層中之氧之組成比更接近於對於該絕緣層之化學計量比。具體而言，在將氧化矽(SiO_x)分別用於閘極絕緣層150及絕緣層180之情形時，用作閘極絕緣層150之氧化矽中之氧之組成比與用作絕緣層180之氧化矽中之氧之組成比相比，接近於氧化矽之化學計量比。例如，亦可使用藉由電子自旋共振法(ESR)進行評估時觀測不到缺陷之層作為閘極絕緣層150。

【0086】

上述 SiO_xN_y 及 AlO_xN_y 係含有較氧(O)少之比率($x > y$)之氮(N)之矽化合物及鋁化合物。 SiN_xO_y 及 AlN_xO_y 係含有較氮少之比率($x > y$)之氧之矽

化合物及鋁化合物。

【0087】

作為氧化物半導體層140，可使用第1實施方式之氧化物半導體膜。氧化物半導體層140具有結晶性。與非晶質之氧化物半導體相比，結晶性之氧化物半導體不易形成氧缺陷。但是，存在氧化物半導體層140之晶界包含非晶質區域之情形。

【0088】

[3. 薄膜電晶體10之製造方法]

圖9係表示本發明之一實施方式之薄膜電晶體10之製造方法的流程圖。圖10～圖16係表示本發明之一實施方式之薄膜電晶體10之製造方法的剖視圖。

【0089】

如圖9及圖10所示，閘極電極105作為底部閘極形成於基板100之上，閘極絕緣層110及120形成於閘極電極105之上(圖9之步驟S3001之「底部GI/GE形成」)。例如，形成氮化矽作為閘極絕緣層110。例如，形成氧化矽作為閘極絕緣層120。閘極絕緣層110及120藉由CVD(Chemical Vapor Deposition，化學氣相沈積)法而成膜。

【0090】

藉由使用氮化矽作為閘極絕緣層110，閘極絕緣層110例如可阻擋從基板100側向氧化物半導體層140擴散之雜質。用作閘極絕緣層120之氧化矽係藉由熱處理而釋出氧之物性之氧化矽。

【0091】

如圖9及圖11所示，於閘極絕緣層120之上形成氧化物半導體層

140(圖9之步驟S3002之「OS成膜」)。關於此工序，存在於基板100之上形成氧化物半導體層140之情形。氧化物半導體層140藉由濺鍍法而成膜。

【0092】

氧化物半導體層140之厚度例如為10 nm以上100 nm以下、15 nm以上70 nm以下或20 nm以上40 nm以下。下述熱處理(OS退火)前之氧化物半導體層140為非晶質。

【0093】

於藉由下述OS退火，使氧化物半導體層140結晶化之情形時，成膜後且OS退火前之氧化物半導體層140較佳為非晶質(氧化物半導體之結晶成分較少之狀態)。即，氧化物半導體層140之成膜條件較佳為剛成膜後之氧化物半導體層140儘量不結晶化之條件。例如，於藉由濺鍍法成膜氧化物半導體層140之情形時，一面將被成膜對象物(基板100及形成於其上之結構物)之溫度控制為100°C以下，一面成膜氧化物半導體層140。又，於氧分壓為10%以下之條件下，成膜氧化物半導體層140。

【0094】

如圖9及圖12所示，形成氧化物半導體層140之圖案(圖9之步驟S3003之「OS圖案形成」)。雖未圖示，於氧化物半導體層140之上形成抗蝕劑遮罩，使用該抗蝕劑遮罩蝕刻氧化物半導體層140。作為氧化物半導體層140之蝕刻，可使用濕式蝕刻，亦可使用乾式蝕刻。作為濕式蝕刻，可使用酸性蝕刻劑進行蝕刻。作為蝕刻劑，例如可使用草酸或氫氟酸。

【0095】

於氧化物半導體層140之圖案形成之後，對氧化物半導體層140進行

熱處理(OS退火)(圖9之步驟S3004之「OS退火」)。於本實施方式中，藉由此OS退火，而使氧化物半導體層140結晶化。

【0096】

如圖9及圖13所示，於氧化物半導體層140之上成膜閘極絕緣層150(圖9之步驟S3005之「GI形成」)。例如，形成氧化矽作為閘極絕緣層150。閘極絕緣層150藉由CVD法形成。例如，為了如上所述形成缺陷較少之絕緣層作為閘極絕緣層150，可於350°C以上之成膜溫度下成膜閘極絕緣層150。閘極絕緣層150之厚度例如為50 nm以上300 nm以下、60 nm以上200 nm以下或70 nm以上150 nm以下。於成膜閘極絕緣層150後，亦可進行向閘極絕緣層150之一部分注入氧之處理。

【0097】

於在氧化物半導體層140之上成膜有閘極絕緣層150之狀態下，進行用以向氧化物半導體層140供給氧之熱處理(氧化退火)(圖9之步驟S3006之「氧化退火」)。於成膜氧化物半導體層140之後至在氧化物半導體層140之上成膜閘極絕緣層150為止期間之工序中，氧化物半導體層140之上表面141及側面143產生較多之氧缺陷。藉由上述氧化退火，從閘極絕緣層120及150釋出之氧被供給至氧化物半導體層140，修復氧缺陷。

【0098】

如圖9及圖14所示，於閘極絕緣層150之上成膜閘極電極160(圖9之步驟S3007之「GE形成」)。閘極電極160藉由濺鍍法或原子層沈積法成膜，經過光微影法工序而圖案化。閘極電極160以與閘極絕緣層150相接之方式形成。

【0099】

於閘極電極160被圖案化之狀態下，進行氧化物半導體層140之源極區域S及汲極區域D之低電阻化(圖9之步驟S3008之「SD低電阻化」)。具體而言，藉由離子注入，從閘極電極160側經由閘極絕緣層150向氧化物半導體層140注入雜質。藉由離子注入，例如將氬(Ar)、磷(P)、硼(B)注入至氧化物半導體層140中。藉由離子注入而於氧化物半導體層140形成氧缺陷，藉此使氧化物半導體層140低電阻化。於作為薄膜電晶體10之通道區域CH發揮作用之氧化物半導體層140之上方設置有閘極電極160，因此並不向通道區域CH之氧化物半導體層140注入雜質。

【0100】

如圖9及圖15所示，於閘極絕緣層150及閘極電極160之上成膜絕緣層170及180作為層間膜(圖9之步驟S3009之「層間膜成膜」)。絕緣層170及180藉由CVD法成膜。例如，形成氮化矽作為絕緣層170，形成氧化矽作為絕緣層180。用作絕緣層170及180之材料並不限定於上述。絕緣層170之厚度為50 nm以上500 nm以下。絕緣層180之厚度為50 nm以上500 nm以下。

【0101】

如圖9及圖16所示，於閘極絕緣層150以及絕緣層170及180形成開口171及173(圖9之步驟S3010之「接觸開孔」)。藉由開口171，源極區域S之氧化物半導體層140露出。藉由開口173，汲極區域D之氧化物半導體層140露出。於藉由開口171及173而露出之氧化物半導體層140之上及絕緣層180之上，形成源極、汲極電極200(圖9之步驟S3011之「SD形成」)，藉此完成圖7所示之薄膜電晶體10。

【0102】

於藉由上述製造方法製作之薄膜電晶體10中，在通道區域CH之通道長L為2 μm 以上4 μm 以下且通道區域CH之通道寬度為2 μm 以上25 μm 以下之範圍內，可獲得遷移率為30[cm^2/Vs]以上、35[cm^2/Vs]以上或40[cm^2/Vs]以上之電特性。再者，所謂本實施方式中之遷移率，係薄膜電晶體10之飽和區域中之場效遷移率，且意指源極電極與汲極電極之間之電位差(Vd)大於供給至閘極電極之電壓(Vg)減去薄膜電晶體10之閾值電壓(Vth)所得之值(Vg - Vth)之區域中之場效遷移率之最大值。

【0103】

又，進行藉由上述製造方法製作之薄膜電晶體10之剖面STEM(Scanning Transmission Electron Microscopy)觀察。圖17及圖18係本發明之一實施方式之薄膜電晶體10之剖面STEM圖像。圖17之由矩形包圍之區域(a)~(c)係包含氧化物半導體層OS之區域，圖18係將區域(a)~(c)放大後之剖面STEM圖像。

【0104】

如圖18所示，於區域(a)~(c)中之任一區域中，均無法在膜厚方向上確認到氧化物半導體層OS中之晶界。即，於氧化物半導體層OS之至少一部分區域中，由1個晶粒形成氧化物半導體層OS之上表面之一部分及下表面之一部分。換言之，氧化物半導體層OS於膜厚方向上具有連續之結晶結構。

【0105】

<第3實施方式>

參照圖19，對本發明之一實施方式之電子機器進行說明。

【0106】

圖19係表示本發明之一實施方式之電子機器1000之模式圖。具體而言，於圖19中，示出了作為電子機器1000之一例之智慧型手機。電子機器1000包含側面彎曲之顯示裝置1100。顯示裝置1100包含用以顯示圖像之複數個像素，複數個像素由像素電路及驅動電路等控制。像素電路及驅動電路包含第2實施方式中說明之薄膜電晶體10。薄膜電晶體10具有較高之場效遷移率，因此會提高像素電路及驅動電路之回應性，其結果為，可提高電子機器1000之性能。

【0107】

再者，本實施方式之電子機器1000並不限於智慧型手機。電子機器1000亦包括例如時鐘、平板、筆記型電腦、汽車導航系統或電視等具有顯示裝置之電子機器。又，第1實施方式中說明之氧化物半導體膜或第2實施方式中說明之薄膜電晶體10無論有無顯示裝置，均可適用於所有電子機器。

【0108】

作為本發明之實施方式而於上文敘述之各實施方式只要不相互矛盾，則可適當組合而實施。又，基於各實施方式，業者適當進行構成元件之追加、刪除或設計變更後所得者或者進行工序之追加、省略或條件變更後所得者只要具備本發明之主旨，則亦包含於本發明之範圍內。

【0109】

即便為與由上述各實施方式之態樣所帶來之作用效果不同之其他作用效果，關於根據本說明書之記載而明確者或業者可容易預測者，當然亦可理解為由本發明所帶來的。

【符號說明】

【0110】

001:結晶方位

10:薄膜電晶體

100:基板

101:結晶方位

105, 160:閘極電極

110, 120, 150:閘極絕緣層

111:結晶方位

140:氧化物半導體層

141:上表面

142:下表面

143:側面

170, 180:絕緣層

171, 173:開口

200:源極、汲極電極

201:源極電極

203:汲極電極

1000:電子機器

1100:顯示裝置

CH:通道區域

D:汲極區域

D1:方向

D2:方向

L:通道長

OS:氧化物半導體層

S:源極區域

S3001～S3011:步驟

W:通道寬度

【發明申請專利範圍】

【請求項1】

一種薄膜電晶體，其包含：

基板；

氧化物半導體層，其設置於上述基板之上且具有結晶性；

閘極電極，其與上述氧化物半導體層重疊地設置；以及

絕緣層，其設置於上述氧化物半導體層與上述閘極電極之間；

上述氧化物半導體層包含藉由EBSD(電子束背向散射繞射)法獲取之分別包含結晶方位<001>、結晶方位<101>及結晶方位<111>中之至少1個之複數個晶粒；

在基於具有相對於上述基板之表面之法線方向之結晶方位差為 0° 以上 15° 以下之結晶方位的測定點而計算出之上述結晶方位之佔有率中，上述結晶方位<111>之佔有率大於上述結晶方位<001>之佔有率及上述結晶方位<101>之佔有率。

【請求項2】

如請求項1之薄膜電晶體，其中上述結晶方位<101>之上述佔有率大於上述結晶方位<001>之上述佔有率。

【請求項3】

如請求項1之薄膜電晶體，其中上述結晶方位<001>之上述佔有率為5%以下。

【請求項4】

如請求項1之薄膜電晶體，其中上述結晶方位<101>之上述佔有率為上述結晶方位<001>之上述佔有率之4倍以上。

【請求項5】

如請求項1之薄膜電晶體，其中上述結晶方位<111>之上述佔有率為上述結晶方位<001>之上述佔有率之4倍以上。

【請求項6】

如請求項1之薄膜電晶體，其中上述複數個晶粒中之至少1個包含上述結晶方位<001>、上述結晶方位<101>及上述結晶方位<111>中之至少2個。

【請求項7】

如請求項1之薄膜電晶體，其中上述複數個晶粒之GOS平均值為5°以上。

【請求項8】

如請求項1之薄膜電晶體，其中上述氧化物半導體層包含銮元素及至少1種以上之金屬元素，

上述銮元素相對於上述銮元素及上述至少1種以上之金屬元素之比率為50%以上。

【請求項9】

如請求項1之薄膜電晶體，其中上述氧化物半導體層係以成膜時之基板溫度成為50°C以下之方式進行控制而成膜。

【請求項10】

如請求項9之薄膜電晶體，其中上述氧化物半導體層於氧分壓為10%以下之條件下成膜。

【請求項11】

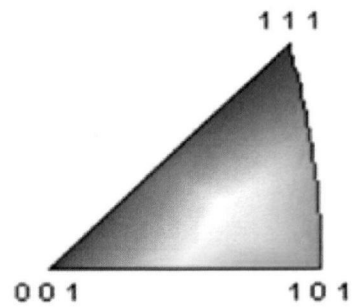
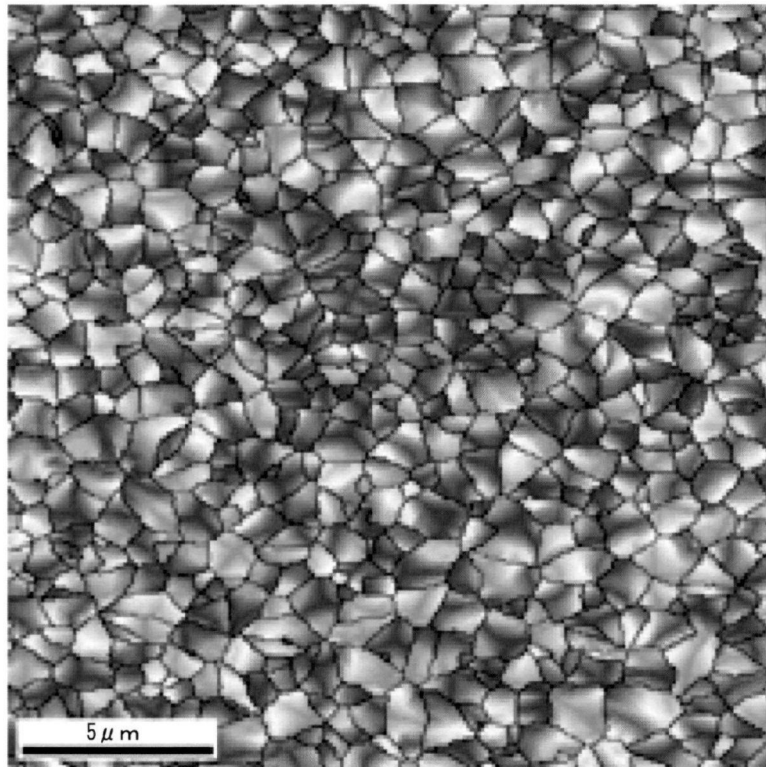
如請求項10之薄膜電晶體，其中上述氧化物半導體層藉由成膜後之

退火而結晶化。

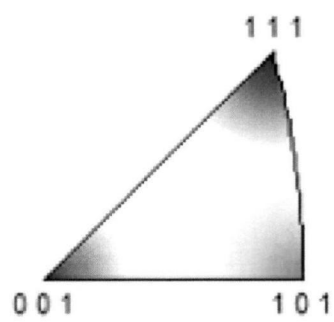
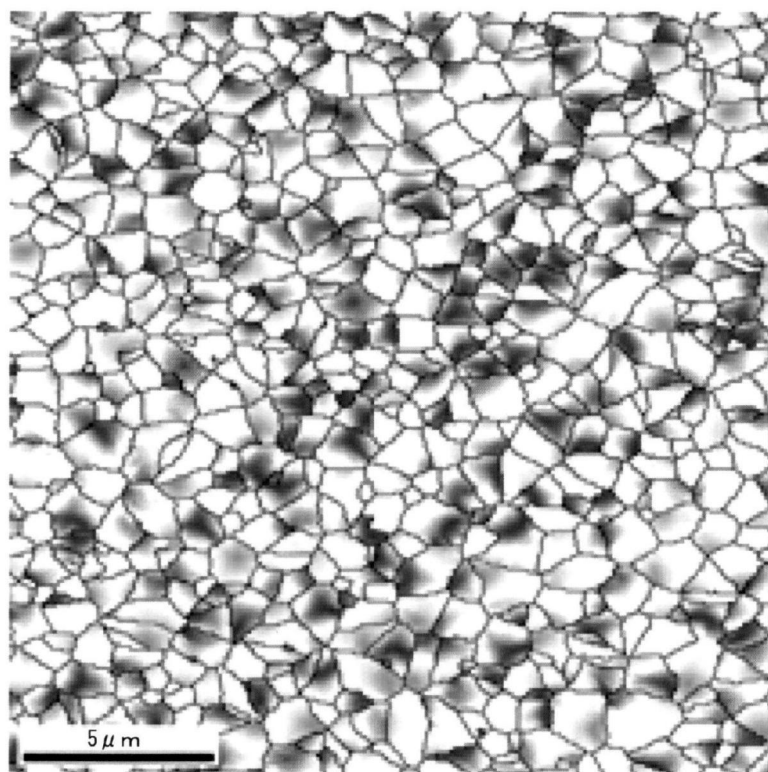
【請求項12】

如請求項11之薄膜電晶體，其中上述氧化物半導體層於350°C以上450°C以下之到達溫度下退火。

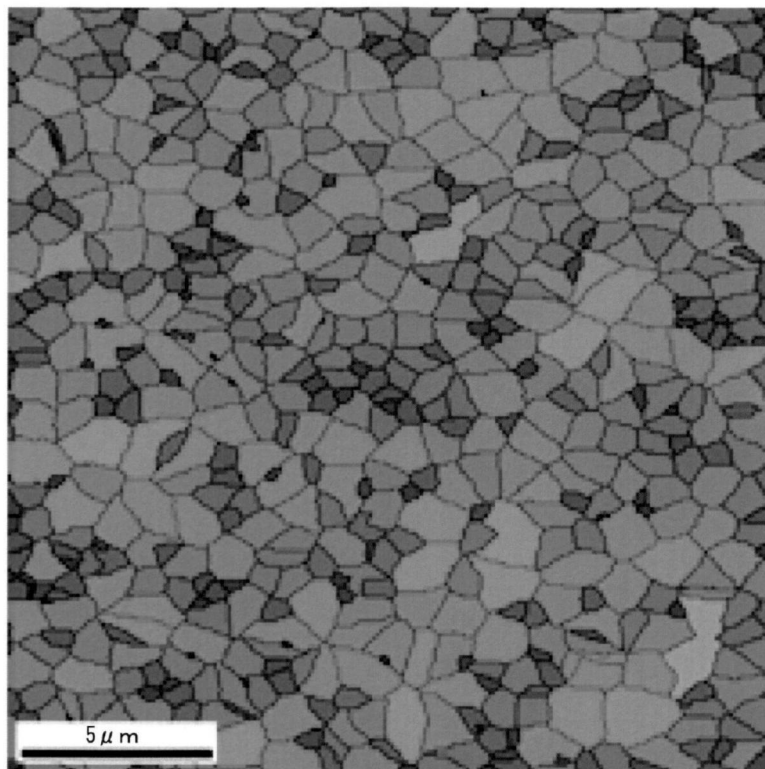
【發明圖式】



【圖1】



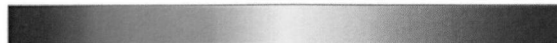
【圖2】



彩色編碼圖類型：GOS

Min : 0°

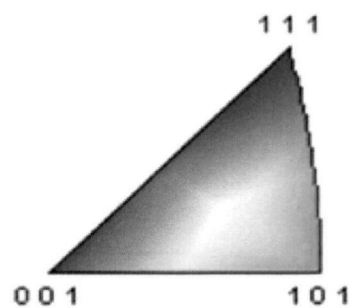
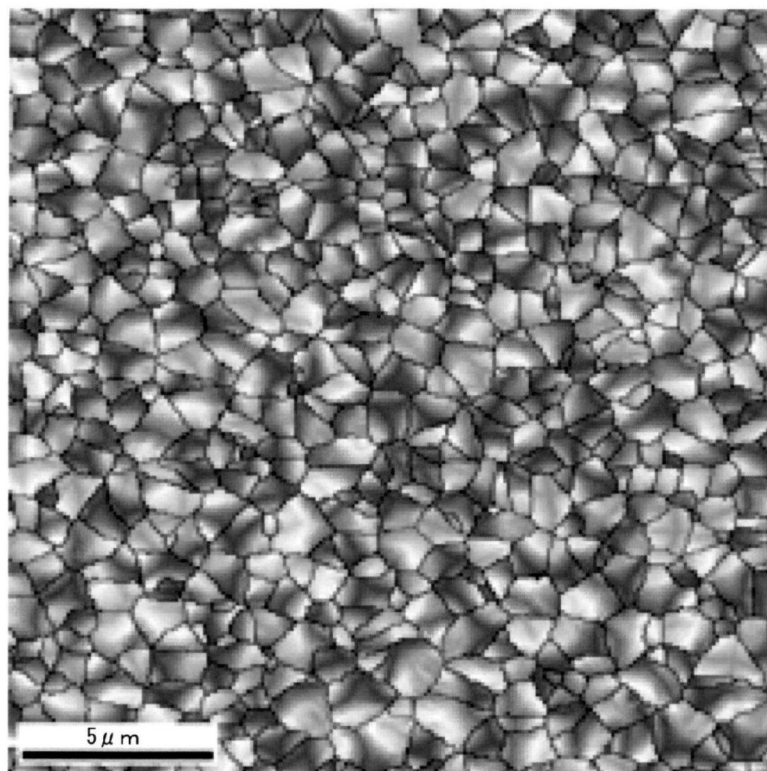
Max : 41°



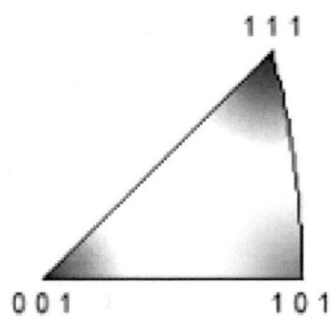
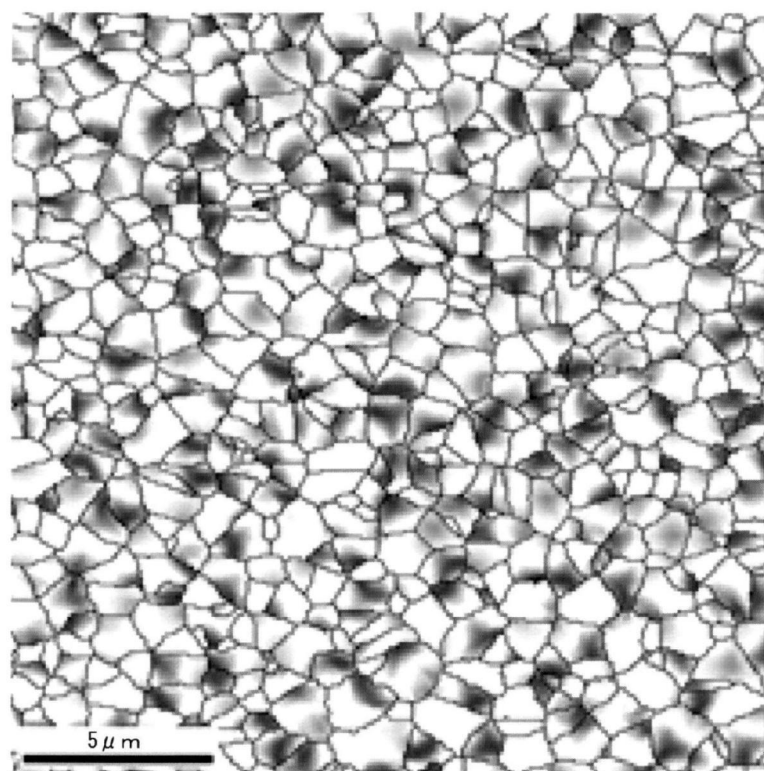
晶界



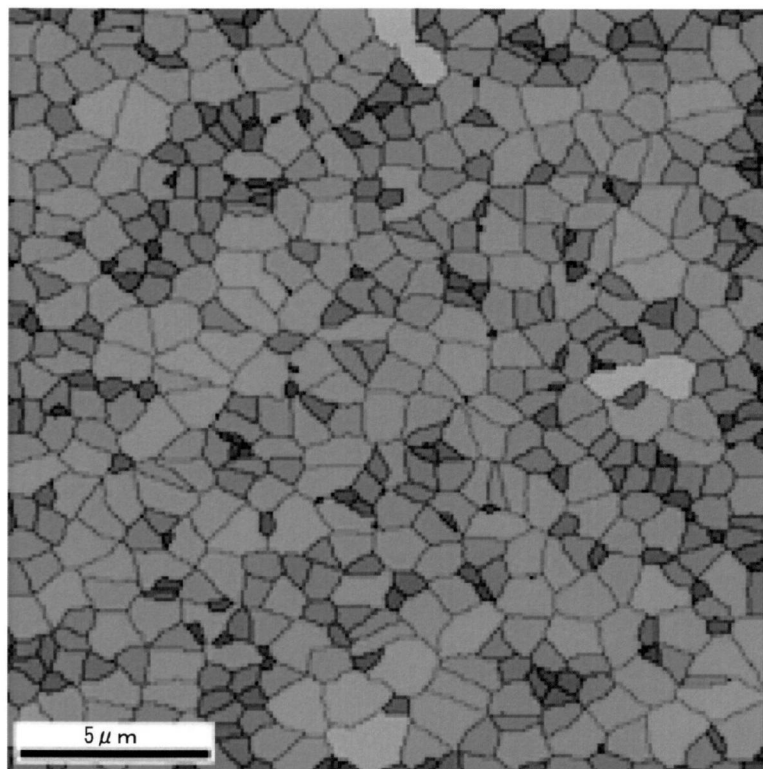
【圖3】



【圖4】



【圖5】



彩色編碼圖類型：GOS

Min : 0°

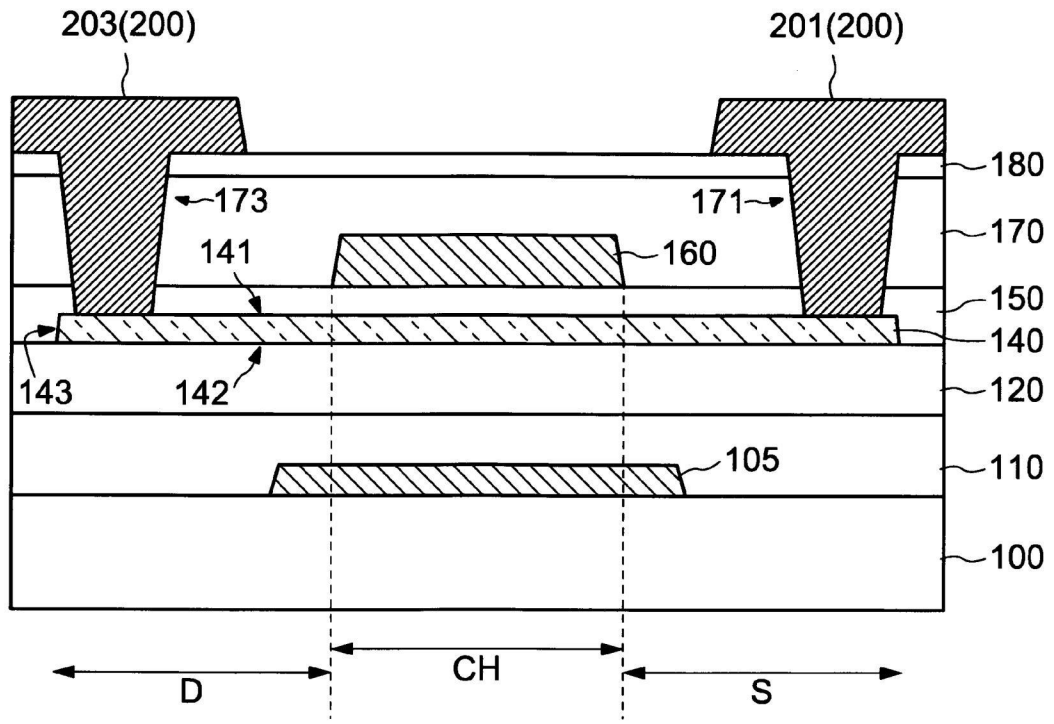
Max : 41°



晶界 —

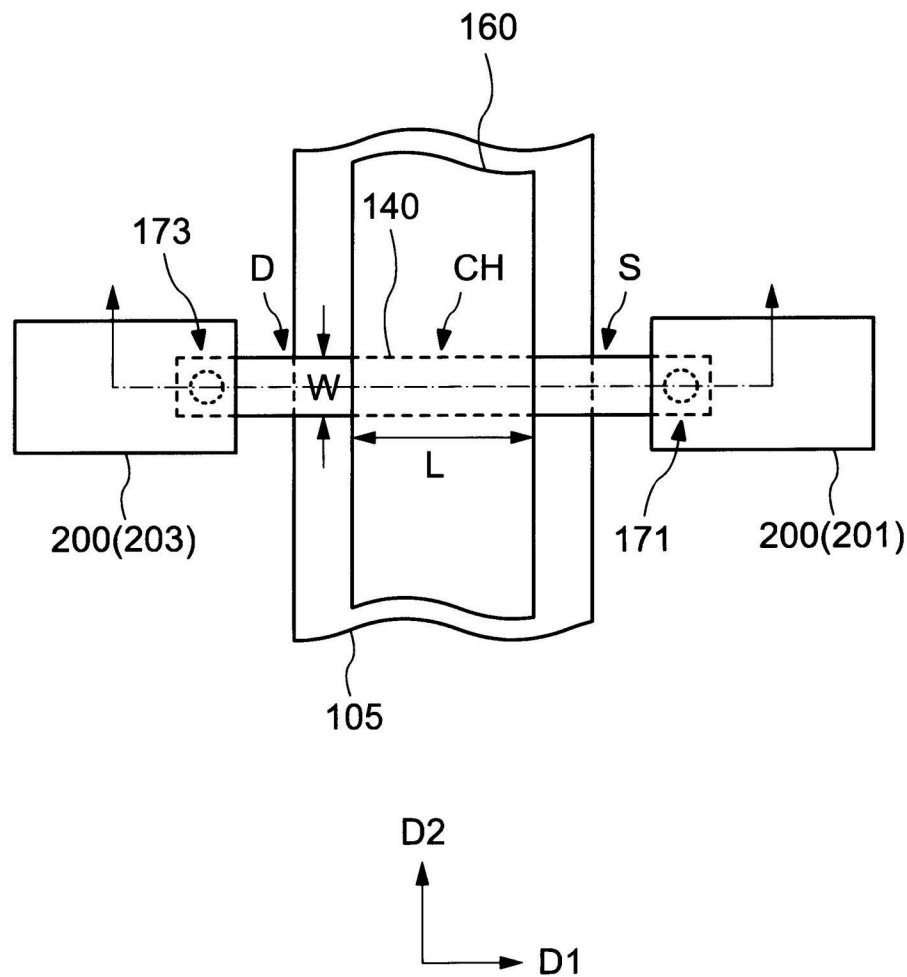
【圖6】

10

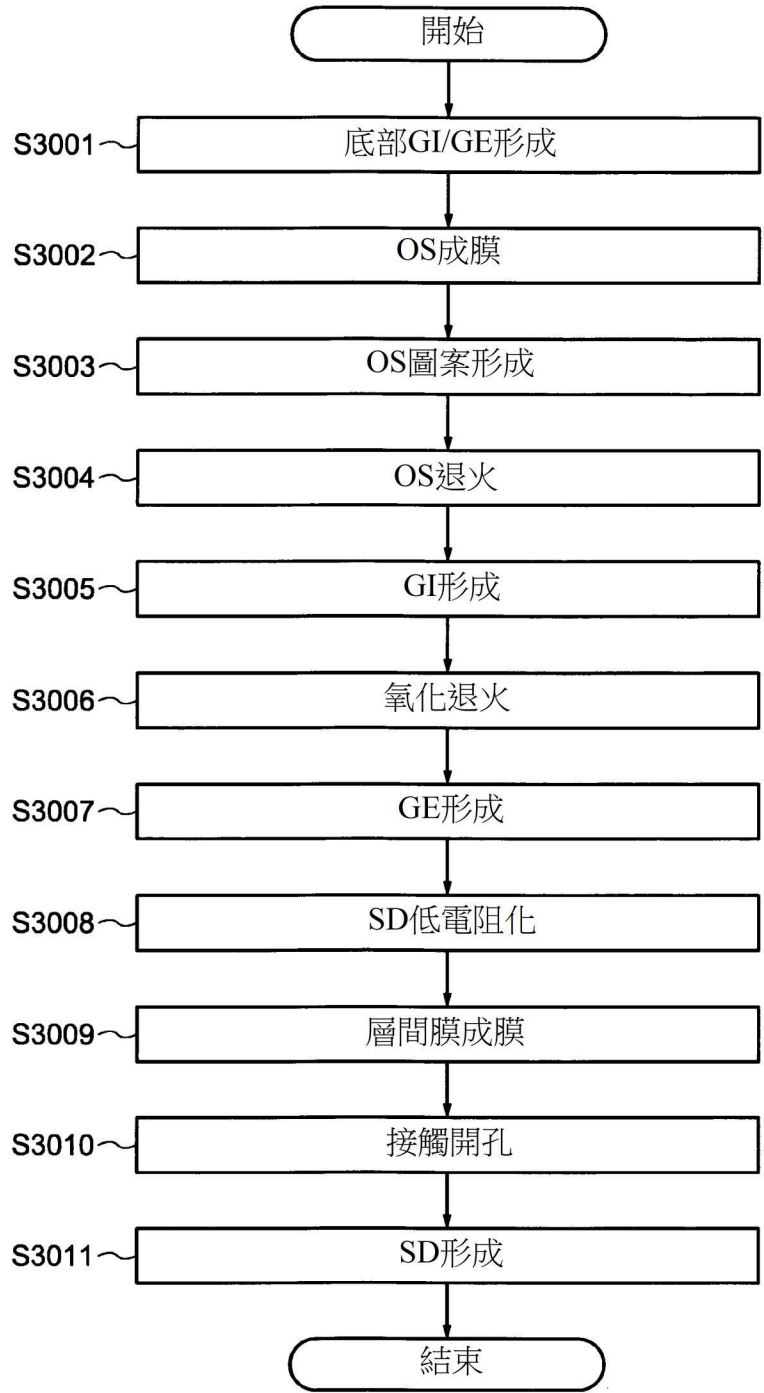


【圖7】

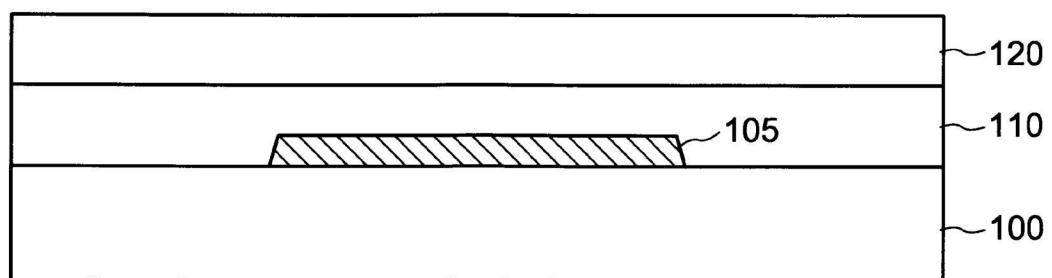
10



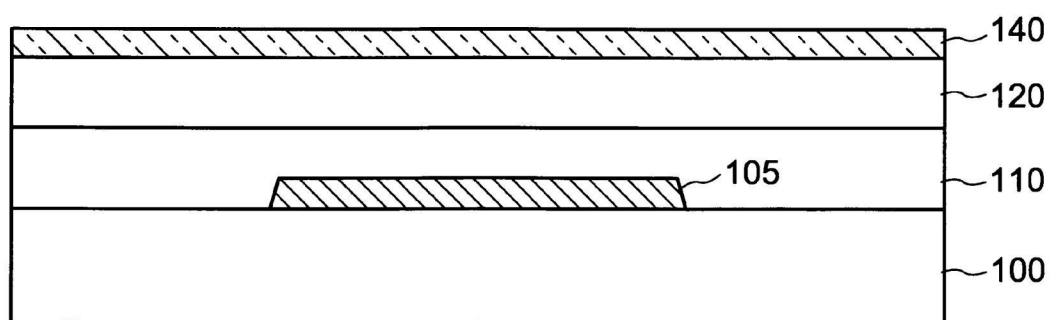
【圖8】



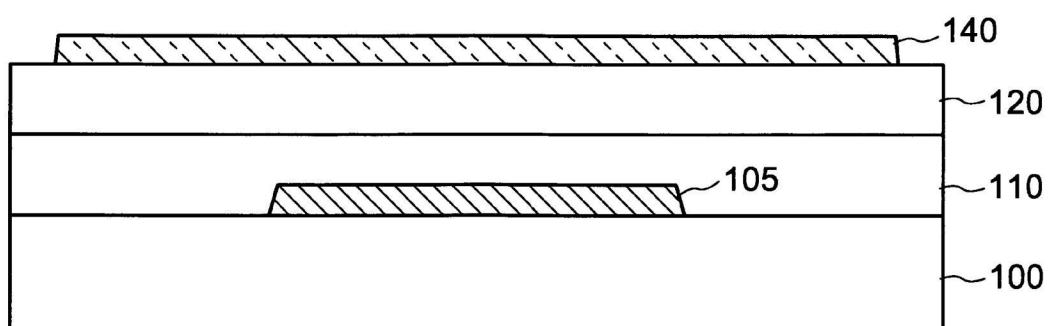
【圖9】



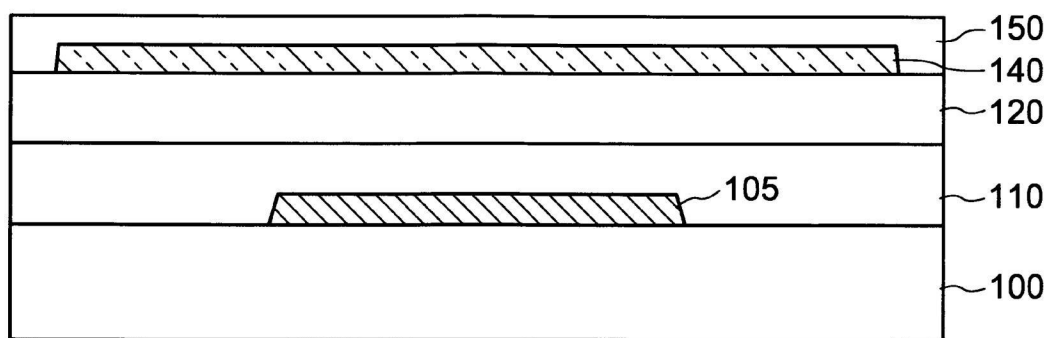
【圖10】



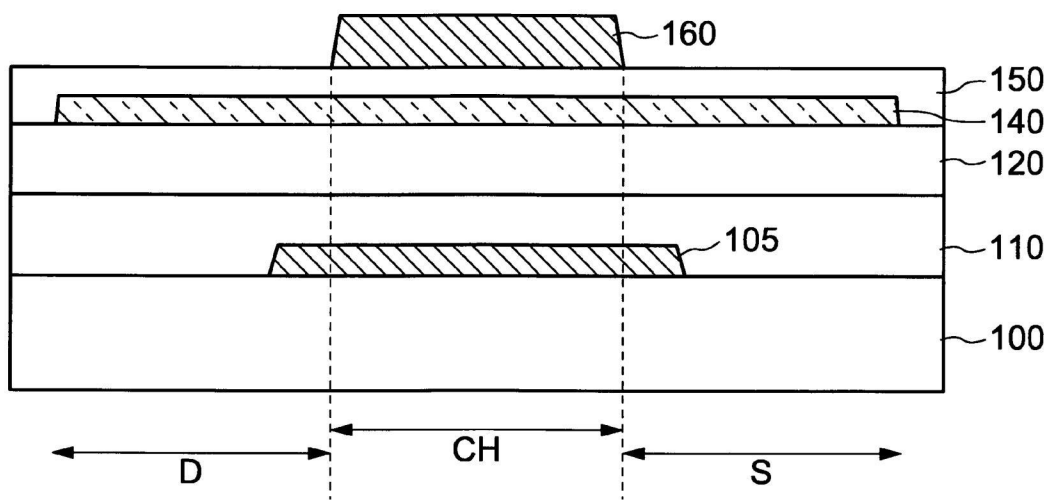
【圖11】



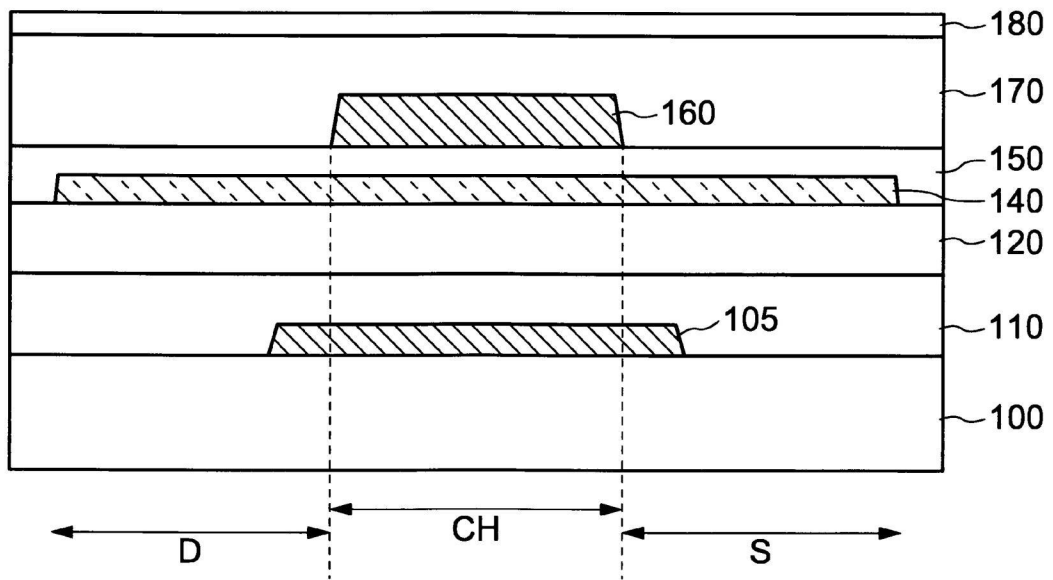
【圖12】



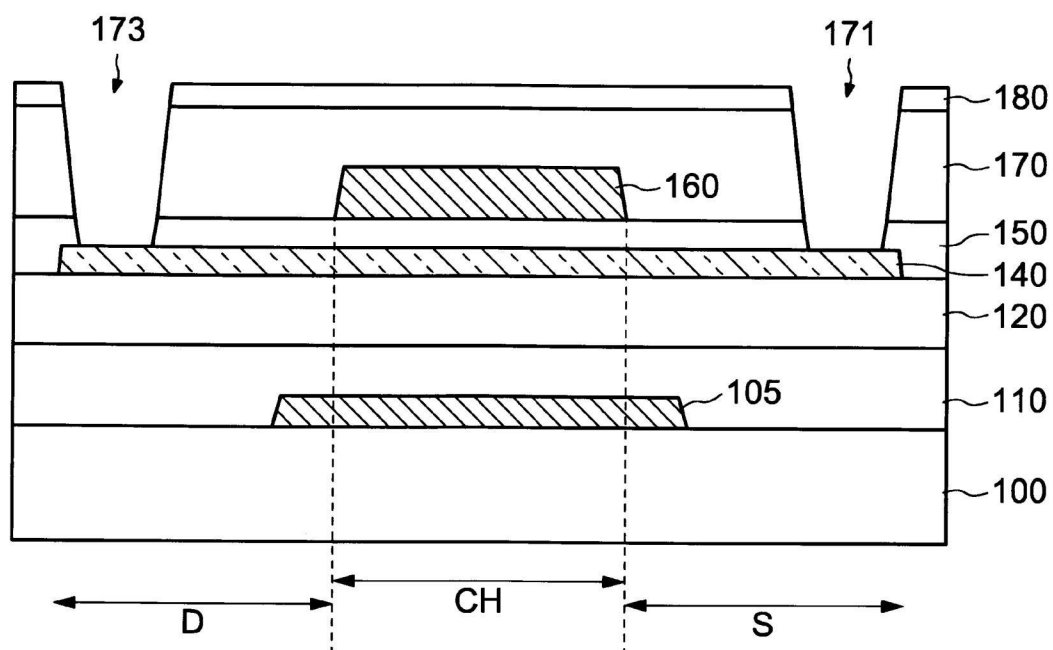
【圖13】



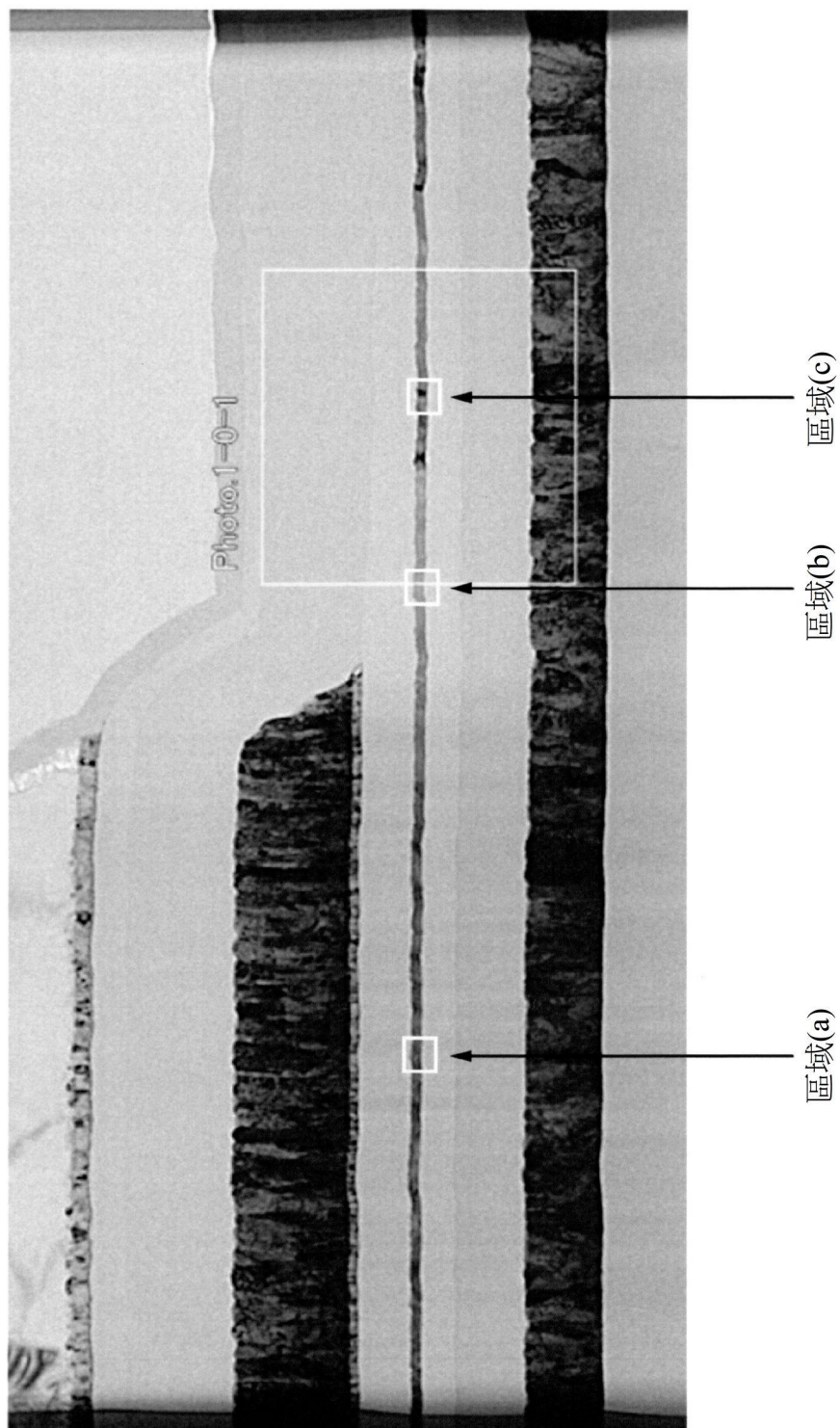
【圖14】



【圖15】

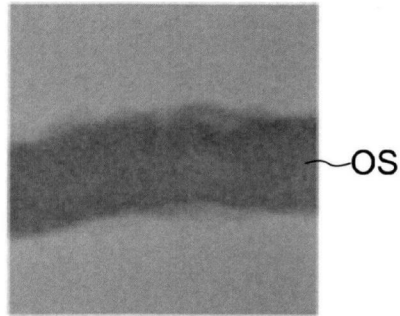


【圖16】

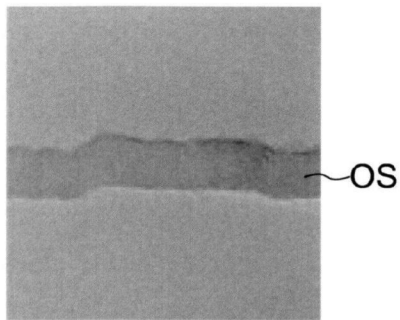


【圖17】

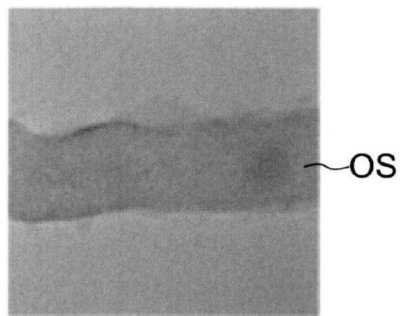
區域(a)



區域(b)

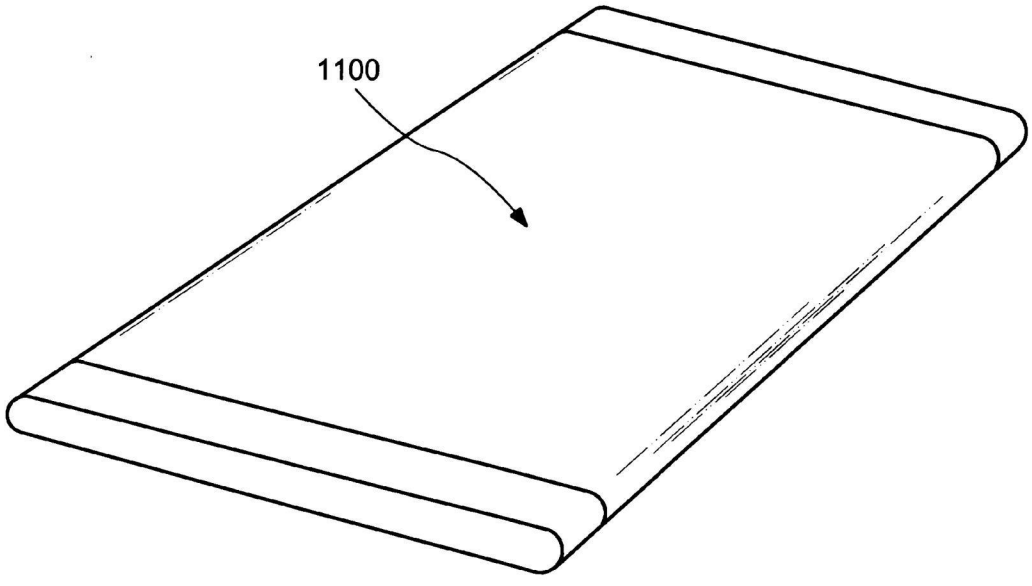


區域(c)

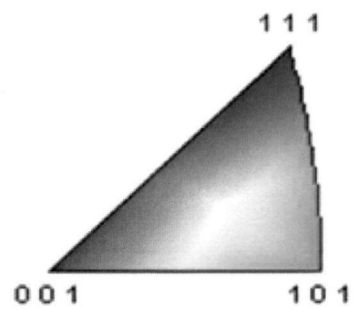
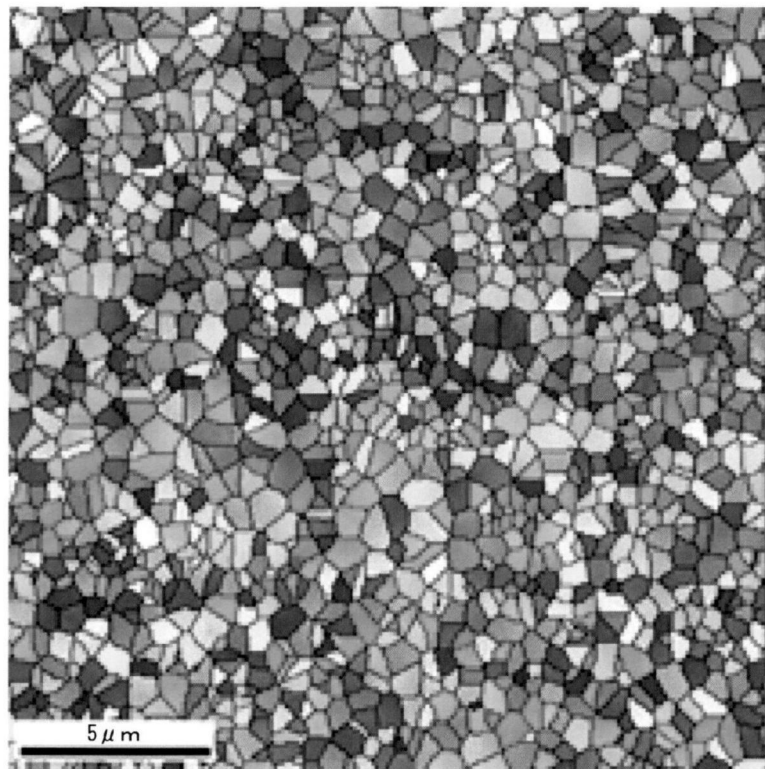


【圖18】

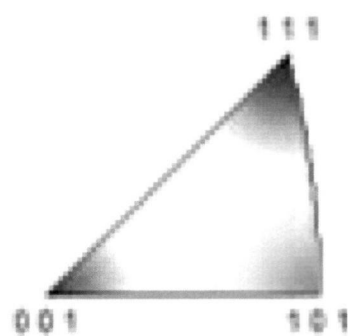
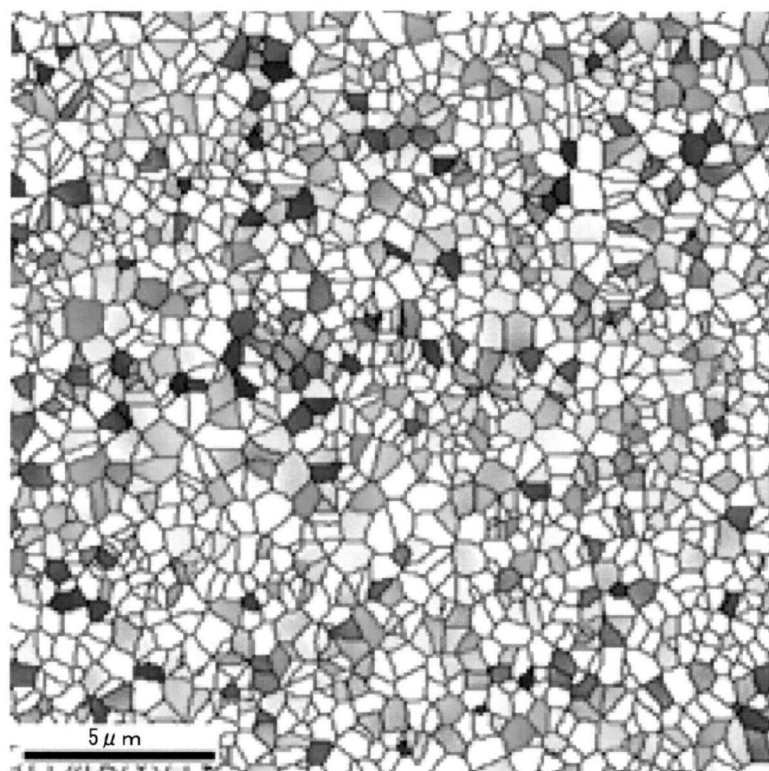
1000



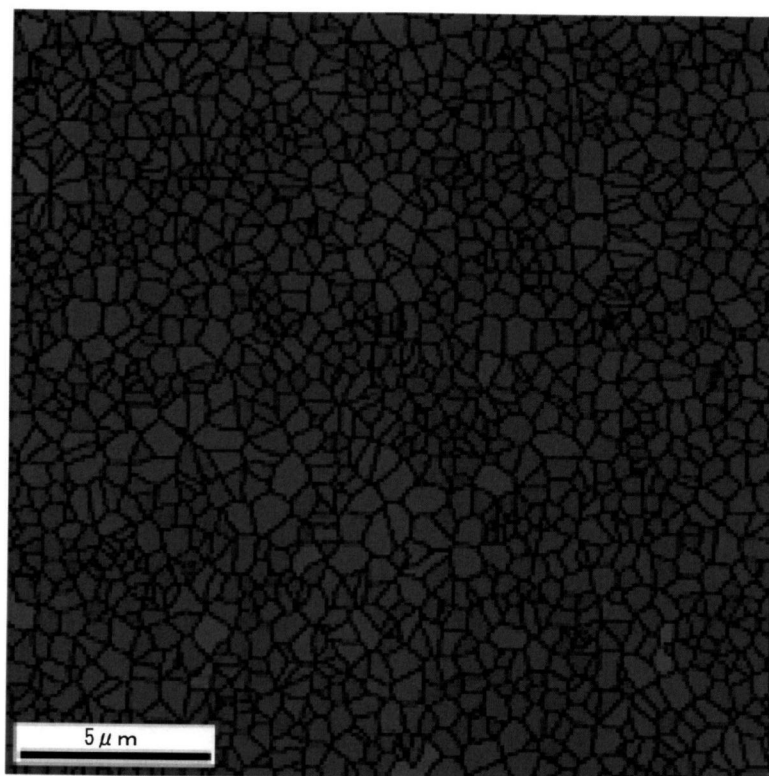
【圖19】



【圖20】



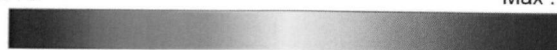
【圖21】



彩色編碼圖類型：GOS

Min : 0°

Max : 41°



晶界



【圖22】