

(此處由本局於收
文時黏貼條碼)

770909

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97124726

※申請日期：97年07月01日

※IPC分類：H01L 29/786 (2006.01)

一、發明名稱：

(中) 發光裝置

(英) Light-emitting device

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036 Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓 名：(中) 山崎舜平

(英) YAMAZAKI, SHUNPEI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 鈴木幸惠

(英) SUZUKI, YUKIE

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 桑原秀明

(英) KUWABARA, HIDEAKI

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.日本 ; 2007/07/06 ; 2007-179091 ☒有主張優先權

五、中文發明摘要

發明之名稱：發光裝置

提供以大量生產的方式製造包括具有優異電特性之可靠性高的薄膜電晶體的發光裝置的方法。在具有反交錯型薄膜電晶體的發光裝置中，反交錯型薄膜電晶體係形成如下：在閘極電極上形成閘極絕緣膜，在閘極絕緣膜上形成用作通道形成區域的微晶半導體膜，在微晶半導體膜上形成緩衝層，在緩衝層上形成一對源極區域及汲極區域，並且以使源極區域及汲極區域的一部分露出的方式而形成與源極區域及汲極區域接觸的一對源極電極及汲極電極。

六、英文發明摘要

發明之名稱：LIGHT-EMITTING DEVICE

A method of manufacturing, with high mass productivity, light-emitting devices having highly reliable thin film transistors with excellent electric characteristics is provided. In a light-emitting device having an inverted staggered thin film transistor, the inverted staggered thin film transistor is formed as follows: a gate insulating film is formed over a gate electrode; a microcrystalline semiconductor film which functions as a channel formation region is formed over the gate insulating film; a buffer layer is formed over the microcrystalline semiconductor film; a pair of source and drain regions are formed over the buffer layer; and a pair of source and drain electrodes are formed in contact with the source and drain regions so as to expose a part of the source and drain regions.

七、指定代表圖：

(一)、本案指定代表圖為：第 (2C) 圖

(二)、本代表圖之元件代表符號簡單說明：

83：薄膜電晶體

86：抗蝕劑掩膜

87：微晶半導體膜

88：緩衝層

89：汲極區域

92a~92c：源極電極及汲極電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明係有關至少在像素部中使用薄膜電晶體的發光裝置。

【先前技術】

近年來，將形成在具有絕緣表面的基板上的半導體薄膜（厚度為幾十 nm 至幾百 nm 左右）用於通道形成區域而構成薄膜電晶體的技術引人注目。薄膜電晶體廣泛地應用於電子裝置（如 IC 及電光裝置），尤其是，正在加快開發作為影像顯示裝置的切換元件的薄膜電晶體。

作為影像顯示裝置的切換元件，已知採用將非晶半導體膜用於通道形成區域的薄膜電晶體、或將多晶半導體膜用於通道形成區域的薄膜電晶體等。作為多晶半導體膜的形成方法，一般知道藉由光學系統將脈衝的準分子雷射光束加工成形為線形雷射光束，並對於非晶矽膜進行線形雷射光束的掃描和照射來予以結晶化的技術。

此外，作為影像顯示裝置的切換元件，採用將微晶半導體膜用於通道形成區域的薄膜電晶體（參照專利檔 1 及 2）。

[專利檔 1]日本專利申請公開 H4-242724 號公報

[專利檔 2]日本專利申請公開 2005-49832 號公報

【發明內容】

將多晶半導體膜用於通道形成區域的薄膜電晶體具有如下優點：其場效遷移率比將非晶半導體膜用於通道形成區域的薄膜電晶體高兩個數量等級以上，並且可以將半導體顯示裝置的像素部和其周邊的驅動電路一起形成在相同基板上。然而，會有如下問題：與將非晶半導體膜用於通道形成區域的情況相比，因為增加設置於玻璃基板上之半導體膜的結晶化而使製程較複雜，因此良率降低且成本升高。

此外，會有微晶半導體膜的晶粒的表面容易氧化的問題。這個情況還會引起如下問題：當通道形成區域中的晶粒被氧化時，在晶粒的表面上會形成氧化膜，並且該氧化膜會阻礙載子的移動，從而致使薄膜電晶體的電特性降低。

鑒於上述問題，本發明的目的在於提供包括電特性良好且可靠性高的薄膜電晶體的發光裝置、以及大量生產性地製造該發光裝置的方法。

在包括反交錯型薄膜電晶體的發光裝置的反交錯型薄膜電晶體中，在閘極電極上形成閘極絕緣膜，在閘極絕緣膜上形成用作通道形成區域的微晶半導體膜（也稱為半非晶半導體膜），在微晶半導體膜上形成緩衝層，在緩衝層上形成一對源極區域及汲極區域，以使源極區域及汲極區域的一部分露出的方式形成與源極區域及汲極區域接觸的一對源極電極及汲極電極。因此，源極區域及汲極區域具有與源極電極及汲極電極接觸的區域和不與源極電極及汲

極電極接觸的區域。此外，在源極電極及汲極電極的外側，源極區域及汲極區域的一部分、以及緩衝層的一部分露出。此外，在源極電極及汲極電極的端部的側面形成源極區域及汲極區域的端部、以及緩衝層的端部。

藉由源極電極及汲極電極的端部和源極區域及汲極區域的端部不對齊，並在源極電極及汲極電極的端部的側面形成源極區域及汲極區域的端部，源極電極及汲極電極的端部之間的距離變長，從而可以防止源極電極及汲極電極之間的洩漏電流及短路。

此外，緩衝層的一部分具有凹部，並且該凹部的側面與源極區域及汲極區域的端部對齊。由於緩衝層的一部分具有凹部而源極區域及汲極區域之間的載子移動的距離長，因此可以減少源極區域及汲極區域之間產生的洩漏電流。

此外，在微晶半導體膜和源極區域及汲極區域之間形成有緩衝層。微晶半導體膜用作通道形成區域。另外，緩衝層在防止微晶半導體膜的氧化的同時用作高電阻區域。在微晶半導體膜和源極區域及汲極區域之間使用高電阻率的非晶半導體膜形成有緩衝層。因而，本發明的薄膜電晶體的場效遷移率高，且關閉時（即，對閘極電極施加負電壓時）的洩漏電流少，而汲極耐受電壓高。

採用非晶半導體膜作為緩衝層。再者，較佳採用包含氮、氫、鹵素的任何一種以上的非晶半導體膜。藉由非晶半導體膜含有氮、氫、鹵素的任何一種，可以減少包含在

微晶半導體膜中的晶粒的氧化。

可以藉由電漿 CVD 法、濺射法等形成緩衝層。此外，在形成非晶半導體膜之後，藉由對於非晶半導體膜進行使用氮電漿、氫電漿、或鹵素電漿的處理，而可以使非晶半導體膜氮化、氫化、或鹵化。

藉由在微晶半導體膜的表面上設置緩衝層而可以減少包含在微晶半導體膜中的晶粒的氧化，因此可以減少薄膜電晶體的電特性的退化。

與多晶半導體膜不同，微晶半導體膜可以直接形成在基板上。具體而言，可以將氫化矽作為來源氣體並使用電漿 CVD 裝置來予以形成。藉由上述方法製造的微晶半導體膜也包括在非晶半導體中含有 0.5 nm 至 20 nm 的晶粒的微晶半導體膜。因此，與使用多晶半導體膜的情況不同，不需要在形成半導體膜之後進行結晶化製程。可以縮減製造薄膜電晶體時的步驟數，並且還可以提高發光裝置的良率並抑制成本。此外，使用頻率為 1 GHz 以上的微波的電漿具有高電子密度，從而容易離解來源氣體的氫化矽。因此，藉由使用頻率為 1 GHz 以上的微波的電漿 CVD 法，與頻率為幾十 MHz 至幾百 MHz 的微波電漿 CVD 法相比，可以較容易製造微晶半導體膜，並可以提高膜形成速度。因而，可以提高發光裝置的大量生產性。

此外，將微晶半導體膜用於其通道形成區域，製造薄膜電晶體（TFT），並且將該薄膜電晶體使用於像素部、驅動電路中來製造發光裝置。將微晶半導體膜用於其通道

形成區域的薄膜電晶體的場效遷移率為 $1\text{ cm}^2/\text{V}\cdot\text{sec}$ 至 $20\text{ cm}^2/\text{V}\cdot\text{sec}$ ，其是將非晶半導體膜用於其通道形成區域的薄膜電晶體的 2 倍至 20 倍。因此可以將驅動電路的一部分或全部形成於與像素部相同的基板上，來形成系統型面板（system on panel）顯示器。

此外，發光裝置包括發光元件。在發光元件的範圍中，包括由電流或電壓控制亮度的元件，且具體而言，其包括無機電致發光（EL）元件、有機 EL 元件等。

另外，發光裝置還包括發光元件處於密封狀態的面板、以及處於將包括控制器的 IC 等安裝在該面板上的狀態的模組。再者，本發明係有關對於製造該發光裝置的過程中的相當於發光元件完成之前的一個模式的元件基板，該元件基板的多個像素的各個中具備將電流供應給發光元件的單元。元件基板採用各種模式，既可以處於只形成有發光元件的像素電極的狀態，又可以處於在形成成為像素電極的導電膜之後並進行蝕刻來形成像素電極之前的狀態。

注意，本說明書中的「發光裝置」是指影像顯示裝置、發光裝置、或光源（包括照明裝置）。此外，如下模組也都包括在發光裝置中：安裝有連接器之如可撓性印刷電路（FPC）、捲帶式自動接合（TAB）膠帶、或膠帶載具封裝組件（TCP）的模組；TAB 膠帶及 TCP 的末端設置有印刷佈線板的模組；或藉由玻璃覆晶接合（COG）方法而將積體電路（IC）直接安裝在發光元件上的模組。

根據本發明，可以大量生產性高地製造包括電特性良

好且可靠性高的薄膜電晶體的發光裝置。

【實施方式】

下面，關於本發明的實施例模式將參照附圖給予說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明可以以多個不同形式來實施，其模式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在本實施例模式所記載的內容中。

[實施例模式 1]

在本實施例模式中，對於用於發光裝置的薄膜電晶體的製造程序，參照圖 1A 至圖 12C 進行說明。圖 1A 至圖 4B、圖 6A 至圖 8B 是示出薄膜電晶體的製造程序的截面圖，而圖 5A 至 5C 以及圖 9A 至 9D 是一個像素中的薄膜電晶體及像素電極的連接區域的俯視圖。

具有微晶半導體膜的 n 通道薄膜電晶體更適合使用於驅動電路，因為其場效遷移率高於具有微晶半導體膜的 p 通道薄膜電晶體的遷移率。希望使形成在相同基板上的所有薄膜電晶體的極性為相同，以便抑制步驟數的增加。在此，使用 n 通道薄膜電晶體來進行說明。

如圖 1A 所示，在基板 50 上形成閘極電極 51。基板 50 可以使用藉由熔化方法或浮發方法（float method）製造的非鹼玻璃基板例如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃

、鋁矽酸鹽玻璃等、或陶瓷基板，還可以使用具有可承受本製造程序的處理溫度的耐熱性的塑膠基板等。此外，還可以使用在不銹鋼合金等金屬基板表面上設置絕緣膜的基板。在基板 50 是母體玻璃的情況下，其尺寸可以採用第一代（320 mm×400 mm）、第二代（400 mm×500 mm）、第三代（550 mm×650 mm）、第四代（680 mm×880 mm 或 730 mm×920 mm）、第五代（1000 mm×1200 mm 或 1100 mm×1250 mm）、第六代（1500 mm×1800 mm）、第七代（1900 mm×2200 mm）、第八代（2160 mm×2460 mm）、第九代（2400 mm×2800 mm 或 2450 mm×3050 mm）、第十代（2950 mm×3400 mm）等。

使用鈦、鉬、鉻、鉭、鎢、鋁等的金屬材料或其合金材料形成閘極電極 51。可以藉由濺射法、真空蒸鍍法在基板 50 上形成導電膜，藉由微影技術或噴墨法在該導電膜上形成掩膜，並使用該掩膜蝕刻導電膜，來形成閘極電極 51。注意，作為用來提高閘極電極 51 的黏著性並防止擴散到基底的阻擋金屬，也可以將上述金屬材料的氮化物膜設置在基板 50 和閘極電極 51 之間。在此，藉由採用使用第一光掩膜形成的抗蝕劑掩膜來蝕刻形成在基板 50 上的導電膜，來形成閘極電極 51。

注意，因為在閘極電極 51 上形成絕緣膜、半導體膜及佈線等，所以其端部希望被加工成為錐形形狀，以便防止斷開。此外，雖然未圖示，但可以在此步驟中同時形成連接到閘極電極的佈線。

其次，在閘極電極 51 上按順序形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質元素的半導體膜 55、導電膜 65a 至 65c。接著，在導電膜 65c 上塗敷抗蝕劑 80。注意，較佳至少連續形成閘極絕緣膜 52a、52b、微晶半導體膜 53 及緩衝層 54。再者，較佳連續形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質元素的半導體膜 55。藉由在不接觸大氣的狀態下至少連續形成閘極絕緣膜 52a、52b、微晶半導體膜 53、及緩衝層 54，可以形成各個疊層介面而不被大氣成分及懸浮在大氣中的污染雜質元素所污染，因此可以減少薄膜電晶體之特性上的改變。

閘極絕緣膜 52a、52b 分別可以藉由 CVD 法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜來形成。在此示出，按順序層疊氧化矽膜或氧氮化矽膜、和氮化矽膜或氮氧化矽膜來形成閘極絕緣膜 52a、52b 的方式。另外，閘極絕緣膜還可以不採用兩層結構，而從基板一側按順序層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜、和氮化矽膜或氮氧化矽膜的三層來形成閘極絕緣膜。此外，還可以使用氧化矽膜、氮化矽膜、氧氮化矽膜或者氮氧化矽膜的單層來形成閘極絕緣膜。

在此，氧氮化矽膜是指具有如下組成的膜：氧的含有量比氮的含有量多，並且在採用盧瑟福背向散射光譜測定法（RBS）以及氫前向散射法（HFS）檢測時，作為濃度

範圍，包含 50 原子%至 70 原子%的氧，包含 0.5 原子%至 15 原子%的氮，包含 25 原子%至 35 原子%的矽，包含 0.1 原子%至 10 原子%的氫。此外，氮氧化矽膜是指具有如下組成的膜：氮的含量比氧的含量多，並且在採用 RBS 及 HFS 檢測時，作為濃度範圍，包含 5 原子%至 30 原子%的氧，包含 20 原子%至 55 原子%的氮，包含 25 原子%至 35 原子%的矽，包含 10 原子%至 30 原子%的氫。但是，在構成氮氧化矽或氮氧化矽的原子的總和為 100 原子%時，氮、氧、矽及氫的含有比率包括在上述範圍內。

微晶半導體膜 53 是指包括非晶結構和結晶結構（包括單晶、多晶）之間的中間結構的半導體的膜。該半導體為具有在自由能方面上很穩定的第三狀態的半導體，並且具有短程有序且具有晶格畸變的結晶質的半導體，粒徑為 0.5 nm 至 20 nm 的柱狀或針狀結晶在對於基板表面成為法線的方向上生長。此外，微晶半導體與非晶半導體混合在一起。在微晶半導體的典型例子的微晶矽中，其拉曼光譜轉移到比表示單晶矽的 521 cm^{-1} 低波數一側。亦即，微晶矽的拉曼光譜的峰值位於表示單晶矽的 521 cm^{-1} 和表示非晶矽的 481 cm^{-1} 之間。此外，包含有至少 1 原子%或更多的氫或鹵素，以便終止懸空鍵。再者，可以藉由將氮、氫、氟、氬等的稀有氣體元素包含在微晶半導體膜中而進一步促進晶格畸變來提高穩定性以獲得良好的微晶半導體膜。關於這種微晶半導體膜的記述例如在美國專利第 4,409,134 號中公開。

可以藉由使用頻率為幾十 MHz 至幾百 MHz 的高頻率電漿 CVD 法、或頻率為 1 GHz 以上的微波電漿 CVD 裝置來形成該微晶半導體膜。代表性地，可以使用氫稀釋 SiH_4 、 Si_2H_6 等的氫化矽形成。另外，除了使用氫化矽及氫之外，還可以使用選自氮、氬、氦、氖中的一種或多種稀有氣體元素進行稀釋，來形成微晶半導體膜。將氫的流量比設定為此時的氫化矽的 50 倍以上 1000 倍以下，較佳設定為 50 倍以上 200 倍以下，更佳為 100 倍。注意，也可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替氫化矽。

此外，由於當非有意地不添加用於價電子控制的雜質元素時，微晶半導體膜呈現弱 n 型導電性，因此可以藉由在膜形成的同時或膜形成之後對於用作薄膜電晶體的通道形成區域的微晶半導體膜添加賦予 p 型導電性的雜質元素，來控制臨界值。作為賦予 p 型導電性的雜質元素的典型，可舉出硼，將 B_2H_6 、 BF_3 等的雜質氣體以 1 ppm 至 1000 ppm 的比例，較佳以 1 ppm 至 100 ppm 的比例混入到氫化矽中。而且，硼的濃度例如為 $1 \times 10^{14} \text{ atoms/cm}^3$ 至 $6 \times 10^{16} \text{ atoms/cm}^3$ 。

此外，微晶半導體膜的氧濃度較佳為 $5 \times 10^{19} \text{ cm}^{-3}$ 以下，更佳為 $1 \times 10^{19} \text{ cm}^{-3}$ 以下，且氮及碳的濃度分別為 $3 \times 10^{18} \text{ cm}^{-3}$ 以下。藉由降低混入到微晶半導體膜中的氧、氮、及碳的濃度，可以防止微晶半導體膜的 n 型化。

微晶半導體膜 53 以厚於 0 nm 至 200 nm 以下的厚度，較佳以 1 nm 以上 100 nm 以下的厚度，更佳以 5 nm 以

上 50 nm 以下的厚度形成。微晶半導體膜 53 用作後面形成的薄膜電晶體的通道形成區域。藉由以 5 nm 以上 50 nm 的範圍內的厚度形成微晶半導體膜 53，後面形成的薄膜電晶體成為完全空乏型。此外，因為微晶半導體膜 53 的膜形成速度比非晶半導體膜慢，即為非晶半導體膜的膜形成速度的 1/10 至 1/100，所以藉由減薄膜厚度，可以提高生產率。由於微晶半導體膜由微晶構成，因此其電阻比非晶半導體膜低。因而，在將微晶半導體膜用於通道形成區域的薄膜電晶體中表示電流電壓特性的曲線的上升部分的傾斜急劇，其作為切換元件的反應性優良且可以進行高速驅動。此外，藉由將微晶半導體膜用於薄膜電晶體的通道形成區域，可以抑制薄膜電晶體的臨界值變動。因此，可以製造電特性的變化少的發光裝置。

另外，微晶半導體膜的遷移率比非晶半導體膜高。因此，藉由使用其通道形成區域由微晶半導體膜形成的薄膜電晶體作為發光元件的開關，可以縮小通道形成區域的面積，即薄膜電晶體的面積。因此，在每一個像素中薄膜電晶體所占的面積縮小，可以提高像素的孔徑比。結果，可以製造解析度高的發光裝置

可以藉由使用 SiH_4 、 Si_2H_6 等的氫化矽並採用電漿 CVD 法形成緩衝層 54。此外，可以對上述氫化矽添加選自氫、氫、氮、氟中的一種或多種的稀有氣體元素進行稀釋形成非晶半導體膜。藉由使用其流量為氫化矽的流量的 1 倍以上 20 倍以下，較佳為 1 倍以上 10 倍以下，更佳為

1 倍以上 5 倍以下的氫，可以形成包含氫的非晶半導體膜。此外，藉由使用上述氫化矽和氮或氨，可以形成包含氮的非晶半導體膜。另外，藉由使用上述氫化矽和包含氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等），可以形成包含氟、氯、溴、或碘的非晶半導體膜。注意，可以使用 SiH_2Cl_2 、 $SiHCl_3$ 、 $SiCl_4$ 、 SiF_4 等。

此外，作為緩衝層 54，可以將非晶半導體用作靶子並使用氫或稀有氣體進行濺射來形成非晶半導體膜。此時，藉由將氫、氮、或 N_2O 包含在氛圍中，可以形成含有氮的非晶半導體膜。另外，藉由將含有氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）包含在氛圍中，可以形成含有氟、氯、溴、或碘的非晶半導體膜。

此外，作為緩衝層 54，也可以在微晶半導體膜 53 的表面上採用電漿 CVD 法或濺射法形成非晶半導體膜，然後對非晶半導體膜的表面進行使用氫電漿、氮電漿、或鹵素電漿的處理，來使非晶半導體膜表面氫化、氮化、或鹵化。或者，也可以對非晶半導體膜的表面進行使用氫電漿、氮電漿、氯電漿、氫電漿、氮電漿等的處理。

較佳使用不包含晶粒的非晶半導體膜形成緩衝層 54。因此，在採用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法、或微波電漿 CVD 法形成緩衝層 54 的情況下，較佳控制膜形成條件而使得非晶半導體膜並不含有晶粒。

緩衝層 54 的一部分有時會在後面的源極區域及汲極

區域的形成過程中被蝕刻，從而緩衝層 54 較佳以在蝕刻之後其一部分殘留的厚度來形成。典型地說，較佳以 150 nm 以上 200 nm 以下的厚度形成緩衝層 54。

注意，緩衝層 54 較佳不添加有賦予一導電型的雜質元素如磷、硼等。尤其是，用來控制臨界值包含在微晶半導體膜中的硼、或包含在添加有賦予一導電型的雜質元素的半導體膜中的磷較佳不混入在緩衝層 54 中。結果，藉由消除 PN 接面所導致的洩漏電流的產生區域，可以實現洩漏電流的減少。此外，藉由在添加有賦予一導電型的雜質元素的半導體膜和微晶半導體膜之間形成不添加有賦予一導電型的雜質元素如磷、硼等的非晶半導體膜，可以防止分別包含在微晶半導體膜和源極區域及汲極區域中的雜質擴散。

藉由在微晶半導體膜 53 的表面上形成非晶半導體膜，進一步形成包含氫、氮、或鹵素的非晶半導體膜，來可以防止包含在微晶半導體膜 53 的晶粒表面的自然氧化。特別是，在非晶半導體和微晶粒相接觸的區域中，因受局部應力而容易產生裂縫。當該裂縫與氧接觸時產生晶粒的氧化，並形成氧化矽。然而，藉由在微晶半導體膜 53 的表面上形成緩衝層，可以防止微晶粒的氧化。此外，藉由形成緩衝層，可以防止當後面形成源極區域及汲極區域之際產生的蝕刻殘渣混入到微晶半導體膜中。

此外，使用非晶半導體膜或使用包含氫、氮、或鹵素的非晶半導體膜形成緩衝層 54。因此非晶半導體膜的能隙

比微晶半導體膜的能隙大（非晶半導體膜的能隙為 1.1 eV 至 1.5 eV ，而微晶半導體膜的能隙為 1.6 eV 至 1.8 eV ），電阻高，並且遷移率低，即為微晶半導體膜的 $1/5$ 至 $1/10$ 。因而，在後面形成的薄膜電晶體中，形成在源極區域及汲極區域和微晶半導體膜之間的緩衝層用作高電阻區域，而微晶半導體膜用作通道形成區域。因此，可以減少薄膜電晶體的截止電流。當將該薄膜晶體管用作發光裝置的切換元件時，可以提高發光裝置的對比度。

在形成 n 通道薄膜電晶體的情況下，添加磷作為典型雜質元素，即對於氫化矽添加 PH_3 等的雜質氣體，來形成添加有賦予一導電型的雜質元素的半導體膜 55，即可。此外，在形成 p 通道薄膜電晶體的情況下，添加硼作為典型雜質元素即可，即對於氫化矽添加 B_2H_6 等的雜質氣體即可。可以使用微晶半導體膜或非晶半導體膜形成添加有賦予一導電型的雜質元素的半導體膜 55。再者，也可以使用添加有賦予一導電型的雜質的非晶半導體膜和添加有賦予一導電型的雜質的微晶半導體膜的疊層形成添加有賦予一導電型的雜質元素的半導體膜 55。藉由在緩衝層 54 一側形成添加有賦予一導電型的雜質元素的非晶半導體膜，並在其上形成添加有賦予一導電型的雜質元素的微晶半導體膜，電阻逐漸變化，所以載子容易流過，而可以提高遷移率。以 2 nm 以上 50 nm 以下的厚度形成添加有賦予一導電型的雜質元素的半導體膜 55。藉由減薄添加有賦予一導電型的雜質元素的半導體膜的膜厚度，可以提高生產率。

在此，參照圖 10 示出一種電漿 CVD 裝置，該微波電漿 CVD 裝置能夠連續進行從形成閘極絕緣膜 52a、52b 的步驟到形成添加有賦予一導電型的雜質元素的半導體膜 55。圖 10 是示出電漿 CVD 裝置的俯視截面的示意圖，其具有在公共室 1120 的周圍具備裝載室 1110、卸載室 1115、反應室（1）1111 至反應室（4）1114 的結構。在公共室 1120 和每個室之間具備閘閥 1122 至 1127，以防止在每個室內進行的處理互相干涉。基板裝載在裝載室 1110、卸載室 1115 的盒子 1128、1129，然後由公共室 1120 的傳送單元 1121 傳送到反應室（1）1111 至反應室（4）1114。該微波電漿 CVD 裝置能夠對於每個沉積膜種類分配反應室，從而可以在不與大氣接觸的狀態下連續形成多個不同的膜。

在反應室（1）至反應室（4）的各個中，分別層疊形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質元素的半導體膜 55。在此情況下，藉由轉換來源氣體，可以連續地層疊多個不同種類的膜。在此情況下，形成閘極絕緣膜，然後將矽烷等的氫化矽引入到反應室內，使殘留氧及氫化矽反應，並將反應物排出到反應室的外部，從而可以降低反應室內的殘留氧濃度。結果，可以降低包含在微晶半導體膜中的氧濃度。此外，可以防止包含在微晶半導體膜中的晶粒的氧化。

或者，在反應室（1）及反應室（3）中形成閘極絕緣膜 52a、52b、微晶半導體膜 53、以及緩衝層 54，而在反

應室（2）及反應室（4）中形成添加有賦予一導電型的雜質元素的半導體膜 55。藉由只使用賦予一導電型的雜質單獨地進行膜形成，可以防止殘留在反應室中的賦予一導電型的雜質元素混入到其他膜中。

像這樣，由於可以使用連接有多個反應室的微波電漿 CVD 裝置同時形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質元素的半導體膜 55，因此提高大量生產性。此外，即使在某個反應室中進行維護及清洗，也可以在其他反應室中形成膜，從而可以縮短膜形成週期時間（cycle time）。另外，因為可以在不被大氣成分及懸浮在大氣中的污染雜質元素污染的狀態下形成各個疊層介面，所以可以減少薄膜電晶體的特性的改變。

此外，可以在反應室（1）中形成閘極絕緣膜 52a、52b，在反應室（2）中形成微晶半導體膜 53 及緩衝層 54，在反應室（3）中形成添加有賦予一導電型的雜質元素的半導體膜 55。另外，在使用氧化矽膜或氧氮化矽膜形成閘極絕緣膜 52a，並使用氮化矽膜或氮氧化矽膜形成閘極絕緣膜 52b 的情況下，也可以設置五個反應室，並且在反應室（1）中形成閘極絕緣膜 52a 的氧化矽膜或氧氮化矽膜，在反應室（2）中形成閘極絕緣膜 52b 的氮化矽膜或氮氧化矽膜，在反應室（3）中形成微晶半導體膜，在反應室（4）中形成緩衝層，在反應室（5）中形成添加有賦予一導電型的雜質元素的半導體膜。此外，因為微晶半導

體膜的膜形成速度較慢，所以也可以在多個反應室中形成微晶半導體膜。例如，也可以在反應室（1）中形成閘極絕緣膜 52a、52b，在反應室（2）及（3）中形成微晶半導體膜 53，在反應室（4）中形成緩衝層 54，在反應室（5）中形成添加有賦予一導電型的雜質元素的半導體膜 55。像這樣，藉由在多個反應室中同時形成微晶半導體膜 53，可以提高生產率。注意，此時較佳使用要形成的種類的膜塗敷各個反應室的內壁。

由於當使用具有這種結構的微波電漿 CVD 裝置時，可以在各個反應室中形成類似種類的膜或一種膜，並且在不暴露在大氣的狀態下連續形成上述膜，因此可以在不被已形成的膜的殘留物及懸浮在大氣中的雜質元素污染的狀態下形成各個疊層介面。

注意，雖然在圖 10 所示的微波電漿 CVD 裝置中分別設置有裝載室及卸裝室，但是也可以設置一個裝載/卸裝室。此外，在微波電漿 CVD 裝置中也可以設置備用室。由於可以藉由在備用室中對基板進行預熱而在各個反應室中縮短到膜形成的加熱時間，因此可以提高生產率。

下面，說明膜形成處理。在這種膜形成處理中，根據其目的而選擇從氣體供應部供應的氣體，即可。

在此，作為一例舉出如下方法：形成氧氮化矽膜作為閘極絕緣膜 52a，並形成氮氧化矽膜作為閘極絕緣膜 52b。

首先，對於微波電漿 CVD 裝置的反應室的處理容器

內部使用氟自由基進行清洗。注意，藉由將氟化碳、氟化氫、或氟引入到設置在反應室外側的電漿產生器中並離解，然後將氟自由基引入到反應室中，可以對反應室進行清洗。

藉由在使用氟自由基進行清洗之後，將大量的氫引入到反應室內，來使反應室內的殘留氟和氫彼此反應，從而可以降低殘留氟的濃度。因而，可以減少對於後面在反應室內壁形成的保護膜的氟混入量，並可以減薄保護膜的厚度。

接著，在反應室的處理容器的內壁的表面上沉積氧氮化膜作為保護膜。在此，處理容器內的壓力為 1 Pa 至 200 Pa，較佳為 1 Pa 至 100 Pa，並且引入氮、氬、氙、氪等的稀有氣體的任何一種以上的氣體作為電漿點燃用氣體。再者，引入稀有氣體的任何一種及氫。特別是，較佳使用氮作為電漿點燃用氣體，更佳使用氮和氫作為電漿點燃用氣體。

氫的離子化能量較高，即為 24.5 eV。但是，由於準穩定狀態位於大約 20 eV，因此在放電中可以以大約 4 eV 進行離子化。因而，放電開始電壓低，且容易維持放電。從而可以均勻地維持電漿且實現節能。

此外，也可以引入使用氮、氬、氙、氪等的稀有氣體的任何一種以上及氧氣體作為電漿點燃用氣體。藉由將氧氣體與稀有氣體一起引入到處理容器中，可以容易進行電漿的點燃。

接著，使電源裝置的電源開啓，並且在電源裝置的輸出為 500 W 至 6000 W，較佳為 4000 W 至 6000 W 的情況下產生電漿。接著，將來源氣體從氣體供應部引入到處理容器內。明確地說，藉由引入一氧化二氮、稀有氣體、及矽烷作為來源氣體，在處理容器的內壁表面上形成氧氮化矽膜作為保護膜。此時的氫化矽的流量為 50 sccm 至 300 sccm，一氧化二氮的流量為 500 sccm 至 6000 sccm，保護膜的膜厚度為 500 nm 至 2000 nm。

接著，在停止來源氣體的供應，降低處理容器內的壓力，並使電源裝置的電源關閉之後，將基板設置在處理容器內的支架臺上。

接著，藉由與上述保護膜相同的製程，在基板上沉積氧氮化矽膜作為閘極絕緣膜 52a。

在沉積預定的厚度的氧氮化矽膜之後，停止來源氣體的供應，降低處理容器內的壓力，並使電源裝置的電源關閉。

接著，處理容器內的壓力為 1 Pa 至 200 Pa，較佳為 1 Pa 至 100 Pa，作為電漿點燃用氣體，引入氮、氬、氙、氪等的稀有氣體的任何一種以上、來源氣體的矽烷、一氧化二氮、及氮。注意，作為來源氣體，也可以引入氮代替氮。接著，使電源裝置的電源開啓，並且在電源裝置的輸出為 500 W 至 6000 W，較佳為 4000 W 至 6000 W 的情況下產生電漿。接著，將來源氣體從氣體供應部引入到處理容器內，在基板 1130 的氧氮化矽膜上形成氮氧化矽膜作

為閘極絕緣膜 52b。接著，停止來源氣體的供應，降低處理容器內的壓力，並使電源裝置的電源關閉，來結束膜形成過程。

根據上述步驟，藉由以反應室內壁的保護膜為氧氮化矽膜並在基板上連續形成氧氮化矽膜及氮氧化矽膜，可以減少氧化矽等的雜質混入到上層一側的氮氧化矽膜中。藉由採用將能夠產生微波的電源裝置用作電源裝置的微波電漿 CVD 法形成上述膜，電漿密度提高而可以形成高耐壓性的膜。當將該膜用作閘極絕緣膜時，可以減少電晶體的臨界值的改變。此外，可以提高 BT 特性。另外，對於靜電的耐性提高，從而可以製造即使被施加高電壓也不容易破壞的電晶體。而且，還可以製造隨時間破壞少的電晶體、以及熱載子損壞少的電晶體。

此外，在將使用微波電漿 CVD 裝置形成的氧氮化矽膜的單層作為閘極絕緣膜的情況下，採用上述保護膜的形成方法及氧氮化矽膜的形成方法。特別是，藉由將對於矽烷的一氧化二氮的流量比設定為 50 倍以上 300 倍以下，較佳設定為 50 倍以上 250 倍以下，可以形成高耐壓性的氧氮化矽膜。

接著，示出一種膜形成處理方法，其中藉由電漿 CVD 法連續地形成微晶半導體膜及用作緩衝層非晶半導體膜。首先，與上述閘極絕緣膜同樣地進行反應室的清洗。接著，在處理容器內沉積矽膜作為保護膜。在此，處理容器內的壓力為 1 Pa 至 200 Pa，較佳為 1 Pa 至 100 Pa，並且引

入氦、氬、氙、氡等的稀有氣體的任何一種以上的氣體作為電漿點燃用氣體。此外，也可以與稀有氣體一起引入氫。

接著，使電源裝置的電源開啓，並且在電源裝置的輸出為 500 W 至 6000 W，較佳為 4000 W 至 6000 W 的情況下產生電漿。接著，將來源氣體從氣體供應管引入到處理容器內。明確地說，藉由引入氫化矽氣體、及氫氣體作為來源氣體，在處理容器的內壁表面上形成微晶矽膜作為保護膜。此外，可以對氫化矽氣體及氫氣體添加選自氦、氬、氙、氡中的一種或多種稀有氣體元素進行稀釋來形成微晶半導體膜。此時的對於氫化矽的氫的流量比被設定為 5 : 1 到 1000 : 1，較佳為 50 : 1 到 200 : 1，更佳為 100 : 1 到 150 : 1。另外，此時的保護膜的膜厚度被設定為 500 nm 至 2000 nm。注意，也可以在使電源裝置的電源開啓之前，在處理容器中除了上述稀有氣體之外還可以引入氫化矽氣體及氫氣體。

此外，可以使用利用選自氦、氬、氙、氡中的一種或多種稀有氣體元素稀釋的氫化矽氣體及氫氣體來形成非晶半導體膜作為保護膜。

接著，在停止來源氣體的供應，降低處理容器內的壓力，並使電源裝置的電源關閉之後，將基板設置在處理容器內的支架臺上。

接著，也可以對於形成在基板上的閘極絕緣膜 52b 的表面進行氫電漿處理。藉由在形成微晶半導體膜之前進行

氫等離氣體處理，可以減少閘極絕緣膜及微晶半導體膜的介面上的晶格畸變，並可以提高閘極絕緣膜及微晶半導體膜的介面特性。因此，可以提高後面形成的薄膜電晶體的電特性。

此外，在上述氫電漿處理中，藉由也對形成在處理容器內的保護膜的非晶半導體膜或微晶半導體膜進行氫電漿處理，保護膜被蝕刻而在閘極絕緣膜 52b 的表面上沉積有少量的半導體。該半導體成為結晶生長的核，因該核而微晶半導體膜沉積。結果，可以減少閘極絕緣膜及微晶半導體膜的介面的晶格畸變，並可以提高閘極絕緣膜及微晶半導體膜的介面特性。因而，可以提高後面形成的薄膜電晶體的電特性。

接著，藉由與上述保護膜相同的製程，在基板上沉積微晶矽膜。微晶矽膜的膜厚度為厚於 0 nm 至 50 nm 以下，較佳厚於 0 nm 至 20 nm 以下。

在沉積預定的厚度的微晶矽膜之後，停止來源氣體的供應，降低處理容器內的壓力，並使電源裝置的電源關閉，以結束形成微晶矽膜的過程。

接著，降低處理容器內的壓力並調節來源氣體的流量。明確地說，將氫氣體的流量比微晶半導體膜的膜形成條件大幅度地降低。典型地，要引入的氫氣體的流量為氫化矽的流量的 1 倍以上 20 倍以下，較佳為 1 倍以上 10 倍以下，更較佳為 1 倍以上 5 倍以下。或者，不將氫氣體引入到處理容器內而引入氫化矽氣體。像這樣，藉由減少對於

氮化矽的氮的流量，可以提高作為緩衝層的非晶半導體膜的膜形成速度。或者，除了氮化矽氣體之外還使用選自氮、氫、氬、氦中的一種或多種稀有氣體元素進行稀釋。接著，藉由使電源裝置的電源開啓並將其輸出設定為 500 W 至 6000 W，較佳為 4000 W 至 6000 W 來產生電漿 200，從而可以形成非晶半導體膜。由於非晶半導體膜的沉積速度比微晶半導體膜的沉積速度高，因此可以將處理容器內的壓力設定得低。此時的非晶半導體膜的膜厚度係設定為 200 nm 至 400 nm。

在沉積預定的厚度的非晶半導體膜之後，停止來源氣體的供應，降低處理容器內的壓力，並使電源裝置的電源關閉，以結束非晶半導體膜的膜形成過程。

注意，也可以在點燃電漿的狀態下形成微晶半導體膜 53 及用作緩衝層 54 的非晶半導體膜。明確地說，逐漸減少對於用來形成微晶半導體膜 53 的來源氣體的氮化矽的氮的流量比而層疊微晶半導體膜 53 及用作緩衝層 54 的非晶半導體膜。藉由上述方法，可以不使雜質沉積在微晶半導體膜 54 及緩衝層 54 的介面上而形成畸變少的介面，並且可以提高後面形成的薄膜電晶體的電特性。

在形成微晶半導體膜 53 的情況下，較佳使用頻率為 1 GHz 以上的微波電漿 CVD 裝置。由於微波電漿的電子密度高，且從來源氣體形成多個自由基而供應給基板 1130，因此促進基板上的自由基表面反應，來可以提高微晶矽的沉積速度。可以使用 1 MHz 至 20 MHz 的高頻，典型為

13.56 MHz 或大於 20 MHz 至 120 MHz 左右的 VHF 帶的高頻，典型為 27.12 MHz、60 MHz 的電漿 CVD 法來形成微晶半導體膜。

注意，在閘極絕緣膜及半導體膜的各個製造程序中，當在反應室的內壁上形成有 500 nm 至 2000 nm 的保護膜時，可以省略上述清洗處理及保護膜形成處理。

接著，在添加有賦予一導電型的雜質元素的半導體膜 55 上形成導電膜 65a 至 65c。較佳使用鋁、銅、或者添加有、矽、鈦、鉍、銦、鉬等耐熱性提高元素或小丘(hillock)防止元素的鋁合金的單層或疊層形成導電膜 65a 至 65c。此外，也可以採用如下疊層結構：使用鈦、鉍、鉬、鎢或上述元素的氮化物形成與添加有賦予一導電型的雜質元素的半導體膜接觸一側的膜，在其上形成鋁或鋁合金。再者，還可以採用如下疊層結構：使用鈦、鉍、鉬、鎢或上述元素的氮化物夾在鋁或鋁合金的上面及下面。在此，作為導電膜示出具有層疊有導電膜 65a 至 65c 的三層的結構的導電膜，例如示出將鉬膜用作導電膜 65a、65c 並將鋁膜用作導電膜 65b 的疊層導電膜、以及將鈦膜用作導電膜 65a、65c 並將鋁膜用作導電膜 65b 的疊層導電膜。藉由濺射法或真空蒸鍍法形成導電膜 65a 至 65c。

作為抗蝕劑 80，可以使用正型抗蝕劑或負型抗蝕劑。在此使用正型抗蝕劑來示出。

接著，使用多級灰度色調(multi-tone)光罩 59 作為第二光光罩並對抗蝕劑 80 照射光來使抗蝕劑 80 曝光。

在此，參照圖 11A 至 11D 說明使用多級灰度光罩 59 的曝光。

多級灰度色調光罩是可以對於曝光部分、中間曝光部分、以及未曝光部分以三種的曝光標準進行曝光的光罩，並且可以藉由一次的曝光及顯影製程形成具有多種（典型的是兩種）厚度的區域的抗蝕劑掩膜。因此，藉由使用多級灰度色調光罩，可以縮減光罩的數量。

作為多級灰度色調光罩的典型例子，具有圖 11A 所示的灰度色調掩膜 59a、圖 11C 所示的半色調掩膜 59b。

如圖 11A 所示，灰度色調掩膜 59a 由具有透光性的基板 163、形成在其上的遮光部 164、以及衍射光柵 165 構成。在遮光部 164 中，光的透射量為 0%。另一方面，衍射光柵 165 藉由將槽縫、點、網孔等光透射部的間隔成為用於曝光的光的解析度限制以下的間隔來可以控制光的透射量。注意，衍射光柵 165 都可以使用週期性的槽縫、點、網孔、或非週期性的槽縫、點、網孔。

具有透光性的基板 163 可以使用石英等的具有透光性的基板。遮光部 164 及衍射光柵 165 可以使用鉻、氧化鉻等的吸收光的遮光材料形成。

在對灰度色調掩膜 59a 照射曝光光線的情況下，如圖 11B 所示，遮光部 164 中的光透射量 166 為 0%，而不設置有遮光部 164 及衍射光柵 165 的區域中的光透射量 166 為 100%。此外，在衍射光柵 165 中，可以在 10%至 70% 的範圍內調節光透射量 166。藉由調節衍射光柵 165 的槽

縫、點、或網孔的間隔或間距，可以調節衍射光柵 165 中的光透射量。

如圖 11C 所示，半色調掩膜 59b 由具有透光性的基板 163 及形成在其上的半透射部 167 以及遮光部 168 構成。半透射部 167 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等。遮光部 168 可以使用鉻、氧化鉻等的吸收光的遮光材料形成。

在對半色調掩膜 59b 照射曝光光線的情況下，如圖 11D 所示，遮光部 168 中的光透射量 169 為 0%，而不設置有遮光部 168 及半透射部 167 的區域中的光透射量 169 為 100%。此外，在半透射部 167 中，可以在 10%至 70%的範圍內調節光透射量 169。藉由調節半透射部 167 的材料，可以調節半透射部 167 中的光透射量。

在使用多級灰度色調掩膜曝光之後，藉由進行顯影，可以如圖 1B 所示那樣地形成具有膜厚度不同的區域的抗蝕劑掩膜 81。

接著，藉由使用抗蝕劑掩膜 81，蝕刻微晶半導體膜 53、緩衝層 54、添加有賦予一導電型的雜質元素的半導體膜 55、以及導電膜 65a 至 65c 來進行分離。結果，可以形成如圖 2A 所示那樣的微晶半導體膜 61、緩衝層 62、添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a 至 85c。注意，圖 2A 相當於沿著圖 5A 的 A-B 線的截面圖（但是抗蝕劑掩膜 86 除外）。

藉由微晶半導體膜 61、緩衝層 62 的端部側面傾斜，

可以防止形成在緩衝層 62 上的源極區域及汲極區域和微晶半導體膜 61 之間產生的洩漏電流。此外，還可以防止源極電極及汲極電極和微晶半導體膜 61 之間產生的洩漏電流。微晶半導體膜 61 及緩衝層 62 的端部側面的傾斜角度為 30° 至 90° ，較佳為 45° 至 80° 。藉由以這種角度形成，可以防止臺階狀所引起的源極電極或汲極電極的斷開。

接著，對抗蝕劑掩膜 81 進行灰化處理。結果，抗蝕劑的面積縮小，而厚度減薄。此時，膜厚度薄的區域的抗蝕劑（與閘極電極 51 的一部分重疊的區域）被去除，可以如圖 2A 所示那樣地形成被分離的抗蝕劑掩膜 86。

接著，使用抗蝕劑掩膜 86 蝕刻添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a 至 85c 並使它們分離。在此，藉由乾式蝕刻分離導電膜 85a 至 85c。結果，可以形成如圖 2B 所示那樣的一對導電膜 89a 至 89c、以及一對源極區域及汲極區域 89。注意，在該蝕刻製程中，還蝕刻緩衝層 62 的一部分。將其一部分被蝕刻的緩衝層示出為緩衝層 88。可以藉由與形成源極區域及汲極區域相同的製程形成緩衝層的凹部。在此，因為緩衝層 88 的一部分被其面積縮小了的抗蝕劑掩膜 86 蝕刻，所以緩衝層 88 突出在導電層 85a 至 85c 的外側。

接著，如圖 2C 所示，蝕刻導電膜 89a 至 89c 的一部分形成源極電極及汲極電極 92a 至 92c。在此，當使用抗蝕劑掩膜 86 對導電膜 89a 至 89c 濕式蝕刻時，導電膜 89a 至 89c 的端部選擇性地被蝕刻。結果，可以形成其面積比

抗蝕劑掩膜 86 及導電膜 89a 至 89c 小的源極電極及汲極電極 92a 至 92c。源極電極 92a 至 92c 的端部和源極區域及汲極區域 89 的端部不對齊而偏離，即在源極電極及汲極電極 92a 至 92c 的端部的外側形成源極區域及汲極區域 89 的端部。然後，去除抗蝕劑掩膜 86。

注意，圖 2C 相當於沿著圖 5B 的 A-B 線所取出的截面圖。參照圖 5B 就知道源極區域及汲極區域 89 的端部位於源極電極及汲極電極 92c 的端部的外側。此外緩衝層 88 的端部位於源極電極及汲極電極 92c 以及源極區域及汲極區域 89 的端部的外側。此外，源極電極及汲極電極的其中一者具有部分地圍繞源極區域及汲極區域的另一者的形狀（具體而言，U 字型、C 字型）。因而，可以增加載子移動的區域的面積和電流量，以可以縮小薄膜電晶體的面積。另外，因為在閘極電極的內側重疊微晶半導體膜 87 和源極電極及汲極電極 92c，所以在閘極電極的端部產生的凹凸的影響少。從而可以抑制覆蓋率的降低和洩漏電流的產生。注意，源極電極或汲極電極的其中一者也起到源極佈線或汲極佈線的作用。

如圖 2C 所示，由於藉由將源極電極及汲極電極 92a 至 92c 的端部和源極區域及汲極區域 89 的端部形成為不對齊而偏離，使源極電極及汲極電極 92a 至 92c 的端部的距離遠離，因此可以防止源極電極及汲極電極之間的洩漏電流和短路。因而，可以製造可靠性高且耐壓性高的薄膜電晶體。

藉由上述製程，可以形成通道蝕刻型薄膜電晶體 83。此外，可以使用兩個光罩形成薄膜電晶體。

在本實施例模式所示的薄膜電晶體中，在閘極電極上層疊有閘極絕緣膜、微晶半導體膜、緩衝層、源極區域及汲極區域、源極電極及汲極電極，並且緩衝層覆蓋用作通道形成區域的微晶半導體膜的表面。此外，在緩衝層的一部分中形成有凹部（溝槽），該凹部以外的區域被源極區域及汲極區域覆蓋。就是說，由於源極區域及汲極區域之間的載子移動的距離因形成在緩衝層的凹部而變長，因此可以減少源極區域及汲極區域之間的洩漏電流。此外，因為藉由蝕刻緩衝層的一部分形成凹部，所以可以去除在源極區域及汲極區域的形成製程中產生的蝕刻殘渣。從而可以避免在源極區域及汲極區域中介於殘渣而產生洩漏電流（寄生通道）。

另外，在用作通道形成區域的微晶半導體膜和源極區域及汲極區域之間形成有緩衝層。此外，微晶半導體膜的表面被緩衝層覆蓋。由於使用高電阻的非晶半導體膜形成的緩衝層延伸到微晶半導體膜和源極區域及汲極區域之間，可以減少在薄膜電晶體關閉的情況（即，對閘極電極施加負電壓的情況）下產生的洩漏電流和藉由施加高電壓而發生的退化。另外，因為在微晶半導體膜的表面上形成有由氫終結表面的非晶半導體膜作為緩衝層，所以可以防止微晶半導體膜的氧化，並可以在源極區域及汲極區域的形成製程中產生的蝕刻殘渣混入到微晶半導體膜中。因而，

成爲電特性高且汲極耐壓性優良的薄膜電晶體。

此外，藉由將源極電極及汲極電極的端部和源極區域及汲極區域的端部形成爲不對齊而偏離，使源極電極及汲極電極的端部的距離遠離，從而可以防止源極電極及汲極電極之間的洩漏電流和短路。

接著，如圖 3A 所示，在源極電極及汲極電極 92a 至 92c、源極區域及汲極區域 89、緩衝層 88、微晶半導體膜 87、以及閘極絕緣膜 52b 上形成絕緣膜 76。絕緣膜 76 可以與閘極絕緣膜 52a、52b 同樣地形成。注意，絕緣膜 76 用來防止懸浮在大氣中的有機物及金屬物、水蒸氣等的污染雜質的侵入，較佳爲緻密的膜。此外，藉由將氮化矽膜用作絕緣膜 76，緩衝層 88 中的氧濃度可以爲 5×10^{19} atoms/cm³ 以下，並較佳爲 1×10^{19} atoms/cm³ 以下。

接著，在絕緣膜 76 中形成接觸孔，然後在該接觸孔中形成與源極電極或汲極電極 92c 接觸的像素電極 77。注意，圖 3B 相當於沿著圖 5C 的 A-B 線所取出的截面圖。

作爲像素電極 77，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面，被稱爲 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

另外，可以使用包含導電高分子化合物（也稱爲導電聚合體）的導電組成物來形成像素電極 77。在使用導電組成物形成的像素電極較佳具有如下條件：薄層電阻爲

10000 $\Omega/\square$ 以下，當波長為 550 nm 時的透光率為 70% 以上。此外，包含在導電組成物中的導電高分子化合物的電阻率較佳為 0.1 $\Omega\cdot\text{cm}$ 以下。

作為導電高分子化合物，可以使用所謂的 π 電子共軛類導電高分子化合物。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由上述物質中的兩種以上而成的共聚體等。

藉由上述步驟，可以形成可使用於發光裝置的元件基板。

注意，如圖 2A 所示，在形成微晶半導體膜 61、緩衝層 62、添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a 至 85c 之後，如圖 4A 所示，使用抗蝕劑掩膜 86 蝕刻導電膜 85a 至 85c。在此，藉由使用抗蝕劑掩膜 86 並採用濕式蝕刻來各向同性地蝕刻，導電膜 85a 至 85c 的露出部及其附近選擇性地被蝕刻。結果，可以形成其面積與抗蝕劑掩膜 86 小的源極電極及汲極電極 92a 至 92c。

接著，如圖 4B 所示，使用抗蝕劑掩膜 86 蝕刻添加有賦予一導電型的雜質元素的半導體膜 63。在此，藉由以乾式蝕刻各向異性地蝕刻添加有賦予一導電型的雜質元素的半導體膜 63，可以形成其面積與抗蝕劑掩膜 86 大致相同的源極區域及汲極區域 89。

由於藉由將源極電極及汲極電極 92a 至 92c 的端部和源極區域及汲極區域 89 的端部形成為不對齊而偏離，使

源極電極及汲極電極 92a 至 92c 的端部的距離遠離，因此可以防止源極電極及汲極電極之間的洩漏電流和短路。因而，可以製造可靠性高且耐壓性高的薄膜電晶體。

圖 1A 至圖 4B 所示，藉由採用濕式蝕刻對導電膜進行蝕刻並採用乾式蝕刻對添加有賦予一導電型的雜質元素的半導體膜進行蝕刻，可以以少量的光罩將源極電極及汲極電極的端部和源極區域及汲極區域的端部構成爲不對齊而不同。

接著，對於與上述方式不同的薄膜電晶體的製造方法，參照圖 6A 至圖 9D 進行說明。在此，下面示出源極電極或汲極電極和源極佈線或汲極佈線互不相同的結構。

如圖 6A 所示，在基板 50 上形成閘極電極 51。其次，在閘極電極 51 上按順序形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、添加有賦予一導電型的雜質元素的半導體膜 55、以及導電膜 65a。接著，在導電膜 65a 上塗敷抗蝕劑，使用圖 1A 所示的多級灰度色調掩膜形成具有厚度不同的區域的抗蝕劑掩膜 81。

接著，使用抗蝕劑掩膜 81 蝕刻微晶半導體膜 53、緩衝層 54、添加有賦予一導電型的雜質元素的半導體膜 55、以及導電膜 65a 以進行分離。結果，可以形成如圖 6B 所示那樣的微晶半導體膜 61、緩衝層 62、添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a。注意，圖 6B 相當於沿著圖 9A 的 A-B 線所取出的截面圖（但是，抗蝕劑掩膜 86 除外）。

接著，藉由對抗蝕劑掩膜 81 進行灰化來形成分離了的抗蝕劑掩膜 86。然後，使用抗蝕劑掩膜 86 蝕刻添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a 以使它們分離。在此，藉由乾式蝕刻分離添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a。結果，可以形成如圖 6C 所示那樣的一對導電膜 89a、以及一對源極區域及汲極區域 88。注意，在該蝕刻製程中，緩衝層 62 的一部分也被蝕刻。其一部分被蝕刻的緩衝層表示為緩衝層 88。在此，因為緩衝層 88 的一部分被其面積縮小了的抗蝕劑掩膜 86 蝕刻，所以緩衝層 88 突出在導電層 89a 的外側。由於如本實施例模式所示，緩衝層的側面成為階梯形狀，因此後面形成的絕緣膜的覆蓋率提高。因而，可以減少薄膜電晶體和形成在絕緣膜上的像素電極之間產生的洩漏電流。

接著，對抗蝕劑掩膜 86 進行灰化。結果，如圖 7A 所示，抗蝕劑掩膜的面積縮小，且其厚度變薄。然後，藉由使用被灰化的抗蝕劑掩膜 91 蝕刻導電膜 89a 的一部分，如圖 7B 所示那樣地形成源極電極及汲極電極 92a。源極電極及汲極電極 92a 的端部和源極區域及汲極區域 89 的端部不對齊而偏離。在此，使用抗蝕劑掩膜 91 並採用乾式蝕刻來各向異性地蝕刻導電膜 89a 的露出部。之後，去除抗蝕劑掩膜 91。

結果，形成與導電膜 89a 的面積小的源極電極及汲極電極 92a。然後，去除抗蝕劑掩膜 91。注意，圖 7B 相當

於沿著圖 9B 的 A-B 線所取出的截面圖。參照圖 9B 就知道源極區域及汲極區域 89 的端部位於源極電極及汲極電極 92a 的端部的側。此外，緩衝層 88 的端部位於源極電極及汲極電極 92a、以及源極區域及汲極區域 89 的側。此外，源極電極及汲極電極 92a 分別被分離，並不與形成在相鄰的像素中的電極接觸。注意，雖然在此使用對抗蝕劑掩膜 86 灰化形成的抗蝕劑掩膜 91 形成源極電極及汲極電極 92a，但是，如圖 1A 至圖 4B 所示，也可以使用抗蝕劑掩膜 86 進行濕式蝕刻形成源極電極及汲極電極 92a。

如圖 7B 所示，藉由將源極電極及汲極電極 92a 的端部和源極區域及汲極區域 89 的端部形成為不對齊而偏離，使源極電極及汲極電極 92a 的端部的距離遠離，從而可以防止源極電極及汲極電極之間的洩漏電流和短路。因而，可以製造可靠性高且耐壓性高的薄膜電晶體。

接著，圖 7C 所示，在源極電極及汲極電極 92a、源極區域及汲極區域 89、緩衝層 88、以及閘極絕緣膜 52b 上形成絕緣膜 76。可以與閘極絕緣膜 52a、52b 同樣地形成絕緣膜 76。

接著，圖 8A 所示，在絕緣膜 76 中形成接觸孔，並且還形成在該接觸孔中與源極電極及汲極電極 92a 的其中之一者接觸並層疊的佈線 93b、93c。注意，圖 8A 相當於沿著圖 9C 的 A-B 線所取出的截面圖。此外，佈線 93a、93b 是使形成在相鄰的像素中的源極電極或汲極電極連接的佈線。

接著，如圖 8B 所示形成，在接觸孔中與源極電極或汲極電極 92a 的另一者接觸的像素電極 77。注意，圖 8B 相當於沿著圖 9D 的 A-B 線所取出的截面圖。

藉由上述製程，可以形成通道蝕刻型薄膜電晶體 84。通道蝕刻型薄膜電晶體的製造程序少，從而可以縮減成本。此外，藉由使用微晶半導體膜構成通道形成區域，可以獲得 $1 \text{ cm}^2/\text{V}\cdot\text{sec}$ 至 $20 \text{ cm}^2/\text{V}\cdot\text{sec}$ 的遷移率。因此，該薄膜電晶體可以用作像素部的像素的切換元件，還可以用作形成掃描線（閘極線）一側的驅動電路的元件。

根據本實施例模式，可以製造電特性的可靠性高的薄膜電晶體。

[實施例模式 2]

下面，參照圖 2A 至 2C 及圖 15A 和 15B 對發光裝置的製造程序進行說明。在此使用利用電致發光的發光元件來表示發光裝置。根據發光材料是有機化合物還是無機化合物，對利用電致發光的發光元件進行分類。通常，前者被稱為有機 EL 元件，後者被稱為無機 EL 元件。另外，在此雖然使用圖 1A 和 1B 及圖 2A 至 2C 示出薄膜電晶體的製造程序，但也可適當地使用圖 4A 和 4B、圖 6A 至圖 8B。

有機 EL 元件藉由對發光元件施加電壓，來自一對電極的電子及電洞分別注入到包含發光有機化合物的層中，因而電流通過。然後，藉由這些載子（電子及電洞）再結

合，該發光有機化合物形成激發態，並且從激發態回到基態時發光。由於這樣的機理，這樣的發光元件被稱為電流激發型發光元件。

無機 EL 元件根據其元件結構分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括將發光材料顆粒分散在粘合劑中的發光層，並且其發光機制是利用施體能級和受體能級的施體-受體再結合型發光。薄膜型無機 EL 元件是將發光層夾在電介質層中，並將其夾在電極中的結構，其發光機制是利用金屬離子內殼層電子躍遷的局部型發光。注意，在此，使用有機 EL 元件作為發光元件進行說明。另外，雖然使用圖 2C 所示的通道蝕刻型薄膜電晶體示出用來控制發光元件的驅動的薄膜電晶體，也可適當地使用通道保護型薄膜電晶體。

經過圖 1A 和 1B 及圖 2A 至 2C 的製程，如圖 15A 和 15B 所示，在基板 50 上形成薄膜電晶體 83 及 85，在薄膜電晶體 83 上形成用作保護膜的絕緣膜 76。注意，薄膜電晶體 85 是形成在驅動電路中的，而薄膜電晶體 83 是形成在像素部中的。接著，在絕緣膜 76 上形成平坦化膜 111，並在平坦化膜 111 上形成與薄膜電晶體 83 的源極電極或汲極電極連接的像素電極 112。

平坦化膜 111 較佳由丙烯酸、聚醯亞胺、聚醯胺等的有機樹脂或者使用矽氧烷所形成。

在圖 15A 中，由於像素的薄膜電晶體是 n 型電晶體，所以希望將像素電極 112 用作陰極，但是相反的，如果像

素的薄膜電晶體是 p 型電晶體的情況下則希望像素電極 112 用作陽極。明確地說，可以使用已知的功函數小的材料如 Ca、Al、CaF、MgAg、AlLi 等作為陰極。

接著，如圖 15B 所示，在平坦化膜 111 及像素電極 112 的端部上形成分隔壁 113。分隔壁 113 具有開口部，在該開口部中，像素電極 112 露出。分隔壁 113 使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成。特別是，較佳使用感光材料，在像素電極上形成開口部，並以該開口部的側壁成為具有連續曲率形成的傾斜面的方式形成分隔壁 113。

接著，以在分隔壁 113 的開口部中與像素電極 112 接觸的方式形成發光層 114。發光層 114 既可以由單層構成，又可以由多個層的疊層構成。

而且，覆蓋發光層 114 地形成使用陽極材料的共同電極 115。可以採用在實施例模式 1 中作為像素電極 77 舉出的使用具有透光性的導電材料的透光導電膜來形成共同電極 115。作為共同電極 115，除了上述透光導電膜之外，還可以使用氮化鈦膜或鈦膜。在圖 15B 中，使用 ITO 作為共同電極 115。在分隔壁 113 的開口部中，藉由像素電極 112、發光層 114 以及共同電極 115 彼此重疊，形成發光元件 117。然後，較佳在共同電極 115 及分隔壁 113 上形成保護膜 116，以免氧、氫、水分、二氧化碳等侵入到發光元件 117 中。作為保護膜 116，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

再者，實際上，在圖 15B 的步驟之後，較佳使用氣密性高且漏氣少的保護薄膜（層壓薄膜、紫外線固化樹脂薄膜等）及覆蓋材料封裝（密封），以免露出到外部空氣。

接著，參照圖 16A 至 16C 說明發光元件的結構。在此，作為例子舉出驅動 TFT 是 n 型的情況來說明像素的截面結構。

在發光元件中，為取出光而陽極及陰極的至少一者是透明，即可。而且，作為發光元件，具有在基板上形成薄膜電晶體及發光元件且從與基板相反一側取出光的頂部發射結構、從基板一側取出光的底部發射結構、從與基板一側以及基板相反一側的面取出光的雙面發射結構。本發明的像素結構可以應用於任何發射結構的發光元件。

對於頂部發射結構的發光元件，參照圖 16A 來說明。

圖 16A 示出一種像素的截面圖，其中驅動 TFT 7001 是 n 型，且從發光元件 7002 發射的光穿過到陽極 7005 一側。在圖 16A 中，發光元件 7002 的陰極 7003 和驅動 TFT 7001 電連接，並且在陰極 7003 上按順序層疊發光層 7004 和陽極 7005。陰極 7003 只要是功函數小且反射光的導電膜的導電膜，而可以使用已知的材料。例如，較佳使用 Ca、Al、CaF、MgAg、AlLi 等。此外，發光層 7004 既可以由單層構成，又可以多個層構成。在由多個層構成的情況下，在陰極 7003 上按順序層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、以及電洞注入層。注意，不需要設置這種層的全部。陽極 7005 使用透射光的具有透光

性的導電材料形成，例如，可以使用具有透光性的導電膜諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面，稱為 ITO）、氧化銦鋅、添加有氧化矽的氧化錫等。

由陰極 7003 以及陽極 7005 夾著發光層 7004 的區域相當於發光元件 7002。在圖 16A 所示的像素中，從發光元件 7002 發射的光如空心箭頭所示那樣發射到陽極 7005 一側。

接著，參照圖 16B 來說明底部發射結構的發光元件。圖 16B 示出一像素的截面圖，其中驅動 TFT 7011 是 n 型，從發光元件 7012 發射的光發射到陰極 7013 一側。在圖 16B 中，在與驅動 TFT 7011 電連接的具有透光性的導電材料 7017 上形成了發光元件 7012 的陰極 7013，而在陰極 7013 上按順序層疊發光層 7014、陽極 7015。注意，在陽極 7015 具有透光性的情況下，也可以以覆蓋陽極上的方式形成用來反射光或遮罩光的遮罩膜 7016。與圖 16A 的情況相同，只要是功函數小的導電膜而可以使用已知的材料作為陰極 7013。但是，其膜厚度為透射光的程度（較佳為 5 nm 至 30 nm 左右）。例如，可以將具有 20nm 的膜厚度的 Al 用作陰極 7013。而且，與圖 16A 的情況相同，發光層 7014 既可以由單層構成，又可以由多個層構成。陽極 7015 不需要透射光，但是可以與圖 16A 的情況相同地使用具有透光性的導電材料形成。而且，例如可以使用反射光的金屬等作為遮罩膜 7016，然而不局限於金屬膜。比

如說，也可以使用添加有黑色顏料的樹脂等。

由陰極 7013 及陽極 7015 夾著發光層 7014 的區域相當於發光元件 7012。在圖 16B 所示的像素中，從發光元件 7012 發射的光如空心箭頭所示那樣發射到陰極 7013 一側。

接著，參照圖 16C 來說明雙面發射結構的發光元件。在圖 16C 中，與驅動 TFT 7021 電連接的具有透光性的導電材料 7027 上形成發光元件 7022 的陰極 7023，在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 16A 的情況相同，陰極 7023 只要是功函數小的導電膜，而可以使用已知的材料。但是，其膜厚度為透射光的程度。例如，可以將具有 20 nm 的膜厚度的 Al 用作陰極 7023。而且，與圖 16A 的情況相同，發光層 7024 既可以由單層構成，又可以多個層的疊層構成。陽極 7025 可以與圖 16A 的情況相同地使用具有透光性的導電材料形成。

陰極 7023、發光層 7024、陽極 7025 重疊的部分相當於發光元件 7022。在圖 16C 所示的像素中，從發光元件 7022 發射的光如空心箭頭所示那樣發射到陽極 7025 一側和陰極 7023 一側。

注意，在此描述有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

注意，在本實施例模式中，示出了控制發光元件的驅動的薄膜電晶體（驅動 TFT）和發光元件彼此電連接的例子，但是也可以採用電流控制 TFT 連接到驅動 TFT 和發

光元件之間的結構。

注意，本實施例模式所示的發光裝置不局限於圖 16A 至 16C 所示的結構，而可以根據本發明的技術想法改變為各種方式。

藉由上述製程，可以製造發光裝置。由於本實施例方式的發光裝置使用截止電流少且電特性的可靠性高的薄膜電晶體，因此成為對比度高且可見度高的發光裝置。此外，因為採用沒有鐳射結晶化製程的微晶半導體膜的薄膜電晶體，所以可以大量生產性高地製造可見度高的發光裝置。

[實施例模式 3]

接著，下面示出本發明的發光裝置的一個模式的發光面板結構。

圖 12A 示出一發光面板的模式，其中另行形成信號線驅動電路 6013 且將該信號線驅動電路 6013 與形成在基板 6011 上的像素部 6012 連接。像素部 6012 及掃描線驅動電路 6014 採用將微晶半導體膜用於通道形成區域的薄膜電晶體形成。藉由採用可獲得比將微晶半導體膜用於通道形成區域的薄膜電晶體高的場效遷移率的電晶體形成信號線驅動電路，可以使被要求比掃描線驅動電路高的驅動頻率的信號線驅動電路的工作穩定。注意，信號線驅動電路 6013 也可以是將單晶半導體用於通道形成區域的電晶體、將多晶半導體用於通道形成區域的薄膜電晶體、或使用

SOI 的電晶體。對於像素部 6012、信號線驅動電路 6013、掃描線驅動電路 6014 分別藉由 FPC 6015 供應電源電位、各種信號等。

此外，信號線驅動電路及掃描線驅動電路也可以一起形成在與像素部相同的基板上。

另外，在另行形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼附在形成有像素部的基板上，例如也可以貼附在 FPC 上。圖 12B 示出一發光裝置面板的模式，其中另行形成信號線驅動電路 6023，且將形成在基板 6021 上的像素部 6022 和信號線驅動電路 6023 彼此連接。像素部 6022 及掃描線驅動電路 6024 採用將微晶半導體膜用於通道形成區域的薄膜電晶體形成。信號線驅動電路 6023 藉由 FPC 6025 與像素部 6022 連接。對於像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024 分別藉由 FPC 6025 供應電源電位、各種信號等。

此外，也可以採用將微晶半導體膜用於通道形成區域的薄膜電晶體只將信號線驅動電路的一部分或掃描線驅動電路的一部分形成在與像素部相同的基板上，並且另行形成其他部分並使它電連接到像素部。圖 12C 示出一種發光裝置面板的模式，將信號線驅動電路所具有的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上，並且將信號線驅動電路所具有的移位暫存器 6033b 另行形成在不同的基板上並彼此貼合。像素部 6032 及掃描線驅動電路 6034 採用將微晶半導體膜用於通

道形成區域的薄膜電晶體形成。信號線驅動電路所具有的移位暫存器 6033b 藉由 FPC 6035 與像素部 6032 連接。對於像素部 6032、信號線驅動電路、掃描線驅動電路 6034 分別藉由 FPC 6035 供應電源電位、各種信號等。

如圖 12A 至 12C 所示，在本發明的發光裝置中，可以採用將微晶半導體膜用於通道形成區域的薄膜電晶體將驅動電路的一部分或全部形成在與像素部相同的基板上。

注意，對於另行形成的基板的連接方法沒有特別的限制，可以採用已知的 COG 方法、打線接合方法、或 TAB 方法等。此外，若是能夠電連接，連接位置不局限於圖 12A 至 12C 所示的位置。另外，也可以另行形成控制器、CPU、記憶體等而連接。

注意，用於本發明的信號線驅動電路不局限於只有移位暫存器和類比開關的模式。除了移位暫存器和類比開關之外，也可以具有其他電路如緩衝器、位準偏移器、源極隨耦器等。此外，不一定設置移位暫存器和類比開關，例如既可以使用如解碼器電路的能夠選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

圖 18 示出本發明的發光裝置的方塊圖。圖 18 所示的發光裝置包括具有多個具備發光元件的像素的像素部 700、選擇各個像素的掃描線驅動電路 702、控制對被選擇的像素的視頻信號的輸入的信號線驅動電路 703。

在圖 18 中，信號線驅動電路 703 包括移位暫存器 704 和類比開關 705。時鐘信號（CLK）、起始脈衝信號（SP

）輸入到移位暫存器 704 中。當時鐘信號（CLK）和起始脈衝信號（SP）被輸入時，在移位暫存器 704 中產生時序信號，並輸入到類比開關 705。

此外，類比開關 705 提供有視頻信號。類比開關 705 根據被輸入的時序信號對視頻信號進行取樣，然後供應給下一級的信號線。

接著，說明掃描線驅動電路 702 的結構。掃描線驅動電路 702 包括移位暫存器 706、緩衝器 707。此外，也可以根據情況包括位準偏移器。在掃描線驅動電路 702 的移位暫存器 706 中，藉由時鐘信號（CLK）及起始脈衝信號（SP）被輸入，產生選擇信號。產生了的選擇信號在緩衝器 707 中被緩衝放大，並被供應到對應的掃描線。一個像素的電晶體的閘極連接到掃描線。而且，由於需要使一條線上的像素的電晶體同時導通，因此使用能夠流過大電流的緩衝器 707。

在全彩色發光裝置中，在將對應於 R（紅色）、G（綠色）、B（藍色）的視頻信號按順序進行取樣而供應給對應的信號線的情況下，用來連接移位暫存器 704 和類比開關 705 的端子數約相當於用來連接類比開關 705 和像素部 700 的信號線的端子數的 $1/3$ 左右。因此，藉由將類比開關 705 形成在與像素部 700 相同的基板上，與將類比開關 705 形成在與像素部 700 不同的基板上時相比，可以減少用來連接另行形成的基板的端子數，並且抑制連接不良的發生比率，以可以提高良率。

此外，圖 18 的掃描線驅動電路 702 包括移位暫存器 706、及緩衝器 707，但是也可以由移位暫存器 706 構成掃描線驅動電路 702。

注意，圖 18 所示的結構只是本發明的發光裝置的一個模式，信號線驅動電路和掃描線驅動電路的結構不局限於此。

接著，參照圖 19 及圖 20 說明包括將極性都相同的微晶半導體膜用於通道形成區域的薄膜電晶體的移位暫存器的一個模式。圖 19 示出本實施例模式的移位暫存器的結構。圖 19 所示的移位暫存器由多個正反器（正反器 701-1 至 701-n）構成。此外，被輸入第一時鐘信號、第二時鐘信號、起始脈衝信號、重定信號而操作。

說明圖 19 的移位暫存器的連接關係。在圖 19 的移位暫存器的第 i 級的正反器 701- i （正反器 701-1 至 701-n 中任何一個）中，圖 20 所示的第一佈線 501 連接到第七佈線 717- $(i-1)$ ，圖 20 所示的第二佈線 502 連接到第七佈線 717- $(i+1)$ ，圖 20 所示的第三佈線 503 連接到第七佈線 717- i ，圖 20 所示的第六佈線 506 連接到第五佈線 715。

此外，圖 20 所示的第四佈線 504 在第奇數級的正反器中連接到第二佈線 712，在第偶數級的正反器中連接到第三佈線 713，圖 20 所示的第五佈線 505 連接到第四佈線 714。

但是，第一級的正反器 701-1 中的圖 20 所示的第一

佈線 501 連接到第一佈線 711，第 n 級的正反器 701- n 的圖 20 所示的第二佈線 502 連接到第六佈線 716。

注意，第一佈線 711、第二佈線 712、第三佈線 713、第六佈線 716 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第四佈線 714、第五佈線 715 也可以分別稱為第一電源線、第二電源線。

接著，圖 20 示出圖 19 所示的正反器的詳細結構。圖 20 所示的正反器包括第一薄膜電晶體 171、第二薄膜電晶體 172、第三薄膜電晶體 173、第四薄膜電晶體 174、第五薄膜電晶體 175、第六薄膜電晶體 176、第七薄膜電晶體 177、以及第八薄膜電晶體 178。在本實施模式中，第一薄膜電晶體 171、第二薄膜電晶體 172、第三薄膜電晶體 173、第四薄膜電晶體 174、第五薄膜電晶體 175、第六薄膜電晶體 176、第七薄膜電晶體 177、以及第八薄膜電晶體 178 是 n 型通道電晶體，並且當閘極-汲極之間的電壓 (V_{gs}) 大於臨界電壓 (V_{th}) 時其處於導通狀態。

接著，下面敘述圖 20 所示的正反器的連接結構。

第一薄膜電晶體 171 的第一電極（源極電極及汲極電極的其中一者）連接到第四佈線 504，第一薄膜電晶體 171 的第二電極（源極電極及汲極電極的另一者）連接到第三佈線 503。

第二薄膜電晶體 172 的第一電極連接到第六佈線 506，第二薄膜電晶體 172 的第二電極連接到第三佈線 503。

第三薄膜電晶體 173 的第一電極連接到第五佈線 505

，第三薄膜電晶體 173 的第二電極連接到第二薄膜電晶體 172 的閘極電極，第三薄膜電晶體 173 的閘極電極連接到第五佈線 505。

第四薄膜電晶體 174 的第一電極連接到第六佈線 506，第四薄膜電晶體 174 的第二電極連接到第二薄膜電晶體 172 的閘極電極，第四薄膜電晶體 174 的閘極電極連接到第一薄膜電晶體 171 的閘極電極。

第五薄膜電晶體 175 的第一電極連接到第五佈線 505，第五薄膜電晶體 175 的第二電極連接到第一薄膜電晶體 171 的閘極電極，第五薄膜電晶體 175 的閘極電極連接到第一佈線 501。

第六薄膜電晶體 176 的第一電極連接到第六佈線 506，第六薄膜電晶體 176 的第二電極連接到第一薄膜電晶體 171 的閘極電極，第六薄膜電晶體 176 的閘極電極連接到第二薄膜電晶體 172 的閘極電極。

第七薄膜電晶體 177 的第一電極連接到第六佈線 506，第七薄膜電晶體 177 的第二電極連接到第一薄膜電晶體 171 的閘極電極，第七薄膜電晶體 177 的閘極電極連接到第二佈線 502。第八薄膜電晶體 178 的第一電極連接到第六佈線 506，第八薄膜電晶體 178 的第二電極連接到第二薄膜電晶體 172 的閘極電極，第八薄膜電晶體 178 的閘極電極連接到第一佈線 501。

注意，以第一薄膜電晶體 171 的閘極電極、第四薄膜電晶體 174 的閘極電極、第五薄膜電晶體 175 的第二電極

、第六薄膜電晶體 176 的第二電極、以及第七薄膜電晶體 177 的第二電極的連接部分為節點 143。再者，以第二薄膜電晶體 172 的閘極電極、第三薄膜電晶體 173 的第二電極、第四薄膜電晶體 174 的第二電極、第六薄膜電晶體 176 的閘極電極、以及第八薄膜電晶體 178 的第二電極的連接部分為節點 144。

注意，第一佈線 501、第二佈線 502、第三佈線 503、第四佈線 504 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第五佈線 505、第六佈線 506 也可以分別稱為第一電源線、第二電源線。

圖 21 示出圖 20 所示的正反器的俯視圖的一個例子。

導電膜 901 包括用作第一薄膜電晶體 171 的第一電極的部分，並藉由與像素電極同時形成的佈線 951 而與第四佈線 504 連接。

導電膜 902 包括用作第一薄膜電晶體 171 的第二電極的部分，並藉由與像素電極同時形成的佈線 952 而與第三佈線 503 連接。

導電膜 903 包括用作第一薄膜電晶體 171 的閘極電極的部分、以及第四薄膜電晶體 174 的用作閘極電極的部分。

導電膜 904 包括用作第二薄膜電晶體 172 的第一電極的部分、用作第六薄膜電晶體 176 的第一電極的部分、用作第四薄膜電晶體 174 的第一電極的部分、以及用作第八薄膜電晶體 178 的第一電極的部分，並與第六佈線 506 連

接。

導電膜 905 包括用作第二薄膜電晶體 172 的第二電極的部分，並藉由與像素電極同時形成的佈線 954 而與第三佈線 503 連接。

導電膜 906 包括用作第二薄膜電晶體 172 的閘極電極的部分、以及用作第六薄膜電晶體 176 的閘極電極的部分。

導電膜 907 包括用作第三薄膜電晶體 173 的第一電極的部分，並藉由佈線 955 與第五佈線 505 連接。

導電膜 908 包括用作第三薄膜電晶體 173 的第二電極的部分、以及用作第四薄膜電晶體 174 的第二電極的部分，並藉由與像素電極同時形成的佈線 956 而與導電膜 906 連接。

導電膜 909 包括用作第三薄膜電晶體 173 的閘極電極的部分，並藉由佈線 955 與第五佈線 505 連接。

導電膜 910 包括用作第五薄膜電晶體 175 的第一電極的部分，並藉由與像素電極同時形成的佈線 959 而與第五佈線 505 連接。

導電膜 911 包括用作第五薄膜電晶體 175 的第二電極的部分、以及用作第七薄膜電晶體 177 的第二電極的部分，並藉由與像素電極同時形成的佈線 958 而與導電膜 903 連接。

導電膜 912 包括用作第五薄膜電晶體 175 的閘極電極的部分，並藉由與像素電極同時形成的佈線 960 而與第一

佈線 501 連接。

導電膜 913 包括用作第六薄膜電晶體 176 的第二電極的部分，並藉由與像素電極同時形成的佈線 957 而與導電膜 903 連接。

導電膜 914 包括用作第七薄膜電晶體 177 的閘極電極的部分，並藉由與像素電極同時形成的佈線 962 而與第二佈線 502 連接。

導電膜 915 包括用作第八薄膜電晶體 178 的閘極電極的部分，並藉由與像素電極同時形成的佈線 961 而與導電膜 912 連接。

導電膜 916 包括第八薄膜電晶體 178 的用作第二電極的部分，並藉由與像素電極同時形成的佈線 953 而與導電膜 906 連接。

注意，微晶半導體膜 981 至 988 的一部分分別用作第一至第八薄膜電晶體的通道形成區域。

注意，藉由將微晶半導體用於通道形成區域的電晶體構成圖 19 和圖 20 所示的電路，可以縮小設計面積。因此，可以縮小發光裝置的邊框。例如，當對將非晶半導體膜用於通道形成區域的情況和將微晶半導體膜用於通道形成區域的情況進行比較時，將微晶半導體膜用於通道形成區域的情況下的薄膜電晶體的場效遷移率較高，因此可以縮小電晶體的通道寬度。結果，可以實現發光裝置的窄邊框化。作為一個例子，第二薄膜電晶體 172 的通道寬度較佳為 3000 μm 以下，更佳為 2000 μm 以下。

注意，在圖 20 的第二薄膜電晶體 172 中，對於第三佈線 503 輸出低位準的信號的期間長。其間，第二薄膜電晶體 172 一直處於導通狀態。因此，第二薄膜電晶體 172 受到很強的壓力，而電晶體特性容易退化。當電晶體特性退化時，臨界電壓逐漸增大。結果，電流值逐漸縮小。於是，第二薄膜電晶體 172 的通道寬度較佳大，以便即使電晶體退化也能夠供應充分的電流。或者，較佳被補償以便防止在電晶體的退化時產生的電路工作的阻礙。例如，較佳藉由與第二薄膜電晶體 172 並列地配置電晶體，並使它與第二薄膜電晶體 172 交替處於導通狀態，不容易受到退化的影響。

然而，當對將非晶半導體膜用於通道形成區域的情況和將微晶半導體膜用於通道形成區域的情況進行比較時，將微晶半導體膜用於通道形成區域的電晶體較不容易退化。因此，在將微晶半導體膜用於通道形成區域的情況下，可以縮小電晶體的通道寬度。或者，即使不設置對於退化的補償用電路也可以進行正常工作。因而，可以縮小設計面積。

接著，參照圖 17A 和 17B 說明相當於本發明的發光裝置的一個模式的發光顯示面板的外觀及截面。圖 17A 是一面板的俯視圖，其中在與第二基板之間使用密封材料密封將形成在第一基板上的具有微晶半導體膜用作通道形成區域的薄膜電晶體及發光元件。圖 17B 相當於沿著圖 17A 的 A-A' 線的截面圖。

以圍繞形成在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置第二基板 4006。因此，使用第一基板 4001、密封材料 4005 以及第二基板 4006 將像素部 4002 和掃描線驅動電路 4004 與填充材料 4007 一起密封。另外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。注意，本實施例模式說明具有將多晶半導體膜用於通道形成區域的薄膜電晶體的信號線驅動電路貼附到第一基板 4001 的例子，但是也可以採用將單晶半導體用於通道形成區域的電晶體形成信號線驅動電路並貼合。圖 17A 和 17B 例示包括在信號線驅動電路 4003 中的由多晶半導體膜形成的薄膜電晶體 4009。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體，圖 17B 例示包括在像素部 4002 中的薄膜電晶體 4010。注意，雖然在本實施例模式中，薄膜電晶體 4010 假定是驅動 TFT，但是薄膜電晶體 4010 既可以是電流控制 TFT，又可以是拭除 TFT。薄膜電晶體 4010 相當於將微晶半導體膜用於通道形成區域的薄膜電晶體。

另外，附圖標記 4011 相當於發光元件，發光元件 4011 所具有的像素電極 4030 與薄膜電晶體 4010 的源極電極或汲極電極 4017 電連接。而且，在本實施例模式中，

發光元件 4011 的具有透光性的導電材料 4012 電連接。注意，發光元件 4011 的結構不局限於本實施例模式所示的結構。可以根據從發光元件 4011 取出的光的方向、以及薄膜電晶體 4010 的極性而適當地改變發光元件 4011 的結構。

此外，雖然在圖 17B 所示的截面圖中未圖示，但是提供到另行形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位藉由引導佈線 4014 以及 4015 從 FPC 4018 供應。

在本實施例模式中，連接端子 4016 由與發光元件 4011 所具有的像素電極 4030 相同的導電膜形成。此外，引導佈線 4014、4015 由與佈線 4017 相同的導電膜形成。

連接端子 4016 藉由各向異性導電膜 4019 電連接到 FPC 4018 所具有的端子。

位於從發光元件 4011 取出光的方向上的基板必須是透明的基板。在此情況下，使用具有透光性的材料如玻璃片、塑膠片、聚酯薄膜、或丙烯酸薄膜。

此外，作為填充材料 4007，除了氮、氬等的惰性氣體之外，還可以使用紫外線固化樹脂、熱固性樹脂、PVC（聚氯乙烯）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯-醋酸乙烯酯）。在本實施例模式中，使用氮作為填充材料。

另外，如果需要，也可以在發光元件的發射面上適當地設置光學薄膜如偏振片、圓偏振片（橢圓偏振片）、相

位差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、或顏色濾光片等。此外，還可以在偏振片或圓偏振片上設置防反射膜。例如，可以執行抗眩光處理，該處理是利用表面的凹凸來擴散反射光並降低眩光的。

注意，圖 17A 和 17B 示出另行形成信號線驅動電路 4003 而安裝到第一基板 4001 的例子，但是本實施例模式不局限於此。既可以另行形成掃描線驅動電路而安裝，又可以另行形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

本實施例模式可以與其他實施例模式所記載的結構組合而實施。

[實施例模式 4]

藉由採用根據本發明獲得的發光裝置等，可以使用於主動矩陣型 EL 模組。也就是說，在將它們安裝到顯示部中的所有電子設備中可以實施本發明。

作為這種電子設備的例子，可以舉出如下：拍攝裝置如攝影機及數位照相機等；頭戴式顯示器（護目鏡型顯示器）；汽車導航系統；投影機；汽車音響；個人電腦；可攜式資訊終端（可攜式電腦、行動電話、或電子書籍等）。圖 13A 至 13C 示出了它們的一個例子。

圖 13A 示出電視裝置。如圖 13A 所示，可以將顯示模組嵌入到框體中來完成電視裝置。還安裝有 FPC 的顯示面板稱為顯示模組。由顯示模組形成主螢幕 2003，並且作

爲其他輔助設備還具有揚聲器部 2009、操作開關等。像這樣，可以完成電視裝置。

如圖 13A 所示，將利用發光元件的顯示面板 2002 安裝在框體 2001 中，不僅可以由接收器 2005 接收普通的電視廣播，而且可以藉由經由數據機 2004 連接到採用有線或無線方式的通信網路，進行單方向（從發送者到接收者）或雙方向（在發送者和接收者之間或在接收者之間）的資訊通信。可以使用安裝在框體中的開關或遙控裝置 2006 來操作電視裝置。也可以在遙控裝置 2006 中設置用於顯示輸出資訊的顯示部 2007。

另外，除了主螢幕 2003 之外，在電視裝置中，可以使用第二顯示面板形成子螢幕 2008，且附加有顯示頻道或音量等的結構。在這種結構中，可以使用視角優良的發光顯示面板形成主螢幕 2003，而使用能夠以低耗電量來顯示的發光顯示面板形成子螢幕。另外，爲了優先降低耗電量，也可以使用發光顯示面板形成主螢幕 2003，而使用發光顯示面板形成子螢幕，並使子螢幕可以被打開和關閉。

圖 14 示出表示電視裝置的主要結構的方塊圖。在顯示面板 900 中，形成有像素部 921。信號線驅動電路 922 和掃描線驅動電路 923 也可以以 COG 方式安裝到顯示面板 900。

作爲其他外部電路的結構，在視頻信號的輸入一側包括視頻信號放大電路 925、視頻信號處理電路 926、以及控制電路 927 等。該視頻信號放大電路 925 放大由調諧器

924 所接收到的信號中的放大視頻信號，該視頻信號處理電路 926 將從視頻信號放大電路 925 輸出的信號轉換為與紅色、綠色、藍色每種顏色相應的顏色信號，該控制電路 927 將該視頻信號轉換為驅動器 IC 的輸入規格。控制電路 927 將信號分別輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，也可以具有如下結構，即在信號線一側設置信號分割電路 928，並且將輸入數位信號分成 m 個來供應。

由調諧器 924 所接收到的信號中的音頻信號被傳送到音頻信號放大電路 929，並且其輸出經過音頻信號處理電路 930 供應到揚聲器 933。控制電路 931 從輸入部 932 接收接收站（接收頻率）和音量的控制資訊，並且將信號傳送到調諧器 924、音頻信號處理電路 930。

當然，本發明不局限於電視裝置，並且可以適用於各種各樣的用途，如個人電腦的監視器、以及大型顯示媒體如火車站或機場等的資訊顯示板或者街頭上的廣告顯示板等。

圖 13B 示出行動電話 2201 的一個例子。該行動電話 2201 包括顯示部 2202、操作部 2203 等構成。在顯示部 2202 中，藉由應用上述實施例模式所說明的發光裝置可以提高大量生產性。

此外，圖 13C 所示的可攜式電腦包括主體 2401、顯示部 2402 等。藉由將上述實施例模式所示的發光裝置應用於顯示部 2402，可以提高大量生產性。

圖 13D 示出了台式照明設備，包括照明部 2501、燈罩 2502、可調臂部（adjustable arm）2503、支柱 2504、基座 2505、電源開關 2506。該台式照明設備是藉由將使用本發明形成的發光裝置用於其照明部 2501 來製造的。另外，照明設備還包括固定在天花板上的照明設備或掛壁式照明設備等。借助於本發明，可以大幅度地減少製造成本，並且可以提供廉價的台式照明設備。

[實施例 1]

圖 22A 和 22B 示出形成微晶矽膜並藉由拉曼光譜法檢測該膜的結晶性的結果。

以如下膜形成條件形成微晶矽膜：RF 電源頻率為 13.56 MHz；膜形成溫度為 280℃；氬流量和矽烷氣體流量的比率為 100：1；壓力為 280 Pa。此外，圖 22A 是拉曼散射光譜，並且是對膜形成時的 RF 電源的電力為 100 W 的微晶矽膜和膜形成時的 RF 電源的電力為 300 W 的微晶矽膜進行比較的檢測結果。

注意，單晶矽膜的結晶峰值位置為 521 cm^{-1} 。注意，當然非晶矽不能檢測可說結晶峰值的值。如圖 22B 所示，只檢測出以 480 cm^{-1} 為頂點的不陡的山形。本說明書中的微晶矽膜是指當使用拉曼光譜器檢測時在 481 cm^{-1} 以上至 520 cm^{-1} 以下確認結晶峰值的膜。

膜形成時的 RF 電源的電力為 100 W 的微晶矽膜的結晶峰值位置為 518.6 cm^{-1} ，半峰全寬（FWHM）為 11.9

cm^{-1} ，結晶/非晶峰值強度比 (I_c/I_a) 為 4.1。

此外，膜形成時的 RF 電源的電力為 300 W 的微晶矽膜的結晶峰值位置為 514.8 cm^{-1} ，半峰全寬 (FWHM) 為 18.7 cm^{-1} ，結晶/非晶峰值強度比 (I_c/I_a) 為 4.4。

如圖 22A 所示，因 RF 電力而產生結晶峰值位置和半峰全寬之間的大差異。這是因為如下緣故：具有在使用大電力的情況下增加離子衝擊而阻礙粒子的生長，從而粒徑小的傾向。此外，由於形成用於圖 22A 的檢測的微晶矽膜的 CVD 裝置的電源頻率為 13.56 MHz，因此結晶/非晶峰值強度比 (I_c/I_a) 為 4.1 或 4.4。但是，已確認若是 RF 電源頻率為 27 MHz 就可以將結晶/非晶峰值強度比 (I_c/I_a) 設定為 6。因此，藉由將 RF 電源頻率設定為比 27 MHz 更高，例如 2.45 GHz，可以進一步提高結晶/非晶峰值強度比 (I_c/I_a)。

[實施例 2]

在本實施例中，示出對於本發明所示的薄膜電晶體的電晶體特性以及電子密度分佈，進行裝置模擬而獲得的結果。使用矽穀科技 (Silvaco) 公司製造的裝置模擬器 “ATLAS” 進行裝置模擬。

圖 23 示出裝置結構。假定絕緣基板 2301 是以氧化矽 (介電常數為 4.1) 為主要成分的玻璃基板 (厚度為 $0.5 \mu\text{m}$)。注意，在實際的製造程序上，大多使用 0.5 mm、0.7 mm 等的絕緣基板作為絕緣基板 2301，但是以絕緣基

板 2301 之下的電場不影響到薄膜電晶體特性的程度，定義充分的厚度。

在絕緣基板 2301 上層疊由鉬形成的閘極電極 2303（厚度為 150 nm）。鉬的功函數設定為 4.6 eV。

在閘極電極 2303 上層疊具有氮化矽膜（介電常數為 7.0，厚度為 110 nm）和氧氮化矽膜（介電常數為 4.1，厚度為 110 nm）的疊層結構的閘極絕緣膜 2305。

在閘極絕緣膜 2305 上層疊 $\mu\text{c-Si}$ 膜 2307 和 a-Si 膜 2309。在此的各個疊層條件為如下：厚度為 0 nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度為 100 nm 的 a-Si 膜 2309 的疊層；厚度為 10 nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度為 90 nm 的 a-Si 膜 2309 的疊層；厚度為 50 nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度為 50 nm 的 a-Si 膜 2309 的疊層；厚度為 90 nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度為 10 nm 的 a-Si 膜 2309 的疊層；以及厚度為 100 nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度為 0 nm 的 a-Si 膜 2309 的疊層。

此外，在與第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 重疊的區域中，a-Si 膜 2309 除了上述厚度之外還層疊有 50 nm 的 a-Si。就是說，在不形成第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 的區域中，a-Si 2309 具有其一部分被蝕刻 50 nm 的凹部狀。

在 a-Si 2309 上層疊有第一 a-Si (n^+) 膜 2311（厚度為 50 nm）和第二 a-Si (n^+) 膜 2313（厚度為 50 nm）。在圖 23 所示的薄膜電晶體中，第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 之間的距離成為通道長度 L。在此

，通道長度 L 設定為 $6\ \mu\text{m}$ 。此外，通道寬度 W 設定為 $15\ \mu\text{m}$ 。

在第一 $\text{a-Si}(\text{n}^+)$ 膜 2311 和第二 $\text{a-Si}(\text{n}^+)$ 膜 2313 上分別層疊由鉬 (Mo) 形成的源極電極 2315 和汲極電極 2317 (厚度為 $300\ \text{nm}$)。將源極電極 2315 和第一 $\text{a-Si}(\text{n}^+)$ 膜 2311 之間、以及汲極電極 2317 和第二 $\text{a-Si}(\text{n}^+)$ 膜 2313 之間定義為歐姆接觸。

圖 24 示出當在圖 23 所示的薄膜電晶體中，改變 $\mu\text{c-Si}$ 膜及 a-Si 膜的膜厚度來進行裝置模擬之際獲得的 DC 特性 (V_g - I_d 特性、 $V_d=14\ \text{V}$) 的結果。此外，圖 25A 和 25B 示出當 $\mu\text{c-Si}$ 膜 2307 的厚度為 $10\ \text{nm}$ ，而 a-Si 膜的厚度為 $90\ \text{nm}$ 時的薄膜電晶體的電子濃度分佈。圖 25A 示出當薄膜電晶體處於導通狀態 (V_g 為 $+10\ \text{V}$ ， V_d 為 $14\ \text{V}$) 時的電子濃度分佈，而圖 25B 示出當薄膜電晶體處於關閉狀態 (V_g 為 $-10\ \text{V}$ ， V_d 為 $14\ \text{V}$) 時的電子濃度的分佈結果。

參照圖 24 就知道，隨著使 a-Si 膜的膜厚度變厚而截止電流減少。此外，藉由將 a-Si 膜的厚度設定為 $50\ \text{nm}$ 以上，可以將 V_g 是 $-20\ \text{V}$ 時的汲極電流設定為低於 $1 \times 10^{-13}\ \text{A}$ 。

另外，在此知道，隨著使 $\mu\text{c-Si}$ 膜的膜厚度變厚而導通電流增加。此外，藉由將 $\mu\text{c-Si}$ 膜的厚度設定為 $10\ \text{nm}$ 以上，可以將 V_g 是 $20\ \text{V}$ 時的汲極電流設定為 $1 \times 10^{-5}\ \text{A}$ 以上。

參照圖 25A 就知道，在導通狀態下， $\mu\text{c-Si}$ 膜中的電

子密度比 a -Si 膜中的電子密度高。就是說，由於導電率高的 μc -Si 膜中的電子密度高，因此在導通狀態下電子容易流過，從而汲極電流升高。

參照圖 25B 就知道，在關閉狀態下， a -Si 膜中的電子密度比 μc -Si 膜中的電子密度高。就是說，由於導電率低的 a -Si 膜中的電子密度高，因此在關閉狀態下電子難以流過，從而產生與將 a -Si 膜用作通道形成區域的薄膜電晶體同樣的汲極電流。

根據上述事實就知道，如圖 23 所示那樣的薄膜電晶體可以在減少截止電流的同時提高導通電流，在該薄膜電晶體中，在閘極絕緣膜上形成 μc -Si 膜，在 μc -Si 膜上形成 a -Si 膜，並在 a -Si 膜上形成源極區域及汲極區域。

本說明書根據 2007 年 7 月 6 日在日本專利局受理的日本專利申請編號 2007-179091 而製作，所述申請內容包括在本說明書中。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是說明本發明的發光裝置的製造方法的截面圖；

圖 2A 至 2C 是說明本發明的發光裝置的製造方法的截面圖；

圖 3A 和 3B 是說明本發明的發光裝置的製造方法的截面圖；

圖 4 A 和 4 B 是說明本發明的發光裝置的製造方法的截面圖；

圖 5 A 至 5 C 是說明本發明的發光裝置的製造方法的俯視圖；

圖 6 A 至 6 C 是說明本發明的發光裝置的製造方法的截面圖；

圖 7 A 至 7 C 是說明本發明的發光裝置的製造方法的截面圖；

圖 8 A 和 8 B 是說明本發明的發光裝置的製造方法的截面圖；

圖 9 A 至 9 D 是說明本發明的發光裝置的製造方法的俯視圖；

圖 10 是說明本發明的微波電漿 CVD 裝置的俯視圖；

圖 11 A 至 11 D 是說明可以應用於本發明的多級灰度掩膜的圖；

圖 12 A 至 12 C 是說明本發明的顯示面板的透視圖；

圖 13 A 至 13 D 是說明使用本發明的發光裝置的電子設備的透視圖；

圖 14 是說明使用本發明的發光裝置的電子設備的圖；

圖 15 A 和 15 B 是說明本發明的發光裝置的製造方法的截面圖；

圖 16 A 至 16 C 是說明可以應用於本發明的發光裝置的像素的截面圖；

圖 17A 和 17B 是說明本發明的發光顯示面板的俯視圖及截面圖；

圖 18 是說明本發明的發光裝置的結構的方塊圖；

圖 19 是說明本發明的發光裝置的驅動電路的結構的等效電路圖；

圖 20 是說明本發明的發光裝置的驅動電路的結構的等效電路圖；

圖 21 是說明本發明的發光裝置的驅動電路的佈局的俯視圖；

圖 22A 和 22B 是示出藉由拉曼光譜法檢測微晶半導體膜的結果的圖；

圖 23 是用於裝置模擬的模型圖；

圖 24 是示出根據裝置模擬得到的電流電壓特性的圖；

圖 25A 和 25B 是示出根據裝置模擬得到的薄膜電晶體的電子濃度分佈的圖。

【主要元件符號說明】

50：基板

51：閘極電極

52：抗蝕劑（閘極電極）

53：微晶半導體膜

54：緩衝層

55：半導體膜

59：多級灰度掩膜

61：微晶半導體膜

62：緩衝層

63：半導體膜

76：絕緣膜

77：像素電極

80：抗蝕劑

81：抗蝕劑掩膜

83：薄膜電晶體

86：抗蝕劑掩膜

87：微晶半導體膜

88：緩衝層

89：汲極區域

91：抗蝕劑掩膜

96：薄膜電晶體

111：平坦化膜

112：像素電極

113：分隔壁

114：發光層

115：共同電極

116：保護膜

117：發光元件

143：節點

144：節點

163：基板

164：遮光部

165：衍射光柵

166：光透射量

167：半透射部

168：遮光部

169：光透射量

171：薄膜電晶體

172：薄膜電晶體

173：薄膜電晶體

174：薄膜電晶體

175：薄膜電晶體

176：薄膜電晶體

177：薄膜電晶體

178：薄膜電晶體

180：處理容器

182：氣體供應部

501：佈線

502：佈線

503：佈線

504：佈線

505：佈線

506：佈線

52a：閘極絕緣膜

52b : 閘極絕緣膜

59a : 灰度色調掩膜

59b : 半色調掩膜

65a : 導電膜

65b : 導電膜

65c : 導電膜

700 : 像素部

701 : 正反器

702 : 掃描線驅動電路

703 : 信號線驅動電路

704 : 移位暫存器

705 : 類比開關

706 : 移位暫存器

707 : 緩衝器

711 : 佈線

712 : 佈線

713 : 佈線

714 : 佈線

715 : 佈線

716 : 佈線

717 : 佈線

75c : 汲極電極

79b : 佈線

85a : 導電膜

- 89a : 導電膜
- 900 : 顯示面板
- 901 : 導電膜
- 902 : 導電膜
- 903 : 導電膜
- 904 : 導電膜
- 905 : 導電膜
- 906 : 導電膜
- 907 : 導電膜
- 908 : 導電膜
- 909 : 導電膜
- 910 : 導電膜
- 911 : 導電膜
- 912 : 導電膜
- 913 : 導電膜
- 914 : 導電膜
- 916 : 導電膜
- 921 : 像素部
- 922 : 信號線驅動電路
- 923 : 掃描線驅動電路
- 924 : 調諧器
- 925 : 視頻信號放大電路
- 926 : 視頻信號處理電路
- 927 : 控制電路

928 : 信號分割電路

929 : 音頻信號放大電路

92a : 汲極電極

92c : 汲極電極

930 : 音頻信號處理電路

931 : 控制電路

932 : 輸入部

933 : 揚聲器

93b : 佈線

951 : 佈線

952 : 佈線

953 : 佈線

954 : 佈線

955 : 佈線

956 : 佈線

957 : 佈線

958 : 佈線

959 : 佈線

960 : 佈線

961 : 佈線

962 : 佈線

981 : 微晶半導體膜

1110 : 裝載室

1115 : 卸載室

1120：公共室
 1121：傳送單元
 1122：閘閥
 1128：盒子
 1130：基板
 1200：公共室
 1915：導電膜
 2001：框體
 2002：顯示面板
 2003：主螢幕
 2004：解調器
 2005：接收器
 2006：遙控裝置
 2007：顯示部
 2008：子螢幕
 2009：揚聲器部
 2301：絕緣基板
 2303：閘極電極
 2305：閘極絕緣膜
 2311：a-Si (n^+)
 2313：a-Si (n^+)
 2315：閘極電極
 2317：汲極電極
 2401：主體

2402：顯示部

2501 照明部

2502：燈罩

2503：可調臂部

2504：支柱

2505：基座

2506：電源

4001：基板

4002：像素部

4003：信號線驅動電路

4004：掃描線驅動電路

4005：密封材料

4006：基板

4007：填充材料

4009：薄膜電晶體

4010：薄膜電晶體

4011：發光元件

4012：導電材料

4014：佈線

4016：連接端子

4017：佈線

4018：FPC

4019：各向異性導電膜

4030：像素電極

4040：汲極電極

6011：基板

6012：像素部

6013：信號線驅動電路

6014：掃描線驅動電路

6015：FPC

6021：基板

6022：像素部

6023：信號線驅動電路

6024：掃描線驅動電路

6025：FPC

6031：基板

6032：像素部

6034：掃描線驅動電路

6035：FPC

7001：驅動 TFT

7002：發光元件

7003：陰極

7004：發光層

7005：陽極

7011：驅動 TFT

7012：發光元件

7013：陰極

7014：發光層

7015：陽極

7016：遮罩膜

7017：導電材料

7021：驅動 TFT

7022：發光元件

7023：陰極

7024：發光層

7025：陽極

7027：導電材料

6033a：類比開關

6033b：移位暫存器

十、申請專利範圍

1. 一種顯示裝置，包括：

閘極電極；

在該閘極電極上的閘極絕緣膜；

在該閘極絕緣膜上的微晶半導體膜；

在該微晶半導體膜上的緩衝層，該緩衝層具有凹部；

在該緩衝層上的源極區域及汲極區域；

在該源極區域上的源極電極；以及

在該汲極區域上的汲極電極，

其中：

該緩衝層包括非晶半導體膜；

該源極區域的一部分與該源極電極接觸，且該源極區域的另一部分不與該源極電極接觸；

該汲極區域的一部分與該汲極電極接觸，且該汲極區域的另一部分不與該汲極電極接觸；

該緩衝層係延伸超過該源極區域的外側邊緣及該汲極區域的外側邊緣；並且

該閘極電極重疊的該源極區域的端部及該汲極區域的端部和該緩衝層的該凹部的側面對齊。

2. 如申請專利範圍第 1 項所述的顯示裝置，其中該緩衝層係包括含氮的非晶半導體膜。

3. 如申請專利範圍第 1 項所述的顯示裝置，其中該緩衝層係包括含氫的非晶半導體膜。

4. 如申請專利範圍第 1 項所述的顯示裝置，其中該

緩衝層係包括含氟、氮、溴、或碘的非晶半導體膜。

5. 如申請專利範圍第 1 項所述的顯示裝置，其中該顯示裝置是發光裝置。

6. 一種顯示裝置，包括：

閘極電極；

在該閘極電極上的閘極絕緣膜；

在該閘極絕緣膜上的微晶半導體膜；

在該微晶半導體膜上的緩衝層，該緩衝層具有凹部；

在該緩衝層上的源極區域及汲極區域；

在該源極區域上的源極電極；以及

在該汲極區域上的汲極電極，

其中：

該緩衝層包括非晶半導體膜；

該源極區域的一部分係露出在該源極電極的外側；

該汲極區域的一部分係露出在該汲極電極的外側；

該緩衝層延伸超過該源極區域的外側邊緣及該汲極區域的外側邊緣；並且

與該閘極電極重疊的該源極區域的端部及該汲極區域的端部和該緩衝層的凹部的側面對齊。

7. 如申請專利範圍第 6 項所述的顯示裝置，其中該緩衝層係包括含氮的非晶半導體膜。

8. 如申請專利範圍第 6 項所述的顯示裝置，其中該緩衝層係包括含氫的非晶半導體膜。

9. 如申請專利範圍第 6 項所述的顯示裝置，其中該

緩衝層係包括含氟、氯、溴、或碘的非晶半導體膜。

10. 如申請專利範圍第 6 項所述的顯示裝置，其中該顯示裝置是發光裝置。

11. 一種顯示裝置，包括：

閘極電極；

在該閘極電極上的閘極絕緣膜；

在該閘極絕緣膜上的微晶半導體膜；

在該微晶半導體膜上的緩衝層，該緩衝層具有凹部；

在該緩衝層上的源極區域及汲極區域；

在該源極區域上的源極電極；

在該汲極區域上的汲極電極；

與該源極電極及該汲極電極、該源極區域及該汲極區域的一部分、以及該緩衝層的一部分接觸的絕緣膜；以及

在該絕緣膜上的像素電極，該像素電極藉經由在該絕緣膜中的接觸孔而與該源極電極及該汲極電極的其中一個相連接，

其中：

該緩衝層包括非晶半導體膜；

該源極區域的一部分與該源極電極接觸，且該源極區域的另一部分不與該源極電極接觸；

該汲極區域的一部分與該汲極電極接觸，且該汲極區域的另一部分不與該汲極電極接觸；

該緩衝層係延伸超過在該源極電極的外側邊緣及該汲極電極的外側邊緣；並且

與該閘極電極重疊的該源極區域的端部及該汲極區域的端部和該緩衝層的該凹部之側面對齊。

12. 如申請專利範圍第 11 項所述的顯示裝置，其中該緩衝層係包含氮的非晶半導體膜。

13. 如申請專利範圍第 11 項所述的顯示裝置，其中該緩衝層係包含氫的非晶半導體膜。

14. 如申請專利範圍第 11 項所述的顯示裝置，其中該緩衝層係包含氟、氯、溴、或碘的非晶半導體膜。

15. 如申請專利範圍第 11 項所述的顯示裝置，其中該顯示裝置是發光裝置。

16. 一種顯示裝置，包括：

閘極電極；

在該閘極電極上的閘極絕緣膜；

在該閘極絕緣膜上的微晶半導體膜；

在該微晶半導體膜上的緩衝層，該緩衝層具有凹部；

在該緩衝層上的源極區域及汲極區域；

在該源極區域上的源極電極；

在該汲極區域上的汲極電極；

與該源極電極及該汲極電極、該源極區域及該汲極區域的一部分、以及該緩衝層的一部分接觸的絕緣膜；以及

在該絕緣膜上的像素電極，該像素電極藉經由在該絕緣膜中的接觸孔而與該源極電極或汲極電極的其中一個相連接，

其中：

該緩衝層包括非晶半導體膜；

該源極區域的一部分係露出在該源極電極的外側；

該汲極區域的一部分係露出在該汲極電極的外側；

該緩衝層延伸超過該源極區域的外側邊緣及該汲極區域的外側邊緣；並且

與該閘極電極重疊的該源極區域的端部及該汲極區域的端部和該緩衝層的該凹部之側面對齊。

17. 如申請專利範圍第 16 項所述的顯示裝置，其中該緩衝層係包括含氮的非晶半導體膜。

18. 如申請專利範圍第 16 項所述的顯示裝置，其中該緩衝層係包括含氫的非晶半導體膜。

19. 如申請專利範圍第 16 項所述的顯示裝置，其中該緩衝層係包括含氟、氯、溴、或碘的非晶半導體膜。

20. 如申請專利範圍第 16 項所述的顯示裝置，其中該顯示裝置是發光裝置。

21. 一種顯示裝置，包括：

閘極電極；

在該閘極電極上的閘極絕緣膜；

在該閘極絕緣膜上的微晶半導體膜；

在該微晶半導體膜上的緩衝層；

在該緩衝層上的源極區域及汲極區域；

在該源極區域上的源極電極；以及

在該汲極區域上的汲極電極，

其中：

該緩衝層包括非晶半導體膜；

該源極區域延伸超過該源極電極的外側邊緣；

該汲極區域延伸超過該汲極電極的外側邊緣；

該緩衝層的在該源極區域及該汲極區域之間的一部分被減薄；並且

該緩衝層延伸超過該源極區域的外側邊緣及該汲極區域的外側邊緣。

22. 如申請專利範圍第 21 項所述的顯示裝置，其中該緩衝層的一部分具有和該源極區域及該汲極區域的內側邊緣相對齊的側邊緣。

23. 如申請專利範圍第 21 項所述的顯示裝置，其中該緩衝層係包括含氮的非晶半導體膜。

24. 如申請專利範圍第 21 項所述的顯示裝置，其中該緩衝層係包括含氫的非晶半導體膜。

25. 如申請專利範圍第 21 項所述的顯示裝置，其中該緩衝層係包括含氟、氯、溴、或碘的非晶半導體膜。

26. 如申請專利範圍第 21 項所述的顯示裝置，其中該顯示裝置是發光裝置。

27. 如申請專利範圍第 1 項所述的顯示裝置，其中該緩衝層的側表面係臺階狀。

28. 如申請專利範圍第 6 項所述的顯示裝置，其中該緩衝層的側表面係臺階狀。

29. 如申請專利範圍第 11 項所述的顯示裝置，其中該緩衝層的側表面係臺階狀。

30. 如申請專利範圍第 16 項所述的顯示裝置，其中該緩衝層的側表面係臺階狀。

31. 如申請專利範圍第 21 項所述的顯示裝置，其中該緩衝層的側表面係臺階狀。

圖 1A

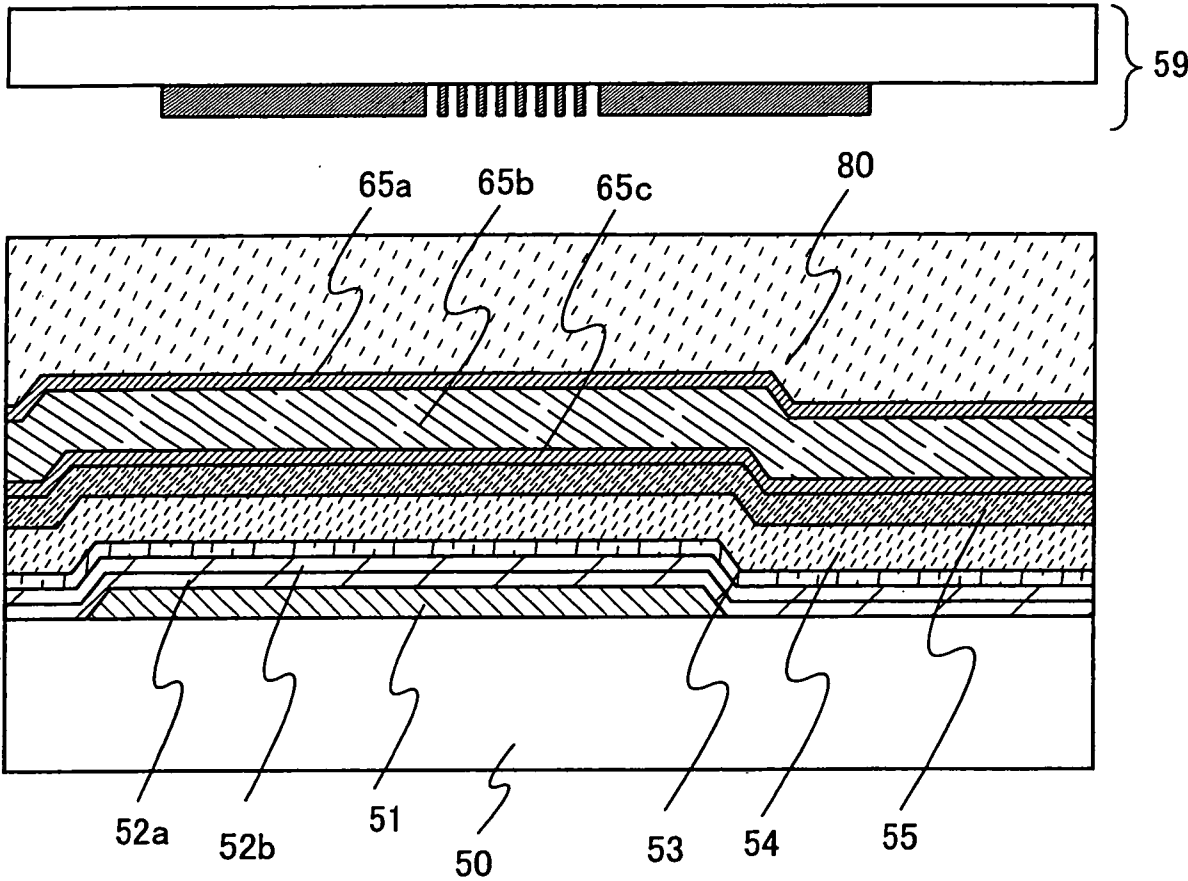


圖 1B

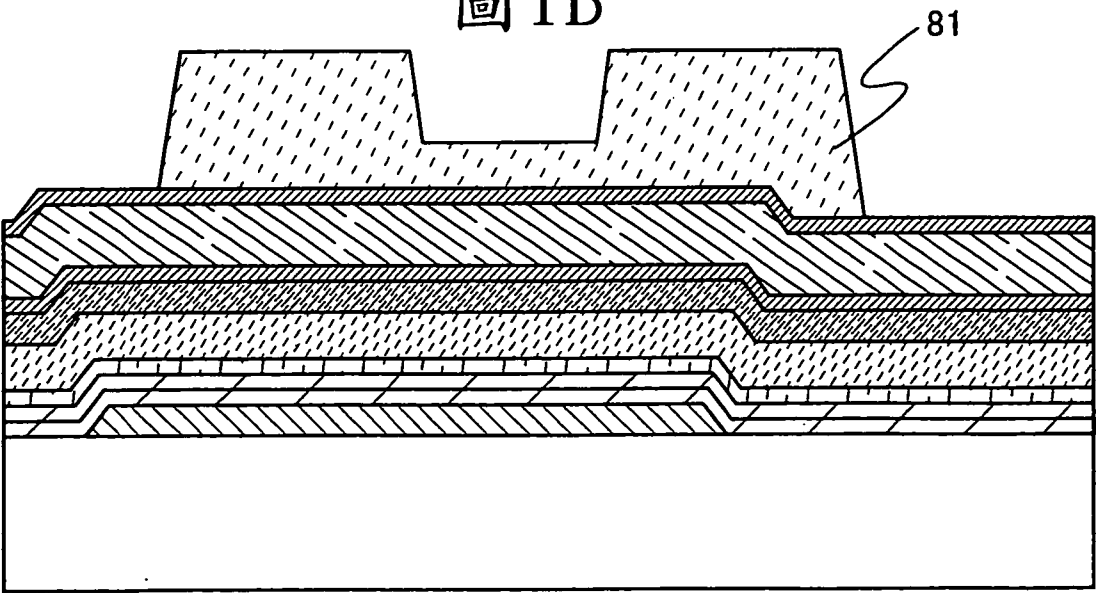


圖 2A

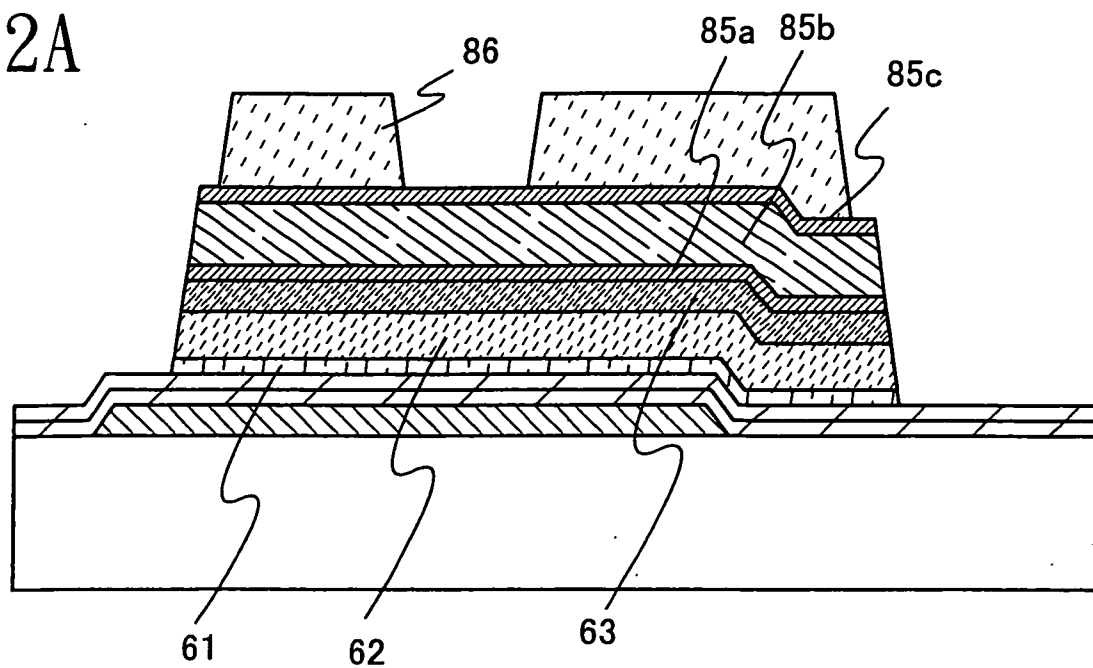


圖 2B

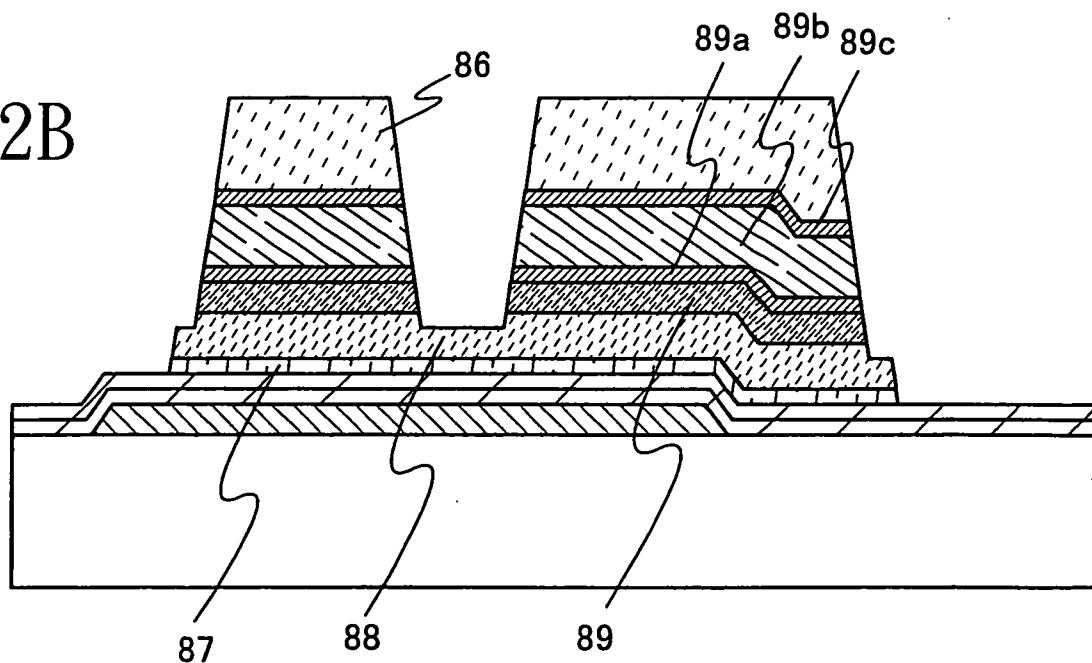


圖 2C

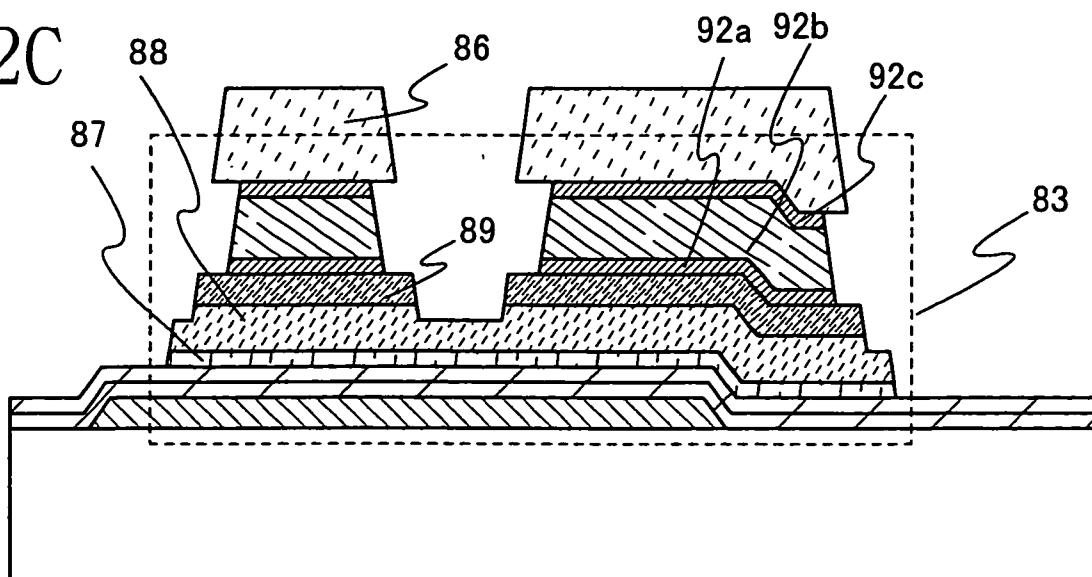


圖 3A

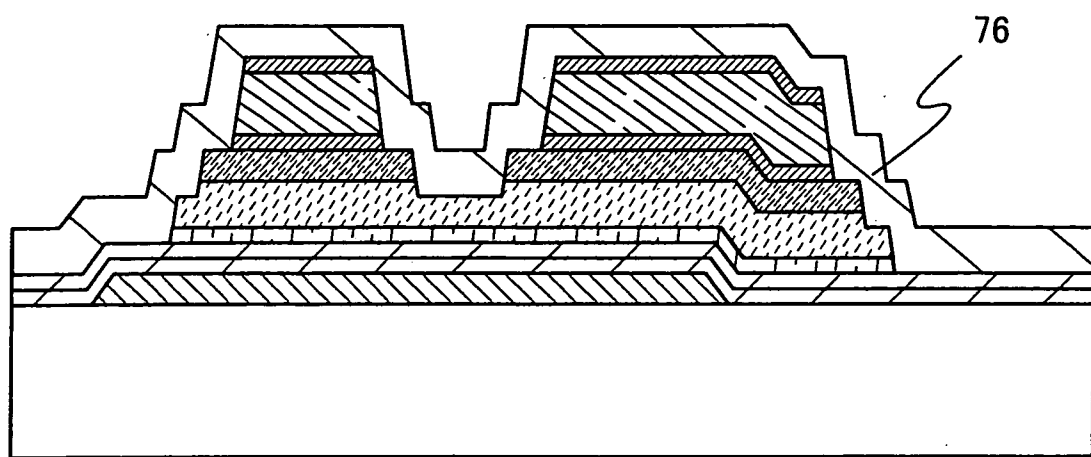


圖 3B

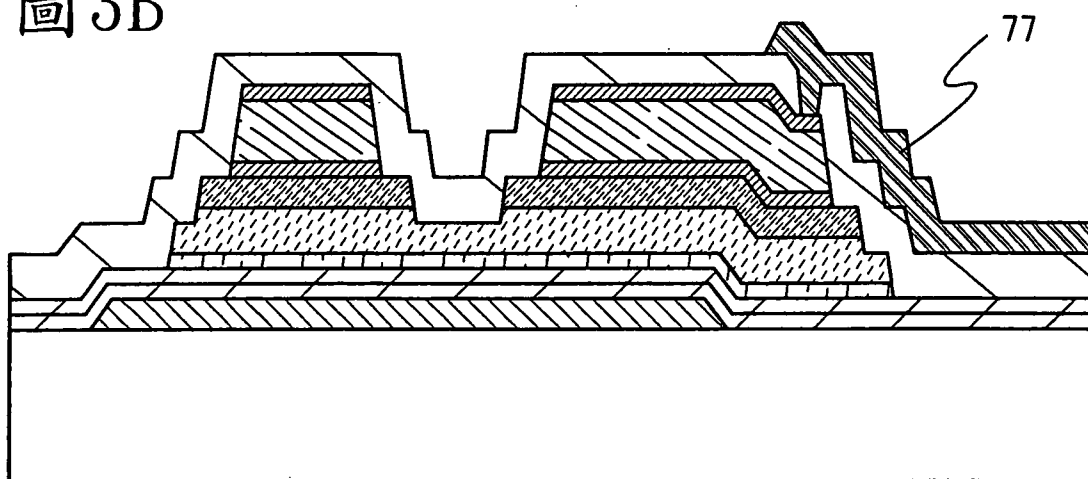


圖 4A

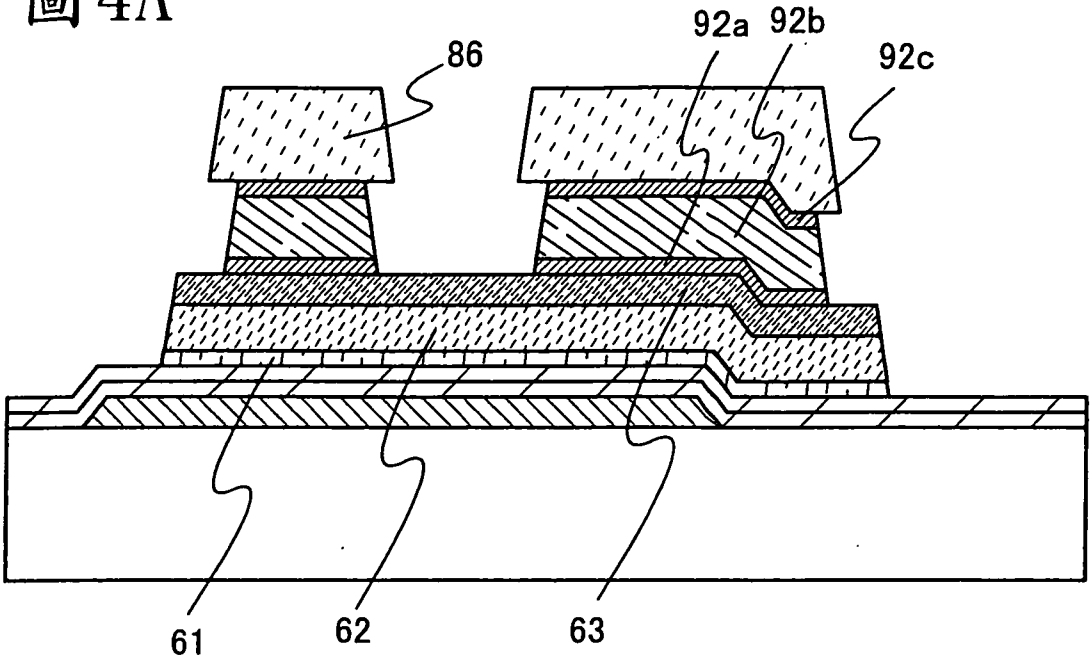


圖 4B

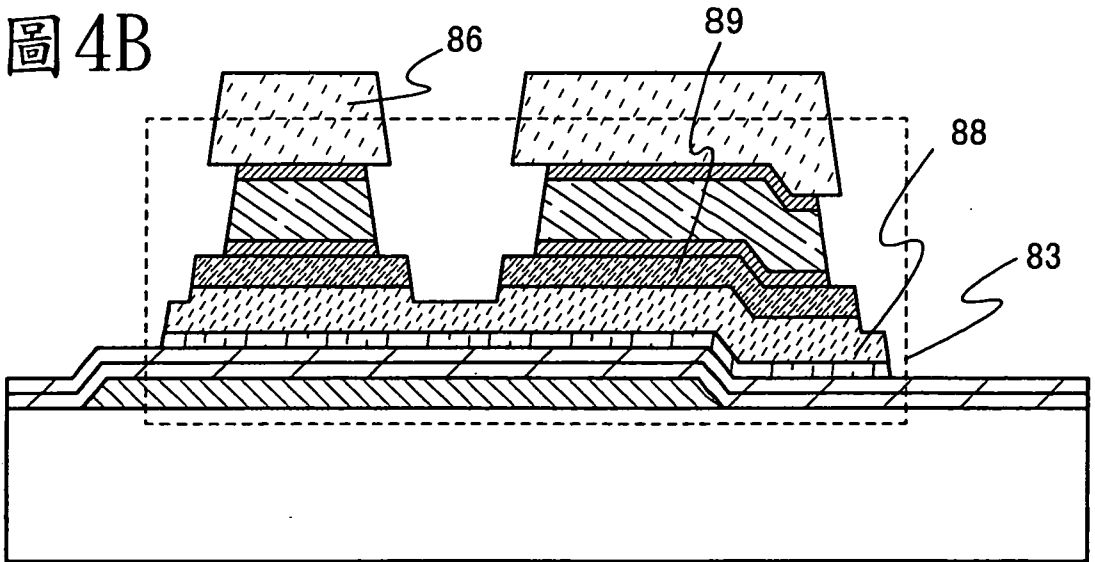


圖5A

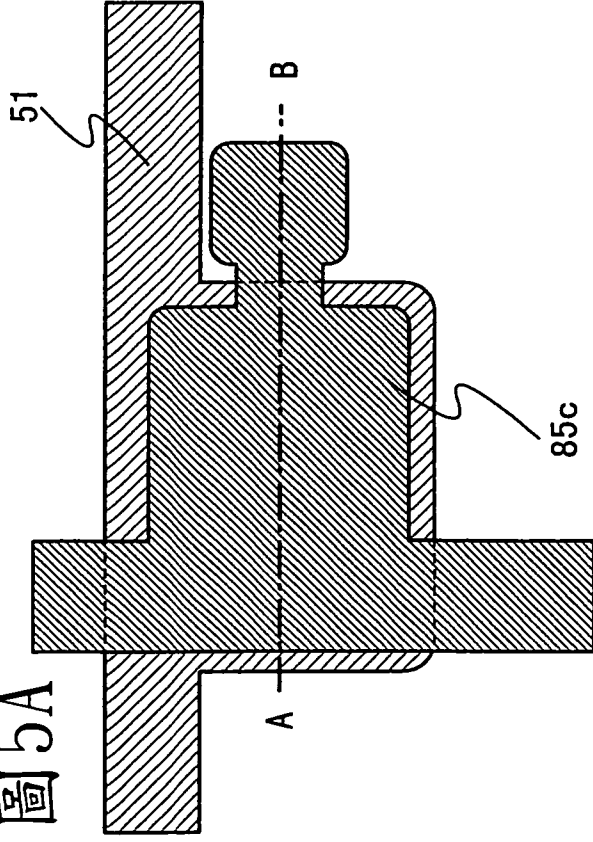


圖5B

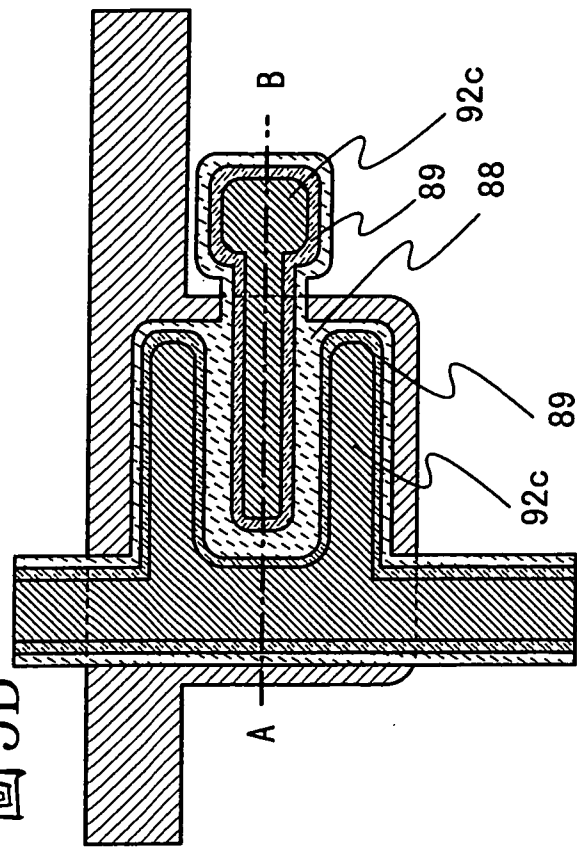


圖5C

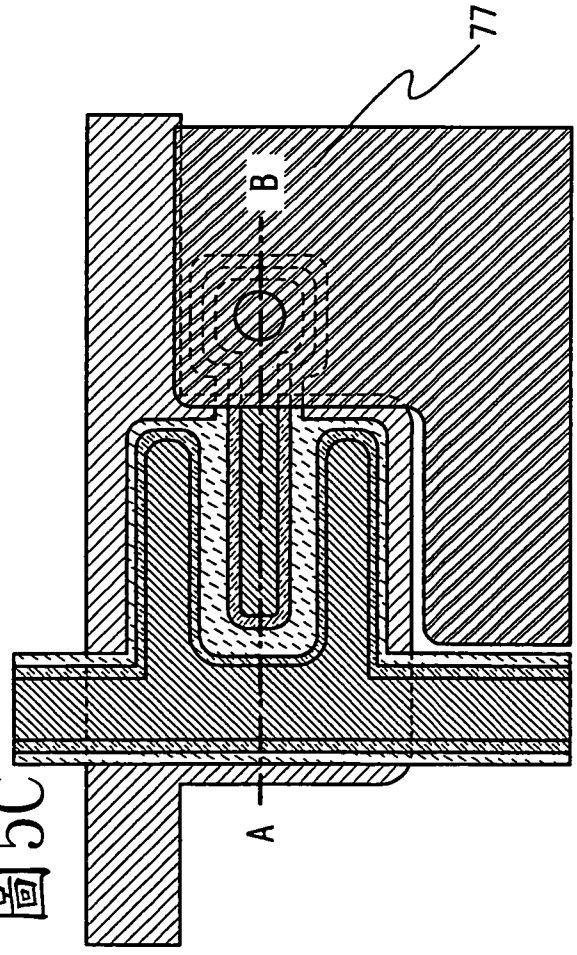


圖 6A

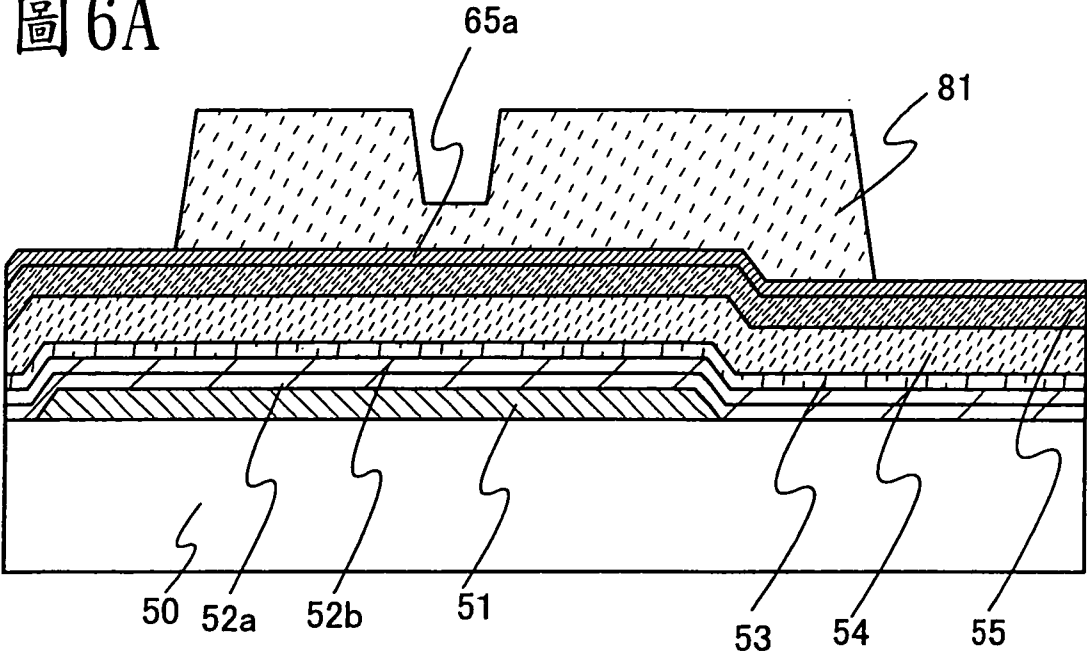


圖 6B

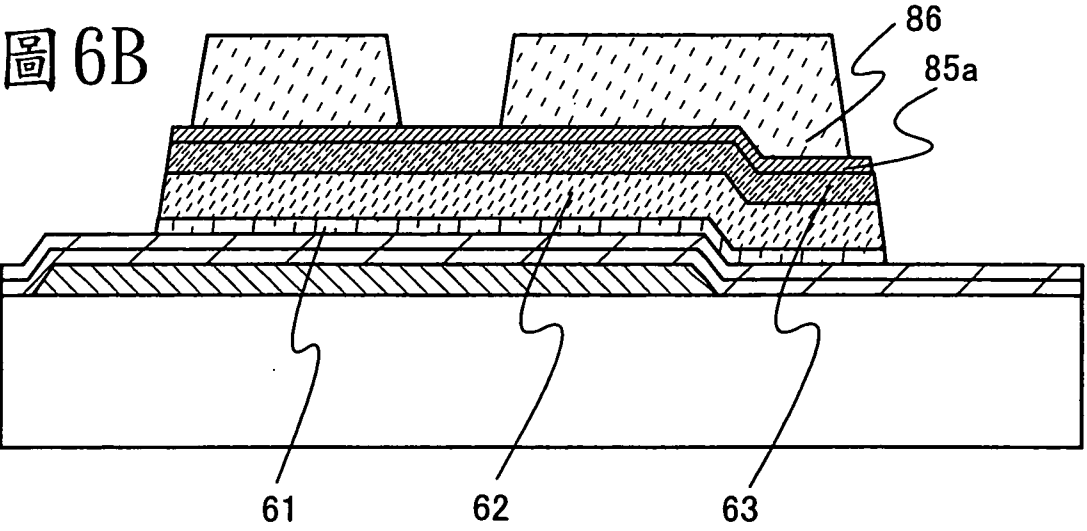


圖 6C

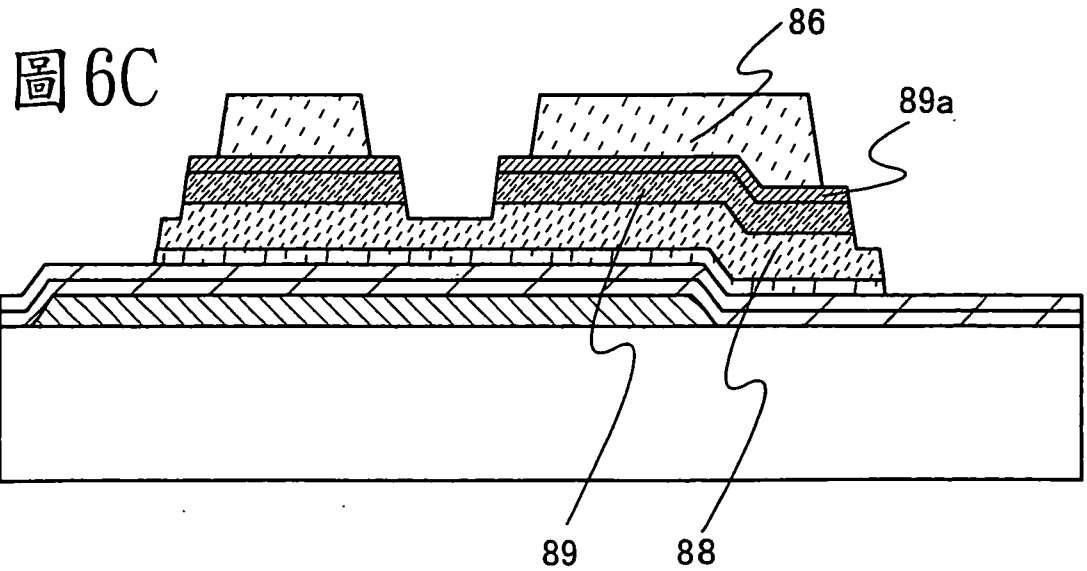


圖7A

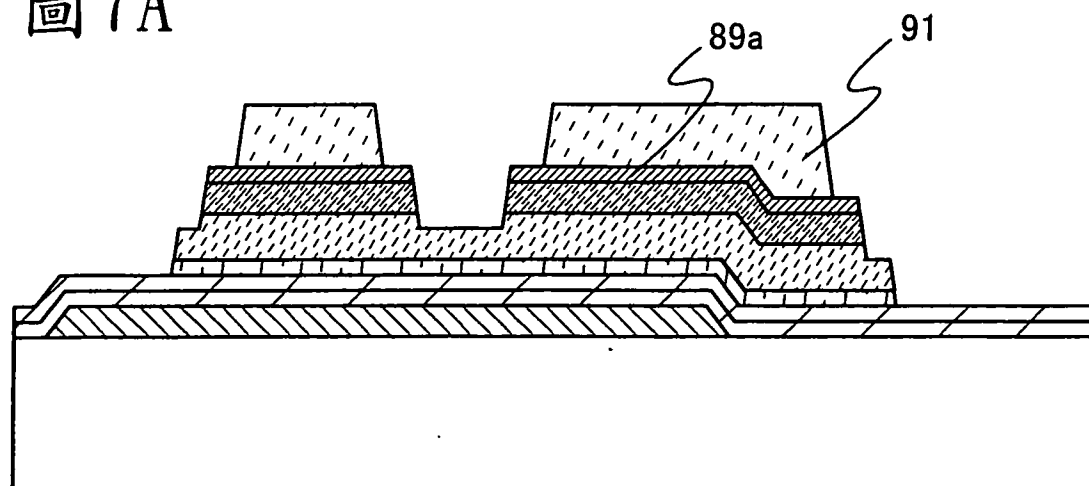


圖7B

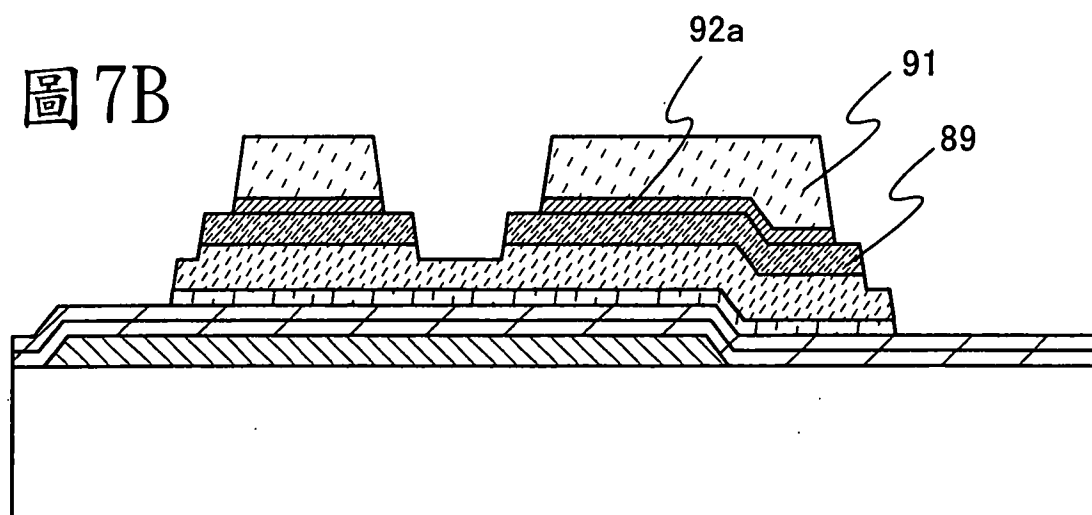


圖7C

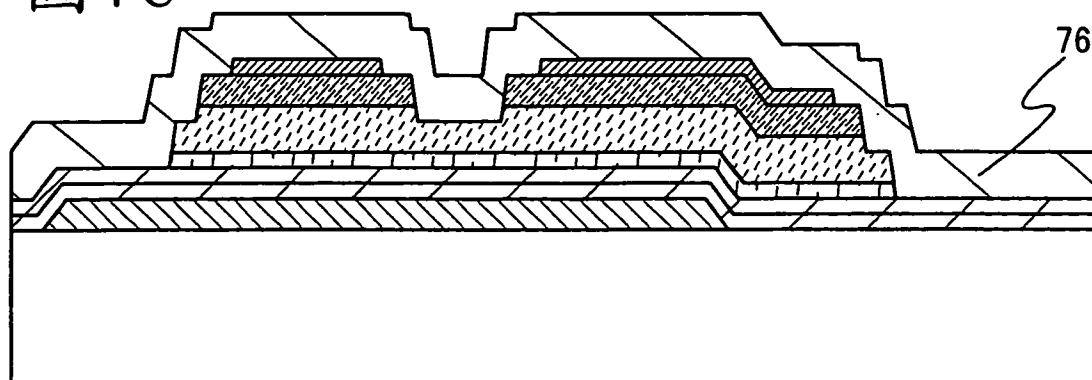


圖 8A

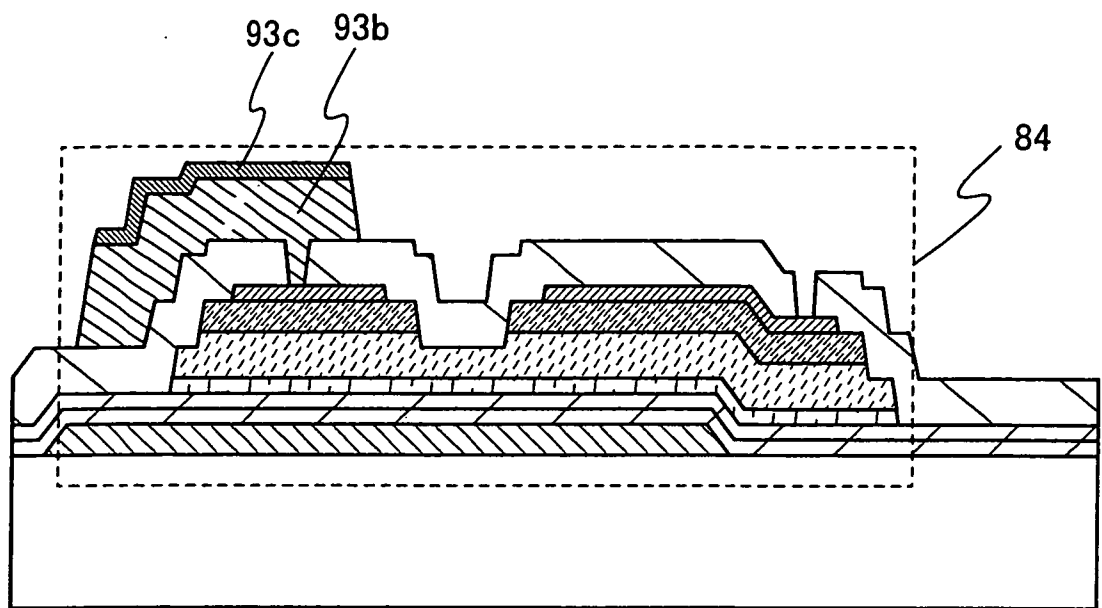
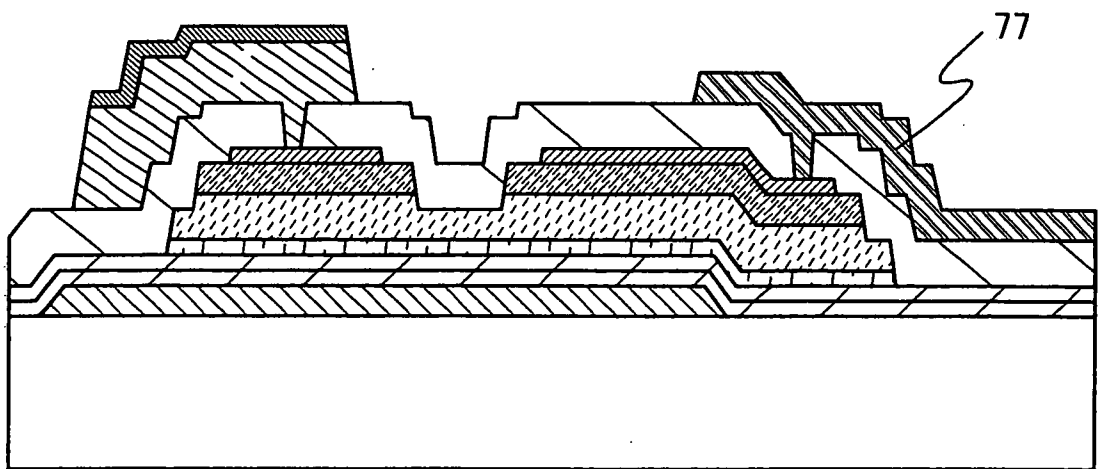


圖 8B



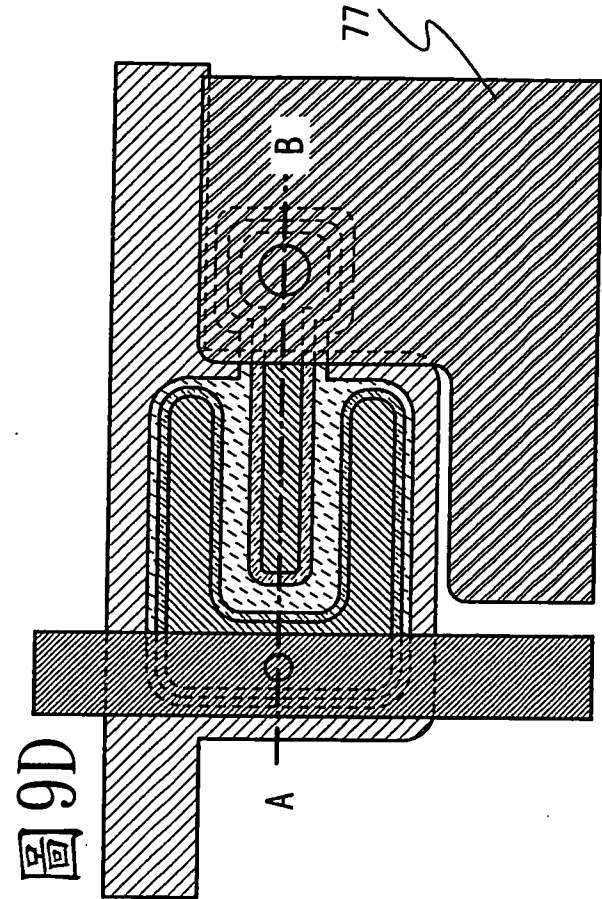
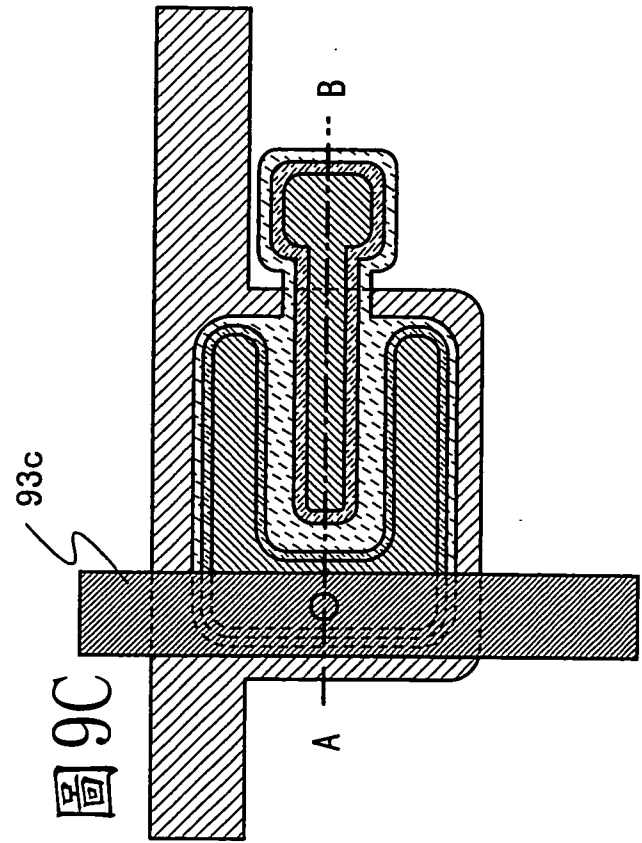
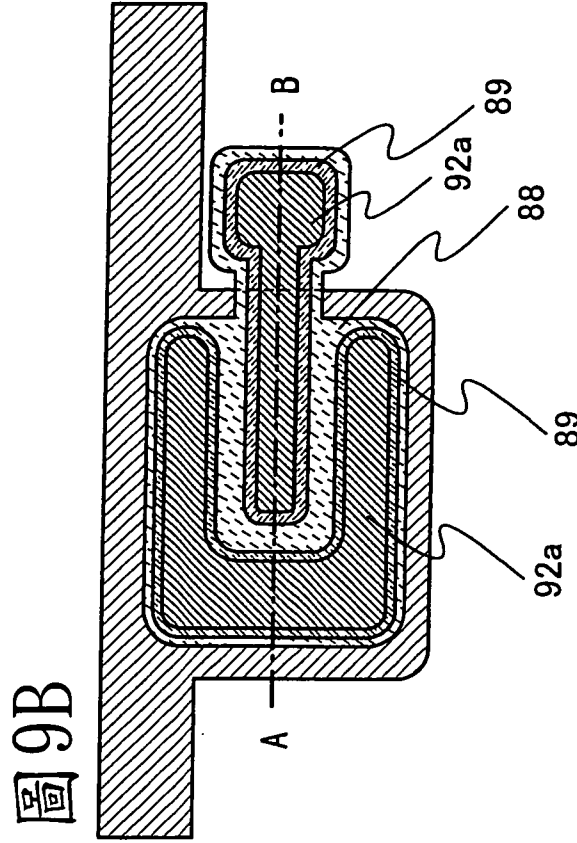
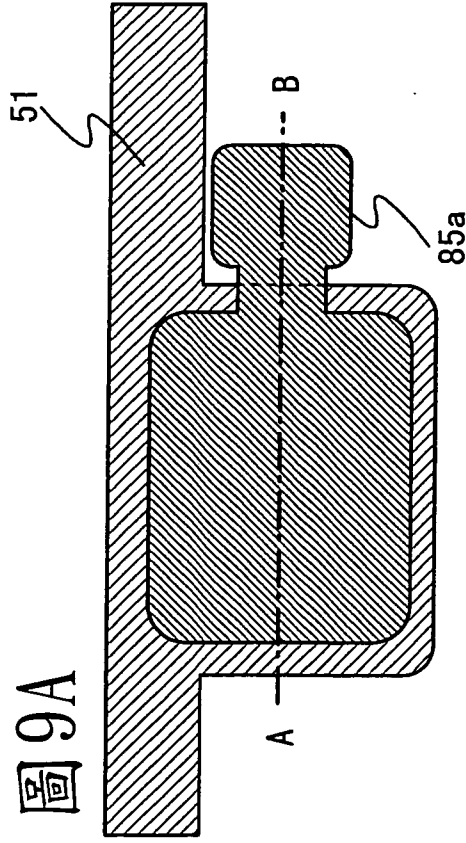


圖 10

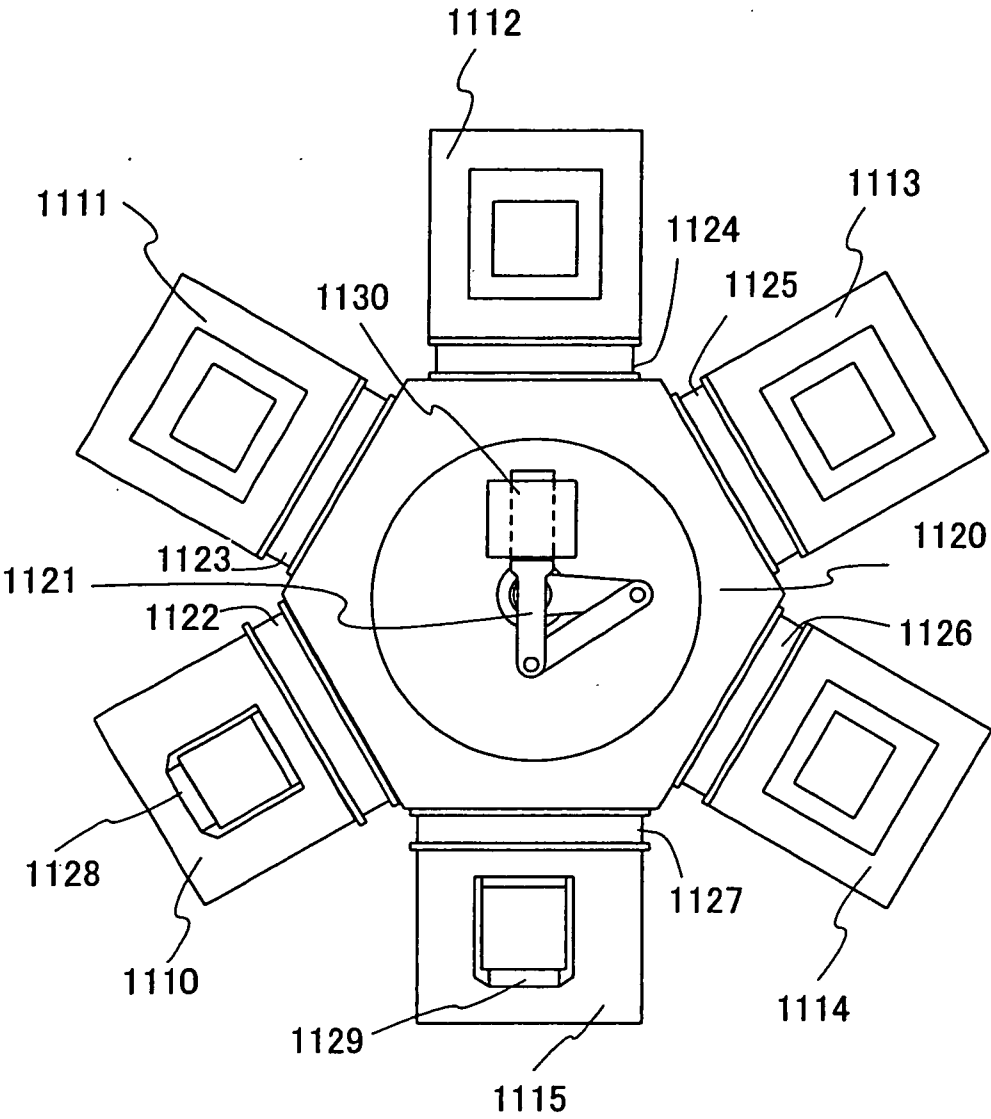


圖 11A

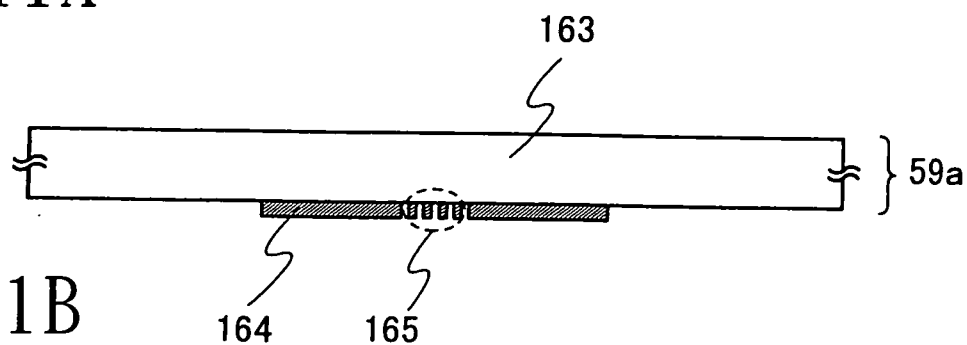


圖 11B

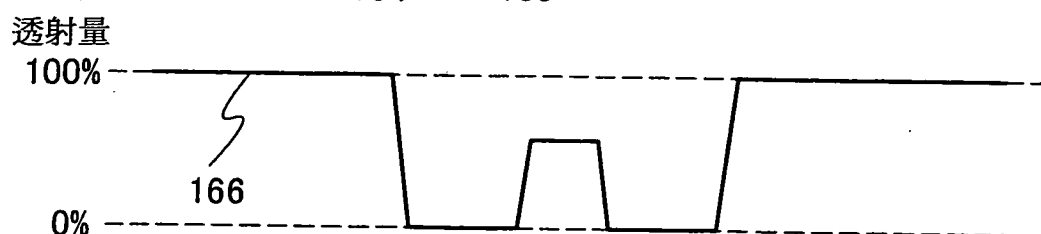


圖 11C

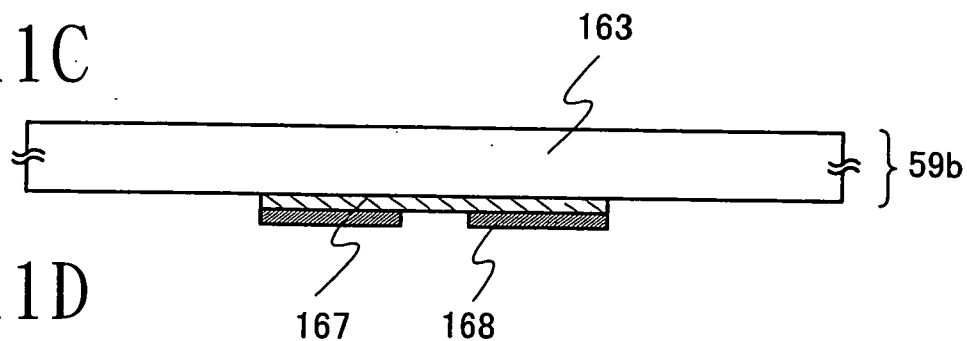


圖 11D

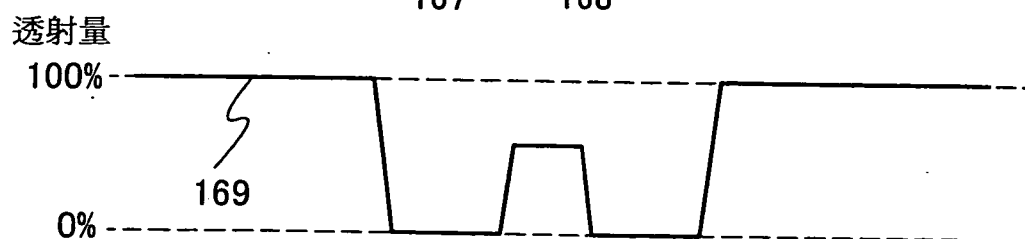


圖 12A

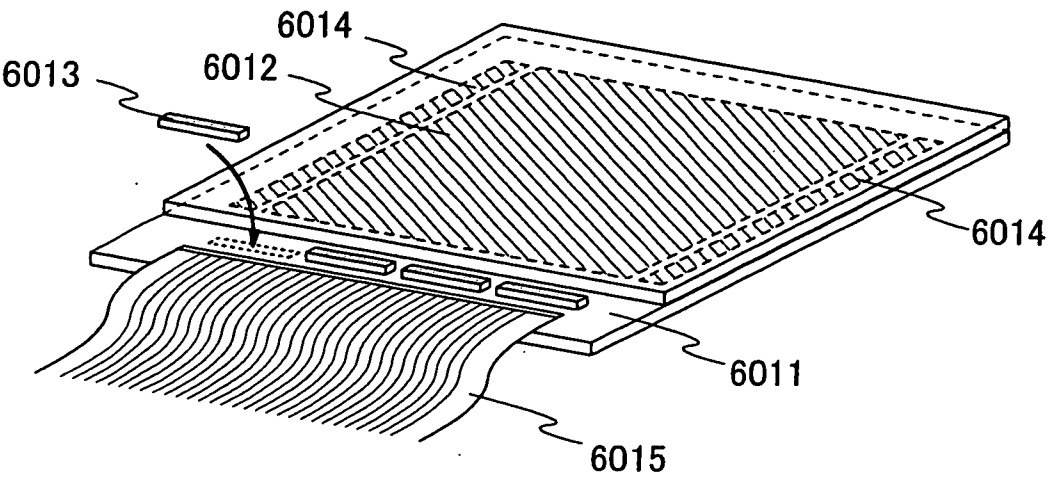


圖 12B

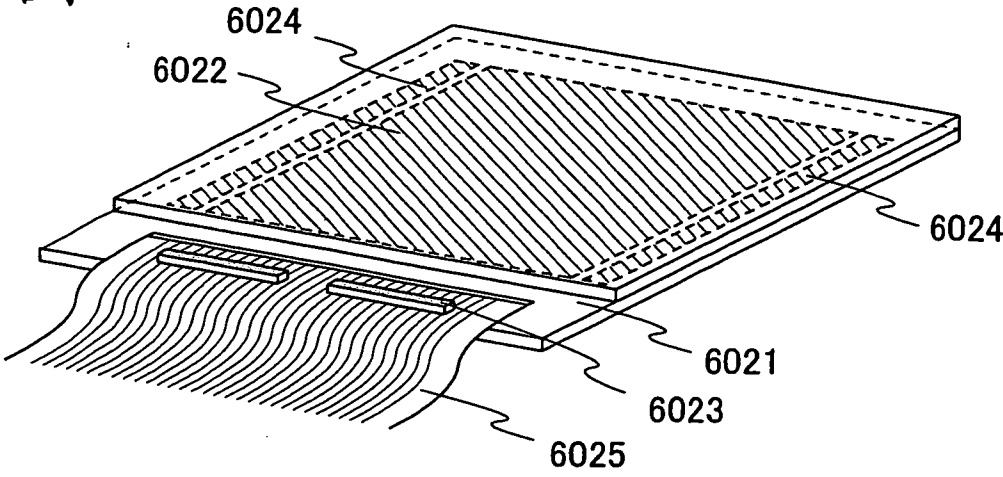


圖 12C

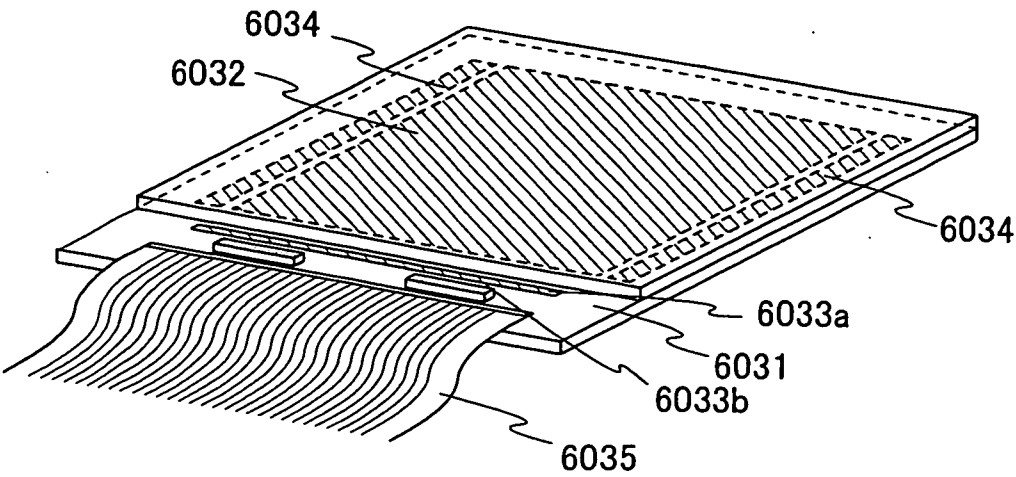


圖 13A

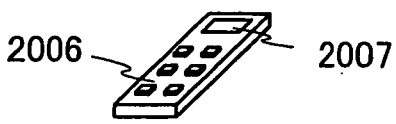
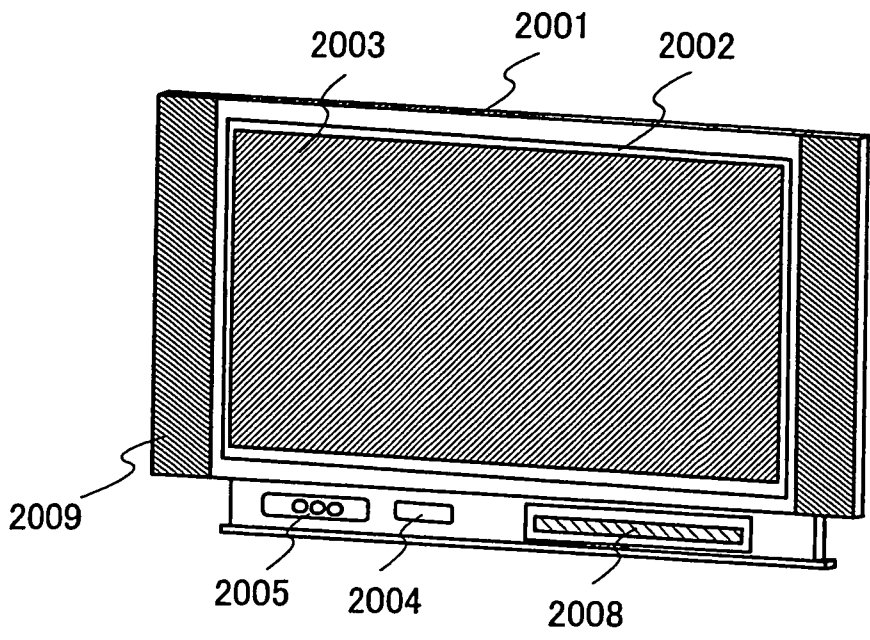


圖 13B

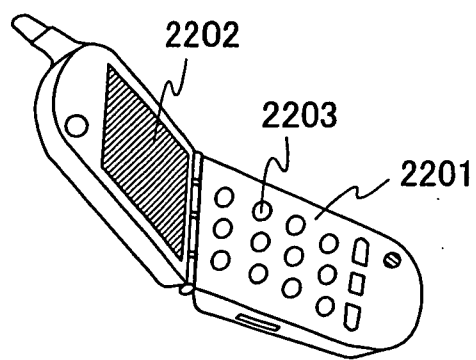


圖 13C

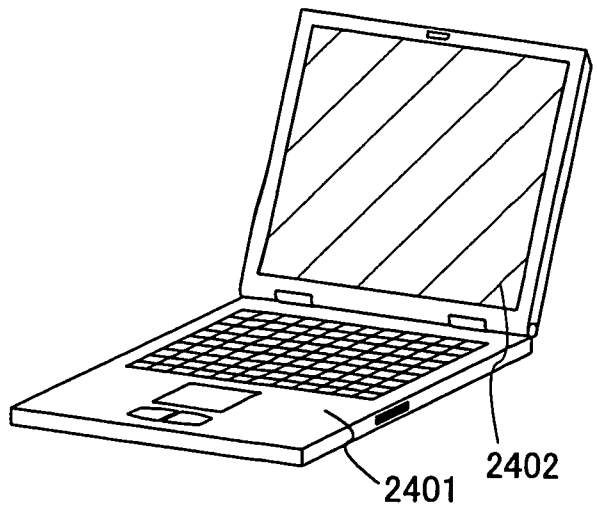


圖 13D

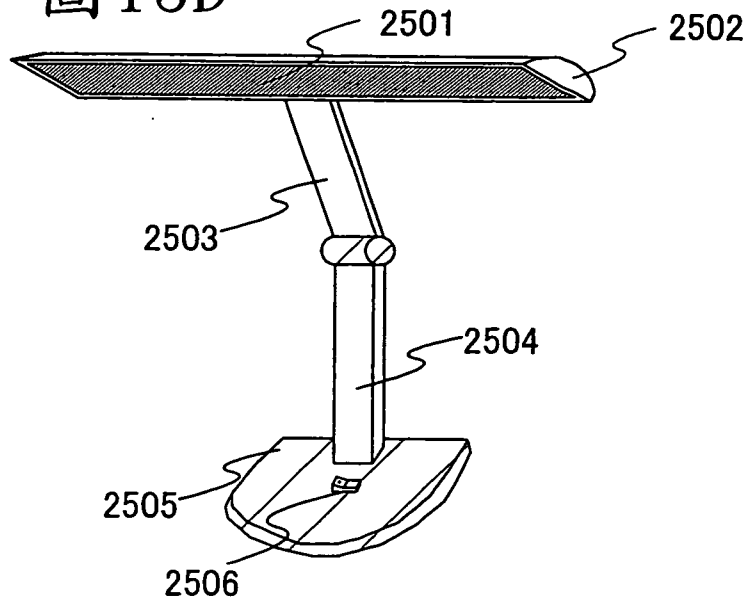


圖14

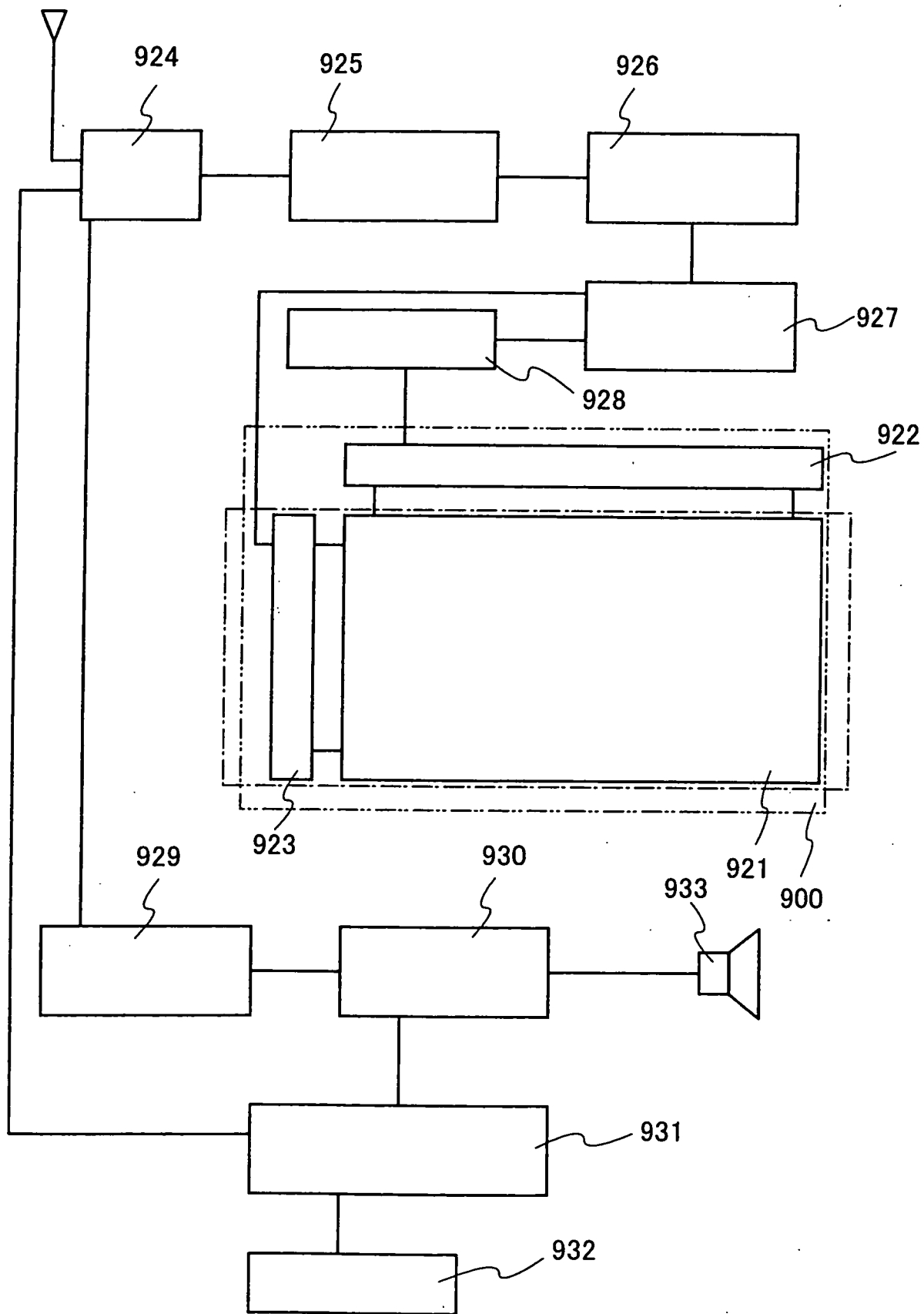


圖 15A

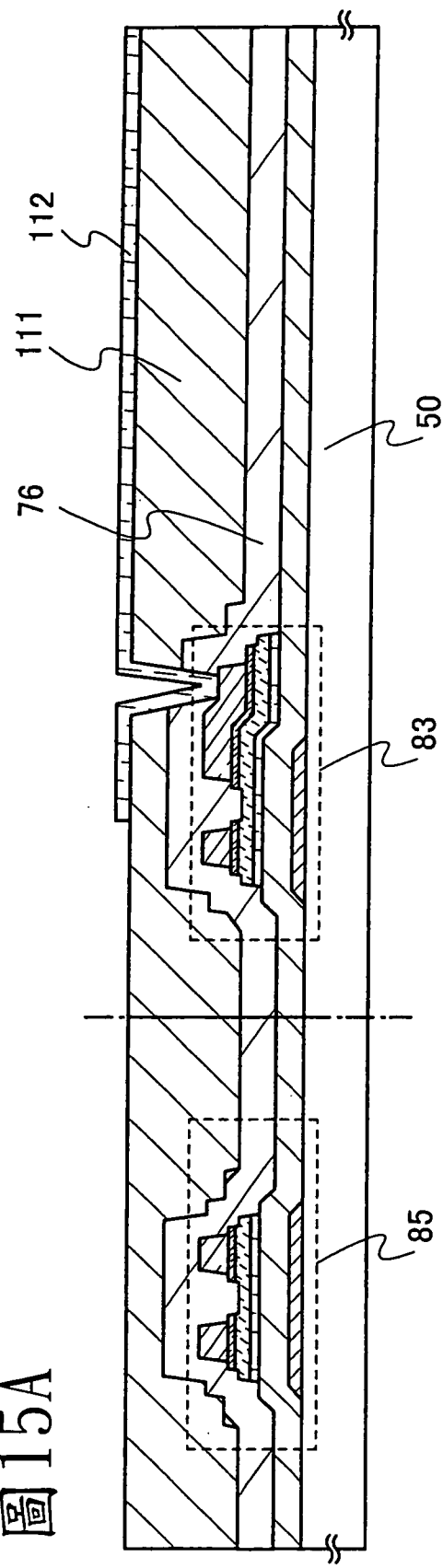


圖 15B

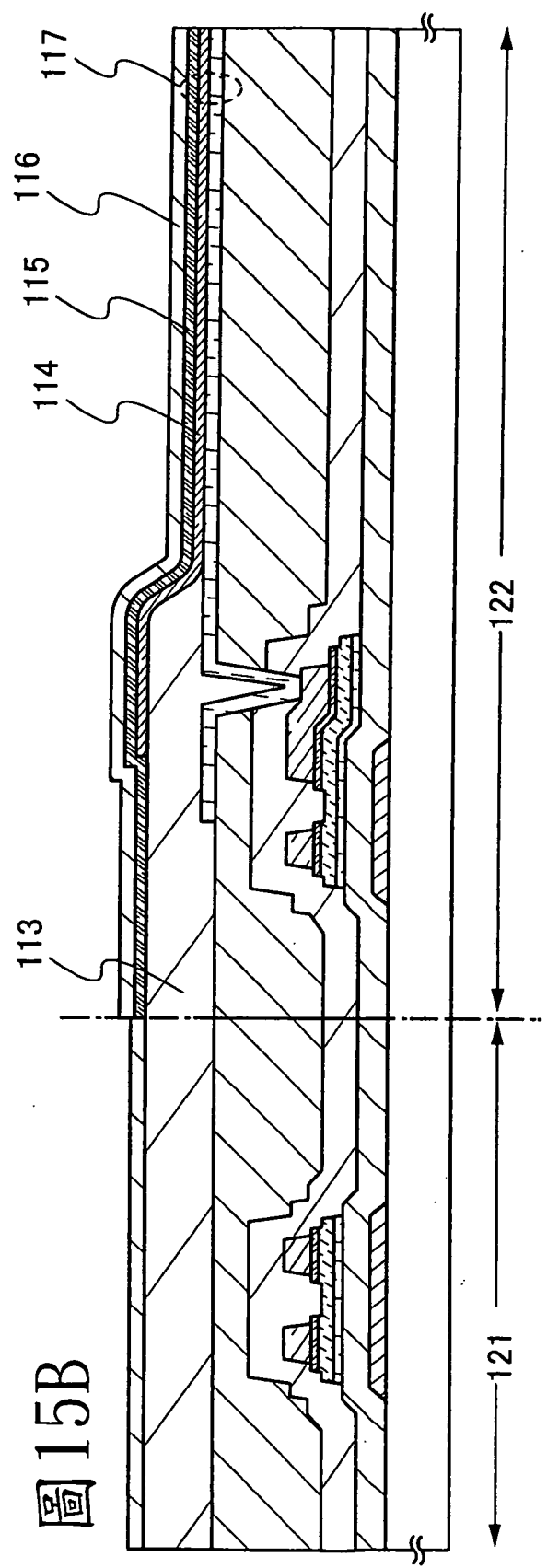


圖 16A

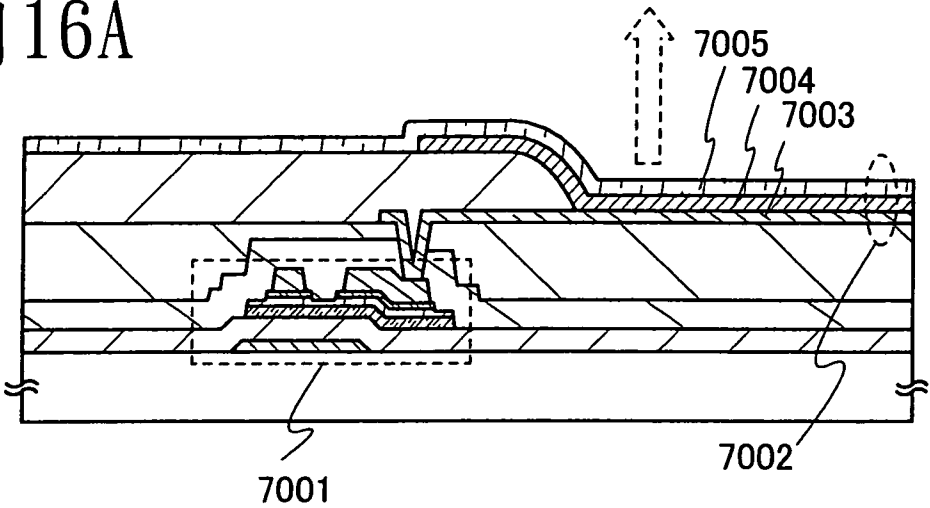


圖 16B

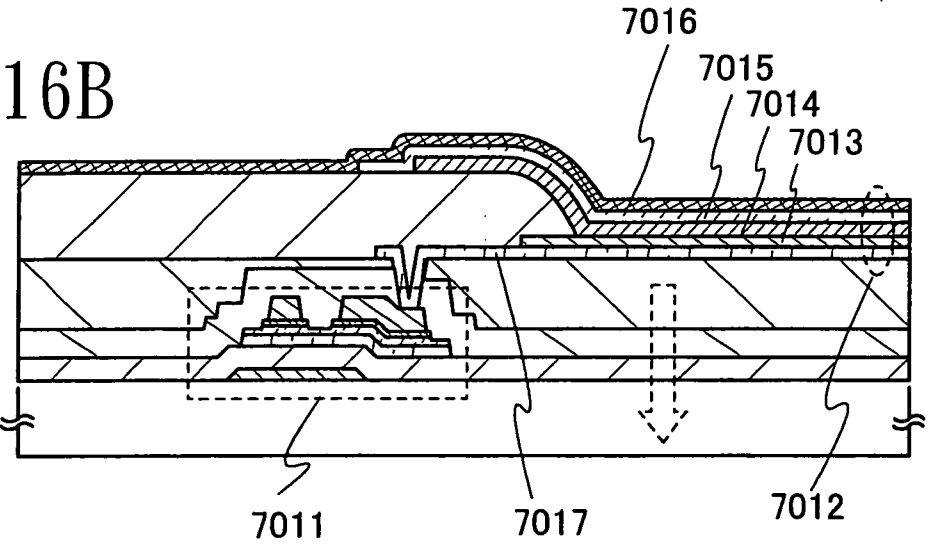


圖 16C

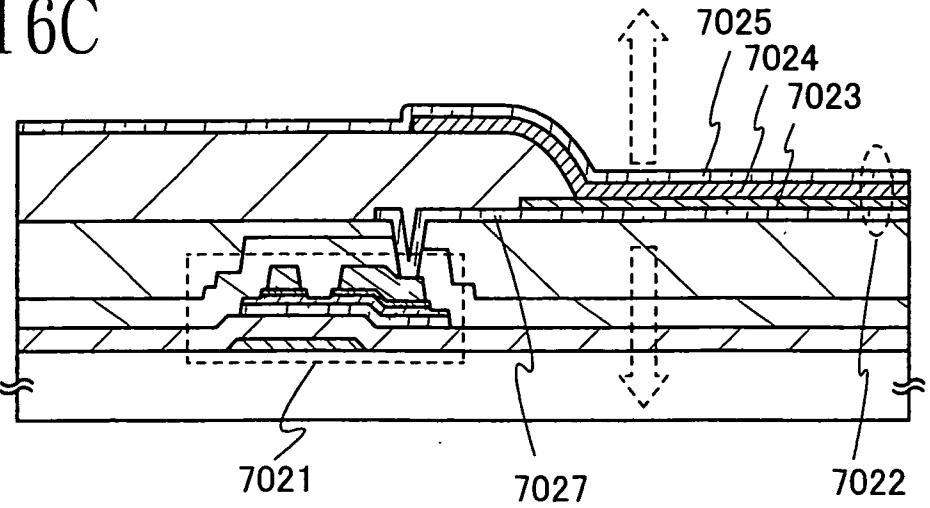


圖17A

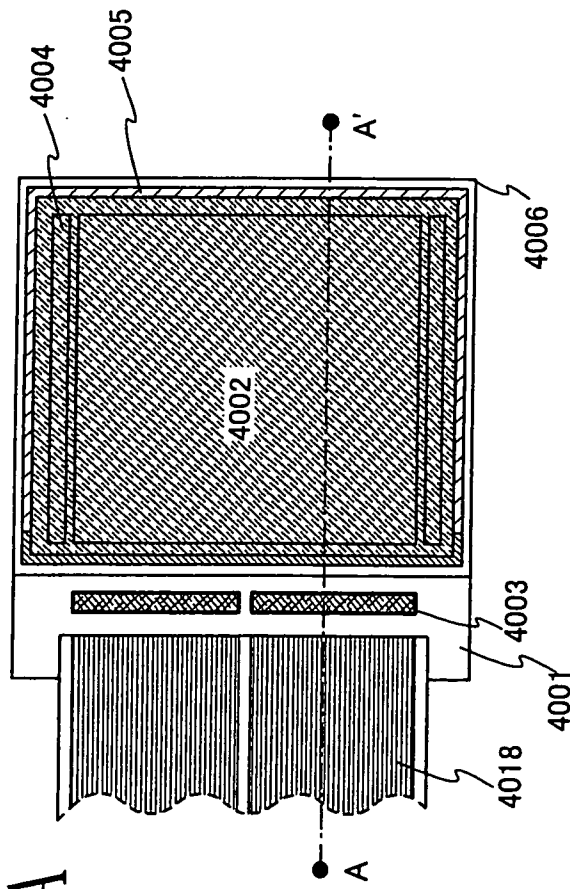


圖17B

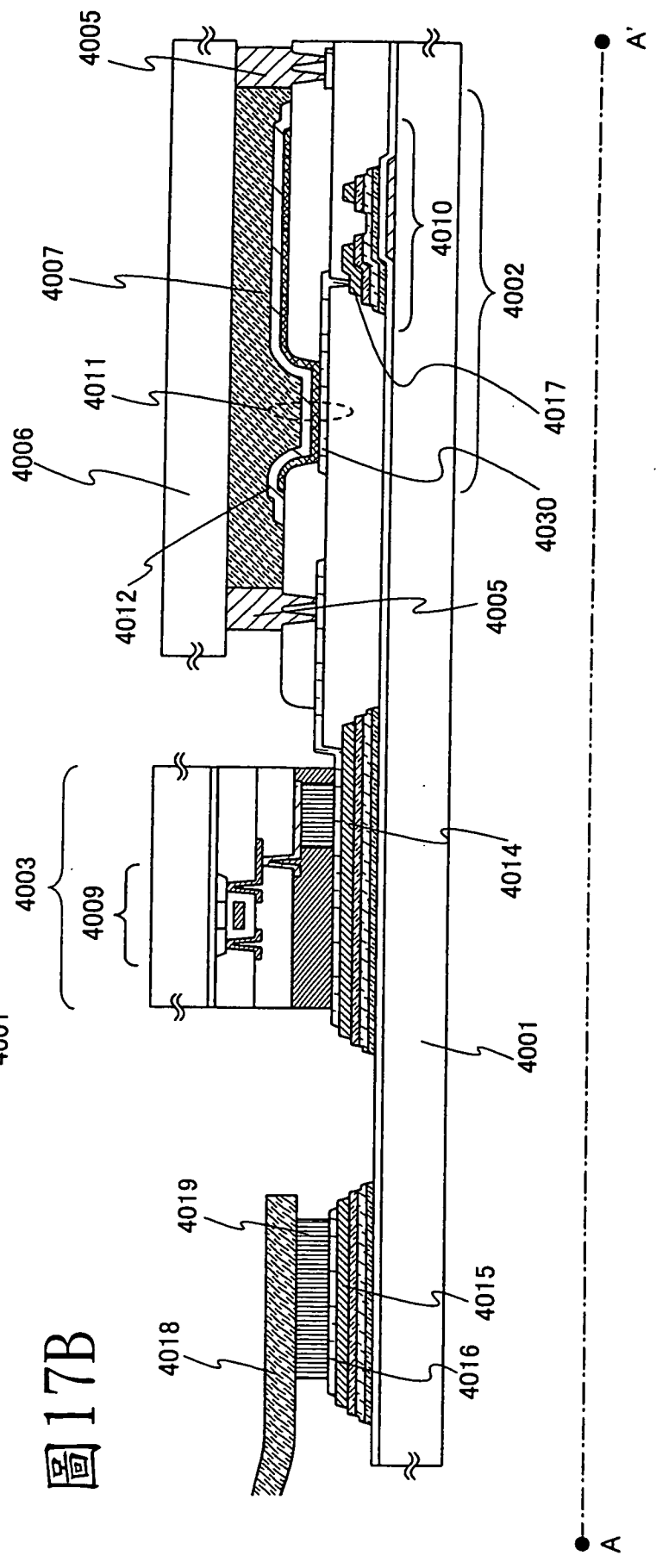


圖 18

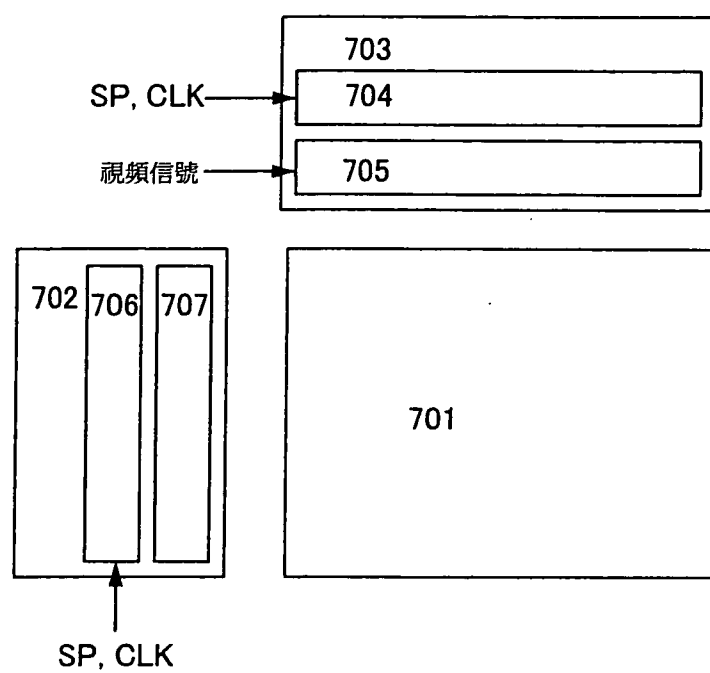


圖19

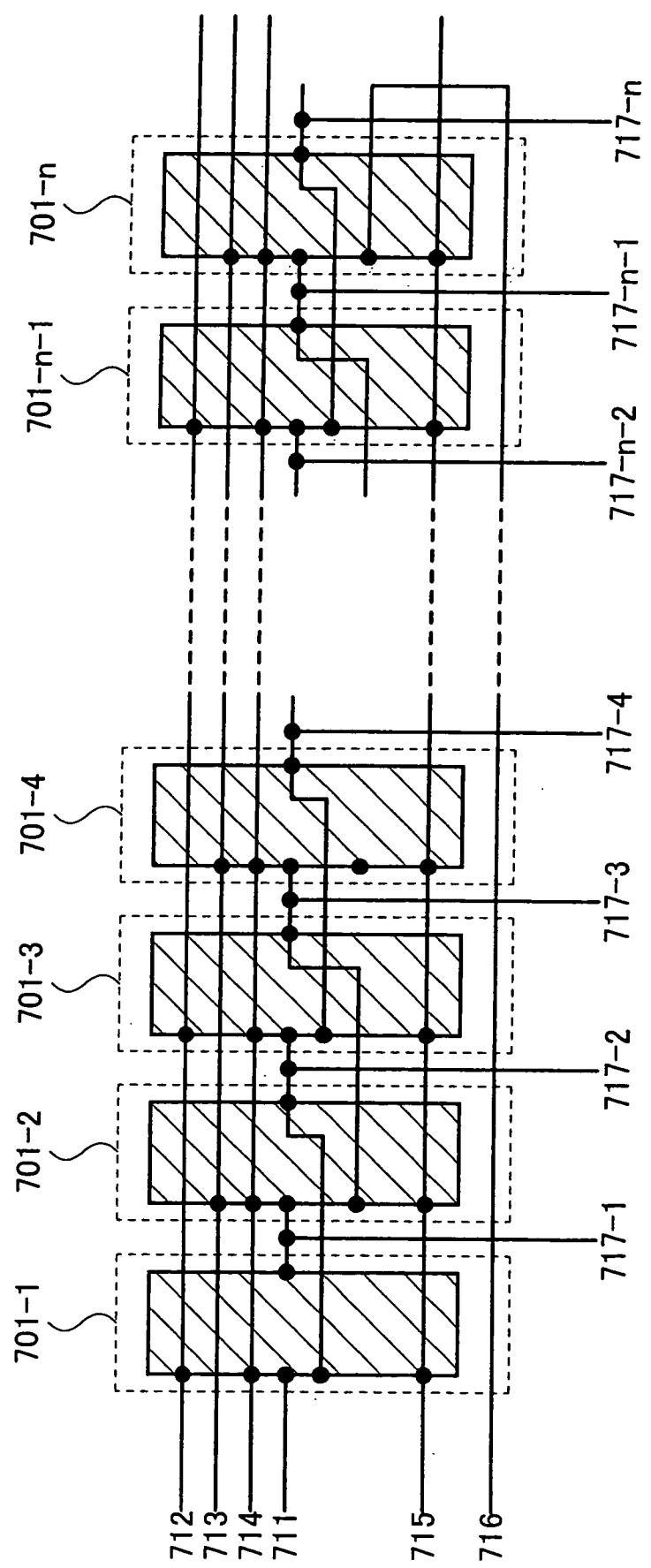
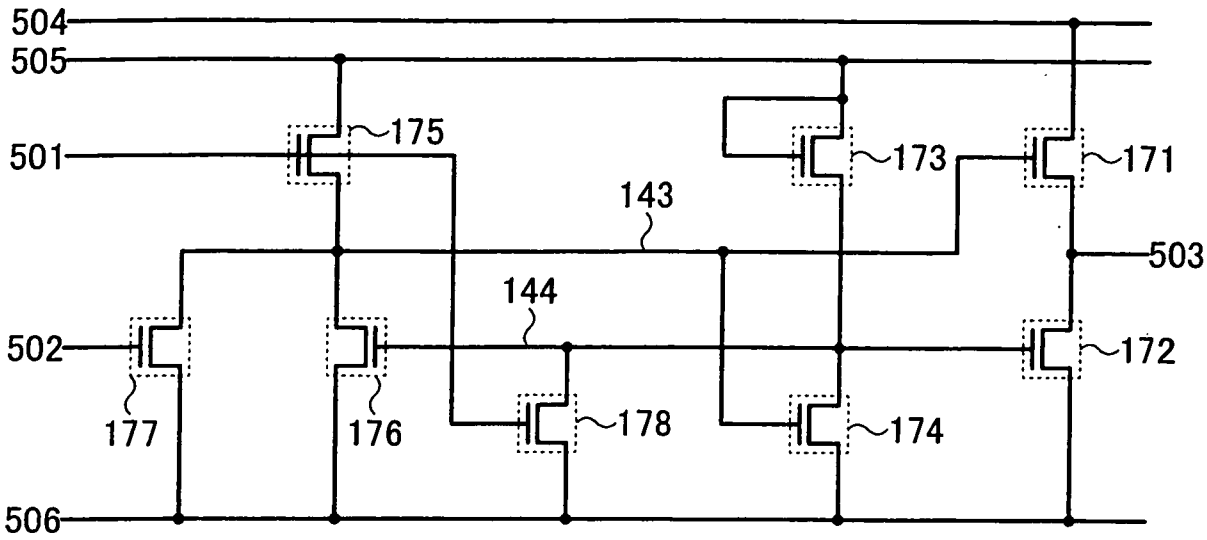


圖 20



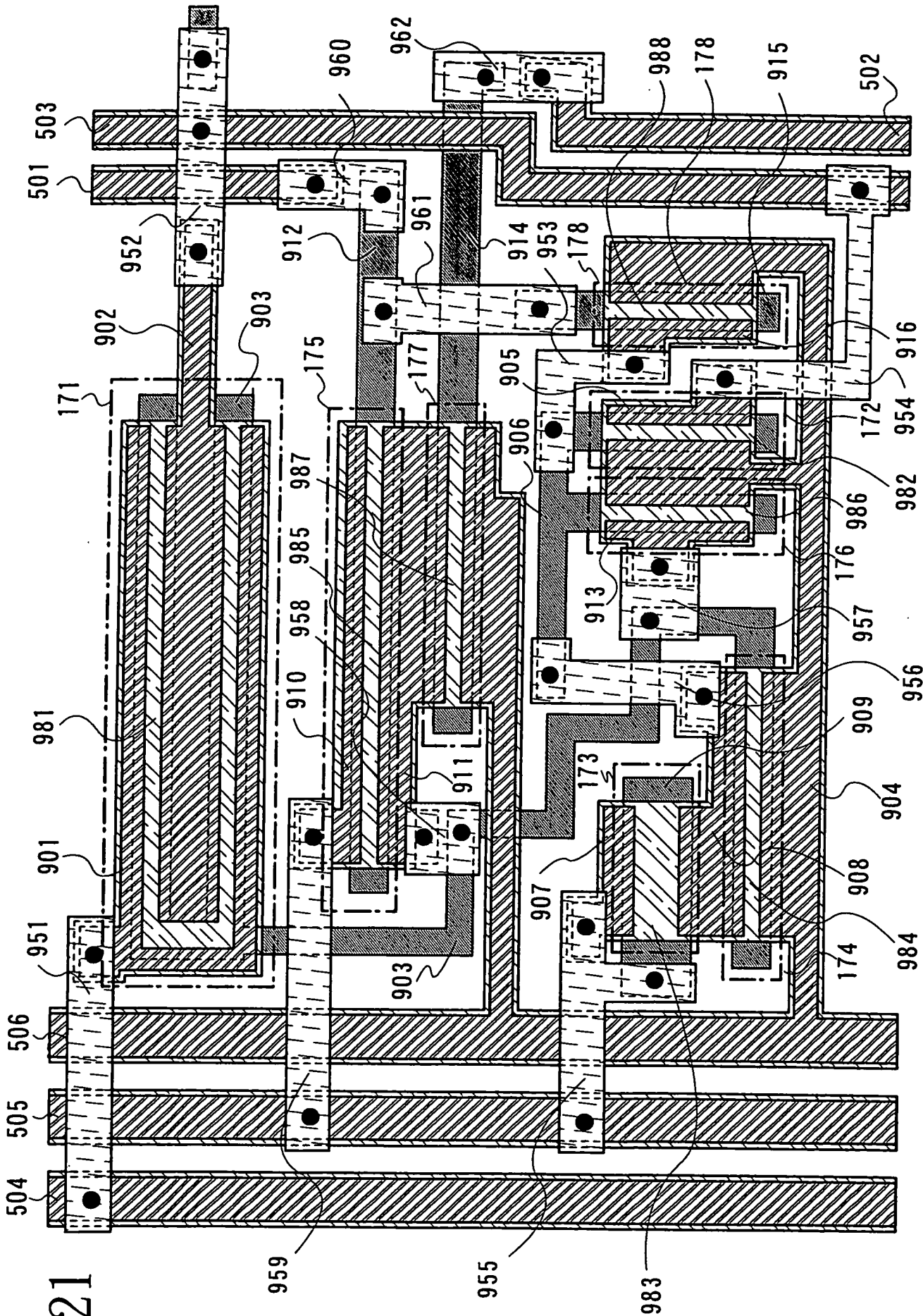


圖21

圖 22A

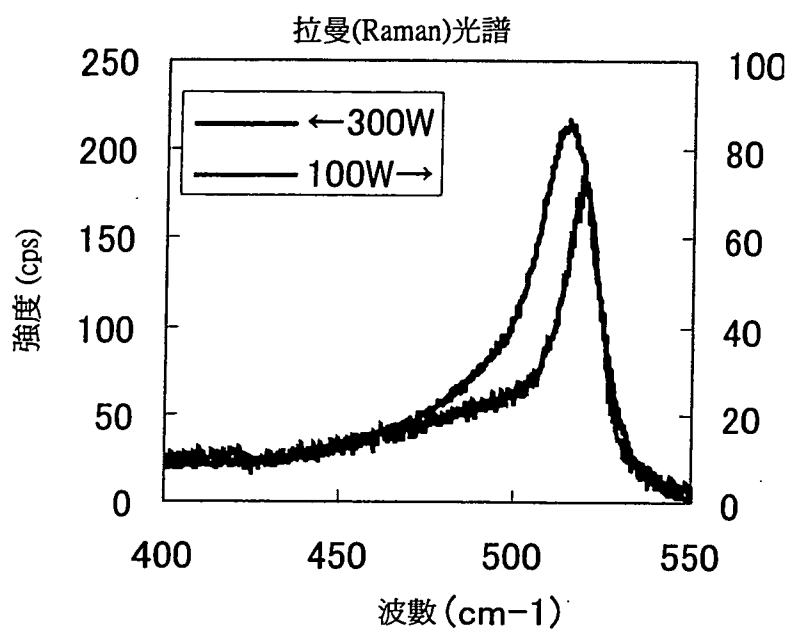


圖 22B

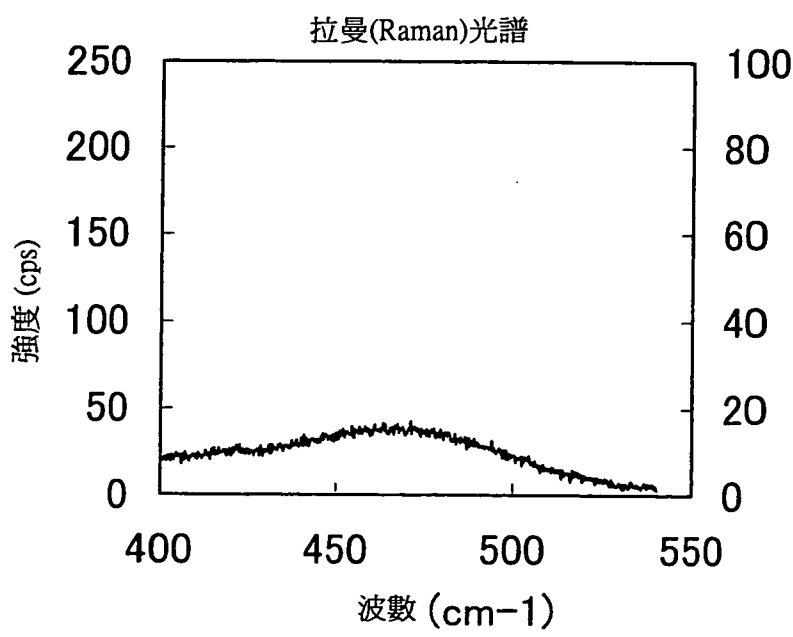


圖 23

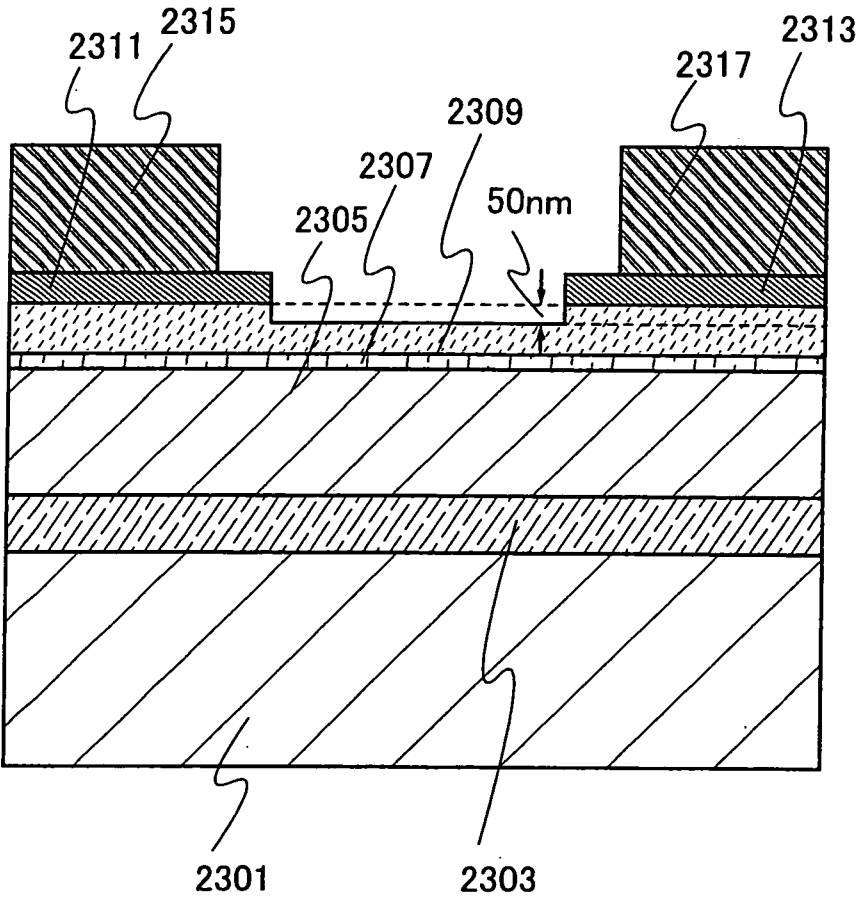


圖24

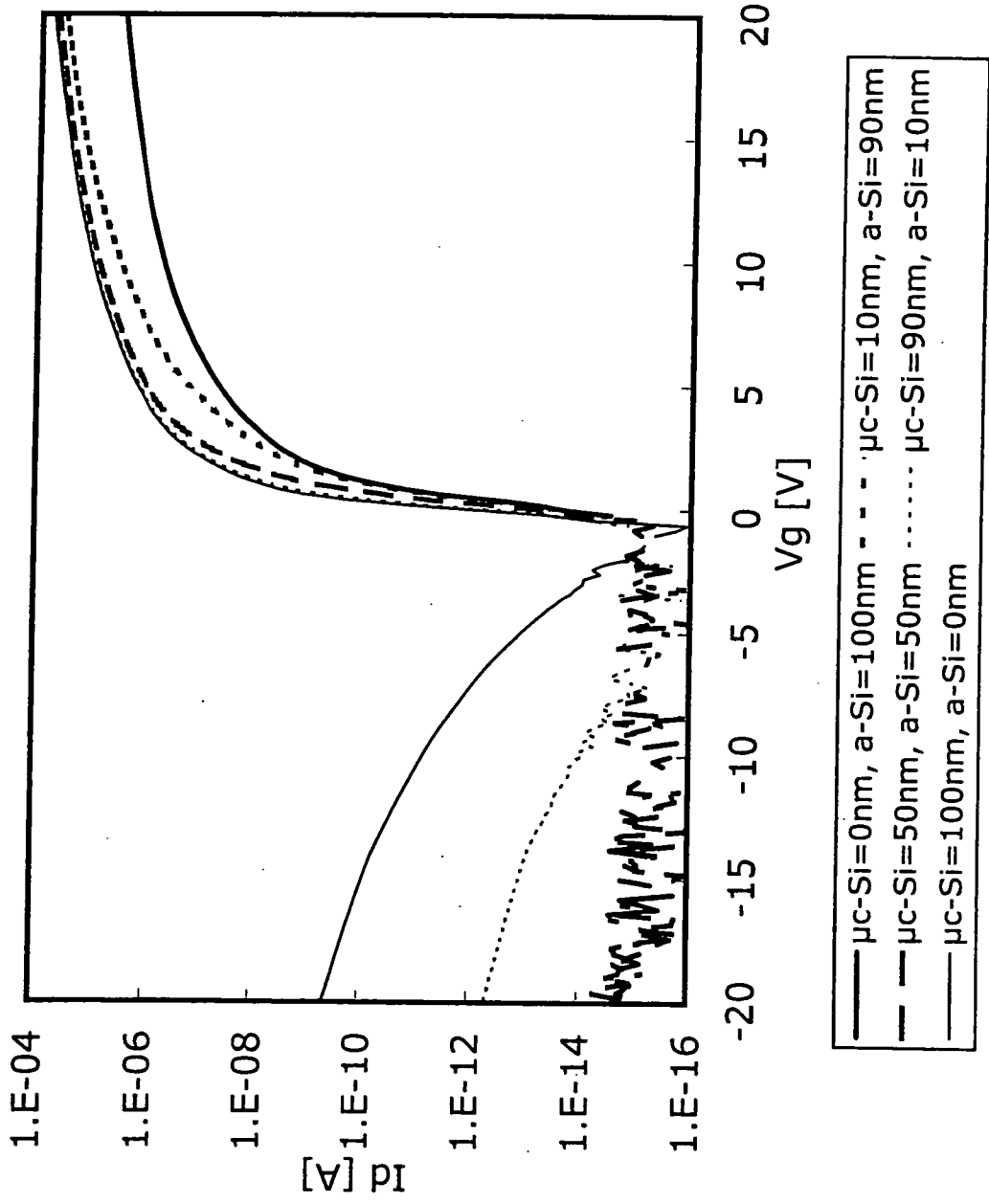


圖 25A

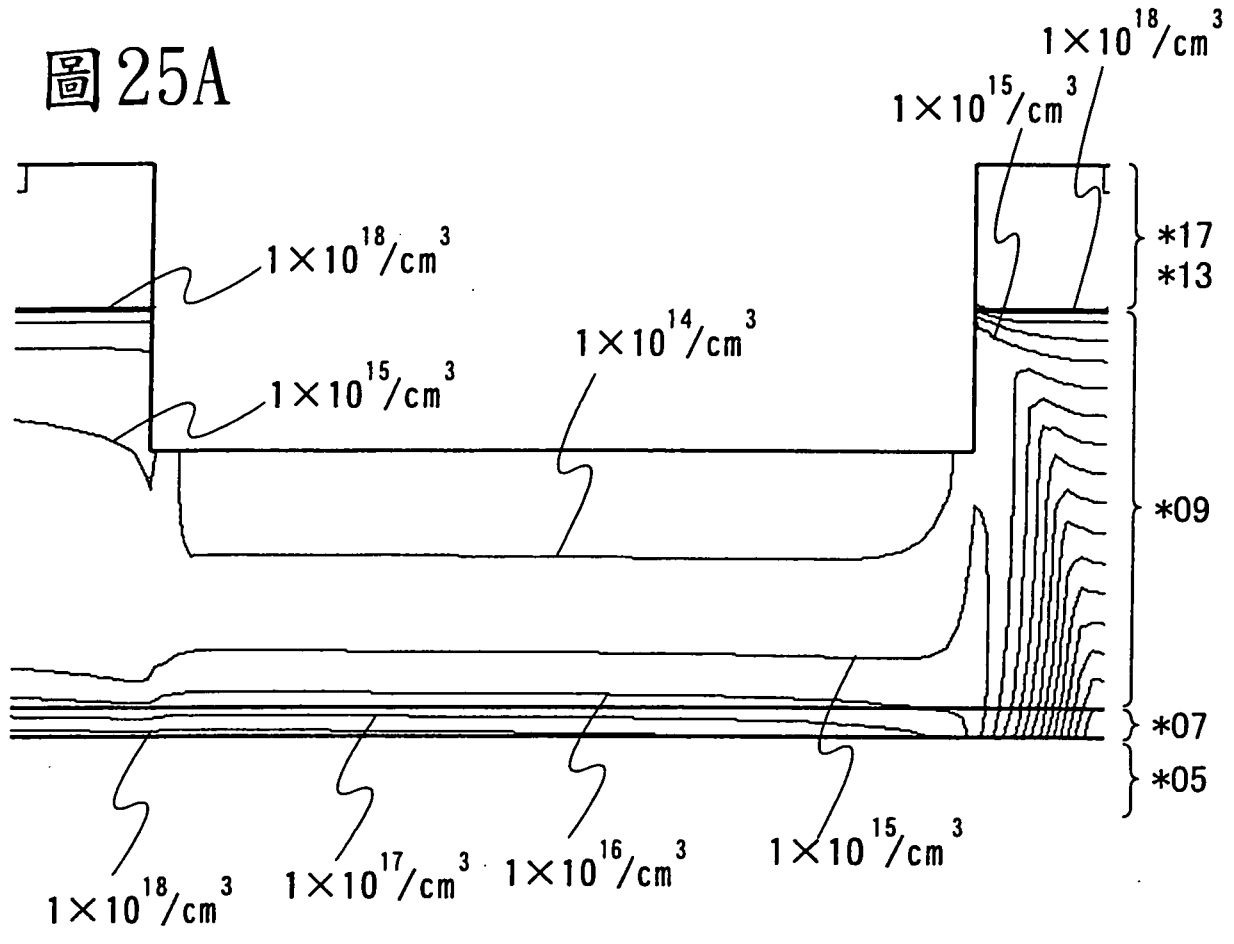


圖 25B

