

發明專利說明書

年 月 日修正
102.2.23 替換頁

中文說明書替換頁(102年2月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096100710

※ 申請日期：96.1.8

※IPC 分類：H01L 2/336

一、發明名稱：(中文/英文)

29/786

用於製造一半導體器件的方法

METHOD FOR MAKING A SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西 6501 號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 里歐 馬修
MATHEW, LEO
2. 璩麗欣
GE, LIXIN
3. 莎亞 維爾拉哈芬
VEERARAGHAVAN, SURYA

國 籍：(中文/英文)

1. 印度 INDIA
2. 新加坡 SINGAPORE
3. 印度 INDIA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年02月08日；11/349,875

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種製造一半導體器件的方法，包括使覆蓋在一絕緣層(12)上面的一半導體層(14)圖案化，以產生第一作用區(28)和第二作用區(30)，其中該第一作用區的高度與該第二作用區的高度不同，且其中於該半導體器件的至少一通道區中，該第一作用區之至少一部分具有第一導電率類型，而該第二作用區之至少一部分具有與該第一導電率類型不同的第二導電率類型。此方法進一步包括於該第一作用區及該第二作用區的至少一部分上形成一閘極結構(26)。此方法進一步包括移除該半導體器件一側之第二作用區的一部分。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(16)圖。

(二)本代表圖之元件符號簡單說明：

28	較高部分
30	較低部分
34	接點區
36	作用區
38	汲極區
40	源極區
42	延伸區
46	閘極間隔層
50	矽化物區
51	接點
52	接點
53	接點
54	接點
55	接點
56	接點
57	接點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係有關半導體器件，更具體而言係有關形成絕緣體上半導體(SOI)主體接觸器件之方法及裝置。

【先前技術】

主體接觸SOI電晶體典型而言係設置有隔開源極/汲極區與主體接觸區的多晶矽閘極。因為此主體連結而產生的額外電路負載電容是相當顯著的。

並且，在高電流應用方面，例如在輸入/輸出(I/O)緩衝器中，需要更大寬度的主體接觸SOI電晶體。然而，當閘極寬度增加時，沿著電晶體主體對主體接觸的電阻也會增加。此電阻可能會導致部分主體無法如同正確操作所需要的那樣藉由主體接觸正確地連結。因此，需要有改良的主體接觸SOI電晶體。

【發明內容】

在一項具體實施例中，形成具有不同高度之第一和第二作用區的主體接觸絕緣體上半導體(SOI)。並且，在至少一通道區中，該第一和第二作用區具有不同的導電率類型。使用這些具有不同高度和不同導電率類型的作用區可提供SOI電晶體主體改良的電接點。

【實施方式】

圖1解說依據本發明之一項具體實施例的半導體結構10之斷面圖。半導體結構10包含一半導體基板16及一形成於半導體基板16上的圖案化遮蔽層18。半導體基板16為包含

覆蓋在一絕緣層 12 上的一半導體層 14 之絕緣體上半導體 (SOI) 基板。半導體層 14 可包含任何種類的半導體材料，舉例來說例如矽、矽鍺、砷化鎵、氮化鎵、或其組合。在一項具體實施例中，半導體層 14 包含矽，在此例中，基板 16 可明確地稱為絕緣體上矽基板。在此解說的具體實施例中，將說明 n 型器件之形成。所以在此解說的具體實施例中，半導體層 14 摻雜了少量的 p 型摻雜劑，舉例來說例如硼或 BF_2 ，如圖 1 之符號「P-」所示。在一項具體實施例中，這樣的摻雜係使用約 $1\text{e}15$ 至 $1\text{e}18/\text{cm}^3$ 範圍內的摻雜劑量進行 p 型植入而完成。之後，可以進行退火以便更均勻地分布此摻雜劑。再者，請注意半導體結構 10 也可稱為半導體器件 10，因為最後它在後面的圖式中會變成器件。

絕緣層 12 可包含任何種類的絕緣材料。在一項具體實施例中，絕緣層 12 包含一氧化物，而可稱為埋層氧化物。在一項具體實施例中，圖案化遮蔽層 18 為硬遮罩層，可使用已知的半導體加工技術形成。圖案化遮蔽層 18，如後文進一步將會見到者，係用來定義不同高度的作用區。

圖 2 解說藉由圖案化遮蔽層 18 曝光之後，移除部分半導體層 14 的半導體結構 10。舉例來說，可使用非等向性蝕刻來移除部分的半導體層 14，此蝕刻會延伸到半導體層 14，但不會完全延伸穿過半導體層 14。因此，圖 2 的蝕刻導致半導體層 14 具有較高部分 28 及較低部分 30。

圖 3 解說進行植入 20 至半導體層 14。在此解說的具體實施例中，植入 20 為例如使用硼或 BF_2 作為摻雜劑，具有約 $1\text{e}18$

至 $1e20/cm^3$ 範圍內之摻雜劑濃度的 p 型植入。因此，請注意受到圖案化遮蔽層 18 保護的半導體層 14 之較高部分 28 受到少量地摻雜 (如 P- 所示)，反之，藉由圖案化遮蔽層 18 曝光的半導體層 14 之較低部分 30 則因植入 20 而受到大量地摻雜，如這些部分中的 P+ 所示。

圖 4 解說在形成使半導體層 14 與其他周圍器件隔離的隔離區 22 及移除圖案化遮蔽層 18 之後的半導體結構 10。可使用已知的圖案化和蝕刻技術來形成隔離區 22。請注意，在一項具體實施例中，隔離區 22 包圍著半導體層 14，其中半導體層 14 提供 SOI 器件形成時的作用區域 (即作用區)。圖案化遮蔽層 18 也可使用習知的加工技術移除。

圖 5 解說在半導體層 14 上方形成閘極介電質 24 以及在閘極介電質 24 上方形成閘極 26 之後的半導體結構 10。在一項具體實施例中，於基板 16 上方覆蓋式沈積一閘極介電層及一閘電極層，接著圖案化以形成閘極介電質 24 及閘極 26 (其中閘極 26 也可稱為閘電極)。此圖案化，如同在自上而下視圖中所見到者，係定義橫越半導體層 14 中間部分的閘極結構，其中移除了閘極層及閘極介電層在頁面背後和前面的部分。請注意閘極 26 和閘極介電質 24 合在一起可稱為閘極結構。在一項具體實施例中，閘極 26 為一多晶矽閘極，但是在替代具體實施例中，其他材料或材料的不同組合可用來作為閘極 26。在一項具體實施例中，閘極介電質 24 包含一絕緣體，例如氧化物或氮化物。在替代具體實施例中，其他材料或材料的不同組合可用來作為閘極介電質 24。

提供用於器件之作用區域(因此也可稱為作用區域或作用區)的半導體層14包含一通道區27，其沿著受到少量摻雜(例如P-)之較高部分28中的閘極介電質24而形成。再者，半導體層14包含一位於較高部分28、外部通道區27內部的主體區29。閘極26(例如P+部分)下方的較低部分30係提供介於主體區29(其位於各較高部分28中)的不同部分之間的主體連結或接點。因此，請注意較高部分28可稱為第一作用區，而較低部分30可稱為第二作用區，其中該第一作用區及第二作用區具有不同的高度和不同的導電率類型(例如在此解說的具體實施例中，分別為P-對P+)。通道區27和主體區29在圖5中係以虛線圖示並且指出這些區域的概括位置，因為這些區域的邊界並沒有清楚地界定。但是請注意在典型的平面型器件中，主體區通常指位於通道區下方之作用區域的區域，其中該通道區為操作該器件過程中形成通道之閘極下方的區域。

圖6解說半導體結構10的自上而下視圖，其中圖5係對應由閘極26中間所取得之斷面圖，如圖6所示。如同可在圖6之自上而下視圖中所見到者，半導體層14從閘極26兩側下方向外延伸，形成作用區36。作用區36的上部，如圖6所示在閘極26上方者，係對應汲極區38，而作用區36的下部，如圖6所示在閘極26下方者，係對應源極區40。並且，請注意較低部分30比較高部分28從閘極26更向外延伸。因此，形成上述之圖案化遮蔽層18，以便使較低部分30比較高部分28延伸得更遠，其中當自上而下透視時，在圖1上方的圖

案化遮蔽層 18 之圖示部分會具有對應於較高部分 28 的形狀。並且，請注意通道區 27 和主體區 29 係位於較高部分 28 的該等區域中，該較高部分在閘極 26 的下面。在替代具體實施例中，可形成圖案化遮蔽層 18，以便使較低部分 30 不會比較高部分 28 從閘極 26 延伸得更遠，或是讓它們進一步只在源極區 40 內延伸而不會在汲極區 38 內延伸。再者，較低部分 30 在源極側 40 內比較高部分 28 延伸得更遠的部分可稱為較低部分延伸區 42。圖 6 亦解說可形成閘極接點之閘極 26 的接點區 34。

圖 7 解說在形成覆蓋源極區 40 的圖案化遮蔽層 44 之後的半導體結構 10 之自上而下視圖。圖案化遮蔽層 44 可使用已知的半導體加工技術形成。如圖 8 所示，從汲極區 38 移除較低部分 30 的時候，圖案化遮蔽層 44 係用來保護源極區 40。舉例來說，在一項具體實施例中，可進行非等向性蝕刻，使汲極區 38 內在較高部分 28 之間和周圍，位於下面沒有被閘極 26 覆蓋到的絕緣層 12 暴露出來。

圖 9 解說在移除圖案化遮蔽層 44 (其中可使用習知的半導體技術來移除圖案化遮蔽層 44) 之後及形成閘極間隔層 46 之後的半導體結構 10。閘極間隔層 46 可藉由覆蓋式沈積一或多個絕緣層，接著進行非等向性蝕刻以產生包圍閘極 26 的閘極間隔層 46 而形成。在一項具體實施例中，閘極 26 比半導體層 14 厚，因此可進行過蝕刻以形成閘極間隔層 46。從半導體層 14 (例如較高及較低部分 28 和 30) 的任何側壁移除間隔層材料時，此過蝕刻係將閘極間隔層 46 侷限在閘極

26的側壁中。以這種方式，閘極間隔層46會只包圍在閘極26，如圖9所示。但是在替代具體實施例中，可形成閘極間隔層46，以便使間隔層也形成在半導體層14的側壁上(例如在較高及較低部分28和30的側壁上)。

圖10解說由汲極區38所取得之半導體結構10的斷面圖，如圖9中的斷面指標所示。因此，請注意在較高部分28之間，絕緣層12是暴露出來的，如前文圖8所述者。

圖11解說由源極區40所取得之半導體結構10的斷面圖，如圖9中的另一個斷面指標所示。因此，請注意在源極區40中，較高部分28和較低部分30兩者仍然保留。

圖12解說進行源極/汲極植入48至半導體層14。進行源極/汲極植入48至半導體結構10的源極區40和汲極區38兩者之中。在此解說的具體實施例中，形成n型器件時，使用n型摻雜劑，例如磷或砷進行源極/汲極植入48。在一項具體實施例中，係使用約 $1e19$ 至 $1e21/cm^3$ 範圍內的摻雜劑濃度。

圖13解說在圖12的源極/汲極植入48之後的半導體結構10之自上而下視圖。因此，請注意在源極區40和汲極區38內沒有被閘極26覆蓋到的半導體層14會接收到n型摻雜劑，而使得在源極區40和汲極區38內被閘極26所暴露出來的較高部分28大量地摻雜n型摻雜劑(如N+所示)。在源極區40內的較低部分30也包含有n型摻雜劑，但也仍然可包含p型摻雜劑(如N+加上P+所示)。換言之，源極/汲極植入48的n型摻雜劑在較低部分30中可能沒有完全抵銷p型摻雜劑的高濃度。因此，請注意在閘極26下面的較高部分28具有與

源極區 40 之較低部分 30 (沒有在閘極 26 的下面) 不同的導電率類型。在此解說的具體實施例中，它們具有相反的導電率類型 (例如分別為 P- 和 P+N+，其中源極區 40 的較低部分 30 之 N+ 與在閘極 26 下面的較高部分 28 之 P- 的導電率類型相反)。並且，請注意至少在通道區 27、閘極 26 下方、較低部分 30 及較高部分 28 具有不同的導電率類型 (分別保持 P- 和 P+)。

圖 14 解說使半導體層 14 矽化以形成矽化物區 50 (也可稱為矽化物層) 之後的半導體結構 10。可進行矽化以提高接點效率及降低電阻。圖 15 解說在矽化之後由源極區 40 所取得之半導體結構 10 的斷面圖，如圖 14 中的斷面指標所示。請注意在此解說的具體實施例中，進行矽化以便使矽化物區 50 完全延伸通過半導體層 14 的較低部分 30 到達絕緣層 12。換言之，此矽化在這些較低部分中完全涵蓋半導體層 14。請注意矽化物區係連接源極區 40 中的較高部分 28 與較低部分 30，因此會連接結構 10 的主體與結構 10 的源極以形成主體連結結構或器件。因此，較低部分 30 的存在係提供能夠輕易地經由矽化而連接結構 10 的主體與源極的能力。

圖 16 解說在形成用以接觸半導體結構 10 之源極、汲極、閘極和主體的接點 51 至 57 之後的半導體結構 10 之自上而下視圖。接點 51 至 53 可形成與汲極區 38 (其形成結構 10 之汲極或汲極結構) 中的較高部分 28 部分重疊，或者可完全在汲極部的上方形成 (例如接點 53)。源極區 40 (其形成結構 10 之源極或源極結構) 的接點 54 至 56 係沿著閘極 26 形成主體接

點。各接點51至57可包含任何導電或含金屬材料。

請注意在此解說的具體實施例中，多種主體接點係沿著閘極26形成(例如接點54至56)，這些接點係連結(即電連接)結構10(即器件10)的源極與主體。如此一來可提供具有低電阻與電容的改良主體連結，而不是必須完全沿著該閘極的長度，從主體接點所在位置進一步延伸到閘極26的左側或右側的主體連結，例如延伸超過閘極接點區34，就像現今所製作的一樣。再者，介於閘極26下方的較高部分28與源極區40內的較高部分28之間由於不同的導電率類型(在本具體實施例中為P-對N+)而形成的接面係提供源極區40與主體區29之間的隔離。舉例來說，除非在操作過程中，由閘極26產生一反轉區，否則試圖從源極區40內的較高部分28流到閘極26下方的較高部分28之電流會由於不同的導電率類型所產生的接面而無法流動。但由於較低部分30的矽化及導電率類型，因此主體連結仍可藉由閘極26下方的較低部分30至源極區40內的較低部分30而形成。

圖17解說由一個較高部分28(圖16中的斷面指標所示)所取得之半導體結構10的一部分之立體圖。請注意此圖解作用區的一側包含分別為不同高度的兩層作用區，較低的一層比較高的一層更向外延伸。較低的一層係提供此器件主體之接點區，而較高的一層係提供此器件源極之接點區。如上所述，由於較低部分30及較高部分28的矽化及導電率類型，因此形成源極和主體電連接的主體連結器件。以這種方式，於是可形成使主體和源極兩者接觸以形成主體接

觸器件的一或多個接點。(請注意接點56係顯示只覆蓋在該源極部上面；但是如圖16所示也可形成此接點，使其重疊到較低部分30上。)

請注意儘管已說明關於形成n型器件的上述具體實施例，但應瞭解本文中說明的方法和結構也適用於p型器件，其中關於圖式所述之導電率類型將會顛倒過來。

在前述說明書中，已參考特定具體實施例來說明本發明。然而，習知此項技術者便會明白，可進行各種修改及變化而不脫離如以下申請專利範圍所提出之本發明之範疇。因此，本說明書及附圖應視為說明性，而非限制性，且希望所有此類修改均包括於本發明之範疇內。

以上已針對特定具體實施例來說明本發明的好處、其它優點及問題解決方案。然而，好處、優點、問題解決方案、及引起任何利益、優點、或解決方案發生或突顯其重要性之任何(多個)元件，均不應視為任一或所有申請專利範圍之一關鍵、必需或本質特點或元件。本文中所使用的術語"包括"、"包含"或其任何其他變化均意欲涵蓋非專有內含項，使得包含一元件列表的製程、方法、物品或裝置不僅包括此等元件，而且還包括未明確列出或此類製程、方法、物品或裝置固有的其他元件。

【圖式簡單說明】

本發明以範例方式而加以說明，並不受限於該等附圖，其中相同參考符號指示相同元件，且其中：

圖1至5、10至12和15解說依據本發明之一項具體實施例

之用於形成主體接觸SOI電晶體的各項步驟之斷面圖；

圖6至9、13、14和16依據本發明各種具體實施例之一項具體實施例，解說圖1至5、10至12和15的斷面圖所圖解之用於形成主體接觸SOI電晶體的各項步驟之自上而下視圖；及

圖17依據本發明各種具體實施例之一項具體實施例，解說圖16之主體接觸SOI電晶體的一部分之立體圖。

習知此項技術人士應瞭解，圖式中之元件係為簡單及清楚而顯示且無須依比例繪製。舉例來說，該等圖式中某些元件的維度可能會相對於其它元件而被放大以促進理解本發明之具體實施例。

【主要元件符號說明】

10	半導體結構
12	絕緣層
14	半導體層
16	半導體基板
18	圖案化遮蔽層
20	植入
22	隔離區
24	閘極介電層
26	閘極
27	通道區
28	較高部分；第一作用區
29	主體區

30	較低部分；第二作用區
34	接點區
36	作用區
38	汲極區
40	源極區
42	延伸區
44	圖案化遮蔽層
46	閘極間隔層
48	源極/汲極植入
50	矽化物區
51	接點
52	接點
53	接點
54	接點
55	接點
56	接點
57	接點

十、申請專利範圍：

1. 一種用於製造一半導體器件的方法，其包含

年 月 日修正替換頁
102.2.23

形成覆蓋在一絕緣層上面的一半導體層，以產生一第一作用區和一第二作用區，其中該第一作用區的高度與該第二作用區的高度不同，且其中該第一作用區的至少一部份為淺摻雜，而該第二作用區之至少一部分為深摻雜；

於該第一作用區之頂部及側壁部分及該第二作用區的至少一部分上方形成一閘極結構，其中一汲區係座落於該閘極結構之一第一邊且一源區係座落於該閘極結構相對於該第一邊之一第二邊，且其中一通道區係座落於該汲區及該源區間且沿著該第一作用區之頂端及側壁部分，鄰近該閘極結構；及

在形成該閘極結構後，僅從該汲區移除該第二作用區的一部分以曝露該絕緣層。

2. 如請求項1之方法，其中該第一作用區之至少一部份為P-而該第二作用區之至少一部份為P+。
3. 如請求項1之方法，進一步包含遮蔽該第一作用區及進行一植入至該第二作用區。
4. 如請求項3之方法，其中該形成該閘極結構係進一步包含於該第一作用區及該第二作用區上方形成一閘極介電質。
5. 如請求項4之方法，其中該形成該閘極結構係進一步包含於該閘極介電質上方形成一閘電極層。

年 月 日修正第 頁

102. 2. 2' 3

6. 如請求項5之方法，其中該僅從該汲區移除該第二作用區的一部分係進一步包含遮蔽該半導體器件之該源區。
7. 如請求項6之方法，進一步包含植入一導電率類型與該閘極結構下方的半導體區之一導電率類型相反的摻雜劑。
8. 如請求項7之方法，進一步包含使該第一作用區及該第二作用區矽化，以形成連接該第一作用區及該第二作用區的一矽化物區。
9. 如請求項8之方法，進一步包含於該矽化物區上方形成至少一個接點，其中該至少一個接點與該第一作用區的至少一部分及該第二作用區的至少一部分重疊。
10. 如請求項1之方法，進一步包含：

在該源區內形成一矽化物區，其連結在該源區內之該第一作用區之一部份至在該源區內之該第二作用區之一部份，其中該第一作用區包括介於該第一作用區之該等側壁且在該通道區外及該閘極結構下之一體區，且其中該矽化物區提供在該體區及在該源區之該第一作用區之該部分間之一連結，且其中在該源區之該矽化物區穿過在該源區內之該第二作用區之該部分而延伸至該絕緣層。

11. 如請求項1之方法，其中圖案化該半導體層進一步包括創造一鄰近於該第二作用區之第三作用區，及一鄰近於該第三作用區之第四作用區，該第二作用區係在該第一作用區與第三作用區間，且該第三作用區係在該第二作用區與第四作用區間，且其中該形成該閘極結構係包括在

該第三作用區與第四作用區之至少一部份上形成該閘極結構，其中在該閘極結構下之第一作用區與第三作用區之部分具有同樣之高度及同樣之傳導類型，且在該閘極結構下之第二作用區與第四作用區之部分具有同樣之高度及同樣之傳導類型。

12. 如請求項11之方法，其中該通道區係亦座落於沿著鄰近於該閘極結構之該第三作用區之一頂部及側壁部分。
13. 如請求項11之方法，其中該僅從該汲區移除該第二作用區的一部分以曝露該絕緣層係包括僅從該汲區移除該第二作用區與第四作用區之部分以曝露其下方之絕緣層。
14. 一種用於製造一半導體器件之方法，其包括：

形成在覆蓋於一絕緣層之一半導體層，其中該半導體層係包括一第一作用區及一第二作用區，其中該第一作用區與該第二作用區之高度不同；

於該第一作用區之頂部及側壁部分及該第二作用區的至少一部分上方形成一閘極結構，其中一通道區係座落沿著該第一作用區之頂端及側壁部分，鄰近該閘極結構，且其中該通道區係以一第一傳導類型淺摻雜而在該閘極結構下之第二作用區之至少一部份係以該第一傳導類型深摻雜；及

在形成該閘極結構後，僅從該半導體器件之一汲區移除該第二作用區的一部分以曝露該絕緣層。

15. 如請求項14之方法，進一步包括執行一源極/汲極植入，其中，在該源極/汲極植入後，從該閘極結構之下延伸出

年 月 日

102. 2. 23

來之該第一作用區之一部份具有與該第一傳導類型相反之一傳導類型。

16. 如請求項14之方法，進一步包括在該半導體器件之一源區內形成一矽化物區，其連接在該源區內之該第一作用區之一部份至該源區內該第二作用區之一部份，該矽化物區延伸穿越該源區內該第二作用區之該部分至該絕緣層。
17. 如請求項14之方法，其中該半導體層進一步包括鄰近於該第二作用區之一第三作用區，及鄰近於該第三作用區之一第四作用區，該第二作用區係在該第一作用區及該第三作用區間，該第三作用區係在該第二作用區與第四作用區間，且其中該形成該閘極結構進一步包括在該第三作用區與第四作用區之至少一部份上形成該閘極結構，其中在該閘極結構下之第一作用區與第三作用區之部分具有同樣之高度及同樣之傳導類型，且在該閘極結構下之第二作用區與第四作用區之部分具有同樣之高度及同樣之傳導類型。
18. 如請求項17之方法，其中該通道區係亦座落於沿著鄰近於該閘極結構之該第三作用區之一頂部及側壁部分。

十一、圖式：

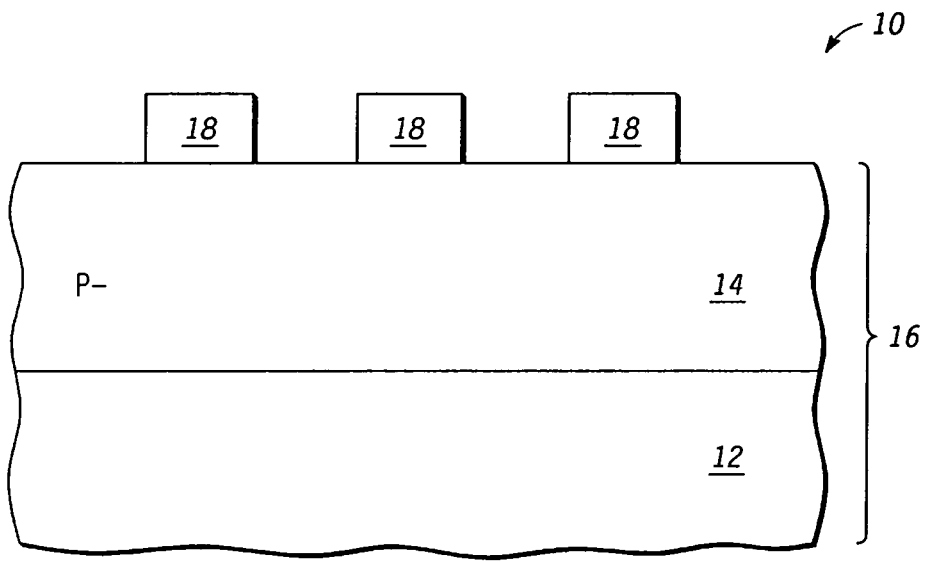


圖 1

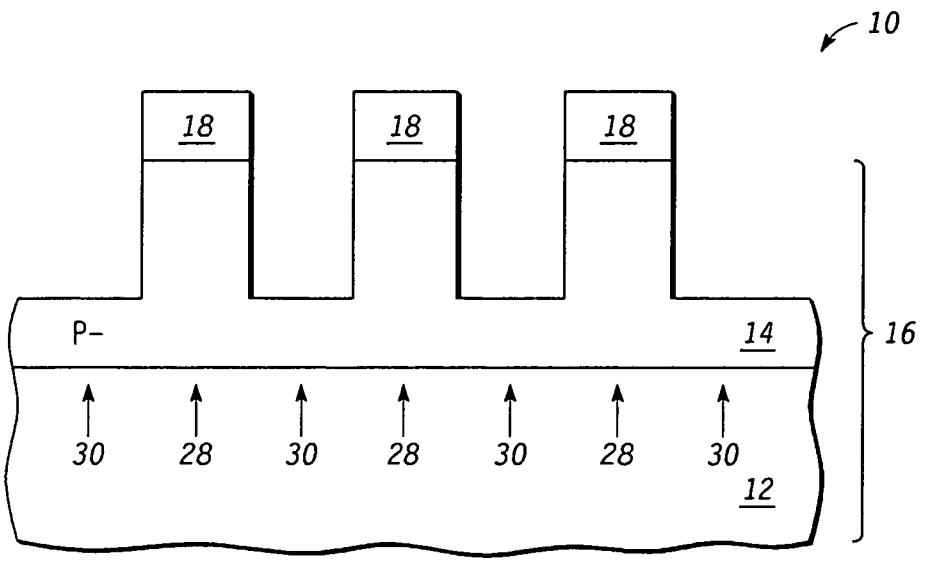


圖 2

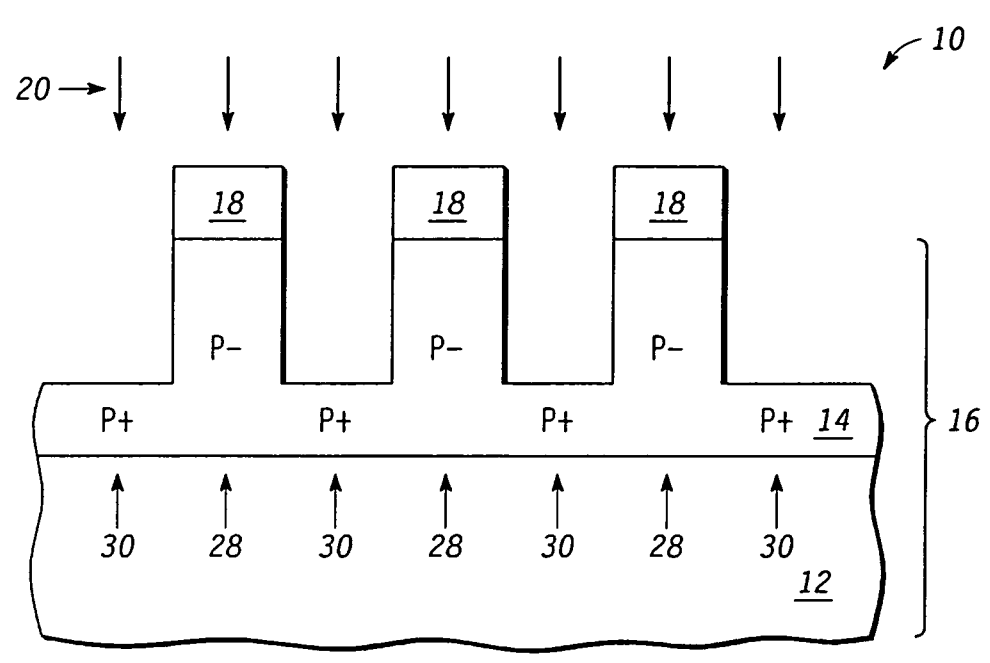


圖 3

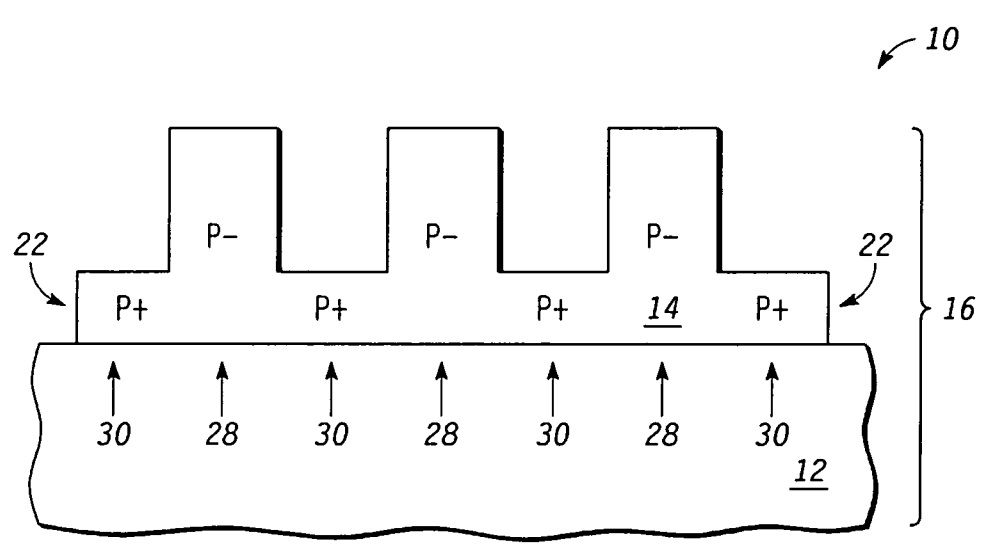


圖 4

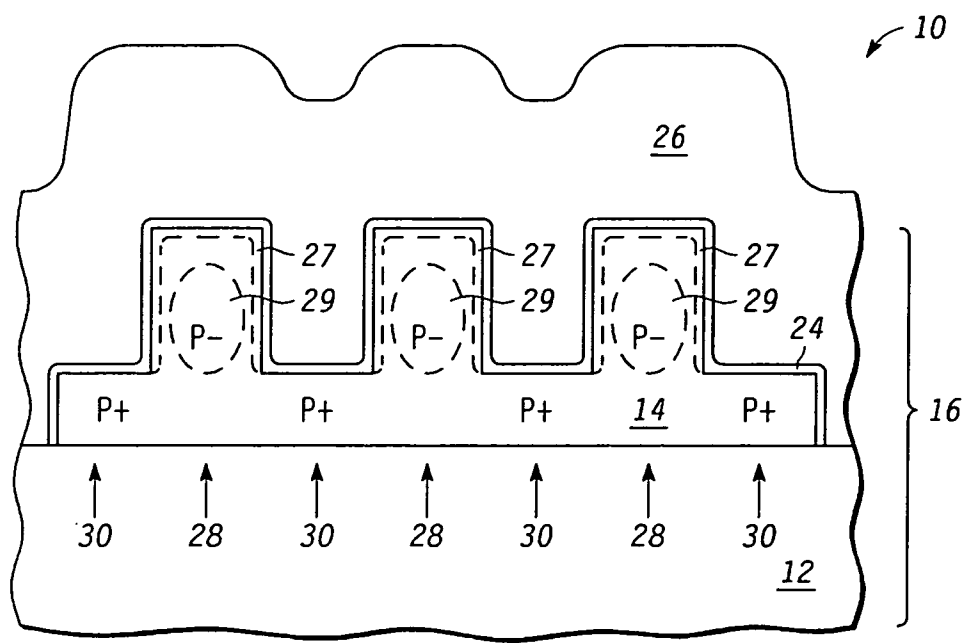


圖5

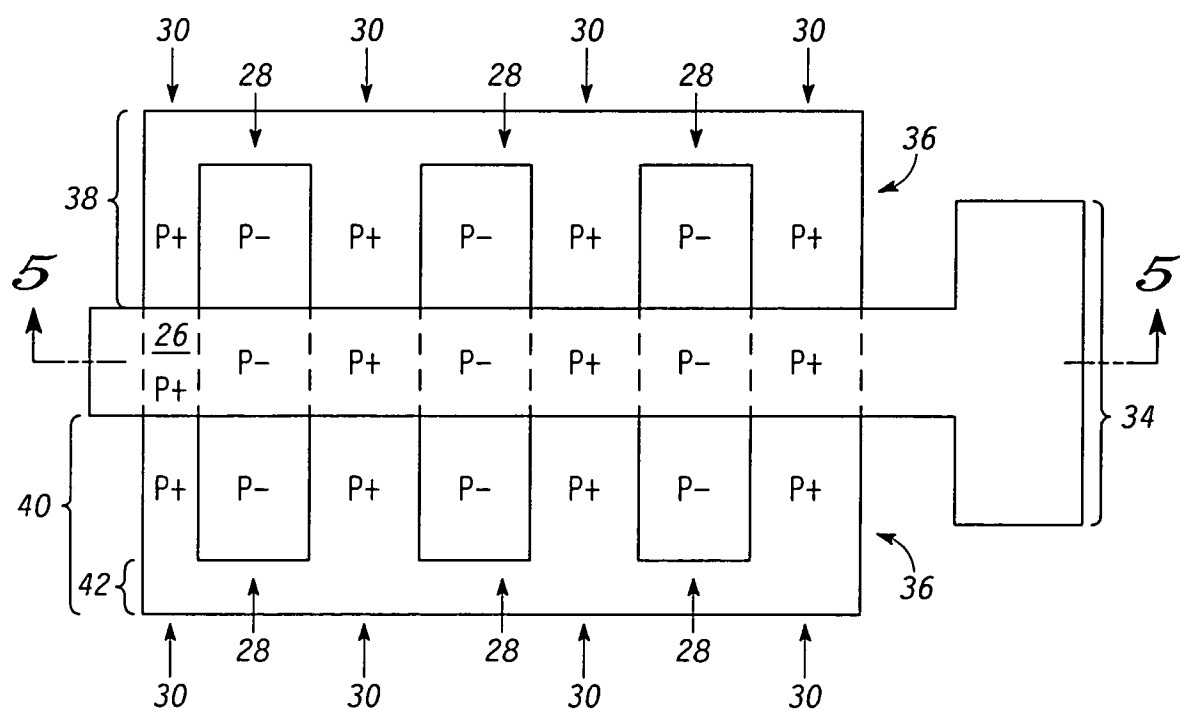


圖6

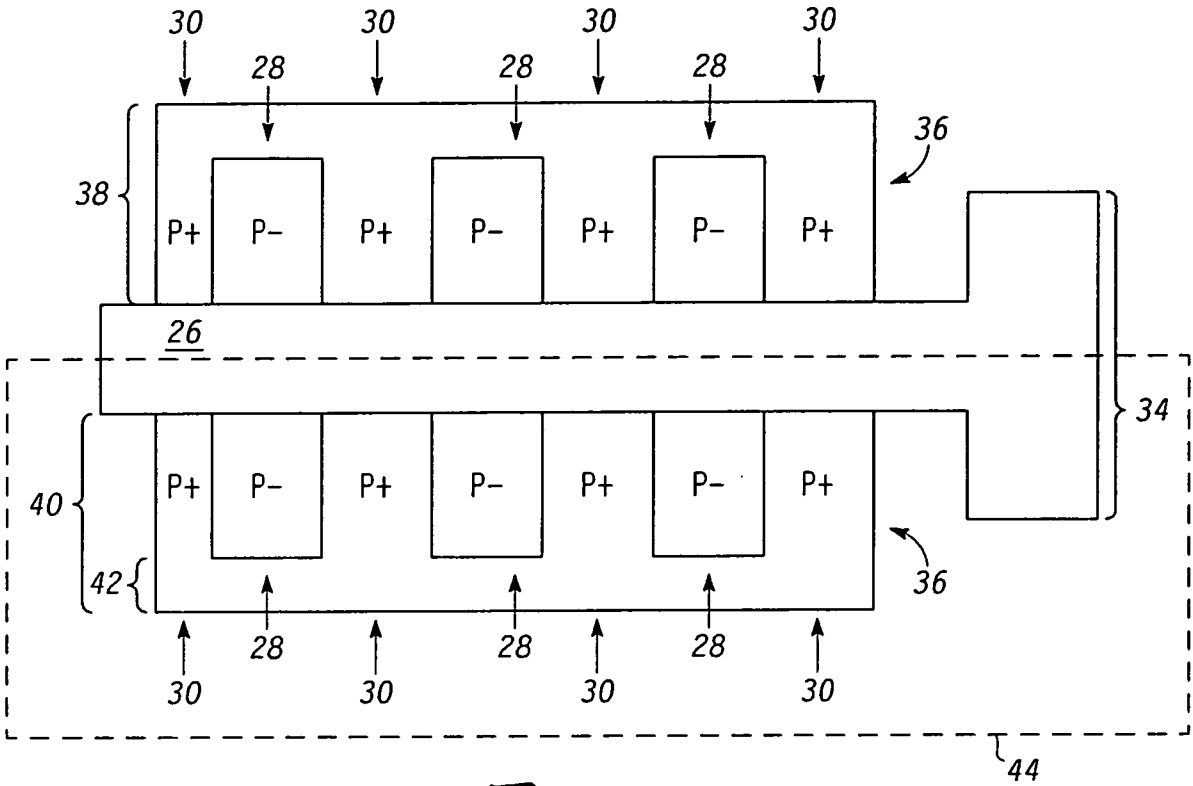


圖 7

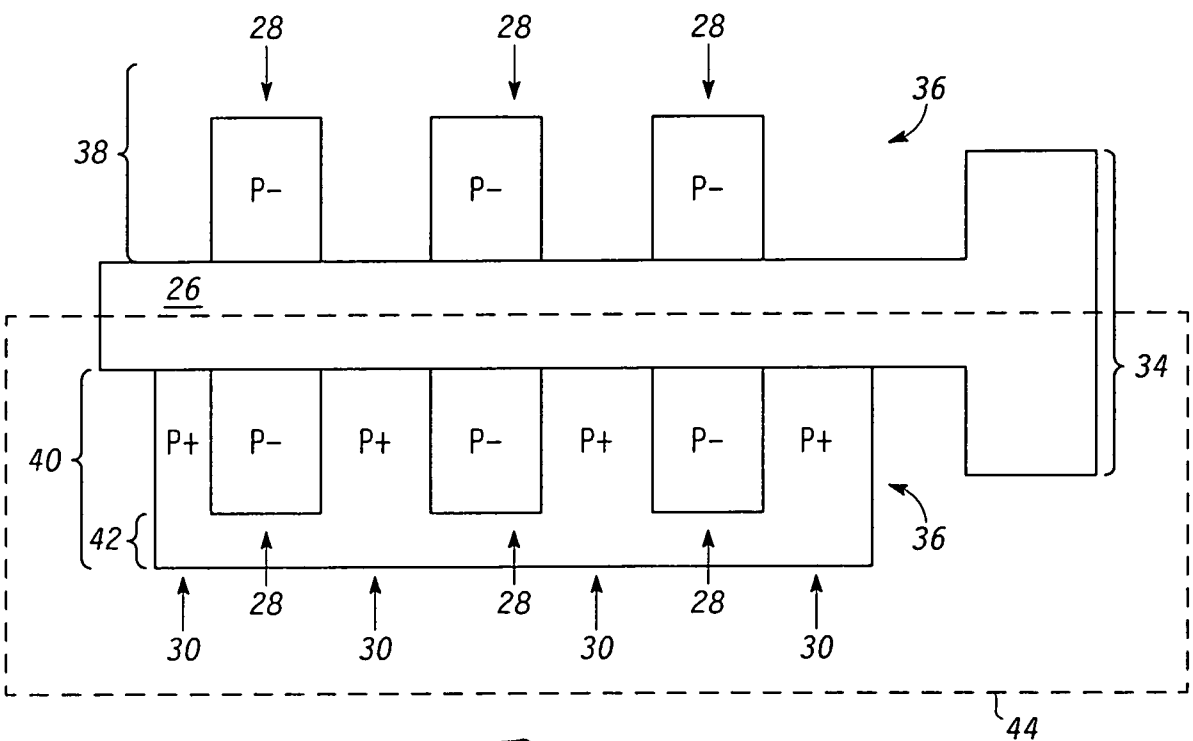


圖 8

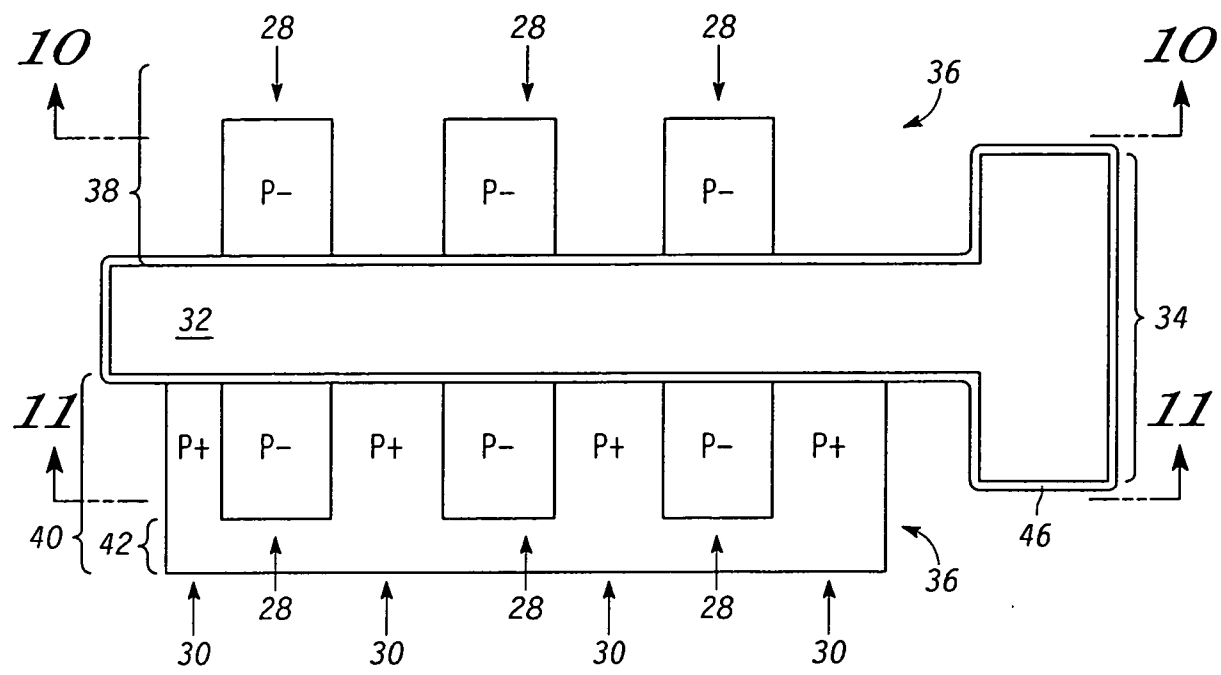


圖 9

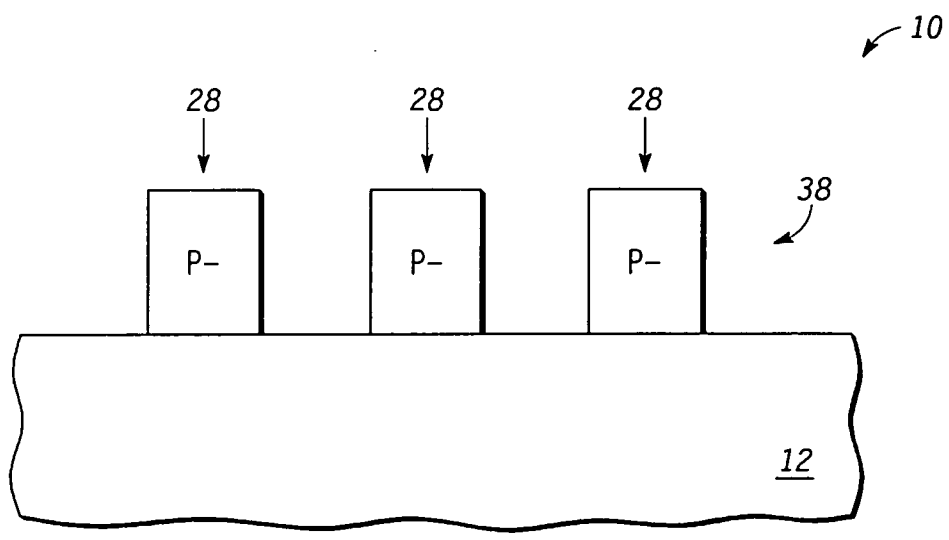


圖 10

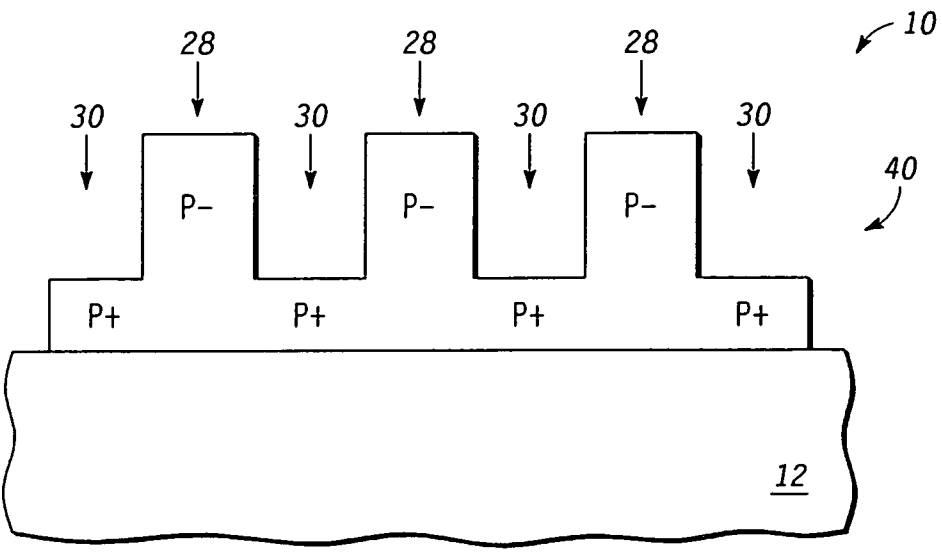


圖 11

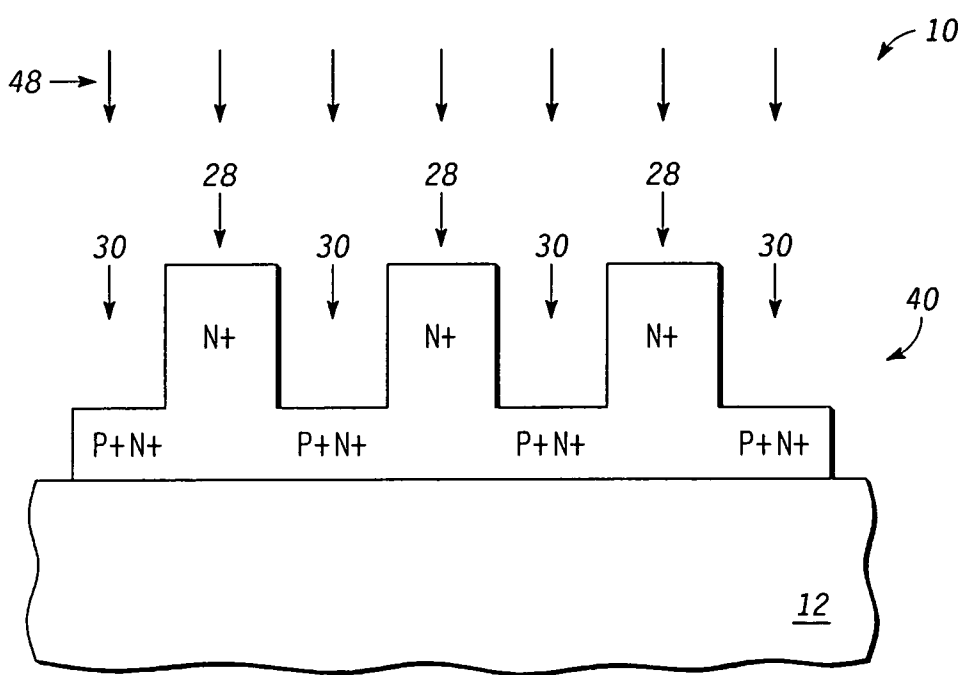
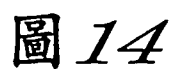


圖 12



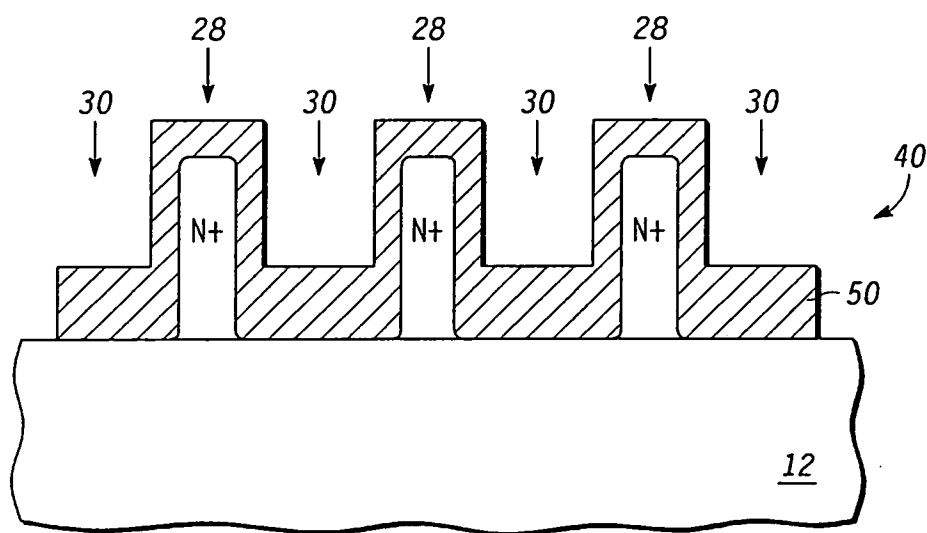


圖 15

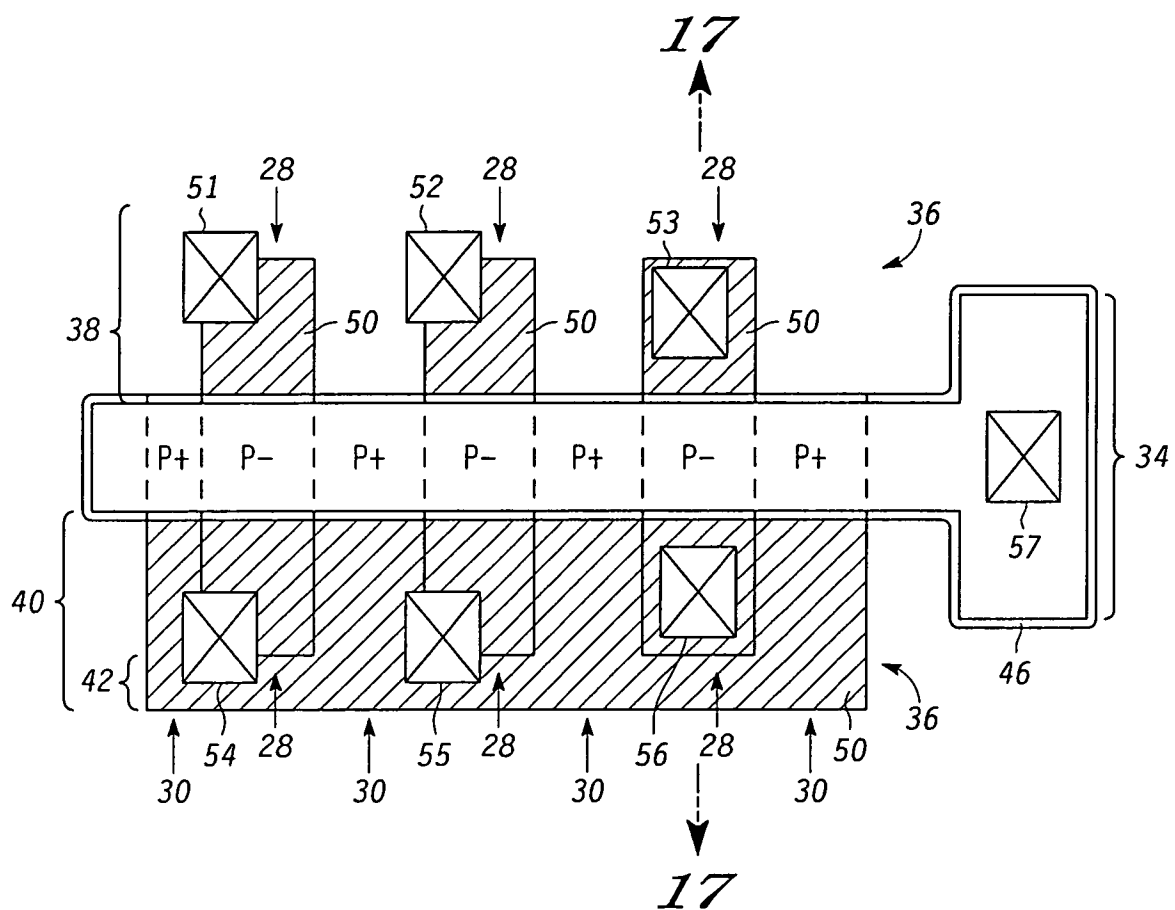


圖 16

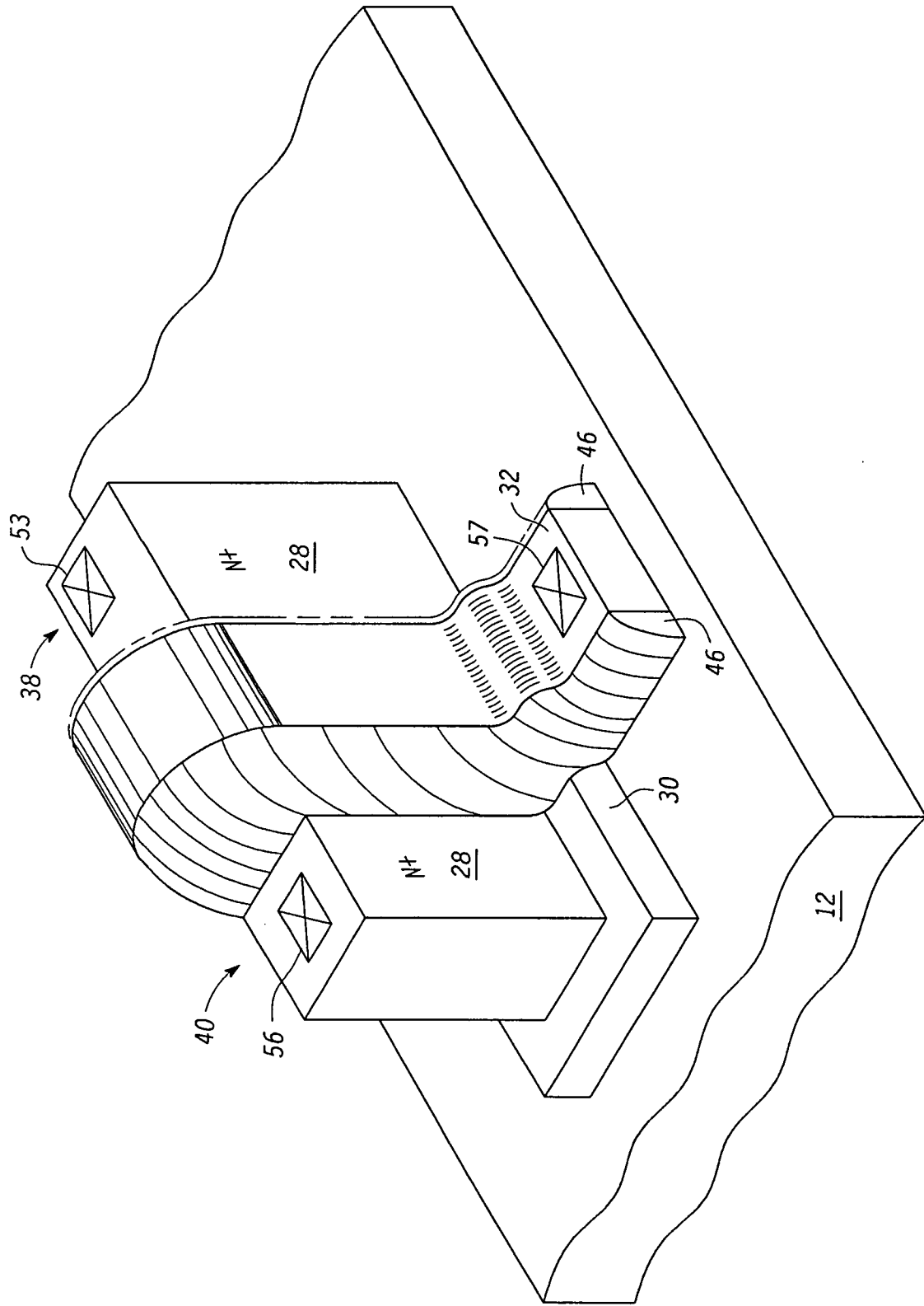


圖 17