

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5282970号  
(P5282970)

(45) 発行日 平成25年9月4日(2013.9.4)

(24) 登録日 平成25年6月7日(2013.6.7)

(51) Int.Cl.	F I	
<b>G09G 3/30 (2006.01)</b>	G09G 3/30	J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20	6 2 4 B
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20	6 1 2 U
	G09G 3/20	6 2 2 C
	G09G 3/20	6 2 3 C
請求項の数 3 (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2009-165378 (P2009-165378)	(73) 特許権者	000002185
(22) 出願日	平成21年7月14日(2009.7.14)		ソニー株式会社
(65) 公開番号	特開2011-22240 (P2011-22240A)		東京都港区港南1丁目7番1号
(43) 公開日	平成23年2月3日(2011.2.3)	(74) 代理人	100098785
審査請求日	平成24年7月10日(2012.7.10)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	杉本 秀樹
			東京都港区港南1丁目7番1号 ソニー株式会社内
最終頁に続く			

(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

(57) 【特許請求の範囲】

【請求項1】

行状に配置された複数の走査線と、列状に配置された複数の信号線と、行列状に配置された複数の発光素子および複数の画素回路とを含む画素回路アレイ部と、

映像信号に対応する信号電圧を各信号線に順次印加すると共に、前記映像信号に基づいて決定されたデューティ比となるように所定のタイミングで特定の信号線に消去パルスを印加する信号線駆動回路と、

前記特定の信号線に前記消去パルスが印加されている時に、選択パルスを前記走査線に印加する走査線駆動回路と

を備え、

前記画素回路は、前記発光素子に接続された駆動トランジスタと、前記駆動トランジスタのゲートおよび前記信号線に接続された書き込みトランジスタと、前記駆動トランジスタのゲート・ソース間電圧を保持する保持容量とを含み、

前記選択パルスは、前記消去パルスが前記信号線に印加されている時に、当該選択パルスが前記走査線に印加されたとき、前記書き込みトランジスタがオンする電圧値となっており、

前記選択パルスは、さらに、前記発光素子の閾値電圧よりも低い電圧であって、かつ当該選択パルスの波高値から前記書き込みトランジスタの閾値電圧を減算することにより得られる値よりも高い電圧が前記信号線に印加されるとともに、当該選択パルスが前記走査線に印加されている時、前記書き込みトランジスタがオフしている電圧値となっている

表示装置。

【請求項 2】

行状に配置された複数の走査線と、列状に配置された複数の信号線と、行列状に配置された複数の発光素子および複数の画素回路とを含む画素回路アレイ部と、前記画素回路アレイ部を駆動する駆動回路とを備えた表示装置を用意するステップと、

映像信号に対応する信号電圧を各信号線に順次印加すると共に、前記映像信号に基づいて決定されたデューティ比となるように所定のタイミングで特定の信号線に消去パルスを印加するステップと、

前記特定の信号線に前記消去パルスが印加されている時に、選択パルスを前記走査線に印加するステップと

を含み、

前記画素回路が、前記発光素子に接続された駆動トランジスタと、前記駆動トランジスタのゲートおよび前記信号線に接続された書き込みトランジスタと、前記駆動トランジスタのゲート・ソース間電圧を保持する保持容量とを含み、

前記選択パルスは、前記消去パルスが前記信号線に印加されている時に、当該選択パルスが前記走査線に印加されたとき、前記書き込みトランジスタがオンする電圧値となっており、

前記選択パルスは、さらに、前記発光素子の閾値電圧よりも低い電圧であって、かつ当該選択パルスの波高値から前記書き込みトランジスタの閾値電圧を減算することにより得られる値よりも高い電圧が前記信号線に印加されるとともに、当該選択パルスが前記走査線に印加されている時、前記書き込みトランジスタがオフしている電圧値となっている

表示装置の駆動方法。

【請求項 3】

表示装置を備え、

前記表示装置は、

行状に配置された複数の走査線と、列状に配置された複数の信号線と、行列状に配置された複数の発光素子および複数の画素回路とを含む画素回路アレイ部と、

映像信号に対応する信号電圧を各信号線に順次印加すると共に、前記映像信号に基づいて決定されたデューティ比となるように所定のタイミングで特定の信号線に消去パルスを印加する信号線駆動回路と、

前記特定の信号線に前記消去パルスが印加されている時に、選択パルスを前記走査線に印加する走査線駆動回路と

を有し、

前記画素回路は、前記発光素子に接続された駆動トランジスタと、前記駆動トランジスタのゲートおよび前記信号線に接続された書き込みトランジスタと、前記駆動トランジスタのゲート・ソース間電圧を保持する保持容量とを含み、

前記選択パルスは、前記消去パルスが前記信号線に印加されている時に、当該選択パルスが前記走査線に印加されたとき、前記書き込みトランジスタがオンする電圧値となっており、

前記選択パルスは、さらに、前記発光素子の閾値電圧よりも低い電圧であって、かつ当該選択パルスの波高値から前記書き込みトランジスタの閾値電圧を減算することにより得られる値よりも高い電圧が前記信号線に印加されるとともに、当該選択パルスが前記走査線に印加されている時、前記書き込みトランジスタがオフしている電圧値となっている

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに配置した発光素子で画像を表示する表示装置およびその駆動方法に関する。また、本発明は、上記表示装置を備えた電子機器に関する。

【背景技術】

10

20

30

40

50

## 【 0 0 0 2 】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 E L (electro luminescence) 素子を用いた表示装置が開発され、商品化が進められている。

## 【 0 0 0 3 】

有機 E L 素子は、液晶素子などと異なり自発光素子である。そのため、有機 E L 素子を用いた表示装置（有機 E L 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

## 【 0 0 0 4 】

有機 E L 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を、発光素子ごとに設けた駆動回路内に設けた能動素子（一般には T F T (Thin Film Transistor; 薄膜トランジスタ)）によって制御するものである。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 8 - 9 3 9 1 号 公 報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 6 】

ところで、一般に、有機 E L 表示装置では、1 フレーム期間内に有機 E L 素子の発光、消光を行うに際して、1 フィールド期間における発光期間の比であるデューティ比（発光期間 / 1 フィールド期間 × 1 0 0 ）が全画素一定となる。そのため、階調数を増やそうとした場合には、信号線に印加可能な電圧値を増やすことになる。しかし、そのようにした場合には、階調間の電圧値の差が小さくなり、階調制御が困難となるという問題があった。

## 【 0 0 0 7 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、階調制御の容易な表示装置およびその駆動方法ならびに電子機器を提供することにある。

## 【 課題を解決するための手段 】

## 【 0 0 0 8 】

本発明の表示装置は、行状に配置された複数の走査線と、列状に配置された複数の信号線と、行列状に配置された複数の発光素子および複数の画素回路とを含む画素回路アレイ部を備えている。この表示装置は、さらに、信号線駆動回路と、走査線駆動回路とを備えている。ここで、信号線駆動回路は、映像信号に対応する信号電圧を各信号線に順次印加すると共に、映像信号に基づいて決定されたデューティ比となるように所定のタイミングで特定の信号線に消去パルス（選択パルス）を印加するようになっている。走査線駆動回路は、特定の信号線に前記消去パルスが印加されている時に、選択パルスを前記走査線に印加するようになっている。画素回路は、発光素子に接続された駆動トランジスタと、駆動トランジスタのゲートおよび信号線に接続された書き込みトランジスタと、駆動トランジスタのゲート・ソース間電圧を保持する保持容量とを含んでいる。選択パルスは、消去パルスが信号線に印加されている時に、当該選択パルスが走査線に印加されたとき、書き込みトランジスタがオンする電圧値となっている。選択パルスは、さらに、発光素子の閾値電圧よりも低い電圧であって、かつ当該選択パルスの波高値から書き込みトランジスタの閾値電圧を減算することにより得られる値よりも高い電圧が信号線に印加されるとともに、当該選択パルスが走査線に印加されている時、書き込みトランジスタがオフしている電圧値となっている。

10

20

30

40

50

## 【 0 0 0 9 】

本発明の電子機器は、上記表示装置を備えたものである。

## 【 0 0 1 0 】

本発明の表示装置の駆動方法は、以下の3つのステップを含むものである。

(A) 以下の構成を備えた表示装置を用意するステップ

(B) 映像信号に対応する信号電圧を各信号線に順次印加すると共に、映像信号に基づいて決定されたデューティ比となるように所定のタイミングで特定の信号線に消去パルスを印加するステップ

(C) 特定の信号線に消去パルスが印加されている時に、選択パルスを走査線に印加するステップ

10

## 【 0 0 1 1 】

上記駆動方法が用いられる表示装置は、画素回路アレイ部と、画素回路アレイ部を駆動する駆動回路とを備えたものである。画素回路アレイ部は、行状に配置された複数の走査線と、列状に配置された複数の信号線と、行列状に配置された複数の発光素子および複数の画素回路とを含んでいる。画素回路は、発光素子に接続された駆動トランジスタと、駆動トランジスタのゲートおよび信号線に接続された書き込みトランジスタと、駆動トランジスタのゲート・ソース間電圧を保持する保持容量とを含んでいる。選択パルスは、消去パルスが信号線に印加されている時に、当該選択パルスが走査線に印加されたとき、書き込みトランジスタがオンする電圧値となっている。選択パルスは、さらに、発光素子の閾値電圧よりも低い電圧であって、かつ当該選択パルスの波高値から書き込みトランジスタの閾値電圧を減算することにより得られる値よりも高い電圧が信号線に印加されるとともに、当該選択パルスが走査線に印加されている時、書き込みトランジスタがオフしている電圧値となっている。

20

## 【 0 0 1 2 】

本発明の表示装置およびその駆動方法ならびに電子機器では、映像信号に対応する信号電圧が各信号線に順次印加されると共に、映像信号に基づいて決定されたデューティ比となるように所定のタイミングで特定の信号線に消去パルスが印加される。さらに、特定の信号線に消去パルスが印加されている時に、所定の選択パルスが走査線に印加される。これにより、信号電圧の波高値を画素ごとに設定することができるだけでなく、デューティ比も画素ごとに設定することができる。

30

## 【発明の効果】

## 【 0 0 1 3 】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、信号電圧の波高値を画素ごとに設定することができるだけでなく、デューティ比も画素ごとに設定することができるようにした。これにより、容易に階調制御をすることができる。

## 【図面の簡単な説明】

## 【 0 0 1 4 】

【図1】本発明の一実施の形態に係る表示装置の一例を表す構成図である。

【図2】図1の画素回路アレイ部の内部構成の一例を表す構成図である。

【図3】1フィールドを5つの期間に分けた様子を概念的に表した図である。

40

【図4】デューティ比とモードとの関係図である。

【図5】図1の表示装置の、モード3における動作の一例について説明するための波形図である。

【図6】図1の表示装置の、モード4における動作の一例について説明するための波形図である。

【図7】上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図8】上記実施の形態の表示装置の適用例1の外観を表す斜視図である。

【図9】(A)は適用例2の表側から見た外観を表す斜視図であり、(B)は裏側から見た外観を表す斜視図である。

【図10】適用例3の外観を表す斜視図である。

50

【図 1 1】適用例 4 の外観を表す斜視図である。

【図 1 2】( A ) は適用例 5 の開いた状態の正面図、( B ) はその側面図、( C ) は閉じた状態の正面図、( D ) は左側面図、( E ) は右側面図、( F ) は上面図、( G ) は下面図である。

【発明を実施するための形態】

【 0 0 1 5 】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

## 1 . 実施の形態

10

- 1 . 1 表示装置の概略構成
- 1 . 2 映像信号処理回路の動作
- 1 . 3 表示装置の動作
- 1 . 4 作用・効果

## 2 . モジュールおよび適用例

【 0 0 1 6 】

< 1 . 実施の形態 >

( 1 . 1 表示装置の概略構成 )

図 1 は、本発明の一実施の形態に係る表示装置 1 の概略構成を表したものである。この表示装置 1 は、表示パネル 1 0 と、駆動回路 2 0 とを備えている。表示パネル 1 0 は、例えば、複数の有機 E L 素子 1 1 R , 1 1 G , 1 1 B ( 発光素子 ) がマトリクス状に配置された画素回路アレイ部 1 3 を有している。本実施の形態では、例えば、互いに隣り合う 3 つの有機 E L 素子 1 1 R , 1 1 G , 1 1 B が 1 つの画素 1 2 を構成している。なお、以下では、有機 E L 素子 1 1 R , 1 1 G , 1 1 B の総称として有機 E L 素子 1 1 を適宜、用いるものとする。駆動回路 2 0 は、画素回路アレイ部 1 3 を駆動するものであり、例えば、映像信号処理回路 2 1、タイミング生成回路 2 2、信号線駆動回路 2 3、走査線駆動回路 2 4 および電源線駆動回路 2 5 を有している。

20

【 0 0 1 7 】

[ 画素回路アレイ部 ]

図 2 は、画素回路アレイ部 1 3 の回路構成の一例を表したものである。画素回路アレイ部 1 3 は、表示パネル 1 0 の表示領域に形成されている。画素回路アレイ部 1 3 は、例えば、図 1、図 2 に示したように、行状に配置された複数の走査線 W S L と、列状に配置された複数の信号線 D T L と、走査線 W S L に沿って行状に配置された複数の電源線 P S L とを有している。各走査線 W S L と各信号線 D T L との交差部に対応して、複数の有機 E L 素子 1 1 および画素回路 1 4 が行列状に配置 ( 2 次元配置 ) されている。画素回路 1 4 は、例えば、駆動トランジスタ  $T r_1$ 、書き込みトランジスタ  $T r_2$  および保持容量  $C_s$  によって構成されたものであり、2  $T r$  1 C の回路構成となっている。駆動トランジスタ  $T r_1$  および書き込みトランジスタ  $T r_2$  は、例えば、n チャネル M O S 型の薄膜トランジスタ ( T F T ( Thin Film Transistor ) ) により形成されている。なお、T F T の種類は特に限定されるものではなく、例えば、逆スタガー構造 ( いわゆるボトムゲート型 ) であつてもよいし、スタガー構造 ( トップゲート型 ) であつてもよい。また、駆動トランジスタ  $T r_1$  または書き込みトランジスタ  $T r_2$  は、p チャネル M O S 型の T F T であつてもよい。

30

40

【 0 0 1 8 】

画素回路アレイ部 1 3 において、各信号線 D T L は、信号線駆動回路 2 3 の出力端 ( 図示せず ) と、書き込みトランジスタ  $T r_2$  のドレイン電極 ( 図示せず ) に接続されている。各走査線 W S L は、走査線駆動回路 2 4 の出力端 ( 図示せず ) と、書き込みトランジスタ  $T r_2$  のゲート電極 ( 図示せず ) に接続されている。各電源線 P S L は、電源線駆動回路 2 5 の出力端 ( 図示せず ) と、駆動トランジスタ  $T r_1$  のドレイン電極 ( 図示せず ) に接続されている。書き込みトランジスタ  $T r_2$  のソース電極 ( 図示せず ) は、駆動トラン

50

ジスタ $T r_1$ のゲート電極（図示せず）と、保持容量 $C_s$ の一端に接続されている。駆動トランジスタ $T r_1$ のソース電極（図示せず）と保持容量 $C_s$ の他端とが、有機EL素子11のアノード電極（図示せず）に接続されている。有機EL素子11のカソード電極（図示せず）は、例えばグラウンド線GNDに接続されている。なお、カソード電極は、各有機EL素子11の共通電極として用いられており、例えば、表示パネル10の表示領域全体に渡って連続して形成され、平板状となっている。

【0019】

[ 駆動回路 ]

次に、画素回路アレイ部13の周辺に設けられた駆動回路20内の各回路について、図1を参照して説明する。

10

【0020】

映像信号処理回路21は、外部から入力されたデジタルの映像信号20Aに対して所定の補正を行うと共に、補正した後の映像信号21Aを信号線駆動回路23に出力するようになっている。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。また、映像信号処理回路21は、映像信号20Aまたは映像信号21Aに基づいて、1フィールド期間における発光期間の比である発光期間と消光期間のデューティ比（発光期間 / 1フィールド期間 × 100）を決定するものである。具体的には、映像信号処理回路21は、例えば、映像信号20Aまたは映像信号21Aに基づいて、デューティ比を決定する消去パルス（後述）を出力するタイミングと、消去パルスを出力する信号線DTLを決定するものである。映像信号処理回路21は、例えば、決定されたタイミ

20

【0021】

タイミング生成回路22は、信号線駆動回路23、走査線駆動回路24および電源線駆動回路25が連動して動作するように制御するものである。タイミング生成回路22は、例えば、外部から入力された同期信号20Bに応じて（同期して）、これらの回路に対して制御信号22Aを出力するようになっている。

【0022】

信号線駆動回路23は、制御信号22Aの入力に応じて（同期して）、映像信号21Aに対応するアナログの映像信号を各信号線DTLに印加して、アナログの映像信号またはそれに対応する信号を選択対象の画素回路14に書き込むものである。具体的には、信号線駆動回路23は、映像信号21Aに対応する信号電圧 $V_{sig}$ を各信号線DTLに印加して、選択対象の画素回路14への書き込みを行うものである。なお、書き込みとは、駆動トランジスタ $T r_1$ のゲートに所定の電圧を印加することを指している。

30

【0023】

また、信号線駆動回路23は、制御信号22Aの入力に応じて（同期して）、映像信号処理回路21によって設定されたデューティ比の大きさに応じた選択電圧を各信号線に順次印加して、選択対象の画素回路への書き込みを行うものである。具体的には、信号線駆動回路23は、映像信号処理回路21から出力された消去制御信号21Bの入力に応じて、選択電圧として電圧 $V_{ers}$ を特定の信号線DTLに印加して、選択対象の画素回路14への書き込みを行うものである。言い換えると、信号線駆動回路23は、映像信号処理回路21から出力された消去制御信号21Bの入力に応じて、電圧を $V_{sig}$ から $V_{ers}$ に立ち下げる消去パルスを特定の信号線DTLに印加して、選択対象の画素回路14への書き込みを行うものである。さらに、信号線駆動回路23は、映像信号処理回路21から出力された消去制御信号21Bの入力に応じて、選択電圧として電圧 $V_{ofs}$ を特定の信号線DTLに印加して、選択対象の画素回路14への書き込みを行わないこともできる。

40

【0024】

信号線駆動回路23は、例えば、信号電圧 $V_{sig}$ と、有機EL素子11の消光時に駆動トランジスタ $T r_1$ のゲートに印加する電圧 $V_{ofs}$ 、 $V_{ers}$ とを出力することが可能となっている。ここで、電圧 $V_{ofs}$ は、有機EL素子11の閾値電圧 $V_{el}$ よりも低い電圧値（一

50

定値)となっており、かつ $V_M - V_{th-WS}$ よりも高い電圧値となっている。電圧 $V_{ofs}$ は、消去制御信号21Bによって非消去が選択されたときに、後述の消去選択期間に信号線DTLに印加されるものでもある。

#### 【0025】

なお、電圧 $V_M$ は、映像信号処理回路21によって消去が選択されたときに、後述の消去選択期間 $T_{ers}$ に走査線WSLに印加される電圧(一定値)である。電圧 $V_M$ は、電圧 $V_L$ よりも高く、電圧 $V_H$ よりも低い電圧値(一定値)となっている。電圧 $V_L$ は、書き込みトランジスタ $Tr_2$ のオン電圧よりも低い電圧値(一定値)となっている。電圧 $V_H$ は、書き込みトランジスタ $Tr_2$ のオン電圧以上の電圧値(一定値)となっている。電圧 $V_{th-WS}$ は、書き込みトランジスタ $Tr_2$ の閾値電圧である。電圧 $V_{ers}$ は、映像信号処理回路21によって消去が選択されたときに、後述の消去選択期間 $T_{ers}$ に信号線DTLに印加されるものである。電圧 $V_{ers}$ は、 $V_L - V_{th-WS}$ よりも高く、 $V_M - V_{th-WS}$ よりも低い電圧値(一定値)となっている。

#### 【0026】

走査線駆動回路24は、制御信号22Aの入力に応じて(同期して)、複数の走査線WSLに選択パルスを順次印加して、複数の有機EL素子11および複数の画素回路14を順次選択するものである。また、走査線駆動回路24は、制御信号22Aの入力に応じて(同期して)、信号線DTLに上記選択電圧(電圧 $V_{ers}$ )が印加されている時に、それ以外の期間に印加する選択パルスの波高値(電圧 $V_H$ )のよりも小さな波高値(電圧 $V_M$ )の選択パルスを走査線WSLに印加するものである。走査線駆動回路24は、例えば、書き込みトランジスタ $Tr_2$ をオンさせるときに印加する電圧 $V_H$ と、書き込みトランジスタ $Tr_2$ をオンもしくはオフさせるかを選択するとき印加する電圧 $V_M$ と、書き込みトランジスタ $Tr_2$ をオフさせるときに印加する電圧 $V_L$ とを出力することが可能となっている。

#### 【0027】

電源線駆動回路25は、制御信号22Aの入力に応じて(同期して)、複数の電源線PSLに制御パルスを順次印加して、有機EL素子11の発光および消光を制御するものである。電源線駆動回路25は、例えば、駆動トランジスタ $Tr_1$ に電流を流すときに印加する電圧 $V_{ccH}$ と、駆動トランジスタ $Tr_1$ に電流を流さないときに印加する電圧 $V_{ccL}$ とを出力することが可能となっている。ここで、電圧 $V_{ccL}$ は、有機EL素子11の閾値電圧 $V_{el}$ と、有機EL素子11のカソードの電圧 $V_{ca}$ とを足し合わせた電圧( $V_{el} + V_{ca}$ )よりも低い電圧値(一定値)である。 $V_{ccH}$ は、電圧( $V_{el} + V_{ca}$ )以上の電圧値(一定値)である。

#### 【0028】

##### (1.2 映像信号処理回路21の動作)

図3は、映像信号処理回路21における処理フローの一例を表したものである。映像信号処理回路21は、デューティ比を以下のようにして設定する。映像信号処理回路21は、例えば、図3に示したように、1フレーム期間 $T_F$ を、消光期間 $T_{off}$ 、発光選択期間 $T_{on1}$ 、発光選択期間 $T_{on2}$ 、発光選択期間 $T_{on3}$ 、発光選択期間 $T_{on4}$ の5つに分ける。消光期間 $T_{off}$ とは、後述するように、 $V_{th}$ 補正や $\mu$ 補正などを行う期間でもある。次に、映像信号処理回路21は、例えば、図4に示したように、映像信号20Aまたは映像信号21Aの大きさに対応するデューティ比をモード1からモード4の中から1つ選択する。

#### 【0029】

ここで、モード1は、発光選択期間 $T_{on1}$ において「発光」を選択し、発光選択期間 $T_{on2}$ 、 $T_{on3}$ 、 $T_{on4}$ において「非発光」を選択するモードである。モード2は、発光選択期間 $T_{on1}$ 、 $T_{on2}$ において「発光」を選択し、発光選択期間 $T_{on3}$ 、 $T_{on4}$ においても「非発光」を選択するモードである。モード3は、発光選択期間 $T_{on1}$ 、 $T_{on2}$ 、 $T_{on3}$ において「発光」を選択し、発光選択期間 $T_{on4}$ において「非発光」を選択するモードである。モード4は、発光選択期間 $T_{on1}$ 、 $T_{on2}$ 、 $T_{on3}$ 、 $T_{on4}$ において「発光」を選択するモードである。

#### 【0030】

10

20

30

40

50

次に、映像信号処理回路 2 1 は、信号線駆動回路 2 3 に対して、映像信号 2 1 A を所定のタイミングで出力すると共に、モードに対応する消去制御信号 2 1 B を所定のタイミングで出力する。なお、例えば、モード 3 に消去制御信号 2 1 B が信号線駆動回路 2 3 に印加されると、信号線駆動回路 2 3 は、電圧  $V_{ofs}$  を図 5 中の最初から 3 番目までの消去選択期間  $T_{ers}$  に信号線 D T L に印加すると共に、電圧  $V_{ers}$  を、図 5 中の 4 番目の消去選択期間  $T_{ers}$  に信号線 D T L に印加する。また、例えば、モード 4 に消去制御信号 2 1 B が信号線駆動回路 2 3 に印加されると、信号線駆動回路 2 3 は、電圧  $V_{ofs}$  を図 6 中の全ての消去選択期間  $T_{ers}$  に信号線 D T L に印加する。

#### 【 0 0 3 1 】

##### ( 1 . 3 表示装置の動作 )

図 5 は、表示装置 1 をモード 3 で駆動させたときの各種波形の一例を表したものである。図 6 は、表示装置 1 をモード 4 で駆動させたときの各種波形の一例を表したものである。図 5 ( A ) ~ ( C )、図 6 ( A ) ~ ( C ) には、信号線 D T L に  $V_{ofs}$ 、 $V_{sig}$ 、 $V_{ers}$  が周期的に印加され、走査線 W S L に  $V_H$ 、 $V_L$ 、 $V_M$  が所定のタイミングで印加され、電源線 P S L に  $V_{ccL}$ 、 $V_{ccH}$  が所定のタイミングで印加されている様子が示されている。図 5 ( D )、( E )、図 6 ( D )、( E ) には、信号線 D T L、走査線 W S L および電源線 P S L への電圧印加に応じて、駆動トランジスタ  $T_{r1}$  のゲート電圧  $V_g$  およびソース電圧  $V_s$  が時々刻々変化している様子が示されている。以下では、まず、モード共通の動作について説明したのち、個別のモードの動作について説明するものとする。

#### 【 0 0 3 2 】

##### [ $V_{th}$ 補正準備期間 ]

まず、 $V_{th}$  補正の準備を行う。具体的には、電源線駆動回路 2 5 が電源線 P S L の電圧を  $V_{ccH}$  から  $V_{ccL}$  に下げる ( $T_1$ )。すると、ソース電圧  $V_s$  が  $V_{ccL}$  となり、有機 E L 素子 1 1 が消光すると共に、ゲート電圧  $V_g$  が  $V_{ofs}$  に下がる。次に、信号線 D T L の電圧が  $V_{ofs}$  となっており、かつ電源線 P S L の電圧が  $V_{ccL}$  となっている間に、走査線駆動回路 2 4 が走査線 W S L の電圧を  $V_L$  から  $V_H$  に上げる。

#### 【 0 0 3 3 】

##### [ 最初の $V_{th}$ 補正期間 ]

次に、 $V_{th}$  の補正を行う。具体的には、信号線 D T L の電圧が  $V_{ofs}$  となっている間に、電源線駆動回路 2 5 が電源線 P S L の電圧を  $V_{ccL}$  から  $V_{ccH}$  に上げる ( $T_2$ )。すると、駆動トランジスタ  $T_{r1}$  のドレイン - ソース間に電流  $I_d$  が流れ、ソース電圧  $V_s$  が上昇する。その後、信号線駆動回路 2 3 が信号線 D T L の電圧を  $V_{ofs}$  から  $V_{sig}$  に切り替える前に、走査線駆動回路 2 4 が走査線 W S L の電圧を  $V_H$  から  $V_L$  に下げる ( $T_3$ )。すると、駆動トランジスタ  $T_{r1}$  のゲートがフローティングとなり、 $V_{th}$  の補正が一旦停止する。

#### 【 0 0 3 4 】

##### [ 最初の $V_{th}$ 補正休止期間 ]

$V_{th}$  補正が休止している期間中は、先の  $V_{th}$  補正を行った行 (画素) とは異なる他の行 (画素) において、信号線 D T L の電圧のサンプリングが行われる。なお、 $V_{th}$  補正が不十分である場合、すなわち、駆動トランジスタ  $T_{r1}$  のゲート - ソース間の電位差  $V_{gs}$  が駆動トランジスタ  $T_{r1}$  の閾値電圧  $V_{th}$  よりも大きい場合には、以下ようになる。すなわち、 $V_{th}$  補正休止期間中にも、先の  $V_{th}$  補正を行った行 (画素) において、駆動トランジスタ  $T_{r1}$  のドレイン - ソース間に電流  $I_{ds}$  が流れ、ソース電圧  $V_s$  が上昇し、保持容量  $C_s$  を介したカップリングによりゲート電圧  $V_g$  も上昇する。

#### 【 0 0 3 5 】

##### [ 2 回目の $V_{th}$ 補正期間 ]

$V_{th}$  補正休止期間が終了した後、 $V_{th}$  の補正を再び行う。具体的には、信号線 D T L の電圧が  $V_{ofs}$  となっており、 $V_{th}$  補正が可能となっている時に、走査線駆動回路 2 4 が走査線 W S L の電圧を  $V_L$  から  $V_H$  に上げ ( $T_4$ )、駆動トランジスタ  $T_{r1}$  のゲートを信号線 D T L に接続する。このとき、ソース電圧  $V_s$  が ( $V_{ofs} - V_{th}$ ) よりも低い場合 ( $V_{th}$  補

10

20

30

40

50



正がまだ完了していない場合には、駆動トランジスタ $T_{r1}$ がカットオフするまで（電位差 $V_{gs}$ が $V_{th}$ になるまで）、駆動トランジスタ $T_{r1}$ のドレイン・ソース間に電流 $I_d$ が流れる。その結果、保持容量 $C_s$ が $V_{th}$ に充電され、電位差 $V_{gs}$ が $V_{th}$ となる。その後、信号線駆動回路23が信号線DTLの電圧を $V_{ofs}$ から $V_{sig}$ に切り替える前に、走査線駆動回路24が走査線WSLの電圧を $V_H$ から $V_L$ に下げる（ $T_5$ ）。すると、駆動トランジスタ $T_{r1}$ のゲートがフローティングとなるので、電位差 $V_{gs}$ を信号線DTLの電圧の大きさに拘わらず $V_{th}$ のまま維持することができる。このように、電位差 $V_{gs}$ を $V_{th}$ に設定することにより、駆動トランジスタ $T_{r1}$ の閾値電圧 $V_{th}$ が画素回路14ごとにはばらついた場合であっても、有機EL素子11の発光輝度がばらつくのをなくすることができる。

【0036】

10

[ 2回目の $V_{th}$ 補正休止期間 ]

その後、 $V_{th}$ 補正の休止期間中に、信号線駆動回路23が信号線DTLの電圧を $V_{ofs}$ から $V_{sig}$ に切り替える。

【0037】

[ 書き込み・ $\mu$ 補正期間 ]

$V_{th}$ 補正休止期間が終了した後、書き込みと $\mu$ 補正を行う。具体的には、信号線DTLの電圧が $V_{sig}$ となっている間に、走査線駆動回路24が走査線WSLの電圧を $V_L$ から $V_H$ に上げ（ $T_6$ ）、駆動トランジスタ $T_{r1}$ のゲートを信号線DTLに接続する。すると、駆動トランジスタ $T_{r1}$ のゲート電圧が $V_{sig}$ となる。このとき、有機EL素子11のアノード電圧はこの段階ではまだ有機EL素子11の閾値電圧 $V_{e1}$ よりも小さく、有機EL素子11はカットオフしている。そのため、電流 $I_{ds}$ は有機EL素子11の素子容量（図示せず）に流れ、素子容量が充電されるので、ソース電圧 $V_s$ が $V$ だけ上昇し、やがて電位差 $V_{gs}$ が $V_{sig} + V_{th} - V$ となる。このようにして、書き込みと同時に $\mu$ 補正が行われる。ここで、駆動トランジスタ $T_{r1}$ の移動度 $\mu$ が大きい程、 $V$ も大きくなるので、電位差 $V_{gs}$ を発光前に $V$ だけ小さくすることにより、画素回路14ごとの移動度 $\mu$ のばらつきを取り除くことができる。

20

【0038】

[ 発光選択期間（ $T_{on1}$ ） ]

次に、走査線駆動回路24が走査線WSLの電圧を $V_H$ から $V_L$ に下げる（ $T_7$ ）。すると、駆動トランジスタ $T_{r1}$ のゲートがフローティングとなり、駆動トランジスタ $T_{r1}$ のゲート・ソース間の電圧 $V_{gs}$ を一定に維持した状態で、駆動トランジスタ $T_{r1}$ のドレイン・ソース間に電流 $I_d$ が流れる。その結果、ソース電圧 $V_s$ が上昇し、それに連動して駆動トランジスタ $T_{r1}$ のゲートも上昇し、有機EL素子11が所望の輝度で発光する（ $T_8$ ）。

30

【0039】

次に、図5を参照しつつ、モード3が選択されているときの動作について説明する。

【0040】

[ 発光選択期間（ $T_{on1}$ ） ]

有機EL素子11が発光し始めてから所定の期間が経過したところで、信号線駆動回路23が、消去制御信号21Bの印加に対応して、信号線DTLの電圧を $V_{sig}$ から $V_{ofs}$ に下げて、1回目の消去選択期間 $T_{ers}$ に入る（ $T_8$ ）。続いて、走査線駆動回路24が走査線WSLの電圧を $V_L$ から $V_M$ に上げる（ $T_9$ ）。このとき、書き込みトランジスタ $T_{r2}$ のゲート・ソース間の電圧 $V_{gs}$ は、 $V_M - V_{ofs}$ であり、書き込みトランジスタ $T_{r2}$ の閾値電圧 $V_{th_{ws}}$ よりも小さい。従って、書き込みトランジスタ $T_{r2}$ はオフしたままであり、駆動トランジスタ $T_{r1}$ のゲートがフローティング状態を維持しているため、有機EL素子11の発光が継続する。その後、信号線DTLの電圧が $V_{ofs}$ となっている間に、走査線駆動回路24が走査線WSLの電圧を $V_M$ から $V_L$ に下げる。このときも、書き込みトランジスタ $T_{r2}$ はオフしたままであり、駆動トランジスタ $T_{r1}$ のゲートがフローティング状態を維持しているため、引き続き、有機EL素子11の発光が継続する。その後、信号線駆動回路23が、信号線DTLの電圧を $V_{ofs}$ から $V_{sig}$ に上げる。

40

50

## 【 0 0 4 1 】

[ 発光選択期間 (  $T_{on2}$  ,  $T_{on3}$  ) ]

これ以降、発光選択期間 (  $T_{on2}$  ,  $T_{on3}$  ) においては、上記のステップが繰り返され、有機 EL 素子 1 1 の発光が継続した状態で、2 回目、3 回目の消去選択期間  $T_{ers}$  が経過する。

## 【 0 0 4 2 】

[ 発光選択期間 (  $T_{on4}$  ) ]

次に、信号線駆動回路 2 3 が、消去制御信号 2 1 B の印加に対応して、信号線 D T L の電圧を  $V_{sig}$  から  $V_{ers}$  に下げて、4 回目の消去選択期間  $T_{ers}$  に入る (  $T_8$  )。今回の消去選択期間  $T_{ers}$  では、信号線 D T L の電圧が  $V_{ers}$  となっており、有機 EL 素子 1 1 の非発光が選択されている。つまり、映像信号 2 0 A または映像信号 2 1 A に基づいて決定されたデューティ比となるように、発光選択期間 (  $T_{on4}$  ) の開始のタイミングで特定の信号線 D T L に消去パルス ( 電圧  $V_{sig}$  から電圧  $V_{ers}$  への立ち下がり信号 ) が印加される。続いて、走査線駆動回路 2 4 が走査線 W S L の電圧を  $V_L$  から  $V_M$  に上げる (  $T_9$  )。すると、駆動トランジスタ  $T r_1$  のゲートが信号線 D T L に接続され、駆動トランジスタ  $T r_1$  のゲート電圧が  $V_{ers}$  となり、駆動トランジスタ  $T r_1$  のゲート - ソース間の電圧  $V_{gs}$  が  $V_{ers} - V_{el} < V_{th}$  となるので、有機 EL 素子 1 1 の発光が停止する。つまり、信号線駆動回路 2 3 は、消去制御信号 2 1 B の印加に対応して、4 回目の消去選択期間  $T_{ers}$  に電圧  $V_{ers}$  を信号線 D T L に印加して、選択対象の有機 EL 素子 1 1 に流れる定常電流を停止する。その後、信号線 D T L の電圧が  $V_{ers}$  となっている間に、走査線駆動回路 2 4 が走査線 W S L の電圧を  $V_M$  から  $V_L$  に下げる。すると、駆動トランジスタ  $T r_1$  のゲートがフローティングとなるので、その後、引き続き、有機 EL 素子 1 1 の発光は停止したままとなる。

## 【 0 0 4 3 】

本実施の形態の表示装置 1 では、上記のようにして、各画素 1 2 において画素回路 1 4 がオンオフ制御され、各画素 1 2 の有機 EL 素子 1 1 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こる。この光は、陽極と陰極との間で多重反射し、陰極等を透過して外部に取り出される。その結果、表示パネル 1 0 において画像が表示される。

## 【 0 0 4 4 】

( 1 . 4 作用・効果 )

## 【 0 0 4 5 】

ところで、従来の有機 EL 表示装置では、一般に、1 フレーム期間内に有機 EL 素子の発光、消光を行うに際して、1 フィールド期間における発光期間の比である発光期間と消光期間のデューティ比 ( 発光期間 / 1 フィールド期間  $\times 100$  ) が全画素一定となる。そのため、階調数を増やそうとした場合には、信号線に印加可能な電圧値を増やすことになる。しかし、そのようにした場合には、階調間の電圧値の差が小さくなり、階調制御が困難となる。

## 【 0 0 4 6 】

一方、本実施の形態では、映像信号 2 1 A に対応する信号電圧  $V_{sig}$  が各信号線 D T L に印加されて、選択対象の画素回路 1 4 への書き込みが行われる。また、映像信号 2 0 A または映像信号 2 1 A に基づいて決定されたデューティ比となるように所定のタイミングで特定の信号線 D T L に消去パルス ( 電圧  $V_{ers}$  ) が印加される。さらに、特定の信号線 D T L に消去パルス ( 電圧  $V_{ers}$  ) が印加されている時に、特定の信号線 D T L に対応する画素回路 1 4 内の駆動トランジスタ  $T r_1$  のゲート - ソース間の電圧  $V_{gs}$  が  $V_{th}$  を下回るように、走査線 W S L の電圧が  $V_L$  から  $V_M$  に上げられる。これにより、特定の画素 1 2 内の有機 EL 素子 1 1 の発光が停止する。これにより、信号電圧  $V_{sig}$  の波高値を画素 1 2 ごとに設定することができるだけでなく、デューティ比も画素 1 2 ごとに設定することができる。従って、上記の場合と比べて、階調制御が容易である。

## 【 0 0 4 7 】

10

20

30

40

50

< 2 . モジュールおよび適用例 >

以下、上述した実施の形態で説明した表示装置の適用例について説明する。上記実施の形態の表示装置は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【 0 0 4 8 】

(モジュール)

上記実施の形態の表示装置 1 は、例えば、図 7 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 3 1 の一辺に、封止用基板 3 2 から露出した領域 2 1 0 を設け、この露出した領域 2 1 0 に、駆動回路 2 0 の配線を延長して外部接続端子 ( 図示せず ) を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 ( F P C ; Flexible Printed Circuit ) 2 2 0 が設けられていてもよい。

10

【 0 0 4 9 】

(適用例 1)

図 8 は、上記実施の形態の表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 は、上記各実施の形態に係る表示装置 1 により構成されている。

20

【 0 0 5 0 】

(適用例 2)

図 9 は、上記実施の形態の表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0、表示部 4 2 0、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、上記実施の形態に係る表示装置 1 により構成されている。

【 0 0 5 1 】

(適用例 3)

図 1 0 は、上記実施の形態の表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0、文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、上記各実施の形態に係る表示装置 1 により構成されている。

30

【 0 0 5 2 】

(適用例 4)

図 1 1 は、上記実施の形態の表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0、この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0、撮影時のスタート/ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、上記各実施の形態に係る表示装置 1 により構成されている。

40

【 0 0 5 3 】

(適用例 5)

図 1 2 は、上記実施の形態の表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部 ( ヒンジ部 ) 7 3 0 で連結したものであり、ディスプレイ 7 4 0、サブディスプレイ 7 5 0、ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、上記各実施の形態に係る表示装置 1 により構成されている。

【 0 0 5 4 】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

50

## 【 0 0 5 5 】

例えば、上記実施の形態等では、表示装置 1 がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 1 4 の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路 1 4 に追加してもよい。その場合、画素回路 1 4 の変更に応じて、上述した信号線駆動回路 2 3、走査線駆動回路 2 4、電源線駆動回路 2 5 のほかに、必要な駆動回路を追加してもよい。

## 【 0 0 5 6 】

また、上記実施の形態等では、信号線駆動回路 2 3、走査線駆動回路 2 4、電源線駆動回路 2 5 の駆動をタイミング制御回路 2 2 が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路 2 3、走査線駆動回路 2 4、電源線駆動回路 2 5 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

10

## 【 0 0 5 7 】

また、上記実施の形態等では、画素回路 1 4 が、2 Tr 1 C の回路構成となっていたが、トランジスタが有機 E L 素子 1 1 に直列に接続された回路構成を含んでいるものであれば、2 Tr 1 C の回路構成以外の回路構成となってもよい。

## 【 0 0 5 8 】

また、上記実施の形態等では、駆動トランジスタ  $T r_1$ 、書き込みトランジスタ  $T r_2$  は、n チャンネル M O S 型の薄膜トランジスタ（T F T（Thin Film Transistor））により形成されている場合が例示されていたが、p チャンネルトランジスタ（例えば p チャンネル M O S 型の T F T）により形成されていてもよい。ただし、その場合には、トランジスタ  $T r_2$  のソースおよびドレインのうち電源線 P S L と未接続の方と保持容量  $C_s$  の他端とを有機 E L 素子 1 1 のカソードに接続し、有機 E L 素子 1 1 のアノードを G N D などに接続することが好ましい。

20

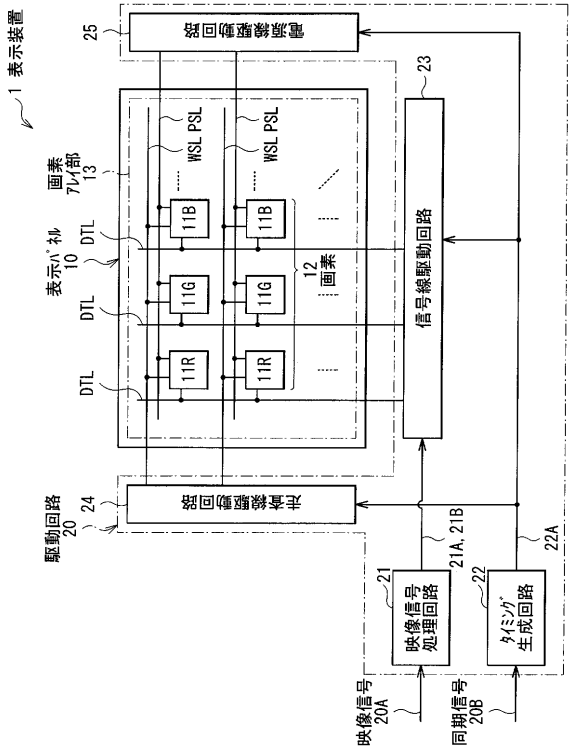
## 【 符号の説明 】

## 【 0 0 5 9 】

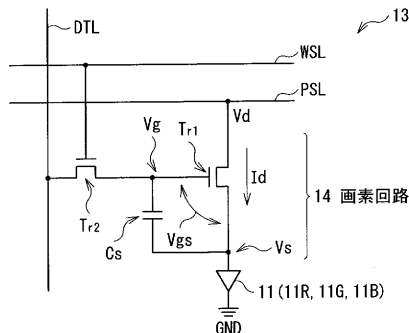
1 ... 表示装置、1 0 ... 表示パネル、1 1, 1 1 R, 1 1 G, 1 1 B ... 有機 E L 素子、1 2 ... 画素、1 3 ... 画素回路アレイ部、1 4 ... 画素回路、2 0 ... 駆動回路、2 1 ... 映像信号処理回路、2 0 A, 2 1 A ... 映像信号、2 0 B ... 同期信号、2 1 B ... 消去制御信号、2 2 ... タイミング生成回路、2 2 A ... 制御信号、2 3 ... 信号線駆動回路、2 4 ... 走査線駆動回路、2 5 ... 電源線駆動回路、 $C_s$  ... 保持容量、D T L ... 信号線、 $I_d$  ... 電流、G N D ... グラウンド線、P S L ... 電源線、 $T r_1$  ... 駆動トランジスタ、 $T r_2$  ... 書き込みトランジスタ、 $V_g$  ... ゲート電圧、 $V_{gs}$  ... ゲート - ソース間電圧、 $V_s$  ... ソース電圧、 $V_{th}$  ... 閾値電圧、W S L ... 走査線。

30

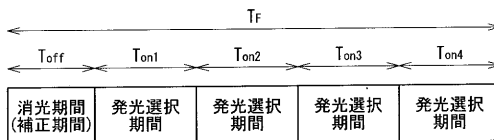
【図1】



【図2】



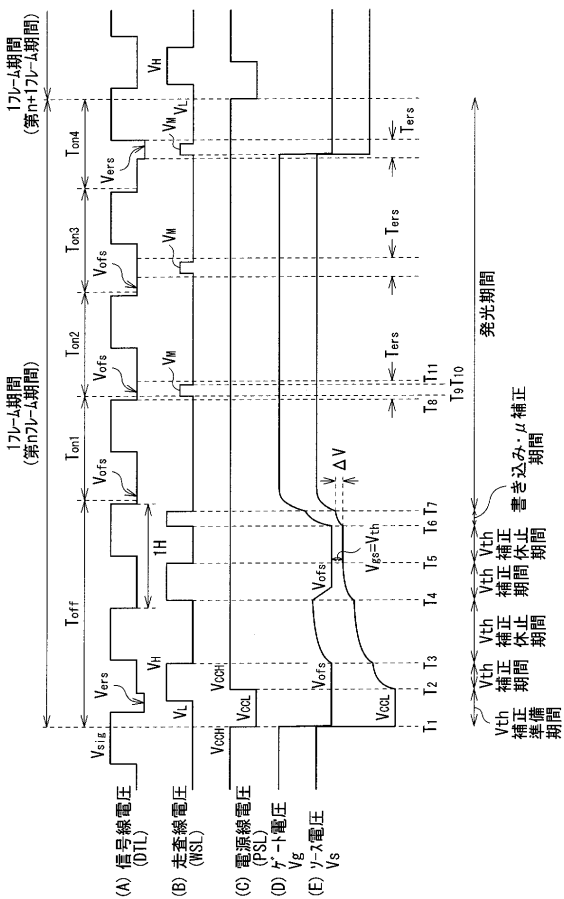
【図3】



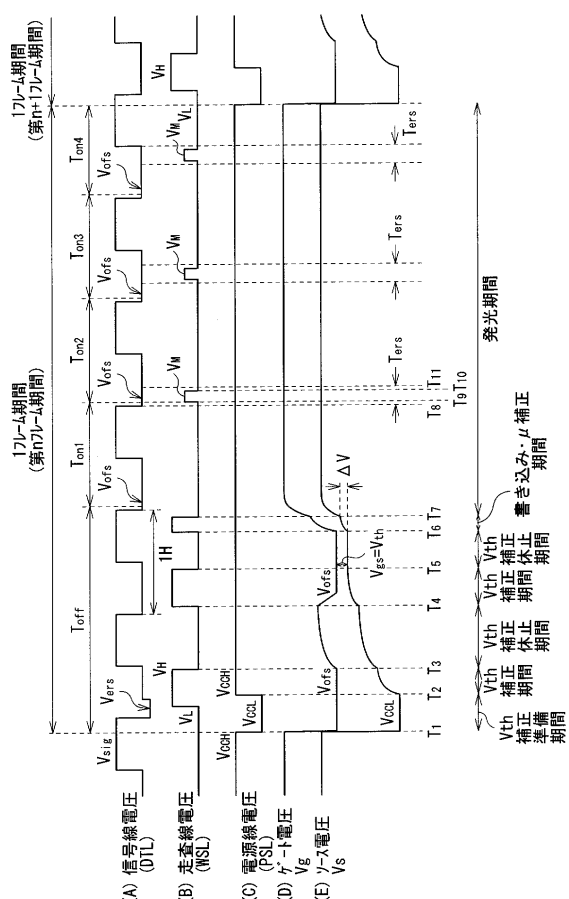
【図4】

	Ton1	Ton2	Ton3	Ton4	デューティ比
τ-1	発光	非発光	非発光	非発光	Ton1/Tf
τ-2	発光	発光	非発光	非発光	(Ton1+Ton2)/Tf
τ-3	発光	発光	発光	非発光	(Ton1+Ton2+Ton3)/Tf
τ-4	発光	発光	発光	発光	(Ton1+Ton2+Ton3+Ton4)/Tf

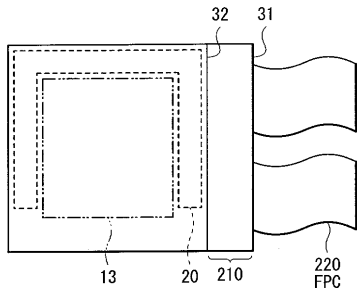
【図5】



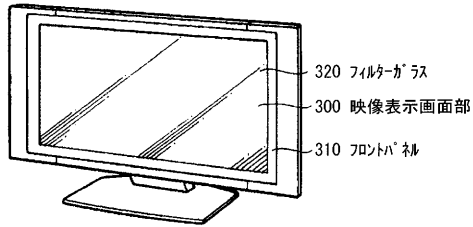
【図6】



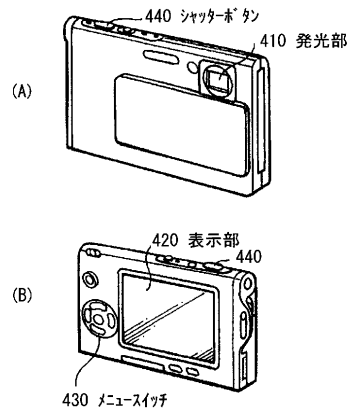
【図7】



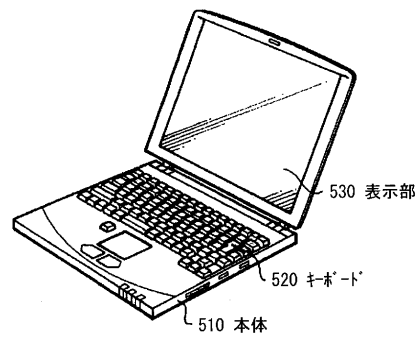
【図8】



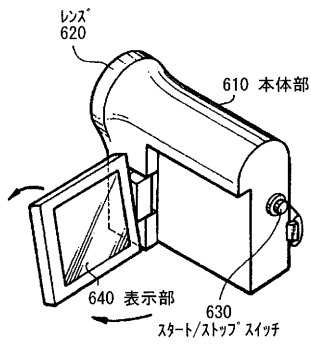
【図9】



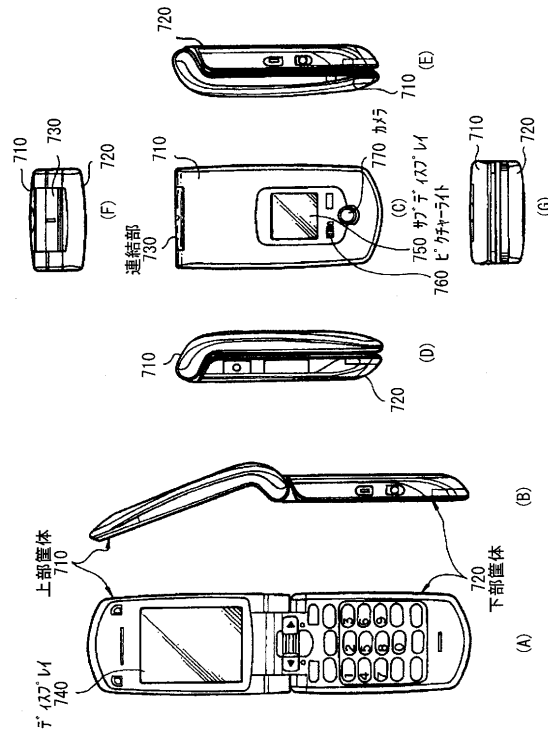
【図10】



【図11】



【図12】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/30	K
G 0 9 G	3/30	H
G 0 9 G	3/20	6 1 2 J
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 1 A
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 1 K
H 0 5 B	33/14	A

審査官 橋本 直明

(56)参考文献 特開2002-175047(JP,A)

特開2001-060076(JP,A)

特開2009-128404(JP,A)

特開2009-122336(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0

G 0 9 G 3 / 2 0

H 0 1 L 5 1 / 5 0