



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월21일
(11) 등록번호 10-1010426
(24) 등록일자 2011년01월17일

(51) Int. Cl.

H01L 29/70 (2006.01) *H01L 29/73* (2006.01)*H01L 21/76* (2006.01)

(21) 출원번호 10-2005-7002479

(22) 출원일자(국제출원일자) 2003년08월13일

심사청구일자 2008년08월08일

(85) 번역문제출일자 2005년02월14일

(65) 공개번호 10-2005-0054918

(43) 공개일자 2005년06월10일

(86) 국제출원번호 PCT/US2003/025516

(87) 국제공개번호 WO 2004/017373

국제공개일자 2004년02월26일

(30) 우선권주장

10/218,678 2002년08월14일 미국(US)

(56) 선행기술조사문헌

US20010015470 A1

전체 청구항 수 : 총 51 항

(73) 특허권자

어드밴스드 아날로직 테크놀로지스 인코퍼레이티드

미국 캘리포니아주(우편번호 95054) 산타클라라
스코트 블러바드 3230

(72) 발명자

윌리엄스 리차드 케이.

미국 캘리포니아주 쿠퍼티노 노리치 에비뉴 10292
코넬 마이클 이.미국 캘리포니아주 캠프벨 서머필드 드라이브
1576

찬 와이 티엔

중국 홍콩 판링 엔.티. 리젠틱월레 블록 5 23/에
프 플랫에프

(74) 대리인

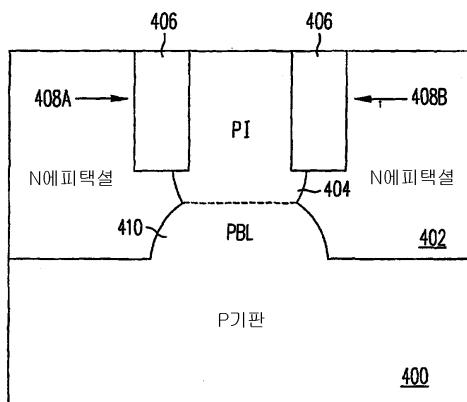
김명신, 박장규

심사관 : 김건형

(54) 트렌치 구속 분리 확산영역을 갖는 상보형 아날로그 바이폴라 트랜지스터

(57) 요 약

반도체 기판은 유전체로 채워진 한쌍의 트렌치를 포함한다. 트렌치 사이의 메사로 도입된 도편트는 기판이 열처리 될 때 측면으로 확산되는 것이 제한된다. 따라서, 반도체 디바이스는 기판 상에서 서로 더욱 가까이 간격을 둘 수 있고, 디바이스의 접적 밀도는 증가될 수 있다. 트렌치 구속 도핑 영역은 또한 구속되지 않은 확산영역 보다 더 빨리 및 더 깊게 확산됨으로써, 소망 깊이의 확산영역을 완성하는데 필요한 시간과 온도를 줄인다. 상기 기술은 디바이스를 전기적으로 서로 분리시키는 분리영역뿐만 아니라 바이폴라 트랜지스터와 같은 반도체 디바이스에 사용될 수 있다. 일 그룹의 실시예에서, 매장층은 통상적으로 메사의 도편트 아래의 위치에서, 에피택셜층과 기판 사이의 인터페이스에 형성된다. 기판이 열처리되는 경우, 매장층은 상향으로 확산되고, 메사의 도편트는 두 개의 도편트가 에피택셜층의 표면으로부터 매장층까지 하향으로 연장하는 싱커 또는 분리영역을 형성하기 위해 병합할 때까지 하향으로 확산된다. 다른 실시예에서, 도편트는 몇 MeV까지의 높은 에너지로 유전체로 채워진 트렌치 사이에서 임플란트되고, 그 후 확산되어, 최소의 열 수치로 깊은 확산영역을 달성함으로써 깊은 임플란테이션과 트렌치 구속 확산영역의 장점을 결합한다.

대 표 도 - 도13A

특허청구의 범위

청구항 1

반도체 분리 구조체에 있어서,

반도체 기판;

상기 기판상에 형성되고, 배경 도핑 농도를 갖는 에피택셜층;

상기 에피택셜층의 표면에서 아래로 연장하는 제 1 및 제 2 트렌치; 및

상기 제 1 및 제 2 트렌치 사이의 위치에서 상기 에피택셜층의 표면에서 상기 기판으로 아래로 연장하는 도편트의 웨爾;을 포함하고,

상기 제 1 및 제 2 트렌치 사이에 메사(mesa)가 확정되고,

상기 제 1 및 제 2 트렌치 각각의 바닥은 상기 에피택셜층 내에 위치되며, 상기 트렌치 각각은 유전체로 채워지고,

상기 웨爾은 상기 메사의 전체를 접유하고 상기 에피택셜층의 배경 도핑 농도와 상이한 도핑 농도를 가지며, 상기 웨爾은 상기 에피택셜층의 잔부와 제 1 및 제 2 접합부를 형성하고, 상기 제 1 접합부는 상기 제 1 트렌치의 바닥에서 상기 기판으로 연장하고, 상기 제 2 접합부는 상기 제 2 트렌치의 바닥에서 상기 기판으로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

반도체 디바이스의 분리 구조체를 제조하는 방법에 있어서,

반도체 기판을 제공하는 단계;

상기 기판으로 도편트를 임플란트하는 단계;

상기 기판상에 에피택셜층을 형성하는 단계;

매장층을 형성하기 위해 상기 기판내의 도편트를 상기 에피택셜층으로 위로 확산시키는 단계;

상기 에피택셜층 내에 한 쌍의 트렌치를 형성하는 단계;

상기 트렌치를 유전체로 채우는 단계; 및

상기 트렌치 사이의 메사로 도편트를 주입하는 단계를 포함하고,

상기 트렌치의 바닥은 상기 에피택셜층 내에 위치하며, 상기 트렌치는 상기 트렌치 사이에 메사를 확정하고, 상기 메사는 상기 매장층에 위에 위치하며, 상기 도편트는 아래로 연장하여 상기 매장층과 병합하고 상기 에피택셜층의 표면에서 상기 기판으로 연장하는 웰을 형성하며, 상기 웰은 상기 메사의 전체를 접유하는 것을 특징으로 하는 반도체 디바이스의 분리 구조체 제조방법.

청구항 47

제 46 항에 있어서,

상기 도편트는 상기 트렌치의 바닥의 레벨 아래의 레벨에서 상기 매장층과 병합하는 것을 특징으로 하는 반도체 디바이스의 분리 구조체 제조방법.

청구항 48

제 46 항에 있어서,

상기 도편트는 상기 메사내의 상기 매장층과 병합하는 것을 특징으로 하는 반도체 디바이스의 분리 구조체 제조방법.

청구항 49

제 46 항에 있어서,

상기 기판은 제 1 도전성 타입이고, 상기 에피택셜층과 상기 웰은 제 2 도전성 타입인 것을 특징으로 하는 반도체 디바이스의 분리 구조체 제조방법.

청구항 50

제 46 항에 있어서,

상기 기판과 상기 웰은 제 1 도전성 타입이고, 상기 에피택셜층은 제 2 도전성 타입인 것을 특징으로 하는 반도체 디바이스의 분리 구조체 제조방법.

청구항 51

제 1 항에 있어서,

상기 기판과 상기 웰은 제 1 도전성 타입의 물질로 도핑되고, 상기 에피택셜층은 상기 제 1 도전성 타입과 반대인 제 2 도전성 타입의 물질로 도핑되며, 상기 제 1 및 제 2 접합부는 PN 접합인 것을 특징으로 하는 반도체 분

리 구조체.

청구항 52

삭제

청구항 53

제 51 항에 있어서,

상기 웰은 상기 제 1 도전성 타입의 매장층을 포함하고, 상기 매장층은 상기 기판에서 위로 연장하고 상기 웰의 잔부와 병합하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 54

제 53 항에 있어서,

상기 매장층은 각각의 상기 트렌치의 바닥의 레벨 아래의 상기 에피택셜층내의 레벨에서 상기 웰의 상기 잔부와 병합하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 55

제 53 항에 있어서,

상기 매장층은 상기 메사 내에서 상기 웰의 잔부와 병합하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 56

제 51 항에 있어서,

상기 트렌치는 상기 에피택셜층의 두께의 10% ~ 90% 범위로 연장되는 것을 특징으로 하는 반도체 구조체.

청구항 57

제 56 항에 있어서,

상기 트렌치는 상기 에피택셜층의 두께의 30% ~ 70% 범위로 연장되는 것을 특징으로 하는 반도체 구조체.

청구항 58

제 57 항에 있어서,

상기 트렌치는 상기 에피택셜층의 두께의 1/2 이내로 연장되는 것을 특징으로 하는 반도체 구조체.

청구항 59

제 51 항에 있어서,

상기 유전체는 산화물을 포함하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 60

제 51 항에 있어서,

상기 유전체는 질화물을 포함하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 61

제 51 항에 있어서,

상기 트렌치의 폭은 $0.1\mu\text{m}$ ~ $2\mu\text{m}$ 인 것을 특징으로 하는 반도체 분리 구조체.

청구항 62

제 1 항에 있어서,

상기 기판은 제 1 도전성 타입의 물질로 도핑되고, 상기 에피택셜층과 상기 웰은 상기 제 1 도전성 타입과 반대인 제 2 도전성 타입의 물질로 도핑되며, 상기 제 1 및 제 2 접합부는 가상 접합부인 것을 특징으로 하는 반도체 분리 구조체.

청구항 63

삭제

청구항 64

제 62 항에 있어서,

상기 웰은 상기 제 1 도전성 타입의 매장층을 포함하고, 상기 매장층은 상기 기판에서 위로 연장되어 상기 웰의 잔부와 병합되는 것을 특징으로 하는 반도체 분리 구조체.

청구항 65

제 64 항에 있어서,

상기 매장층은 각각의 상기 트렌치의 바닥의 레벨 아래의 상기 에피택셜층내의 레벨에서 상기 웰의 잔부와 병합하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 66

제 65 항에 있어서,

상기 매장층의 측면 크기는 상기 메사의 폭과 상기 트렌치 폭의 2배를 합한 거리보다 작은 것을 특징으로 하는 반도체 분리 구조체.

청구항 67

제 66 항에 있어서,

상기 매장층은 상기 메사의 수직 중심선에 대하여 대칭인 것을 특징으로 하는 반도체 분리 구조체.

청구항 68

제 65 항에 있어서,

상기 매장층은 상기 트렌치 중 어느 하나를 너머 측면으로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 69

제 65 항에 있어서,

상기 매장층은 상기 트렌치 양쪽을 너머 측면으로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 70

제 64 항에 있어서,

상기 매장층은 상기 메사 내에서 상기 웰의 잔부와 병합되는 것을 특징으로 하는 반도체 분리 구조체.

청구항 71

제 70 항에 있어서,

상기 매장층의 측면 크기는 상기 메사의 폭과 상기 트렌치 폭의 2배를 합한 거리보다 작은 것을 특징으로 하는 반도체 분리 구조체.

청구항 72

제 71 항에 있어서,

상기 매장층은 상기 메사의 수직 중심 라인에 대하여 대칭인 것을 특징으로 하는 반도체 분리 구조체.

청구항 73

제 70 항에 있어서,

상기 매장층은 상기 트렌치 중 어느 하나를 넘어 측면으로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 74

제 62 항에 있어서,

상기 트렌치는 상기 에피택셜층의 두께의 10% ~ 90% 범위로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 75

제 74 항에 있어서,

상기 트렌치는 상기 에피택셜층의 두께의 30% ~ 70% 범위로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 76

제 75 항에 있어서,

상기 트렌치는 상기 에피택셜층의 두께의 1/2 이내로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 77

제 62 항에 있어서,

상기 유전체는 산화물을 포함하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 78

제 62 항에 있어서,

상기 유전체는 질화물을 포함하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 79

제 62 항에 있어서,

상기 트렌치의 폭은 $0.1\mu\text{m}$ ~ $2\mu\text{m}$ 인 것을 특징으로 하는 반도체 분리 구조체.

청구항 80

제 62 항에 있어서,

상기 웨일의 도핑 농도는 상기 에피택셜층의 도핑 농도보다 10% 이상 높은 것을 특징으로 하는 반도체 분리 구조체.

청구항 81

제 1 항에 있어서,

상기 기판과 상기 에피택셜층은 제 1 도전성 타입의 물질로 도핑되고, 상기 웨일은 상기 제 1 도전성 타입과 반대인 제 2 도전성 타입으로 도핑되고, 상기 제 1 및 제 2 접합부는 PN 접합인 것을 특징으로 하는 반도체 분리 구조체.

청구항 82

삭제

청구항 83

제 81 항에 있어서,

상기 웨일은 상기 제 1 도전성 타입의 매장층을 포함하고, 상기 매장층은 상기 기판에서 위로 연장되고, 상기 웨일의 잔부와 병합하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 84

제 83 항에 있어서,

상기 매장층은 각각의 상기 트렌치의 바닥의 레벨 아래의 상기 에피택셜층내의 레벨에서 상기 웨일의 잔부와 병합하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 85

제 84 항에 있어서,

상기 매장층의 측면 크기는 상기 메사의 폭과 상기 트렌치 폭의 2배를 합한 거리보다 작은 것을 특징으로 하는 반도체 분리 구조체.

청구항 86

제 85 항에 있어서,

상기 매장층은 상기 메사의 수평 중심선에 대하여 대칭인 것을 특징으로 하는 반도체 분리 구조체.

청구항 87

제 84 항에 있어서,

상기 매장층은 상기 트렌치 중 어느 하나를 넘어 측면으로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 88

제 84 항에 있어서,

상기 매장층은 상기 트렌치 양쪽을 넘어 측면으로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 89

제 81 항에 있어서,

상기 트렌치는 상기 에피택셜층의 두께의 10% ~ 90% 범위로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 90

제 89 항에 있어서,

상기 트렌치는 상기 에피택셜층의 두께의 30% ~ 70% 범위로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 91

제 90 항에 있어서,

상기 트렌치는 상기 에피택셜층의 두께의 1/2 이내로 연장하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 92

제 81 항에 있어서,

상기 유전체는 산화물을 포함하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 93

제 81 항에 있어서,

상기 유전체는 질화물을 포함하는 것을 특징으로 하는 반도체 분리 구조체.

청구항 94

제 81 항에 있어서,

상기 트렌치의 폭은 $0.1\mu\text{m} \sim 2\mu\text{m}$ 인 것을 특징으로 하는 반도체 분리 구조체.

청구항 95

반도체 디바이스를 제조하는 방법에 있어서,

반도체 기판을 제공하는 단계;

상기 기판상에 에피택셜층을 형성하는 단계;

상기 에피택셜층 내에 한 쌍의 트렌치와 상기 트렌치 사이에 메사를 형성하는 단계;

상기 트렌치를 유전체로 채우는 단계;

상기 트렌치 사이의 메사로 도편트를 주입하는 단계; 및

상기 에피택셜층을 가열하여 상기 도편트를 측면과 아래로 확산시켜 상기 도편트가 상기 메사를 완전히 점유하고 상기 기판으로 연장하는 단계를 포함하고,

상기 트렌치의 바닥은 상기 에피택셜층 내에 위치하는 것을 특징으로 하는 반도체 디바이스 제조방법.

청구항 96

제 95 항에 있어서,

상기 도편트를 주입하는 단계는 140keV 이하의 에너지에서 상기 도편트를 임플란트하는 것을 특징으로 하는 반도체 디바이스 제조방법.

청구항 97

제 96 항에 있어서,

상기 도편트를 주입하는 단계는 $5\text{E}12\text{cm}^{-2}$ 내지 $5\text{E}15\text{cm}^{-2}$ 범위의 주입량으로 상기 도편트를 임플란트하는 것을 특징으로 하는 반도체 디바이스 제조방법.

청구항 98

제 95 항에 있어서,

상기 에피택셜층을 가열함으로써 상기 도편트를 상기 에피택셜층 두께의 120% 이상의 깊이로 연장하는 것을 특징으로 하는 반도체 디바이스 제조방법.

명세서

기술분야

[0001] 본 발명은 접합부-분리 접적 반도체 디바이스용 분리 구조체, 상세하게는 상보형 아날로그 바이폴라 트랜지스터 및 그 형성 방법에 관한 것이다.

배경기술

[0002] 접적 회로의 최소 피처(feature) 사이즈가 점점 작아지기 때문에, 접적 회로(IC) 칩에서 디바이스의 접적 밀도(packing density)의 증가가 필요하게 되었다. 디바이스 사이의 거리가 또한 작아질 수 없다면, 작은 디바이스의 장점은 크게 상실된다.

[0003] 도 1 ~ 11은 종래의 프로세스 및 구조체 그리고 이러한 프로세스 및 구조체에 내재된 문제의 일부를 나타낸다.

[0004] 도 1A는 반도체 디바이스의 일반적인 제조 방법을 나타낸다. 산화물, 질화물, 포토레지스트, 또는 이들의 조합

일 수 있는 마스크 층(102)에 형성된 개구를 통해 N 또는 P 기판(100)에 도편트(dopant)가 도입된다. 도편트는 이온 임플란트(ion implantation) 또는 고온 예비피착(predeposition)(즉, 가스 또는 고체 소스로부터의 도핑 소스가 반도체로 도입되는 얇은 확산)에 의해 도입될 수 있다. 그 다음 도편트는 도 1B에 도시된 바와 같이, 얕은 영역(104)(shallow region)을 형성하기 위해 가열에 의해 확산될 수 있거나, 또는 도편트는 도 1C에 도시된 바와 같이, 훨씬 더 깊은 영역(106)을 형성하기 위해 높은 온도 또는 오랜 시간 동안 확산될 수 있다. 영역(104)은 $0.5 \sim 2 \mu\text{m}$ 깊이일 수 있고, 영역(106)은 $2 \sim 10 \mu\text{m}$ 깊이일 수 있다. 도 1D는 열 확산 프로세스 동안 영역(106)의 측면 퍼짐(spreading)을 상세히 나타내는 영역(106)의 좌측면도이다. 지적한 바와 같이, 접합부 도편트(junction dopant)는 확산 동안 수직뿐만 아니라 측면으로 퍼진다. 일반적인 규칙으로서, 마스크 개구의 에지에서, 포인트(0,0)로부터의 측면 퍼짐은 접합부의 수직 깊이(x_j)에 대략 0.8배와 같다. 도편트의 이러한 측면 퍼짐은 일반적인 열 확산 프로세스를 사용하여 형성되는 디바이스의 수평 간격(spacing) 및 접적 밀도를 제한한다.

[0005] 도 2A 및 도 2B는 확산 프로세스의 다른 문제, 즉 접합부의 깊이가 마스크 개구의 너비(width)의 함수일 수 있음을 도시한다. 도 2A는 마스크 개구(W_1)를 통한 임플란트 이후에 실시된 확산의 결과를 도시하고, 도 2B는 마스크 개구(W_2)를 통한 임플란트 이후에 실시된 확산의 결과를 도시한다(여기서 $W_1 > W_2$). 도 2B에서 접합부의 최종 깊이는 1 보다 작은 계수(η)에 의해 도 2A의 접합부의 깊이 보다 작다. 이 현상은 마스크 개구가 상대적으로 작은 경우 도편트의 측면 퍼짐은 마스크 개구가 클 때 보다 표면 농도 및 수직방향으로 도핑 농도의 기울기(gradient)를 더 많이 감소시키기 때문에 발생한다. 따라서 도편트는 마스크 개구가 작은 경우에 더욱 느리게 하부방향으로 확산되고, 이러한 효과를 "결핍 확산(starved diffusion)"이라고 한다. 그러므로, 마스크 개구는 예컨대 두꺼운 층에 대한 측벽 분리영역을 생성하기 위한 깊은 접합부를 얻기 위해서 상대적으로 커야 한다. 또한, 큰 마스크 개구의 필요성은 반도체 디바이스의 접적 밀도를 제한한다.

[0006] 도 3A 및 도 3B는 이러한 문제들의 영향의 일부를 예시한다. 이상적으로, 사람들은 도 3A에 도시된 것과 같이 얕은 확산영역(110)으로부터 거리($Y_{N+/P+}$) 만큼 분리된 깊은 확산영역(108)을 형성하길 원한다. 실제로 있어서는, 측면 도편트 퍼짐때문에, 도 3A에 도시된 형태의 깊은 확산영역(108)은 불가능하다. 대신에, 결과는 도 3B에 도시된 바와 같이 N⁺ 및 P⁺ 양 접합부의 마스크 퍼처 사이에 동일한 간격을 가지지만, 훨씬 더 작은 거리($Y_{N+/P+}$)에 의해 확산영역(110)으로부터 분리된 훨씬 더 넓은 확산영역(112)이 된다.

[0007] 유사한 문제는 수직 분리영역 및 매장층의 형성에서도 발생한다. 도 4A는 N-에피택셜층(116)을 관통해서 P 기판(120)까지 연장하는 수직 P 분리영역(114)을 포함하는 이상적인 구조체를 도시한다. N 매장층(NBL : N Buried Layer)(118)은 N-에피택셜층(116)과 P기판(120) 사이의 인터페이스에 형성된다. P 분리영역(114)과 N 매장층(118) 양자는 거리(W_3)에 의해 분리되고, 수직 에지를 갖는 날카롭고 잘 한정된 영역이다. 실제로, 종래의 확산 프로세스로 발생하는 것은 도 4B에 도시된다. N 매장층(118)은 N-에피택셜층(116) 성장 및 P 분리영역(114)의 후속 드라이브 인(driving-in) 동안 수평으로 확장되고, P 분리영역(114)도 비슷하게 측면으로 확장되어 W_3 보다 훨씬 더 작은 거리(W_4)로 N 매장층(118)과 P 분리영역(114) 사이의 분리를 감소시킨다. 결과적으로, N 매장층(118)과 P 분리영역 사이의 파괴 전압(breakdown voltage)은 감소되고, 도 4A에 도시된 구조체의 파괴 전압을 얻기 위해서는 N 매장층(118)과 P 분리영역(114) 사이의 분리를 훨씬 크게 넓혀야만 한다.

[0008] 도 5A-5F는 종래의 접합-분리 프로세스, 즉 상부면으로부터 하방으로 연장하는 분리(또한 "다운-온리"(down-only) 접합 분리로서 알려짐)의 단계를 도시한다. 도 5A에서, 두꺼운 산화물층(122)(예컨대, $1 \sim 5 \mu\text{m}$ 두께)은 P 기판(124)에서 성장되었다. 도 5B에서, 포토 레지스트층(126)은 산화물층(122)의 상부에 형성되고 산화물층(122)은 포토 레지스트 층(126)의 개구를 통해 에칭된다. 얇은 산화물층(130)이 개구에 형성되고 안티몬 또는 비소와 같은 느린 확산 N-타입 도편트는 도 5C에 도시된 것과 같이 N 매장층(128)을 형성하기 위해 개구를 통해 임플란트된다.

[0009] 상부에 놓이는(overlying) 에피택셜층의 후속 성장을 준비하기 위해, N 매장층(128) 내 도편트의 표면 농도는 감소되어야 한다. 이는 에피택셜층의 성장 동안 도편트의 에피택셜 반응으로 내부로의 탈가스(outgas)를 감소시키는 것에 필요하다. 이를 실시하기 위해, N 매장층(128)은 연장된 시간 동안 높은 온도로, 예컨대 $5 \sim 20$ 시간 동안 $1100 \sim 1250^\circ\text{C}$ 에서 드라이브인된다. 이 열처리의 시간 및 온도가 필요로 하는 것은 N 매장층(128)을 형성하기 위해 사용된 도편트가 후속 프로세스를 위해 느리게 확산하기 때문에, 이것을 에피택시 전에 실리콘 표면으로부터 확산시키는 것에 필연적으로 높은 온도와 긴 시간을 필요로 하는 사실에 의한다.

- [0010] 도 5D는 P 기판(124) 상의 N 에피택셜층(132)의 성장 이후의 구조체를 도시한다. 도시된 바와 같이, N 매장층(128)은 N 에피택셜층(132)의 상부로 확산되었다.
- [0011] 도 5E에 도시된 바와 같이, 산화물층(134)은 N 에피택셜층(132)의 표면에 형성되고, 개구는 포토레지스트 마스크층(136)을 사용하여 산화물층(134)에 에칭된다. 봉소와 같은 P-타입 도편트는 P 분리영역(136)을 형성하기 위해 산화물층(134)의 개구를 통해 임플란트된다. 그 후 전체 구조체를 열 처리시켜, P 분리영역(136)이 N 에피택셜층(132)을 통과하여 P 기판(124)까지 하향으로 확산하고, 동시에 얇은 산화물층(138)을 형성한다. N 매장층(128)은 이 열처리 동안 상향 및 측면으로 확산한다. N 매장층(128)이 느린 확산 도편트로 형성되기 때문에, P 분리영역(136)의 봉소보다 더욱 느리게 확산하고, 따라서 N 매장층(128)은 P 분리영역(136)으로부터 분리된 상태로 있다. 그럼에도 불구하고, 이 분리를 보장하기 위해, N 에피택셜층(132)은 다른 것보다도 더 두껍게 형성되어야 한다.
- [0012] 도 6은 P 분리영역(136) 바로 아래에 P 매장층(140)을 형성함으로써 이러한 문제를 감소시키는 방법을 도시한다. P 매장층(140)은 열처리 동안 상향으로 확산하고 N 에피택셜층(132)의 중앙 근처에서 언젠가 하향-확산 P 분리영역(136)을 만나고, 이에 의해 필요한 열처리의 양 및 N 매장층(128)의 측면 확산을 줄인다. 그럼에도 불구하고, 이러한 측면 확산은 발생하게 되고, 따라서 웨이퍼 공간은 여전히 낭비된다.
- [0013] 도 7A-7F는 도 6의 구조체를 형성하는 프로세스를 도시한다. 도 7A는 에피택셜층의 성장 전에 표면 도편트 농도를 감소시키기 위해 N 매장층(128)이 임플란트되고 열 확산된 이후의 구조를 도시한다. 열 확산 프로세스 동안 두꺼운 산화물층(146)이 형성된다. 고농도의 비소가 매장층을 형성하기 위해 사용되는 경우에, NBL 상부의 산화물은 더 적게 도핑된 P-타입 기판 위에서 성장하는 부분보다 약간 더 두꺼운 두께로 성장할 수 있다("농도 강화 산화(concentration enhanced oxidation)"로서 알려진 효과). 결과는 동일한 산화 시간을 가짐에도 불구하고 산화물(146)의 두께보다 작은 두께를 가지는 산화물층(142)일 수 있다. 이러한 현상은 도편트 종류로서 안티몬을 사용하여도 발생할 수 있으나, 효과의 크기는 감소된다. 포토레지스트층(144)은 산화물층(142 및 146)의 상부에 괴착되고 P 매장층(140)을 형성하기 위한 봉소 이온의 임플란트를 위해 패터닝된다. 포토레지스트층(144)의 개구의 에지는 N 매장층(128) 및 P 매장층(140)이 후속 열처리 동안 병합되지 않는 것을 보장하기 위해 N 매장층(128)의 에지로부터 측면 거리(W_5)의 간격을둔다.
- [0014] 도 7B에 도시된 바와 같이, 산화물층(142)은 포토 레지스트층(144)의 개구를 통해 에칭되고, 봉소(또는 다른 P-타입 도편트)는 P 매장층(140)을 형성하기 위해 개구를 통해 임플란트된다. 구조체는 또한 P 매장층(140)의 표면 농도를 줄이기 위해 어닐링되고, 도 7C와 같은 얇은 산화물층(148)을 형성한다.
- [0015] 다음에 N 에피택셜층(132)은 도 7D에 도시된 것과 같이 에피택셜 괴착을 사용하여 P 기판(124)의 상부에서 성장한다. 기상 에피택셜(VPE: Vapor Phase Epitaxial) 괴착은 특히 실리콘의 괴착에 있어서 액상 에피택시 보다 일반적으로 선호된다. 그러나, VPE는 기판이 높은 온도, 통상 1200°C 이상으로 가열되는 것을 필요로 한다. N 에피택셜층(132)의 성장 동안, N 매장층(128) 및 P 매장층(140)은 수직 및 측면으로 퍼지고, 이 두개의 매장층 사이의 분리를 감소시킨다.
- [0016] 도 7E에 도시된 바와 같이, 산화물층(150)은 N 에피택셜층(132)의 표면에 형성된다. 산화물층(150)은 봉소가 P 분리영역(136)을 형성하기 위해 인플란트되는 개구를 형성하기 위한 일반적인 포토리쏘그래픽 기술을 사용하여 패터닝된다. 그 후, 도 7F에 도시된 바와 같이 구조체는 다시 어닐링되어, 두 개의 확산이 N 에피택셜층(132) 내의 임의의 장소에서 병합될 때까지 P 매장층(140)을 상향으로 확산되게 하고 P 분리영역(136)을 하향으로 확산되게 한다. N 매장층(128) 및 P 매장층(140)은 이들 사이의 분리가 아주 작게 될 때까지 이러한 어닐링 동안 측면으로 확산한다. 도 7A에 도시된 분리(W_5)가 없다면, 이들 두 개의 매장층은 사실상 병합될 수 있고, 결과적으로 분리(W_5)는 사실상 최종 구조체에서 필요한 파괴전압을 제공하기 위해 P 매장층(140)이 N 매장층(128)으로부터 충분히 공간을 두는 것을 보장하기 위해 지불해야 하는 "페널티(penalty)"이다.
- [0017] 명백한 바와 같이, 이것은 웨이퍼, 특히 큰 웨이퍼의 왜곡(warping) 및 낮은 생산성으로 이끌 수 있는 복잡하고, 시간 소모적인 프로세스이다. 분리 확산 동안 NBL의 상향-확산은 N 에피택셜층(132)의 "일정한(flat)" 농도 부분을 또한 감소시키고, 상향-확산이 발생하지 않았을 경우에 필요한 것보다 두꺼운 에피택셜층을 필요로 한다.
- [0018] 도 8은 N 에피택셜층(132) 전체를 통과해서 트렌치(152)를 에칭하고 유전체(154)로 트렌치(152)를 채움으로써 이 문제를 피하는 방법을 도시한다. N 에피택셜층은 예컨대 5 μm 내지 20 μm 두께일 수 있기 때문에, 트렌치

(152)는 N 에피택셜층(132) 전체를 관통하여 연장되기 위해 매우 깊어야 한다.

도 8의 구조체를 형성하는 프로세스는 도 9A-9F에 도시된다. N 에피택셜층(132)이 형성된 이후에, 도 9A에 도시된 바와 같이 산화물층 또는 다른 하드 마스크층(156)이 N 에피택셜층(132)에 꾀착되고 포토 레지스트층(158)으로 패터닝된다. 개구(160)는 도 9B에 도시된 것과 같이 층(156)에 형성되고, 트렌치(152)는 도 9C에 도시된 것과 같이 N 에피택셜층(132)을 통과하여 에칭된다. 이는 통상적으로 반응성 이온 에칭(RIE)에 의해 이루어진다.

[0019] 삭제

[0020] 트렌치(152)가 형성된 이후에, 하드 마스크층(156)은 제거되고, 희생 산화물층(도시 안됨)이 RIE 프로세스에 의해 발생되는 결정 손상(crystalline damage)을 보상하기 위해 트렌치(152) 내에서 성장된다. 희생 산화물층이 제거되고 다른 산화물층(162)이 도 9D에 도시된 것과 같이 트렌치(152)의 벽 및 N 에피택셜층(132)의 상부면에서 성장된다. 트렌치(152)는 도 9E에 도시된 것과 같이 N 에피택셜층(132)의 상부면과 겹치는 유전체(164)(dielectric material)로 채워지고, 유전체(164)는 도 9F에 도시된 것과 같이 평탄해짐으로써, 유전체(164)의 상부면은 산화물층(162)의 상부면과 수평이 된다.

[0021] 트렌치(152)는 이러한 프로세스 동안 크게 확장되거나 또는 폐지지 않기 때문에, 또한 에피택셜층과 PN 접합을 형성하지 않기 때문에, 트렌치(152)는 예컨대 도 7C에 도시된 스테이지의 P 매장층(140) 보다 N 매장층(128)에 더 가깝게 위치할 수 있다. 그러나, 이 프로세스는 몇몇의 문제들과 위험을 갖는다. 트렌치(152)가 매우 깊을 수 있기 때문에, 채우는 것이 어려울 수 있다. 도 10A에 도시된 바와 같이, 만약 트렌치가 불충분하게 채워지면, 좁은 캡이 도 10A에 도시된 것과 같이 유전체(164)의 상부면으로부터 트렌치 자체의 형상을 띠고 하향으로 연장되어 남겨질 수 있거나, 또는 좁은 공극(void)이 도 10B에 도시된 것과 같이 트렌치에 남겨질 수 있다. 트렌치가 좁은 입구(mouth)를 갖는다면, 공극이 도 10C에 도시된 것과 같이 바닥 부분에 남겨질 수 있거나, 또는 RIE가 넓은 개구로 트렌치를 생성하는 약간 부족한 이방성이라면, 유전체(164)는 도 10D에 도시된 것과 같이 에치백 동안 트렌치의 바닥의 작은 부분만을 남기고 트렌치의 내부로부터 제거될 수 있다. 결론적으로 깊은 트렌치 분리 및 재충전은 대량 생산에 있어 위험부담이 큰 도전적인 프로세스이다.

[0022] 도 11A-11E는 종래의 확산 기술을 사용하여 형성된 몇 개의 반도체 디바이스를 도시한다.

[0023] 도 11A는 P 기판(200)에서 성장된 N 에피택셜층(202)에서 형성되는 NPN 트랜지스터(234) 및 PNP 트랜지스터(236)를 도시한다. NPN 트랜지스터의 이미터는 N+ 영역(208)이고, 베이스는 P+ 영역(베이스 컨택트, 또는 익스트린식(extrinsic) 베이스)(210) 및 전용 P-베이스 영역(활성 트랜지스터 또는 인트린식(intrinsic) 베이스 영역)(206)을 포함하고, 콜렉터는 N+ 영역(212)(콜렉터 컨택트 영역), N 에피택셜층(202)(콜렉터) 및 N 매장층(204A)(소위 서브-콜렉터 영역)을 포함한다. N 매장층(204A)은 P 기판(200)으로부터 트랜지스터(234)를 분리하고 콜렉터의 저항을 저하시킨다.

[0024] PNP 트랜지스터(236)에서, 이미터는 P+ 영역(226)이고, 베이스는 N+ 익스트린식 베이스 컨택트 영역(224) 및 전용 인트린식 베이스 영역(222)을 포함하고, 콜렉터는 P+ 콜렉터 컨택트 영역(228), P-웰(220) 및 P 매장층 서브-콜렉터(218)를 포함한다. N 매장층(NBL)(204B) 및 P 매장층(PBL)(218)은 N 에피택셜층(202) 및 P 기판(200)의 인터페이스에 형성된다. N 매장층(204B)은 안티몬 또는 비소와 같은 상대적으로 느린 확산 도편트로 형성되고, P 매장층(218)은 봉소와 같은 빠른 확산 도편트로 형성된다. 결과적으로, P 매장층(218)은 N 매장층(204B) 위로 연장하고, 몇몇의 경우에는 NBL 위와 아래로 연장할 수도 있다.

[0025] NPN 트랜지스터(234)는 N 에피택셜층(202)으로부터 P 기판(200)으로 연장하는 P 분리영역(214)에 의해 PNP 트랜지스터(236)로부터 분리된다. P 분리영역(214)은 또한 P+ 컨택트 영역(216)을 통해 P 기판(200)의 포텐셜을 설정하는 수단을 제공하고, 종종 가장 네거티브한 온-칩 포텐셜 또는 접지로 바이어스된다. PNP 트랜지스터(236)의 N 에피택셜층(202) 부분의 포텐셜은 N+ 컨택트 영역(230)을 통해 설정될 수 있고, 여기서 NBL(204B)는 P 기판(200)과 같거나 또는 더욱 포지티브하고 PBL(218)과 같거나 또는 더욱 포지티브한 포텐셜로 바이어스되어야 한다. 일반적인 작동은 포지티브 서플라이 레일(positive supply rail)(예컨대 Vcc)에서 NBL을 바이어스하는 것 또는 동일 포텐셜로 PLB(218) 및 NBL(204B)를 셴트하는 것(제로 바이어스 접합)을 종종 포함한다.

[0026] 도 11B는 측면 이중-확산된 N 채널 MOSFET(238)(LDMOSFET이라고도 함) 및 PMOSFET(240)과 NMOSFET(242)를 포함하는 분리된 CMOS 쌍(pair)을 도시한다. 또한, 이를 디바이스는 N 에피택셜층(202)에서 형성된다. N-채널 LDMOSFET(238)에서, 소스는 N+ 영역(246)이고, 바디는 P+ 컨택트 영역(244) 및 전용 P-바디 확산영역(248)(또

는 P-웰(265))을 포함하고, 드레인은 N+ 영역(249) 및 가볍게 도핑된 드레인 연장부로서 작용하는 N 에피택셜층(202)의 일부이다. P-바디(또는 P 웰)(248)의 채널부는 게이트(247) 아래에 놓이고, MOSFET의 임계 전압(threshold voltage)을 설정하고, (P 바디로부터 N 에피택셜 접합부로의 결핍의 대부분을 디바이스의 에피택셜 드레인측에 퍼지게 함으로써) 소스와 드레인 사이의 펀치-쓰루(punch-through) 파괴를 방지한다. 채널의 길이가 게이트 영역의 길이에 의해 결정되는 일반적인 MOSFET들과 달리, 디바이스에서 표면을 따라, 즉 측면으로 바디(248)와 소스(246) 사이의 접합부 깊이의 차이는 LDMOSFET의 채널 길이를 설정한다. 디바이스의 자기정렬(self-aligned) 타입에 있어서, P-바디(248)는 접합부가 충분한 접합부의 깊이 및 채널의 길이를 얻기 위해서 오랜 시간 동안 및 높은 온도(예컨대 14시간 동안 1100°C)에서 확산된 이후에, 디바이스의 게이트 전극이 형성된 이후 임플란트된다. LDMOSFET의 낮은 비용 타입에 있어서, P-웰 확산(265)(CMOS에서 사용됨)은 디바이스의 바디로서 사용된다. 웰은 게이트 이전에 형성되기 때문에, 게이트에 대해 자기정렬되지 않고, 마스크 정렬에 의존하는 펀치 쓰루 및 임계 전압을 만든다. N+ 영역으로부터 채널을 분리한 N 에피택셜층(202) 부분은 P-바디 영역(248) 및 분리 확산영역(250) 양쪽으로부터 충분히 공간을 둔다면 디바이스의 파괴 포텐셜을 증가시킨다.

[0027] PMOSFET(240)에서, 소스는 P+영역(256)이고, 바디는 N+ 콘택트 영역(254) 및 N 에피택셜층(202)의 일부를 포함하고, 드레인은 P+ 영역(258)이다. N 에피택셜층(202)의 채널부는 게이트(260) 아래에 놓인다. NMOSFET(242)에서, 소스는 N+ 영역(264)이고, 바디는 P+ 콘택트 영역(262) 및 P 웰(265)을 포함하고, 드레인은 N+ 영역(266)이다. P 웰(265)의 채널부는 게이트(268) 아래에 놓인다. CMOS 쌍 및 가볍게 도핑된 드레인 NMOSFET(238)는 P 분리영역(250)에 의해 서로 분리된다. P 기판(200)에 대한 콘택트는 P 분리영역(250) 및 P+ 콘택트 영역(252)을 통해 만들어진다. NBL(204)은 P 기판(200)으로부터 P-웰(265)을 분리한다.

[0028] 도 11C는 N-채널 의사(quasi)-수직 DMOSFET(270), N-채널 측면 DMOSFET(272)의 다른 변형, 그리고 완전히 분리된 PMOSFET(274)를 도시한다. 의사-수직 DMOSFET(270)는 게이트(276A, 276B 및 276C)에 의해 경계지워진 셀의 매트릭스로서 만들어진다. DMOSFET(270)의 각 셀은 소스로서 기능하는 N+ 영역(280), 바디로서 함께 기능하는 P+ 영역(282) 및 P-바디(278)를 포함한다. 소스 및 바디는 함께 쇼트된다. 전류는 소스로부터 게이트(276A, 276B, 276C) 아래의 채널을 통해, N 에피택셜층(202)을 통해, N 매장층(204D)까지 아래로 그 후 N 싱커(284) 및 N+ 영역(286)을 통해 드레인 단자까지 위로 흐른다(그러므로, 의사-수직으로 명명됨). DMOSFET(270)는 디바이스의 저항을 또한 낮추는 N 매장층(204D)에 의해 P 기판(200)으로부터 분리된다.

[0029] N-채널 측면 DMOSFET(272)는 소스로서 기능하는 N+ 영역(298), 그리고 바디로서 함께 기능하는 P+ 영역(294) 및 P-바디(292)를 포함한다. 전류는 N+ 영역(298)으로부터, 게이트(296) 아래의 채널을 통해, N 매장층(204E)까지 아래로 N 에피택셜층(202)의 표면을 따라 흐르고, 그 후 N 싱커(300) 및 N+ 영역(302)를 통해 드레인 단자까지 위로 흐른다. N-채널 LDMOSFET(272)는 N 매장층(204E)에 의해 P 기판(200)으로부터 그리고 P 분리영역(288) 및 P 매장층(290)에 의해 DMOSFET(270)으로부터 분리된다.

[0030] 분리된 PMOSFET(274)는 P+ 드레인으로서 기능하는 소스 및 P+ 영역(312)으로서 기능하는 P+ 영역(310)을 포함한다. 바디는 N 에피택셜층(202)의 일부이고, N+ 콘택트 영역(308)에 의해 콘택트된다. 전류는 게이트(314) 아래에 놓이는 채널을 통해 P+ 영역(310)으로부터 P+ 영역(312)으로 흐른다. PMOSFET(274)는 N 매장층(204F)에 의해 P 기판(200)으로부터 그리고 P 분리영역(304) 및 P 매장층(306)에 의해 NMOSFET(272)로부터 분리된다.

[0031] 도 11D는 다른 N-채널 측면 DMOSFET 변형(308), 측면 NMOSFET(310), 그리고 수직 PNP 바이폴라 트랜지스터(312)를 도시한다. N-채널 LDMOSFET(308)는 게이트(314)가 필드 산화물층 위로 계단형으로 올라가고 가볍게-도핑된 NMOSFET(308)가 N 매장층(204G)에 의해 P 기판(200)으로부터 분리된다는 점을 제외하고 도 11B에 도시된 NMOSFET(238)과 유사하다. N-채널 측면 DMOSFET(310)은 NMOSFET(310)이 N 매장층(204)을 포함하지 않는 점을 제외하고 도 11B에 도시된 N-채널 LDMOSFET(242)와 유사하다.

[0032] 수직 PNP 트랜지스터(312)에서, P+ 영역(314)은 이미터로서 동작하고, N-베이스(316), N+ 영역(318) 및 N 에피택셜층(202)의 일부는 베이스로서 동작하고, P 매장층(320) 및 P 싱커(322)는 콜렉터로서 동작한다. PNP 트랜지스터(312)는 N 매장층(204H)에 의해 P 기판(200)으로부터 분리된다.

[0033] N-채널 측면 DMOSFET(308)은 P 분리 확산영역(324) 및 P 매장층(326)에 의해 측면 NMOSFET(310)으로부터 분리되고, 측면 NMOSFET(310)은 P 싱커(328) 및 P 매장층(330)에 의해 수직 PNP 바이폴라 트랜지스터(312)로부터 분리된다.

[0034] 도 11E는 P 기판(340) 상에서 성장된 P 에피택셜층(342)에 형성된 디바이스를 도시한다. CMOS 쌍은 PMOSFET(344)가 N 웰(350)에서 형성되고 NMOSFET(346)가 P 에피택셜층(342)에서 형성된다는 점을 제외하고 도

11B에 도시된 PMOSFET(344) 및 NMOSFET(346)과 유사하다. PMOSFET(344) 및 NMOSFET(346)은 N 매장층(356) 및 N 분리 확산영역(NI)(352 및 354)을 포함하는 분리 구조체에 의해 P 기판(340)으로부터 분리된다. 분리 구조체의 바이어스는 N+ 영역(358)을 통해 설정될 수 있고 종종 CMOS 디바이스에 전원을 인가하는 최대로 포지티브한 공급 전압으로 바이어스된다.

[0035] N-채널의 가볍게-도핑된 측면 DMOSFET(348)는 스스로서 N+영역(360), 바디로서 P+ 영역(364), P-바디(362) 및 P 에피택셜층(342)의 일부, 드레인으로서 N-가볍게 도핑된 드레인 영역(366), 및 N 웨(368)과 N+ 영역(370)을 포함한다. 채널은 게이트(372) 아래의 P 웨(362) 및 P 에피택셜층(342)에서 형성된다. NMOSFET(348)는 P 기판(340)으로부터 분리되지 않는다.

[0036] 도 11A-11E에 도시된 디바이스의 공통된 특징은 에피택셜층을 통해 연결부를 형성하기 위해서 긴 열 확산을 일반적으로 필요로 한다는 것이다. 이러한 연결부는 분리영역을 형성하거나 디바이스의 필수적인 구성요소로서 기능하는 매장층에 연결하는데 필요할 수 있다. 높은 파괴 전압을 제공하는 것은 일반적으로 더 두꺼운 에피택셜층 및 더 긴 열처리를 필요로 한다. 열처리 모두는 위로부터 임플란트되는 분리영역 및 아래로부터 상향-확산되는 매장층 양자에서 수직 뿐만 아니라 측면 도편트 퍼짐을 생성한다. 이 측면 도편트 퍼짐은 이들 종래 기술의 프로세스로 얻을 수 있는 간격 및 집적 밀도를 제한한다.

[0037] 따라서, 디바이스 자체의 피처 사이즈가 감소됨에 따라서, 디바이스가 웨이퍼의 표면 상에서 더욱 조밀하게 집적되게 하는 프로세스가 필요하다.

발명의 상세한 설명

[0038] 본 발명에 따르면, 열 확산 프로세스 동안 도편트의 측면 퍼짐은 (확산 이전에) 확산영역의 하나 또는 몇 개의 측면에 트렌치를 형성하고 산화물 또는 다른 유전체로 트렌치를 채움으로써 구속된다. 바람직하게는, 도편트의 측면 퍼짐은 도편트의 2 이상의 측면, 특히 프로세스에서 더욱 깊게 확산된 접합부에 트렌치를 형성함으로써 몇몇 방향으로 구속된다.

[0039] 일반적으로, 확산을 구속하는 트렌치는 확산영역의 가장 많이-도핑된 표면 부분이 트렌치에 의해 구속되는 충분한 깊이를 갖고, 트렌치는 접합부의 최종 깊이의 바람직하게는 적어도 15 ~ 20%의 깊이를 갖는다. 경우에 따라서, 트렌치는 확산영역의 전체를 구속한다. 다시 말해서 트렌치는 최종 접합부 깊이보다 더 깊다. 트렌치는 예컨대 $0.5\mu\text{m}$ ~ $5\mu\text{m}$ 의 깊이의 범위에 있을 수 있으나, 전형적으로 트렌치의 깊이는 $1\mu\text{m}$ ~ $3\mu\text{m}$ 의 깊이의 범위에 있을 수 있다. 바람직한 실시예에서, 트렌치는 확산영역의 더 많이 도핑된-부분을 구속하기에 충분한 깊이이며 용이하게 채우고 평탄화하기에 충분히 얕다.

[0040] 에피택셜층을 포함하는 실시예에서, 트렌치는 에피택셜층으로 연장되지만 에피택셜층을 통해서 밑에 있는 기판으로 연장되지 않는다. 바람직한 일 실시예에서, 디바이스는 분리 접합부의 실질적인 부분이 유전체-채움 트렌치에 의해 구속되는 깊은 접합부 분리에 의해 분리된다. 다른 실시예에서 상향 확산 매장층은 분리 구조체를 완성하기 위해서 트렌치-구속 하향-확산 확산영역과 접친다.

[0041] 이 프로세스는 에피택셜층에서 상대적으로 높은-전압 디바이스를 만드는데 특히 유용하다. 예컨대 확실한 동작을 위해 정격 20V의 동작 전압인 바이폴라 트랜지스터 디바이스는, 전형적으로 60V ~ 70V 범위의 파괴 전압을 필요로 한다. 이는 기판에서 또는 서로 전기적으로 디바이스를 분리시키기 위해 에피택셜층을 통해 연장하는 깊은 확산영역과 상대적으로 두꺼운 에피택셜층을 필요로 한다. 이 분리는 역-바이어스된 PN 접합에 의해 제공된다. 종래 기술에서, 이러한 깊은 확산영역은 상당한 열 수지(thermal budget)(온도 및 시간의 곱)를 필요로 하고, 이는 확산영역이 측면으로 퍼지게 하고 디바이스의 사이즈를 크게함으로써 웨이퍼의 소정 면적에 배치될 수 있는 디바이스의 개수를 제한한다.

[0042] 본 발명의 기술적 원리를 사용하면, 확산영역의 측면 확장은 제한되는데, 그 이유는 트렌치의 유전체에서 도편트의 확산도(diffusivity)는 통상적으로 반도체 기판 또는 에피택셜층에서 도편트의 확산도 보다 작기 때문이다. 더욱이 트렌치의 유전체로 확산된 이후의 도편트는 전기적으로 활성화되지 않고, 이웃하는 접합부 또는 디바이스의 접합부 파괴(breakdown)에 영향을 끼치지 않는다. 또한, 반대 도전성을 갖는 도편트가 트렌치 아래의 영역에서 서로 접촉하여도, 통상적으로 이 장소에서 확산영역의 도핑 농도는 충분히 낮아서 PN 접합의 파괴 전압은 상대적으로 높다. 따라서, 본 발명의 이용은 더 높은 집적 밀도(packing density)를 허용하고 웨이퍼 상의 이용가능한 공간의 더욱 충분한 사용을 제공한다. 예컨대, 디바이스는 수십 마이크론 대신에 단지 1마이크론 이격될 수 있다.

- [0043] 본 발명의 기술적 사상은 분리 목적을 위해 사용되는 확산영역 또는 영역에 적용될 뿐만 아니라 매장층 또는 기판에 전기적인 연결을 제공하는데 사용되는 "싱커" 확산영역에도 적용된다. 상기 싱커 확산영역은 확산영역 그 자체와 동일 도전성 타입 또는 반대 도전성 타입 중의 어느 하나인 물질(재료)로 형성될 수 있다. 단지 분리만을 제공하고 (그리고 제조하기 어려운) 종래의 깊은-트렌치 산화물 분리와 달리, 트렌치 구속 확산은 제조하기 쉬운 (다시 말해서, 어려운 트렌치 채움 및 평탄화 단계가 필요하지 않기 때문에) 프로세스를 사용함으로써 웨이퍼의 상부면에서 실리콘 내의 깊은 접합부까지 낮은-저항 전기 접촉을 제공할 수 있다.
- [0044] 본 발명의 다른 측면에 따르면, 유전체-채움 트렌치는 에피택셜층 또는 기판의 표면에서 매립된 영역(submerged region)으로 연장한다. 상기 매립된 영역은 에피택셜층과 기판 사이의 인터페이스에 형성된 매장층 또는 비교적 높은 에너지로 기판내에 도편트를 임플란트함으로써 형성된 깊은 영역일 수 있다.
- ### 실시 예
- [0078] 도 12는 본 발명의 구조체 및 프로세스의 기본적인 예이다. N 에피택셜층(402)은 P 기판(400)에서 성장하고, 봉소와 같은 P-타입 도편트는 P 분리영역(404)을 형성하기 위해 N 에피택셜층(402)의 상부면을 통해 임플란트된다. 트렌치(408A 및 408B)는 P 영역(404)의 양측면의 N 에피택셜층(402)에 형성된다. 트렌치(408A 및 408B)는 산화물, 질화물 또는 상이한 타입의 유전체를 갖는 다중층일 수 있는 유전체(406)로 채워진다.
- [0079] 열처리 동안, 분리영역(404)의 P-타입 도편트는 하향으로 확산되고, 트렌치(408A 및 408B)는 도편트의 측면 펴짐에 대한 장벽(barrier)으로서 작용한다. 도편트의 확산도(diffusivity)는 일반적으로 N 에피택셜층 보다 유전체(406)에서 작다. 이는 도편트의 측면 펴짐을 제한한다. 결과적으로, 트렌치(408A 및 408B) 사이의 P-타입 도편트의 증가된 농도는 수직 방향으로 도편트 농도의 기울기를 증가시키는 경향이 있고, 이는 트렌치가 존재하지 않았던 경우보다 더욱 빨리 하향으로 도편트를 확산되게 하는 경향이 있다. 따라서 소망의 확산 깊이를 얻기 위해서는 작은 열처리가 필요하다.
- [0080] 분리 확산을 실시하는데 필요한 시간을 줄이는 것에 덧붙여, 상기 방법은 더 좁은 분리 피처 사이즈가 결핍 확산(소정의 확산 시간 동안 기대되는 것보다 바람직하지 않은 더 얕은 접합부를 얻는 효과)의 제한을 받지 않고 사용되게 한다. 더 낮은 확산 속도(rate)가 표면 농도를 측면으로 유지하고 수직 기울기를 더 높게 유지하여 수직 확산이 더 빠른 속도로 진행되게 하기 때문에 나중에 트렌치-구속 확산을 사용하여 결핍 확산이 시작된다. 물론, 접합부의 바닥이 트렌치의 바닥에 도달한 이후에 속도가 멀어지지만, 그때까지 확산 속도는 실질적으로 이미 감소되어 졌다.
- [0081] 상기한 프로세스에서, 도편트는 $5E12\text{cm}^{-2}$ ~ $5E15\text{cm}^{-2}$ 의 범위(그러나 $2E13\text{cm}^{-2}$ ~ $2E14\text{cm}^{-2}$ 의 범위에서 더욱 일반적임)일 수 있는 임플란트 주입량(dose)을 갖는 종래의 낮은 에너지 임플란트 예컨대, 140 keV 이하를 사용하여 표면 근처에 도입되거나 또는 (가스 또는 고체 도편트 소스의 존재하에서 고온 확산으로부터 도핑된) 예비피착에 의해 형성된다. 확산 이전의 도핑 깊이는 보통 $0.5\mu\text{m}$ 이하이다.
- [0082] 선택적으로, 임플란트는 임의의 고온 확산 시간 이전에 초기에 더 깊은 깊이에서 예컨대, 실리콘으로의 최고 농도인 0.5 ~ $2.0\mu\text{m}$ 에서 형성될 수 있다. 더 깊은 임플란트는 완전히 목표 깊이에 도달하기 위해 적은 확산 시간을 필요로 하지만, 높은-에너지(즉, 백만 볼트) 이온 임플란트를 필요로 한다. 높은 제조 수율(throughput)을 얻기 위해 1 MeV ~ 2 MeV의 임플란트가 일반적으로 바람직하고, 임플란트 에너지는 300keV ~ 3MeV의 범위에 있다. 다른 영역으로부터 임플란트를 차폐하는데 필요한 포토레지스트의 두께는 따라서 통상적으로 2 ~ $4\mu\text{m}$ 의 두께로 증가되어야 한다.
- [0083] 일반적으로 분리 확산은 분리되는 에피택셜층 보다 더 깊은 접합부 깊이, 일반적으로 에피택셜층의 두께의 변화가 불완전한 분리(이온 임플란트가 기판과 겹치지 않는 것을 의미함)가 되지 않는 것을 보장하도록 에피택셜 두께의 적어도 120%로 실시될 필요가 있다. $4\mu\text{m}$ 층에 대해 $4.8\mu\text{m}$ ~ $5.2\mu\text{m}$ 의 확산 깊이가 일반적이다. 이러한 확산은 확산 노(diffusion furnaces)에 손해를 가하지 않고 웨이퍼의 휩(warpage)을 유발하지 않으며 확산 속도를 최대화하기 위해 1050°C ~ 1200°C , 더욱 바람직하게는 1100°C ~ 1150°C 에서 실시될 수 있다.
- [0084] 나타낸 예에서 트렌치의 깊이는 통상적으로 에피택셜 두께의 대략 절반, 예컨대 $2\mu\text{m}$ 및 분리되는 층의 깊이의 30% ~ 70%로 예정될 수 있으나, 에피택셜층의 10% ~ 90% 범위일 수 있다. 깊이가 $5\mu\text{m}$ 보다 깊은 트렌치는 채우고 평탄화하는 것이 점차 어려워진다.
- [0085] 트렌치 너비는 $0.1\mu\text{m}$ ~ $2\mu\text{m}$ 의 범위일 수 있고, 트렌치의 치수는 약 $0.5\mu\text{m}$ ~ $1\mu\text{m}$ 인 것이 바람직하다. 트렌치 사이의 메사(mesa)는 그 너비(width)가 $0.5\mu\text{m}$ ~ $10\mu\text{m}$ 일 수 있고, $1.5\mu\text{m}$ ~ $5\mu\text{m}$ 이 바람직하다. 트렌치는 확산을

단지 하나의 면, 바람직하게는 두 개의 면(띠 또는 링으로서)을 구속할 수 있으나, 또한 세 면 또는 네 면의 확산을 구속하거나 둘러싸는 모든 면(동심의(concentric))의 확산을 완전히 구속할 수 있다.

[0086] 대안적인 발명에서, 트렌치는 또한 확산 이후, 또는 부분적인 확산 이후에 에칭되고 채워질 수 있으나, 그하게 함으로써, 프로세스는 도편트의 측면 퍼짐을 제어하는데 있어서 약간의 이점을 상실한다. 트렌치 에칭 이전의 확산에 의해, 트렌치의 위치는 영역(404)의 더 넓게 퍼진 측면 확산영역과 교차하기 위해 더욱 넓게 떨어져 배치되어야 한다. 이 방법은 좁지만 깊은 접합부를 형성하는 장점을 제거한다.

[0087] 대안은 임플란트 하부에 매장층을 형성하는 것이다. 예컨대, 도 13A에서 P 매장층(410)은 P 분리영역(404) 아래에 형성되었다. P 타입 분리 기둥(column)에 대해, P-타입 매장층은 $1E12\text{cm}^{-2}$ ~ $4E14\text{cm}^{-2}$ 의 주입량, 바람직하게는 $2E13\text{cm}^{-2}$ ~ $2E14\text{cm}^{-2}$ 의 주입량으로, 통상적으로 120keV 이하의 에너지로, 예컨대 80keV(그러나 잠재적으로 300keV 정도로 높은) 에피택셜 성장 이전에 도입되는 붕소(또는 임플란트된 알루미늄)를 포함할 수 있다. 열처리 동안, P 매장층(410)은 트렌치(408A 및 408B)의 바닥 아래의 위치(점선(dashed line)으로 표시됨)에서 하향-확산 P 분리영역(404)과 병합할 때까지 상향으로 확산한다. 도 13B는 P 분리영역(404) 및 P 매장층(410)의 병합이 트렌치(408A 및 408B) 사이의 메사에서 발생하는 실시예를 나타낸다. 도 13C는 P 영역이 분리영역 대신에 N 에피택셀층(402)의 표면과 P 기판 사이의 연결을 형성하는데 사용된 P 웰(412)인 실시예를 나타낸다. P 웰(412)은 일반적으로 비교되는 분리 확산영역 보다 더 낮은 농도 및 더 낮은 임플란트 주입량을 갖고, 웰 내에 NPN 바이폴라 트랜지스터 또는 PMOS와 같은 디바이스를 접착하기 위해 충분히 낮은 표면 농도를 종종 갖는다. $1E12\text{cm}^{-2}$ ~ $5E13\text{cm}^{-2}$ 의 범위의 임플란트 주입량은 보통 웰 형성에 사용되나, 임플란트 에너지에 있어서 동일한 가능 범위가 분리 임플란트에 대해 보고되었다. 웰에서의 도핑 농도는 분리영역에서의 도핑 농도 보다 일반적으로 작기 때문에, 웰 확산은 목표 깊이에 도달하기 위해 20% ~ 60% 이상의 확산 시간(또는 동등한 온도-시간)을 필요로 할 수 있다.

[0088] 도 13D는 단일 트렌치(414)가 사용되고, P 매장층(416)이 트렌치(414)와 겹칠 때까지 P 매장층(416)이 상향으로 확산되는 변형을 도시한다. 이 변형이 선택된다면, 트렌치(414)가 충분히 깊고, 실제로 P 매장층(416)이 트렌치(414)와 겹치도록 충분히 상향으로 확산하는 것을 보장하기 위해서 주의가 필요하다. 또한 이러한 변형은 트렌치-구속 접합부 분리 형태가 제공했던 것과는 달리 단독으로 기판과 웨이퍼 상부면 사이의 전기적인 연결을 제공하지 않는다.

[0089] 도 14에 도시된 것과 같이, 본 발명의 기술은 또한 싱커 영역과 동일한 도전성 타입을 갖는 에피택셀층에서 싱커 영역을 형성하는데 사용될 수 있다. N 싱커(418)는 N 싱커(418)의 측면 퍼짐을 제한하는 트렌치(420A 및 420B) 사이에 임플란트되고 하향으로 확산된다. 도편트는 인(phosphorous)일 수 있다. 임플란트 특징 및 임플란트 주입량 범위는 인 임플란트가 붕소 임플란트와 동일 깊이에 도달하기 위해 2.5 ~ 3 배의 에너지를 필요로 하는 것을 제외하고는 P-타입(붕소) 임플란트와 유사하다. 확산도는 붕소와 또한 비교할만 하지만, 정확한 조건은 특정 경우를 계산하기 위해 고려되어야 한다. 인 임플란트가 얇은 접합부로서 도편트를 단지 도입하는데 사용된다면(그러나 접합부의 깊이를 판정하지 않음), 60keV ~ 120keV의 임플란트 에너지가 보통이고, 전형적인 값은 90keV이다.

[0090] 완벽한 관점에서, 도 14의 N 싱커(418)의 깊이는 P-N 접합부(도 12의 P 분리 확산영역(404)의 경우와 같이)의 깊이는 아니다. 확산된 N-타입 영역은 N-타입 에피택셀층에서 P-N 접합부를 형성하지 않기 때문에, "접합부"는 가상 접합부, 농도가 다른 두 개의 접촉 또는 겹치는 N-타입 영역 사이의 접합부이다. 10 ~ 15%의 농도 변화는 통상적으로 가상 접합부로 간주될 수 있다.

[0091] 도 15A 및 도 15B는 각각 도 13A 및 도 13B와 비교되고, N 매장층(422)이 상향으로 확산될 수 있고, 트렌치(420A 및 420B)(도 13B) 사이의 메사 또는 트렌치(420A 및 420B)(도 13A)의 바닥 아래에서 N 싱커(418)와 또한 병합할 수 있음을 나타낸다. 도 15C 및 도 15D는 N 싱커 바로 아래의 영역에 제한될 필요는 없으나 하나 또는 몇 개의 방향으로 측면으로 연장될 수 있음을 나타낸다. 도 15C의 N 매장층(424)은 트렌치(420A 및 420B)의 바닥 아래에서 N 싱커(418)와 병합한다; 도 15D의 N 매장층(426)은 트렌치(420A 및 420B) 사이의 메사에서 N 싱커(418)와 병합한다. 도 15E는 두 개(또는 그 이상의) 방향으로 측면으로 연장하고 N 싱커(418)와 병합하는 N 매장층(418)을 나타낸다. N 매장층(422, 424, 426, 및 428b)은 60keV ~ 180keV 및 $1E12\text{cm}^{-2}$ ~ $5E15\text{cm}^{-2}$ 범위(그러나 전형적으로 $5E14\text{cm}^{-2}$ ~ $3E15\text{cm}^{-2}$)의 주입량에서 임플란트되는 비소, 안티몬, 또는 인일 수 있다. N 매장층은 에피택시 동안 탈가스 및 측면 자동도핑을 피하기 위해 에피택셀 성장 이전에 확산되어야 한다. 종래 기술

의 매장층 형성에 대한 통상적인 상기한 종래 기술의 확산 사이클은 에피택셜 성장을 준비하는데 적용가능하고 적절하다. N 매장층(424, 426 및 428)은 더욱 일반적으로 상향 확산 및 에피택셜 두께(402)의 "플랫 존(flat zone)"의 손실을 피하기 위해 비소 또는 안티몬과 같은 느린 확산 도편트를 포함한다.

[0092] N 매장층(422, 424 또는 428)은 또한 훨씬 더 많은 주입량으로 임플란트 될 수 있으나, 에피택셜 성장 동안 결정 결합 및 적층(stacking) 결합의 형성을 제거하기 위해 고온에서 어닐링되어야 한다.

[0093] 도 16A는 P 기판(430)내의 트렌치(432A 및 432B) 사이의 N 싱커(434)를 포함하는 실시예를 나타낸다. 이 형성은 N-타입 에피택셜층에서 보다는 P-타입 재료에서 형성되는 것을 제외하고 도 14의 N 싱커(418)와 유사하다. 도 16B는 트렌치(432A 및 432B) 및 N 싱커(434)가 P 기판(438) 대신에 P 에피택셜층(436)에서 형성되는 것을 제외하고 도 16A와 유사하다. 도 16C는 도 16B와 유사하나, N 싱커(434)와 병합하기 위해 P 기판(430)과 P 에피택셜층(436) 사이의 인터페이스에서 형성되고 상향으로 확산하는 P 매장층(438)과 병합하는 N 싱커(434)를 도시한다. 도 16D는 일 방향인 측면으로 연장하는 N 매장층(440)과 병합하고, P 에피택셜층(436)의 일부 주변에 랩어라운드(wraparound) 분리 구조체를 트렌치(432B)의 우측에 형성하는 N 싱커(434)를 도시한다. 도 16E는 도 16D에 도시된 것과 유사한 구조체를 도시하나, N 매장층(442)은 P 에피택셜층(436) 내에 다수의 분리 포켓(isolated pocket)을 생성하기 위해 두 개(또는 그 이상)의 방향으로 연장한다.

[0094] 도 17에서, 에피택셜층(436)의 분리 포켓은 N 매장층(442)이 유전체-채움 트렌치(444)와 겹칠 때까지 N 매장층(442)을 상향으로 확산시킴으로써 형성된다.

[0095] 도 18은 P 기판(450)의 트렌치(452A 및 452B) 사이에서 P 싱커(454)를 포함하는 실시예를 도시한다. 이 실시예, 즉 P 싱커가 P-타입 재료 또는 에피택셜 내에 형성되는 실시예는, 모든 P-타입 및 N-타입 영역이 교환되는 것을 제외하고, 도 14에 도시된 N-에피택셜층의 N 싱커의 배치와 유사하다. 도 19는 트렌치(452A 및 452B) 및 P 싱커(454)가 P 기판(450) 대신에 P 에피택셜층(456)에 형성되는 것을 제외하고 도 18과 유사하다.

[0096] 도 20은 트렌치(462)가 N 웰(464)을 트렌치(462)의 좌측에 위치한 P 기판(460)의 일부로 확산하지 못하게 하면서, N 웰(464)이 P 기판(460)으로 확산되고, P 기판(460)내에 형성된 하나의 유전체-채움 트렌치(462)를 도시한다. 도 21은 트렌치(462)가 P 웰(468)을 트렌치(462)의 우측에 위치한 N 에피택셜층(466)의 일부로 확산하지 못하게 하면서, P 기판(460)의 상부에서 성장한 N 에피택셜층(466)에 형성된 트렌치(462)를 도시한다. 어느 경우에도, 이 구조체는 두 개의 장점을 제공한다: 어떠한 PN 접합부도 도핑 농도가 높은 표면에 형성되지 못하게 한다; 그리고 웰 에지에서 측면 확산을 최소화한다. 약간 강화된 확산 및 증가된 접합부 깊이가 웰 에지에서 발생할 수 있음을 유의해야 한다.

[0097] 도 22A 및 도 22B는 P 에피택셜층(472)에서 형성된 트렌치가 P 에피택셜층(472)의 분리 포켓을 형성하기 위해 N 매장층(474)과 결합에서 어떻게 사용될 수 있는가를 도시한다. 도 22A에서, 단지 트렌치(476B)만이 N 매장층(474)으로 연장한다; 트렌치(476A)는 그렇지 않다. 도 22B에서, 두 개의 트렌치(478A 및 478B)는 N 매장층(464)으로 연장한다. 두 경우에서, 동일한 트렌치가 분리, 웰 또는 싱커 영역으로서 트렌치-구속 확산영역을 형성하는데 사용될 수 있다.

[0098] 도 23A 및 도 23B는 P 기판(470) 및 P 에피택셜층(472)의 인터페이스에서 확산에 의해 형성된 N 매장층 대신에, 여기서 함께 출원되고 여기에 참조문헌으로써 전체가 첨부되는 특허 출원 번호[대리인 일련 번호. AAT011 US]에서 더욱 상세히 설명된 것과 같이, 깊은 N 영역(480)이 P 기판(470)으로 N-도편트를 임플란트함으로써 형성되는 것을 제외하고, 도 22A 및 도 22B와 유사하다. 도 22B에서 단지 트렌치(476B) 만이 깊은 N 영역(480)으로 연장한다; 트렌치(476A)는 그렇지 않다. 도 22B에서 트렌치(478A, 478B 및 478C) 모두는 깊은 N 영역(480)으로 연장한다. 트렌치는 또한 싱커, 분리, 또는 웰 중의 어느 하나로서 트렌치-구속 확산영역을 형성하는데 사용될 수 있다.

[0099] 도 24A 및 도 24B는 N 에피택셜층(492)에 형성된 트렌치가 N 에피택셜층(492)의 분리 포켓을 형성하기 위해서 P 매장층(494)과의 결합에서 어떻게 사용될 수 있는가를 도시한다. 도 24A에서, 단지 트렌치(496B)만이 P 매장층(494)으로 연장한다; 트렌치(496A)는 그렇지 않다. 도 24B에서, 두 개의 트렌치(498A, 498B 및 498C) 모두는 P 매장층(494)으로 연장한다. 트렌치는 싱커, 분리, 또는 웰 중 어느 하나로서 트렌치-구속 확산영역을 형성하는데 사용될 수 있다.

[0100] 도 25A 및 도 25B는 N 기판(490) 및 N 에피택셜층(492)의 인터페이스에서 확산에 의해 형성된 P 매장층 대신에, 특허 출원 번호[대리인 도켓 번호. AAT011 US]에서 상세히 설명된 것과 같이, 깊은 P 영역(500)이 N 기판(490)으로 P-도편트를 임플란트함으로써 형성되는 것을 제외하고, 도 24A 및 도 24B와 유사하다. 도 25A에서 단지

트렌치(496B) 만이 깊은 P 영역(500)으로 연장한다; 트렌치(496A)는 그렇지 않다. 도 25B에서 트렌치(498A, 498B 및 498C) 모두는 깊은 P 영역(500)으로 연장한다. 트렌치는 또한 싱커, 분리, 또는 웰 중의 어느 하나로서 트렌치-구속 확산영역을 형성하는데 사용될 수 있다.

[0101] 도 26A 및 도 26B는 P 기판(510)과 N 에피택셜층(512) 사이의 인터페이스에 형성된 N 매장층(514) 및 P 매장층(516)을 포함하는 구조체를 도시한다. P 매장층(516)은 N 매장층(514)의 상부 에지를 넘어서 상향으로 확산된다. 이는, N 매장층(514)이 P 매장층(516)을 넘어 측면으로 연장하는 사실과 결합하여, N 매장층(514) 위에 있고 P 기판(510)에서 분리된 P 매장층(516)의 일부를 생성한다. 트렌치는 또한 싱커, 분리, 또는 웰 중의 어느 하나로서 트렌치-구속 확산영역을 형성하는데 사용될 수 있다.

[0102] N 에피택셜층(512)은 N 에피택셜층(512)의 표면으로부터 하향으로 연장하는 유전체-채움 트렌치에 의해 분리 포켓으로 나누어질 수 있다. 도 26A에서, 유전체-채움 트렌치(518C)는 N 에피택셜층(512)을 분리 포켓으로 나눈다. 도 26B에서, 각각의 유전체-채움 트렌치(520A 및 520B)는 N 에피택셜층(512)을 분리 포켓으로 나눈다. 보통은, 유전체-채움 트렌치는 P 매장층(516)으로 연장되어야 하나, 전류가 P 매장층(516)을 관통하여 측면으로 흐르게 하도록 트렌치는 P 매장층(516)을 통해서 N 매장층(514)으로 연장하지 않아야 한다. 트렌치는 또한 싱커, 분리, 또는 웰 중의 어느 하나로서 트렌치-구속 확산영역을 형성하는데 사용될 수 있다.

[0103] 여기서 트렌치 구속 확산영역(더욱 일반적으로 트렌치 구속 접합부로서)과 깊은 트렌치 산화물 분리 사이의 차이를 다시 되풀이하는 것은 중요하다. 깊은 트렌치 분리(DTI : Deep Trench Isolation)는 에피택셜층을 완전하게 통과하여 절단하고 하부 기판으로 연장하는 트렌치를 사용한다. 그러므로, DTI 프로세스에서, 트렌치가 존재하는 임의의 단면에서, (웰, 확산 접합부 및 매장층에서) 측면 전류 흐름은 차단, 즉 트렌치의 존재에 의해 방해된다. 예컨대 두 개의 이웃한 바이폴라 디바이스의 컬렉터와 같이 서로 관련없는 디바이스를 완전히 분리시키는 것이 바람직한 경우, DTI-타입 트렌치의 깊이는 유용하다. 그러나 바이폴라의 단면에서, DTI-타입 트렌치는 바이폴라의 "내부"에서 사용될 수 없고 바이폴라 사이에서만 사용될 수 있음을 의미함으로, 베이스와 컬렉터 사이의 측면 전류 흐름은 깊은 트렌치에 의해 차단될 수 없다. 예컨대 트렌치(520A 및 520B)가 P 매장층(516)을 완전히 통과하지 않으면서 연장하는 도 26B의 구조체를 고려해라. PBL층(516)이 "절단"되지 않기 때문에, 전류는 상기 층에서 측면으로 흐를 수 있고, 능동(active) 디바이스가 설치될 수 있는 위치와 다른 위치에서의 층과의 접촉을 용이하게 한다. 또한, N 매장층(514)에 대한 전기적인 접촉은 또한 에지를 포함한 디바이스의 측면 연장을 따라 어느 장소에서든 만들여질 수 있고, N 매장층(514)은 공통의 포텐셜에 여전히 바이어스되어, (웨이퍼의 표면에 평행한) NBL(514)의 측면 전류 흐름을 허용한다. DTI 트렌치가 사용된다면, N 매장층은 각각 전기적인 접촉을 필요로 하는 분리된 섬으로 절단될 수 있다. 유사한 논쟁은 도 22B의 N 매장층(497)과 겹치는 트렌치에 대해서도 유효하다.

[0104] 도 27A-27I는 유전체-채움 트렌치를 형성하는 가능한 프로세스를 나타낸다. 트렌치는 기판에서 성장한 에피택셜층에 형성된 것을 도시된다. 상기에서 지적한 바와 같이, 에피택셜층 및 기판은 동일한 전기적 도전성 타입(N 또는 P 중의 하나)일 수 있거나 또는 다른 도전성 타입일 수 있다. 더욱이, 도 23A 및 23B에서 지적된 바와 같이, 예컨대 일부 실시예에서 트렌치는 에피택셜층 없는 기판에 형성될 수 있다. 이 프로세스는 트렌치 깊이가 다를 수 있다는 사실을 제외하고는 상기 조건들에 실질적으로 동일하게 적용된다.

[0105] 도 27A에 나타난 것과 같이, 산화물 또는 질화물(또는 이들의 샌드위치)과 같은 재료의 하드 마스크층(534)은 에피택셜층(532)의 표면에 형성된다. 하드 마스크층(534)은 포토레지스트층(536)으로 마스크되고, 개구(358)를 형성하기 위해 에칭된다. 도 27B에 도시된 바와 같이, 트렌치(540)는 통상적으로 반응성 이온 에칭(RIE)을 사용하여 에칭된다. 트렌치 게이트형 MOSFET(trench gated MOSFET)의 제조공정에서, 포토레지스트(536)는 상기 RIE 전에 보통 제거되는 반면, 여기서는 포토레지스트(536)를 RIE 동안에 그대로 남겨두는 것이 바람직한데, 그 이유는 상기 트렌치가 트렌치 게이트형 수직 파워 MOSFET에 주로 사용되는 트렌치보다 더 깊기 때문이다(예를 들어, 2-4 μm 깊이). 또한, 하드 마스크층(534)의 두께는 실리콘 트렌치 에칭 프로세스에 견딜 수 있도록 증가될 수 있다.

[0106] 하드 마스크층(534)과 포토 레지스트층(536)은 제거되고(또는 마스크가 선택적으로 제거됨), 선택적으로, 도 27C와 같이 트렌치의 벽(540)상에 희생 산화물층(542)이 형성되고, 도 27D처럼 제거된다. 이것은 RIE 공정에서 흔히 일어나는 결정 결함을 복구하는데 기여한다. 도 27E와 같이, 산화물 라이너(544)가 트렌치 벽(540)상에서 성장하고, 도 27F와 같이 TEOS 산화물과 같은 유전체(546)가 트렌치(540) 내부 및 에피택셜층(532)에 걸쳐서 피착된다. 산화물 라이너(544)는 유전체(546)를 트렌치(540) 내로 보다 용이하게 유동시키고 채우게 하기 위해 유전체(546)내에 포함될 수 있는 봉소 및/또는 인과 같은 도편트에 대한 방패(shield)와 같은 역할을 한다. 상

기 디바이스의 전기적 특성은 상기 도편트가 에피택셜층(532)에 도입되도록 허용된다면 변경될 수 있다. 경우에 따라서는, 도핑되지 않은 산화물을 상기 트렌지에 먼저 피착함으로써 상기 산화물 라이너를 생략하는 것이 가능하다.

[0107] 다음 상기 구조의 상면이 화학적 기계적 연마(CMP)에 의해 평탄화되어 도 27G와 같이 거의 평탄한 면을 형성할 수 있다. 에피택셜층(532)의 표면은 재산화되어 도 27H와 같이 산화물층(548)을 형성한다. 상기 산화 공정은 에피택셜층(532)의 일부를 소비하지만 상기 산화물(546)(이미 산화됨)은 소비하지 않으므로, 함몰부(indentation)가 트렌치(540) 위에 생성된다. 또한, 산화물 라이너(544)의 일부가 상기 평탄화 공정에서 에피택셜층(532)의 상면에 남겨질 수 있고, 이 경우에 도 27H에 도시된 재산화 단계는 불필요하다.

[0108] 도 27F의 글래스(546)의 에치백(etchback)을 실시하는 대안이 있는데, 이는 도 27G에서 도시된 것과 같은 평탄한 표면을 생성하는 것은 아니다. 피착된 산화물이 더 빨리 에칭되기 때문에 트렌치 위에 함몰부가 생성되기 쉽다. 다음에 실리콘 질화물이 피착될 수 있고 CMP 방법을 사용하여 평탄화되어 질화물로 상기 트렌치의 상부를 덮거나 밀봉한다.

[0109] 도 27I에서, 폴리실리콘층(550)은 저항(resistor)이나 커패시터를 형성하는데 사용하기 위해 산화물층(548)상에서 피착되고 패터닝된다. 만일 커패시터가 폴리실리콘층(550)과 에피택셜층(532)의 사이에 형성되면, 산화물층(548)의 두께가 중요해지고, 산화물층(548)을 피착하는 것 보단 열 수단에 의해 산화물층(548)을 성장시키는 것이 바람직한데, 그 이유는 열처리가 일반적으로 피착 처리보다 산화물층의 두께에 보다 좋은 제어를 제공하기 때문이다. 이 요인은 만일 폴리실리콘층(550)이 상부의 다른 폴리실리콘층과 함께 저항이나 커패시터로 사용된다면 중요하지 않다.

[0110] 도 12 내지 도 27에 기술된 프로세스 단계는 바이폴라 트랜지스터, MOSFET, 다이오드 등을 포함하지만 이에 한정되지 않은 광범위한 반도체 디바이스를 제조할 수 있는 구성 요소(building block)이다. 이들 프로세스 단계는 트렌치 구속 확산영역 및 접합부를 사용하는 구조체의 집적을 포함한다. 도 28 및 도 29는 상보형(즉, NPN과 PNP 양쪽의 집적) 아날로그 바이폴라 트랜지스터의 제조에 본 발명을 적용하는 일례이나, 이 특정 실시예의 기술은 본 발명이 여기에 국한됨을 나타내는 것은 아니다. "아날로그"라는 용어는 단지 본 기술의 목적이 높은 품질의 전류 소스(높은 얼리 전압 디바이스)와 높은 파괴 전압(예를 들어, 공급 전압보다 더 낮은 유지 전압으로 BVceo 스냅백 문제를 일으키지 않고 3 또는 5V 보다 더 높은 전압)을 만들 수 있는 바이폴라 디바이스를 생산하려고 하는 것임을 식별하기 위해 사용된다. 물론, 트렌치 구속 확산 기술은 아날로그 바이폴라의 제조에만 국한되지 않고, 디지털로 최적화된 바이폴라에도 사용될 수 있다.

[0111] 도 28은 본 프로세스의 전체적인 개략을 도시한다. 각각의 "카드"는 프로세스 단계를 나타낸다. 일반적으로 말해서 모서리가 절단된 카드는, 다른 단계가 특정 상황에서 생략될 수도 있지만, 선택적인 단계를 가리킨다.

[0112] 이 처리는 기판으로의 일련의 임플란트와 확산 그리고 이 기판상의 에피택셜 층의 성장으로 시작한다. 중간 깊이 부분 트렌치 분리(PTI) 영역의 형성에 관련한 다음 단계가 실시된다. 깊은 접합부는 트렌치 구속 확산으로부터 도움을 받은 레이아웃을 이용하여 이상적으로 임플란트되고 확산되며, 그리고 바이폴라 트랜지스터의 베이스 영역이 형성된다. 선택적으로, 폴리실리콘 커패시터가 형성될 수 있다. 그 후 트랜지스터의 이미터 및 컬렉터 영역을 형성하는 "후속(late)" 임플란트를 한다. 마지막으로 이중층 금속(DLM) 배선 구조체(interconnect structure)가 상기 실리콘내의 영역으로의 연결을 제공하기 위해 상기 실리콘 위에 만들어진다. 소위 "+5 프로세스"는 5개의 마스크를 이용한 전체 DLM 배선 시퀀스를 말하는데, 첫번째는 실리콘으로의 컨택을 획정하고 에칭하는 것, 두번째는 금속(메탈) 1에 관한 것, 세번째는 금속 1 및 금속 2 사이에 중간층(interlayer) 유전체의 비아(via) 에칭을 위한 것, 네번째는 금속 2를 위한 마스크, 마지막은 본딩 패드를 위한 패시베이션(passivation) 층을 에칭하는 마스크이다. 따라서 실리콘 처리가 끝나면, "+3 프로세스"는 단일층 금속(SLM)을 생성하고, 소위 "+5 프로세스"는 이중층 금속(DLM)을 생성하고, "+7 프로세스"는 3중층 금속 배선을 생성한다. 이들 모든 배선 선택은 도시한 바와 같은 프로세스 흐름과 아래의 양립가능하고, 트렌치 구속 접합부와 확산영역의 사용과 상호 양립가능하다.

[0113] 도 29A에 대하여, 산화물층(602)과 포토 레지스트층(604)은 연속적으로 P 기판(600)상에 피착되고, 포토 레지스트층(604)은 패터닝되며, 산화물층(602)은 포토 레지스트층(604)의 개구를 통해 에칭된다. 포토 레지스트층(604)은 제거되고, 안티몬과 1가 또는 2가로 이온화된 인(또는 양쪽의 조합)이 도 29B에 도시된 것처럼 산화물층(602)의 개구를 통하여(위 기술된 사항과 유사한 조건을 사용하여) 임플란트된다.

[0114] 산화물층(602)은 제거되고, 안티몬과 인은 오랜 시간 동안 드라이브-인된다. 이것은 새로운 산화물층(606)이 P

기판(600)의 표면상에 형성되도록 하고, 부분(608A, 608B 및 608C)으로 분할된 N 매장층(608)이 P 기판(600)의 표면 아래에 형성된다. 부분(608A, 608B 및 608C)은 산화물층(602)이 포토 레지스트층(604)의 개구를 통해 예 칭된 이후에 산화물층(602)이 남은 위치에서 분리된다.

[0115] 도 29D에 도시된 것처럼, 산화물층(606)은 제거되고 포토 레지스트층(610)은 폐착되고 패터닝된다. 개구(612A 및 612B)는 N 매장층(buried layer)(608)의 부분(608A, 608B 및 608C)을 분리하는 간극(gap) 위의 포토 레지스트층(610)에 형성되고, 개구(612C)는 N 매장층(608)의 부분(608A) 위의 포토 레지스트층(610)에 형성된다. 봉 소는 개구(612A, 612B 및 612C)를 통해 임플란트되어 P 기판(600)에서의 P 매장층(614)의 부분(614A 및 614B) 을 형성한다(도 29E 참조). 인은 N 매장층(608)을 형성하는데 사용되므로, 봉소 임플란트의 주입량(dose)은 봉 소가 겹침 영역의 인 도핑을 극복하는 것을 보장하기 위해 매우 높아야 한다(예를 들어, 3E14 ~ 7E15cm⁻²). 만 일 안티몬이나 비소와 같은 느린 확산 도편트가 N 매장층(608)을 형성하는데 사용되면, 봉소 임플란트의 주입량 은 8E13cm⁻²만큼 낮은 주입량으로 줄어들 수 있다. 개구(612C)를 통과하는 봉소 도편트는 N 매장층 부분(608 A)내의 인이나 안티몬을 반대로 도핑하지 않고, 따라서 도 29E에 도시되지 않는다.

[0116] 도 29E에서 도시된 것처럼, N 에피택셜층(616)은 P 기판(600)의 상부에서 성장한다. 이 프로세스에서 N 매장층(608)과 P 매장층(614)은 N 에피택셜층(616)으로 위로 확산한다. 에피택셜 피착 처리 자체가 높은 온도에서 발생하기 때문에 추가적인 확산이 이 접합부를 형성하기 위해 요구되지 않는다. N 매장층(608)은 빠른 확산 도편 트 인을 포함하기 때문에, N 매장층(608)의 피크 도편트 농도는 상기 에피택셜 성장 이전에 행해진 확산에서의 인과 안티몬 임플란트의 드라이브인 동안 실질적으로 하향으로 이동한다. 따라서, N 에피택셜층(616)으로의 상 향 확산 동안, 봉소는 일반적으로 인의 앞으로 이동하고(봉소는 더 높은 농도와 더 높은 확산도를 갖는다), P 매장층(614)은 N 매장층(608)의 인 및 안티몬 도편트보다 N 에피택셜층(616)으로 보다 높게 도달한다. 역으로, 도 29E에 도시된 것처럼, P 매장층(614)은 P 기판(600)의 인/안티몬 확산영역 아래로 연장되지 않는다. 만일 P 매장층 부분(614C)이 N 매장층 부분(608A) 아래로 연장되면 하부(underlying) 기판으로의 (N 매장층 부분(608 A)에 의해 포위된) 웰의 파괴 전압 줄어들기 때문에(도 29M 참조), P 매장층(614)의 부분(614C)의 경우에서 이 것은 중요하다.

[0117] P 매장층(618)의 부분(614A 및 614B)은 도 29E와 같이 N 매장층(608)의 부분(608A, 608B 및 608C)과 접촉하거나, 또는 P 매장층(618)의 부분(614A와 614B)은 도 29F에 도시된 것처럼, N 매장층(608)의 부분(608A, 608B 및 608C)으로부터 분리될 수 있다. P 매장층(618)의 부분(614A 및 614B)과 N 매장층(608)의 부분(608A, 608B 및 608C) 사이의 간격 또는 그 간격의 결핍은 포토 레지스트층(610)의 개구(612A 및 612B)의 폭(너비)을 변화시킴 으로써 제어된다(도 29D 참조). 이 논의의 나머지는, 개구(612A 및 612B)의 폭은 도 29F에 도시된 실시예에 따 르도록 설정되는 것으로 가정될 것이다.

[0118] 도 29G와 같이, 트렌치(618)는 N 에피택셜층(616)에 형성되고, 바람직하게는 도 27A 내지 도 27I에 도시된 프로 세스를 이용하여 산화물층(622)으로 채워진다. 트렌치(618)는 N 에피택셜층(616)에 개입 메사(intervening mesas)(620A~620I)를 형성한다. 이 실시예에서, 트렌치(618)는 P 매장층(614)의 상부 경계만큼 깊게 연장되지 않는다. 다른 실시예에서 트렌치는 P 매장층(614)으로 연장될 수 있으나, P 매장층(614)을 완전히 통과하거나 N 에피택셜층(616)을 완전히 통과하여 P 기판(600)까지 연장되지는 않는다. 트렌치(618)는 보다 좁은 트렌치가 사용될 수 있지만, 바람직하게는 0.8 ~ 1.2μm 범위의 폭을 가진다.

[0119] 도 29G로부터 알 수 있듯이, 일부 트렌치(618)는 P 매장층(614)의 부분(614A, 614B 및 614C)의 수직 가장자리로 정렬된다. 특히 트렌치(618B)는 부분(614A)의 가장자리로 정렬되고, 트렌치(618C 및 618D)는 부분(614B)의 반 대 가장자리로 정렬되며, 트렌치(618F 및 618G)는 부분(614C)의 반대 가장자리로 정렬된다. 따라서, 메사(620B)는 부분(614C)의 위에 있고, 메사(620D)는 부분(614A)의 위에 있고, 메사(620G)는 부분(614B)의 위에 있 게 된다. 이러한 정렬은 상기 매장층의 임플란트 동안 성장한 산화물층에 의한 P 기판(600)의 상면에 형성된 함몰부를 이용하여 만들어진다. 이를 함몰부의 "이미지"는 실리콘의 광학적으로 다소 투명한 주파수에서의 적 외선을 이용함으로써 마스크 정렬기로 얇은 에피택셜층을 통해 볼 수 있다. "이미지"가 상기 에피택셜층의 분 산으로 다소 흐려 보이더라도, 좋은 마스크-매장층 정렬을 달성하기 위해 충분히 명료하다. 예를 들어, 도 29C 는 에피택셜 성장 이전에 N 매장층(608)의 형성 동안 P 기판(600)에 형성된 가장자리를 도시한다. N 에피택셜 층(616)의 성장 동안 실리콘으로 덮혀진 이들 가장자는 적외선에 의해 상기 기판-에피택셜 인터페이스에서, 상기 에피택셜의 바닥 가장자리에서 여전히 보여질 수 있다. 에피택셜층의 표면상의 피처를 매장층으로 정렬하 는데 이용된 이 기술은 당업자에게 잘 알려져 있고, 여기에 더 자세히 기술하지 않는다.

[0120] 도 29G에 도시된 트렌치(618)의 깊이는 에피택셜층(616)의 두께에 거의 절반이지만, 프로세스 요구사항에 따라

더 얕게 만들어지거나 더 깊게 연장될 수 있다. 가장 중요한 것은, 트렌치는 에피택셜층을 완전하게 통과해서 연장되지 않는다는 것, 즉 트렌치는 에피택시의 두께만큼 깊지 않다는 것이고, 따라서 깊은 트렌치 분리나 그 등가물로 간주되지 않는다는 것이다. 도 29G에 도시된 것처럼 에칭되고 채워지는 시점에서 트렌치는 거의 겹쳐지지만 실제로는 P 매장층(614C)과 분리된 깊이를 갖는다. 설령 그 결과가 상기 프로세스 흐름에 의해 지배받는 것은 아니라도, 나중에 후속 열처리에서 상기 PBL(614C) 층은 상향 확산되고 트렌치(618)와 겹칠 수 있다.

[0121] 도 29H에 도시된 것처럼, 포토 레지스트층(624)은 산화물층(622)의 표면에 형성되고, 메사(620C, 620F 및 620H) 상의 개구로 패터닝된다. 비소와 인은 포토 레지스트층(624)의 개구를 통하여 임플란트되어 도 29I에 도시된 것처럼, 메사(620C, 620F 및 620H)에서 N+싱커(sinkers)(626C, 626F 및 626H)를 각각 형성한다. 인은 빠르게 확산하고 비소는 다소 느리게 확산하므로 결국 이들 두 도편트의 조합은 N+싱커(626C, 626F 및 626H)의 도편트 프로파일을 평평하게 한다. 비소와 인을 포함하는 하이브리드 임플란트는 실질적으로 다른 확산도를 가지는 두 개의 도편트를 포함한다. 보다 빠른 인이 비소보다 더 가볍게 도핑되어(예를 들어, $2E15\text{cm}^{-2}$ 대신 $7E13\text{cm}^{-2}$ 로) 인은 후속 열처리 동안 실리콘으로 너무 깊게 연장되지 않는다.

[0122] 포토 레지스트층(624)은 그 후 벗겨지고, N 타입 싱커 확산물질(diffusant)은 1000°C 내지 1200°C , 바람직하게는 1100°C 내지 1150°C 로 1 내지 7시간 동안 고온 확산 프로세스를 이용하여 부분적으로 확산될 수 있다. 또한, 확산은 다같이 생략되거나, (POCL_3 과 같은 가스원을 이용한) 인의 예비피착(predeposition)에 의해 임플란트와 어닐링이 대체될 수 있다. 예비피착은 당업자에게 알려져 있고 여기에 추가적인 설명은 하지 않는다.

[0123] 다음에, 포토 레지스트층(628)은 산화물층(622)의 표면에 형성되고 메사(620B, 620D, 620G 및 620I) 상부의 개구로 패터닝된다. 붕소는 포토 레지스트층(628)의 개구를 통하여 임플란트되어 메사(620B, 620D, 620G 및 620I)내에 P+ 분리영역(630B, 630D, 630G 및 630I/630I')을 각각 형성한다. 포토 레지스트층(628)은 제거된다.

[0124] 이제 이 구조체는 어닐링되어 N+ 및 P+ 도편트를 드라이브인한다(여기서는 분리 확산영역으로 언급됨). 상기 어닐링의 결과로, P+ 분리영역(630B)은 P 매장층(614C)과 병합하고, N+싱커(626C)는 N 매장층(608A)과 병합하며, P+ 분리영역은 P 매장층(614A)과 병합하고, N+ 싱커(626F)는 N 매장층(608B)과 병합하며, P+ 분리영역(630G)은 P 매장층(614B)과 병합하고 N+ 싱커(626H)는 N 매장층(608C)과 병합한다. P+분리영역(630I 및 630I')은 아래로 확산하지만, 다른 영역과 병합되지는 않는다. P+ 분리영역(630D)과 P 매장층(614A)의 조합 및 P+ 분리영역(630G)과 P 매장층(614B)의 조합은 P 타입 도편트의 기둥을 형성하고, P 기판(600)으로 연장하고 N 에피택셜층(616)에 형성된 디바이스를 서로 분리시키는 트렌치(618)에 의해 상부에서 측면으로 구속된다. 얻어진 구조체가 도 29J에 도시되어 있다(PB 영역(638)과 NB 영역(632)이 아직 형성되지 않는 것을 제외).

[0125] 이 프로세스 흐름에서, 붕소 분리, 인 싱커 및 다양한 드라이브 인 확산의 순서는 (이 시점까지 총 열 수지, 온도-시간 순환이 고정되는 한) 얻어진 디바이스를 실질적으로 변경하지 않고 변경될 수 있다. 예를 들어, 붕소 분리는 임플란트 후의 부분적인 드라이브인 확산을 이용(또는 이용하지 않는)하는 N 싱커 임플란트에 선행할 수 있다.

[0126] 다른 대안은 최대 3MeV의 임플란트(그러나 바람직하게는 0.5MeV 내지 2MeV의 다른 에너지의 여러가지 임플란트)로 고에너지 이온 임플란트를 사용함으로써 분리(isolation) 또는 싱커 또는 이들 양자를 임플란트하여, 임플란테이션(이미 $2.5\mu\text{m}$ 이상) 이후의 보다 깊은 접합부가 낮은 임플란트 에너지 깊은 확산된 타입보다 더 작은 확산 시간과 더 낮은 온도를 요구하게 하는 것이다.

[0127] 도 29J에서, N 타입 확산영역(N 싱커 및 N 매장층)이 P 타입 확산영역(P 분리영역 및 P 매장층)으로부터 떨어져 있는 것이 도시된다. (도 29E에 도시된 실시예처럼) N 타입 확산영역과 P 타입 확산영역 사이의 접촉이 있는 경우에서도, 이 접촉은 트렌치(618) 아래에만 위치하고, 이 경우 도핑 농도는 상대적으로 낮다. 이 방식으로 형성된 임의의 PN 접합의 파괴 전압은 상대적으로 높고, 특히 트렌치가 거기에 없는 경우 형성된 표면 접합과 비교하여 그러하다. 다시 말해서, N 싱커와 P 분리영역은 N 에피택셜층(616)의 표면 근처의 트렌치(618)에 의해 분리되고, 여기서 이들 확산영역의 도핑 농도는 낮은 파괴 전압을 생성하기에 충분히 높다. N 싱커와 P 분리영역(또는 대응하는 N 및 P 매장층) 사이의 접촉이 있는 N 에피택셜층(616)의 하부에서, 이들 확산영역의 도핑 농도는 상대적으로 낮고(보다 충격지거나 확산됨), 따라서 형성될 수 있는 임의의 PN 접합을 가로지르는 파괴 전압은 상대적으로 높다.

[0128] N 에피택셜층(616)의 표면은 마스크되고(도시되지 않음), 인과 같은 N 타입 도편트는 도 29J에서 도시된 N 베이스 영역(632)을 형성하기 위해 마스크의 개구를 통해 임플란트된다. 인 임플란트는 60KeV에서 2MeV만큼 높은

범위에 걸친다. 임플란트 에너지의 보다 낮은 범위는 보통 ($0.5\mu\text{m}$ 에서 $2.5\mu\text{m}$ 의 최종 접합부 깊이를 위한) 프로세스의 후반에서 드라이브인 확산 또는 ($0.5\mu\text{m}$ 아래의 접합부 깊이에 대한) 폴리실리콘 이미터의 사용중 어느 하나를 요구한다. 보다 높은 에너지 임플란트는 거의 또는 전혀 확산을 요구하지 않는다. 임플란트 주입량은 $3E13\text{cm}^{-2}$ ~ $2E14\text{cm}^{-2}$ 의 범위에 있다. 포토 레지스트 마스크는 벗겨지고, 포토 레지스트층(634)은 피착되고 개구(636)를 형성하기 위해 패터닝된다. 붕소(B^+ 및/또는 B^{++})는 개구(636)를 통해 임플란트되어 메사(620E)내의 P 베이스 영역(638)을 형성한다. 인트린식(intrinsic) 베이스로 불리우고 붕소의 보다 깊은 임플란트는 90KeV 내지 2MeV의 범위의 임플란트 에너지로 $3E13\text{cm}^{-2}$ ~ $2E14\text{cm}^{-2}$ 범위의 주입량을 가진다. 임플란트 에너지의 보다 낮은 범위는 보통 ($0.5\mu\text{m}$ ~ $2.5\mu\text{m}$ 의 최종 접합부 깊이를 위한) 프로세스의 후반에서 드라이브인 확산 또는 ($0.5\mu\text{m}$ 아래의 접합부 깊이에 대한) 폴리실리콘 이미터의 사용중 어느 하나를 요구한다. 보다 높은 에너지 임플란트는 거의 또는 전혀 확산을 요구하지 않는다. 인트린식 임플란트는 $3E13\text{cm}^{-2}$ ~ $2E14\text{cm}^{-2}$ 의 주입량 범위를 가진다.

[0129] 점선이 가리키듯이, P 베이스 영역(638)은 두 임플란트의 중첩, N 에피택셜층(616)의 표면 근처의 낮은 저항영역을 생성하는 낮은 에너지 임플란트(익스트린식 베이스 임플란트로 불림), 및 N 에피택셜층(616)으로 깊이 관통하는 높은 에너지 임플란트(앞서 언급한 인트린식 베이스 임플란트)에 의해 바람직하게 형성된다. 익스트린식 베이스 임플란트는 보통 $5E14\text{cm}^{-2}$ 보다 큰 주입량을 가지는 30 내지 60keV의 에너지에서 수행되는 B^+ 또는 BF_2^+ 이다. 익스트린식 임플란트의 사용은 적절한 베이스 확산이 실시되면 제한된 사용을 가진다. 얇은 접합부 디바이스에 대하여, 성능을 매우 좋게 향상시킨다.

[0130] 높은 임플란트 에너지를 사용하는 대신 고온에서 충분한 확산 시간을 이용하여 N 베이스 영역(632) 또는 P 베이스 영역(638)이 형성되는 경우에서, 고온(hot) 시간은 싱커와 분리 확산영역에서 제거되어야 한다.

[0131] 두 베이스 영역을 임플란트한 후에, 포토 레지스트층(634)은 제거되고, 도 29K에서 도시된 바와 같이, 포토 레지스트층(640)은 일련의 개구를 형성하기 위해 피착되고 패터닝된다. 비소는 포토 레지스트층(640)의 개구를 통해 임플란트되어 N 베이스(632)와 N 싱커(626C, 626F 및 626H)에서 접촉 영역을 형성하고, P 베이스 영역(638)에서 N 이미터 영역(642)을 형성한다. N 이미터 영역(642)은 P 베이스 영역(638)의 많이 도핑된 표면 영역(점선으로 표시됨) 아래로 연장하여, 베이스의 전기적 특성은 인트린식 베이스를 통해 수직적으로 전도되는 N 이미터 영역(642) 아래의 보다 가볍게 도핑된 부분에 의해 결정된다. N+ 임플란트는 $2E15\text{cm}^{-2}$ ~ $7E15\text{cm}^{-2}$ 의 주입량에서 30keV 내지 50keV에서 인일 수 있고, 바람직하게는 60keV 내지 120keV에서 비소일 수 있다.

[0132] 포토 레지스트층(640)은 제거되고 포토 레지스트층(644)은 도 29L에 도시된 것과 같은 일련의 개구를 형성하기 위해 피착되고 패터닝된다. 붕소는 포토 레지스트층(644)의 개구를 통해 임플란트되어 P 분리영역(630B, 630D, 630G, 630I 및 630I')의 콘택트 영역, N 베이스 영역(632)의 P 이미터 영역(646), 그리고 P 베이스 영역(638)의 콘택트 영역(648)을 형성한다. P+ 임플란트는 $2E15\text{cm}^{-2}$ ~ $7E15\text{cm}^{-2}$ 의 주입량에서, 30keV ~ 50keV에서 붕소, 바람직하게는 60keV ~ 120keV에서 BF_2^+ 일 수 있다. 포토 레지스트층(644)은 그 다음 제거된다.

[0133] 도 29M에서와 같이, 유전체층(650)이 산화물층(622) 상에 피착된다. 유전체층(650)은 마스크되고, 유전체층(650)과 산화물층(622)은 마스크의 개구를 통해 에칭되어 N 에피택셜층(616)의 여러 영역에 개구를 형성한다. Ti 또는 TiN 장벽층(651)은 이 개구에 피착되고, 제 1 금속층(652)은 장벽층(651) 위로 피착되고 패터닝되어 금 속 콘택트를 형성한다. 제 2 유전체층(654)은 유전체층(650)상에 피착되고, 비아(via) 마스크는 P 분리영역(630B, 630D 및 630I)으로의 접촉을 만들기 위해 위치한 개구에 적용된다. 비아(vias)는 비아(via) 마스크의 개구를 통해 유전체층(654)에서 에칭되고, 제 2 금속층(656)은 비아에 피착된다.

[0134] 이 프로세스의 마지막에서, 수직 PNP 트랜지스터(660), 수직 NPN 트랜지스터(662) 및 측면 PNP 트랜지스터(664)는 N 에피택셜층(616)에 형성된다. 수직 PNP 트랜지스터(660)는 아래의 영역들을 포함한다.

[0135] 이미터 : P+ 영역(646)

[0136] 베이스 : N 베이스 영역(632)과 N 에피택셜층(616)의 일부

[0137] 콜렉터 : P 매장층(614C)과 P 분리영역(630B)

[0138] 수직 PNP 트랜지스터(660)는 N 매장층(608A)과 N 싱커(626C)를 포함하는 분리 구조체에 의해 P 기판(600)에서 분리된다.

- [0139] 수직 NPN 트랜지스터(662)는 아래의 영역을 포함한다.
- [0140] 이미터 : N+ 영역(642)
- [0141] 베이스 : P 베이스 영역(638)
- [0142] 콜렉터 : N 에피택셜층(616)의 일부, N 매장층(608B), N 싱커(626F)
- [0143] 측면 PNP 트랜지스터(664)는 아래의 영역을 포함한다.
- [0144] 이미터 : P 분리영역(630I')
- [0145] 베이스 : N 에피택셜층(616)의 일부, N 매장층(608C), N 싱커(626H)
- [0146] 콜렉터 : P 분리영역(630I)
- [0147] 또한, 수직 PNP 트랜지스터(660)는 P 분리영역(630D)과 P 매장층(614A)을 포함하는 수직 기둥에 의해 수직 NPN 트랜지스터로부터 분리된다. 수직 NPN 트랜지스터(662)는 P 분리영역(630G)과 P 매장층(614B)을 포함하는 수직 기둥에 의해 측면 PNP 트랜지스터(664)로부터 분리된다.
- [0148] 선행기술 프로세스를 사용하면, 트랜지스터(660, 662 및 664)는 보통 열 처리동안 측면 도편트 퍼짐 때문에 수십 마이크론만큼 서로 떨어져 있어야 한다. 반대로, 본 발명의 측면 구속 싱커 및 분리영역을 이용하면, 도 29M의 X₁ 및 X₂처럼 트랜지스터(660, 662 및 664) 사이의 간격은 단지 3 내지 4 마이크론으로 줄어들 수 있다. 이것은 디바이스 사이의 전기적 분리의 품질을 희생하지 않고 웨이퍼상의 디바이스의 접적 밀도의 큰 증가를 가져온다.
- [0149] 도 30은 특히 작은-피처-사이즈 깊은 확산영역에서의 측면 간격을 줄이기 위한 트렌치 구속 확산영역의 이익을 도시한다. 도면은 4개의 확산된 영역을 도시하고, 각각은 (모두 8E13cm⁻²의 주입량으로 80keV의 에너지에서) 동일한 얇은 이온 임플란트로 시작되고, 이어서 (1100°C에서 4시간) 동일한 확산이 계속된다. 수직 및 측면 스케일의 마크는 0.5μm 씩 증가한다. 회색의 영역은 최종 도핑 농도에서 농도 크기의 차이를 가리킨다.
- [0150] 넓은 트렌치 구속 확산영역(701A)에서, 임플란트된 영역은 2μm의 폭을 가지는(라인 A-A'로 표시됨) 확산영역(703)을 얻는 트렌치(702) 사이의 폭에 걸친다. 가장 많이 도핑된 부분은 라인 E-E'로 표시된 것처럼 1μm의 깊이로 아래로 확산한다. 이 확산영역은 2μm 미만의 깊이에서 트렌치 바로 아래로 연장하지만, 많이 도핑된 부분은 단지 E-E' 라인 아래도 연장한다.
- [0151] 확산영역(701B)은 2μm의 폭을 가지는 임플란트(A-A'라인과 길이가 같은 B-B' 라인으로 표시됨)로부터 제조된 확산영역(704)을 포함하는 넓은 비구속 확산영역의 한 예이다. 고온 드라이브인 이후에, 영역(704)은 확산하여 많이 도핑된 부분이 E-E' 라인으로 식별된 깊이에 달하는 1μm의 깊이까지 도달하고, 측면 확산영역(705)은 2μm 폭의 임플란트를 넘어 확산영역의 폭을 확장한다. 측면 확산영역(705)은 보통 접합부 깊이의 85%와 같은 측면 확장을 나타낸다. 임플란트를 획정하는데 사용되는 마스크의 개구의 폭이 확산영역(704)의 많이 도핑된 부분의 깊이보다 넓어서, 종래의 확산영역(701B)은 실질적으로 구속 확산영역(701A)과 같은 깊이를 가진다.
- [0152] 확산영역(710A)은 트렌치(712)로 구속된 좁은 확산영역의 예이다. 임플란트(713)는 약 0.5μm의 폭을 가지는 C-C' 라인의 길이로 지시된 트렌치에서 트렌치까지 연장한다. 확산영역(710A)의 폭이 상기 확산영역의 깊이보다 작더라도, 접합부(713)은 넓은 확산영역(701A 및 701B)과 정확히 같은 깊이(약간 더 크지 않다면)를 가지므로, 결핍 확산을 나타내지 않는다. 그 깊이에도 불구하고, 트렌치 구속 확산영역(713)은 또한 매우 좁은 폭을 가진다.
- [0153] 확산영역(710B)은 좁은 비구속 확산의 예로서, 소위 "결핍(starved) 확산"으로 불리는 2차원 확산의 손실이 명백해진다. 확산된 영역(714)은 영역(715)으로 측면으로 퍼져나갈 뿐 아니라 확산영역(714)의 많이 도핑된 부분은 E-E' 라인을 가로지르기에 충분히 깊게 확산되지도 않는다. 사실, 이것은 점 소스를 만드는 1차원에서 2차원으로 확산영역을 변경하는 확산의 넓은 측면 성분이다. 710A와 710B를 비교하면, 트렌치 구속 확산영역은 더 깊고, 더 많이 도핑되며, 훨씬 더 좁은데, 이것들은 모두 접적회로 부품을 실현하는데 요구되는 특징이다.

도면의 간단한 설명

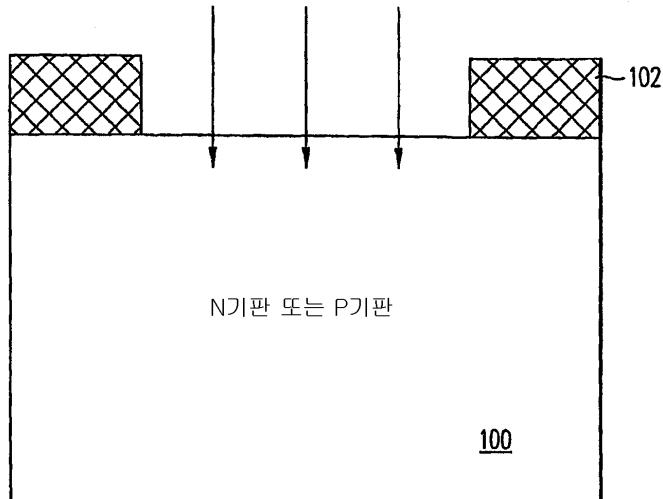
도 1A-1D는 반도체 디바이스의 확산영역, 특히 열처리 동안 발생하는 측면 도편트 퍼짐을 형성하는 일반적인 프로세스를 도시한다.

- [0046] 도 2A 및 도 2B는 확산된 영역이 도편트가 인플란트되는 마스크 개구의 너비에 따라 어떻게 바뀌는가를 도시한다.
- [0047] 도 3A 및 도 3B는 도 1A-1D 및 2A-2B에 도시된 문제점을 요약한다.
- [0048] 도 4A 및 도 4B는 열처리 동안 매장층 및 수직 분리영역 사이의 분리를 유지하는 문제를 도시한다.
- [0049] 도 5A-5F는 도 4B에 도시된 구조체를 형성하는 프로세스의 단계를 도시한다.
- [0050] 도 6은 열 수지(thermal budget)와 측면 도편트 폐짐을 줄이는 기술로서 분리영역 아래의 상향-확산 매장층의 사용을 도시한다.
- [0051] 도 7A-7F는 도 6에 도시된 구조체를 형성하는 프로세스의 단계를 도시한다.
- [0052] 도 8은 유전체로 채워진 트렌치를 포함하는 분리 구조체를 도시한다.
- [0053] 도 9A-9F는 도 8에 도시된 분리 구조체를 제조하는 프로세스를 도시한다.
- [0054] 도 10A-10D는 도 8에 도시된 분리 구조체의 트렌치를 채우는데 발생할 수 있는 문제들을 도시한다.
- [0055] 도 11A-11E는 종래의 확산 기술을 사용하여 형성된 몇 개의 반도체 디바이스를 도시한다.
- [0056] 도 12는 분리 확산영역과 반대의 도전성의 에피택셜층에 형성되는 기본 트렌치-구속 분리 확산영역을 도시한다.
- [0057] 도 13A-13D는 도 12에 도시된 트렌치-구속 분리 확산영역의 몇 개의 변형을 도시한다.
- [0058] 도 14는 싱커 확산영역과 동일한 도전성 타입의 에피택셜층에서 형성된 트렌치-구속 싱커 확산영역을 도시한다.
- [0059] 도 15A-15E는 도 14에 도시된 트렌치-구속 싱커 확산영역의 몇 개의 변형을 도시한다.
- [0060] 도 16A는 P-타입 기판의 트렌치-구속 N-타입 싱커를 도시한다.
- [0061] 도 16B는 P-타입 에피택셜층의 트렌치-구속 N-타입 싱커를 도시한다.
- [0062] 도 16C는 하부(underlying) N 매장층과 병합하는 트렌치-구속 N-타입 싱커를 도시한다.
- [0063] 도 16D-16E는 랩어라운드(wraparound) 분리 구조체의 일부로서 형성된 트렌치-구속 N-타입 싱커를 도시한다.
- [0064] 도 17은 N 매장층으로 연장하는 유전체-채움 트렌치를 포함하는 분리 구조체를 도시한다.
- [0065] 도 18은 P-타입 기판에 형성된 P-타입 트렌치-구속 싱커를 도시한다.
- [0066] 도 19는 P-타입 에피택셜층에 형성된 P-타입 트렌치-구속 싱커를 도시한다.
- [0067] 도 20은 P 기판에 형성된 트렌치-구속 N 웨를 도시한다.
- [0068] 도 21은 N 에피택셜층에 형성된 트렌치-구속 P 웨를 도시한다.
- [0069] 도 22A 및 22B는 유전체-채움 트렌치 및 N 매장층을 이용함으로써 P 에피택셜층의 분리 포켓의 형성을 도시한다.
- [0070] 도 23A 및 23B는 유전체-채움 트렌치 및 임플란트된 깊은 N 영역을 이용함으로써 P 기판의 분리 포켓의 형성을 도시한다.
- [0071] 도 24A 및 24B는 유전체-채움 트렌치 및 P 매장층을 이용함으로써 N 에피택셜층의 분리 포켓의 형성을 도시한다.
- [0072] 도 25A 및 25B는 유전체-채움 트렌치 및 임플란트된 깊은 P 영역을 이용함으로써 N 기판의 분리 포켓의 형성을 도시한다.
- [0073] 도 26A 및 26B는 유전체-채움 트렌치 및 P 매장층을 이용함으로써 N 에피택셜층의 분리 포켓의 형성을 도시하고, 여기서 P 매장층은 N 매장층에 의해 P 기판으로부터 분리된다.
- [0074] 도 27A-27I는 유전체-채움 트렌치를 형성하는 프로세스를 도시한다.
- [0075] 도 28은 상보형 아날로그 바이폴라 트랜지스터의 제조를 위한 프로세스 흐름을 도시한다.
- [0076] 도 29A-29M은 도 28에 개략적으로 나타낸 프로세스의 단계를 도시한다.

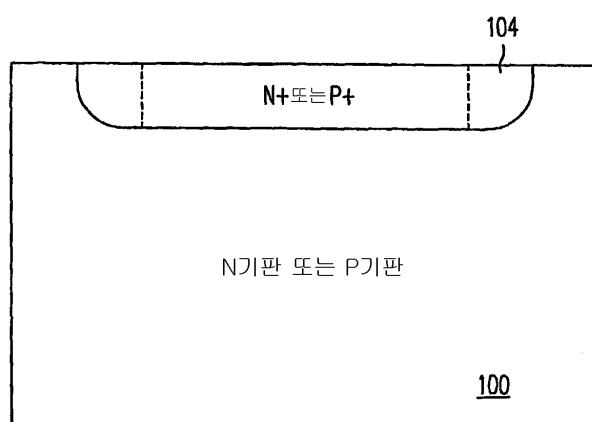
[0077] 도 30은 좁고 넓은 피처 사이즈에 대해 비구속 대 트렌치-구속 확산영역을 비교한다.

도면

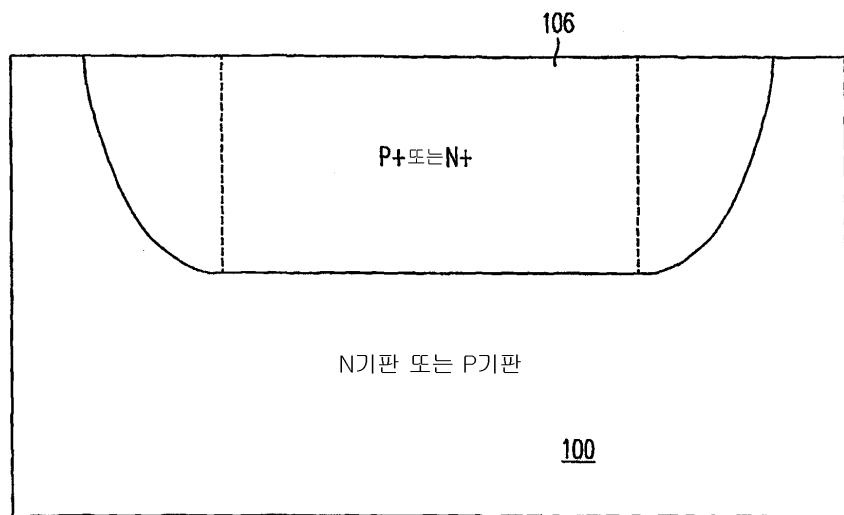
도면1A



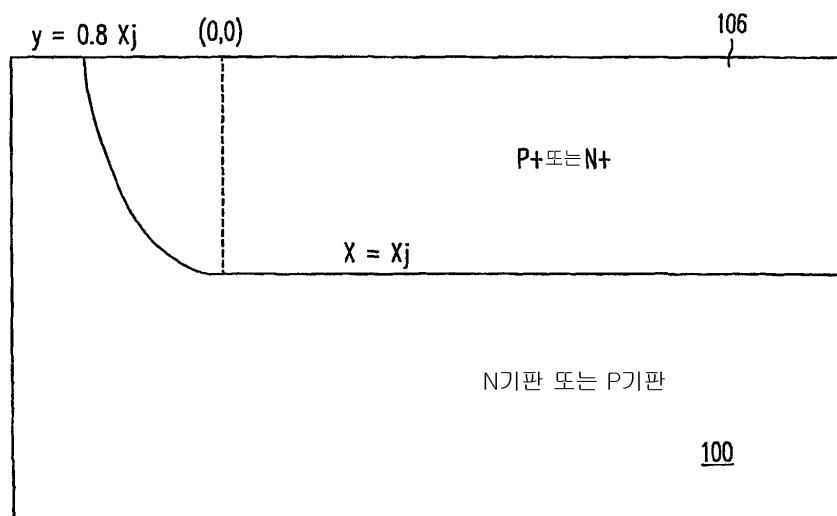
도면1B



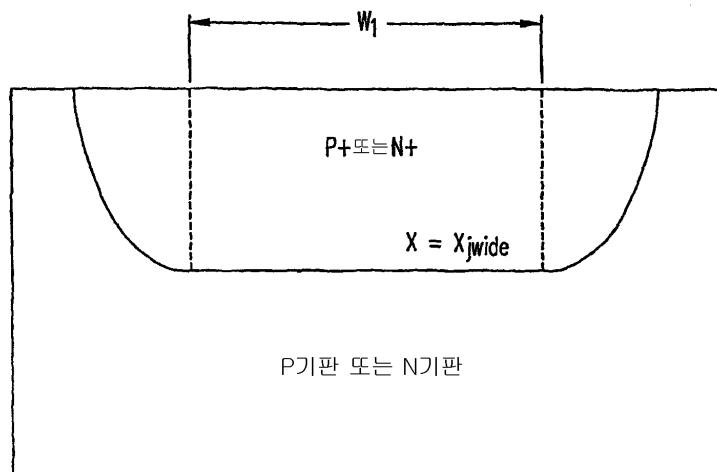
도면1C



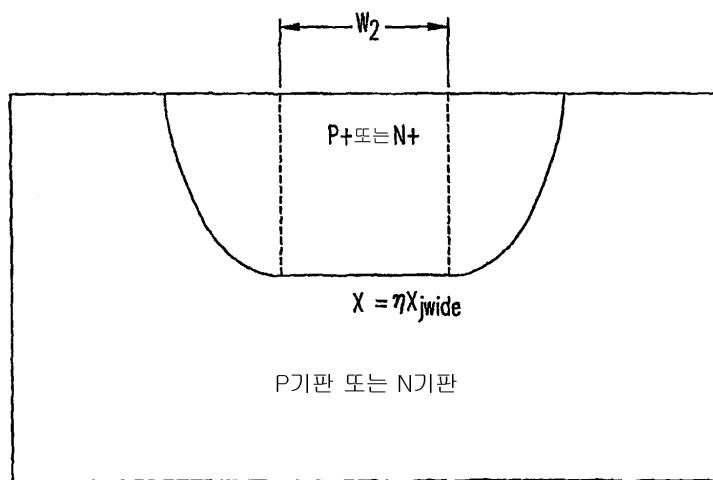
도면1D



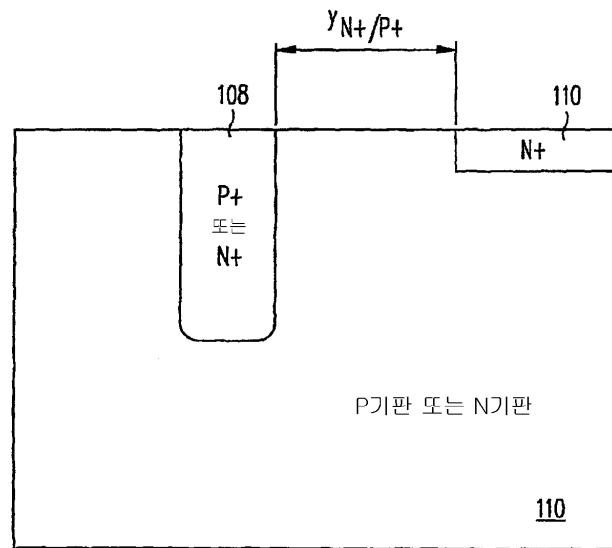
도면2A



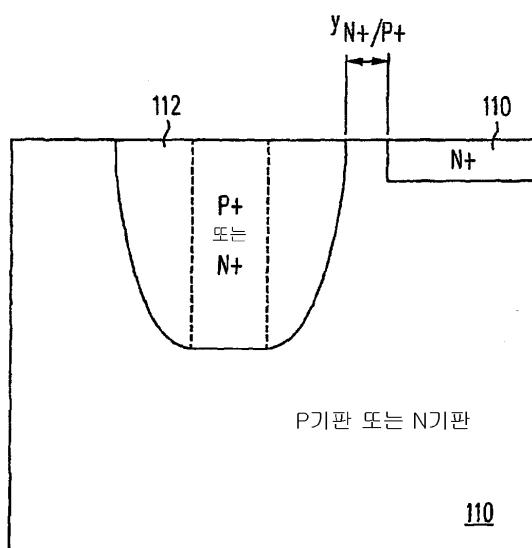
도면2B



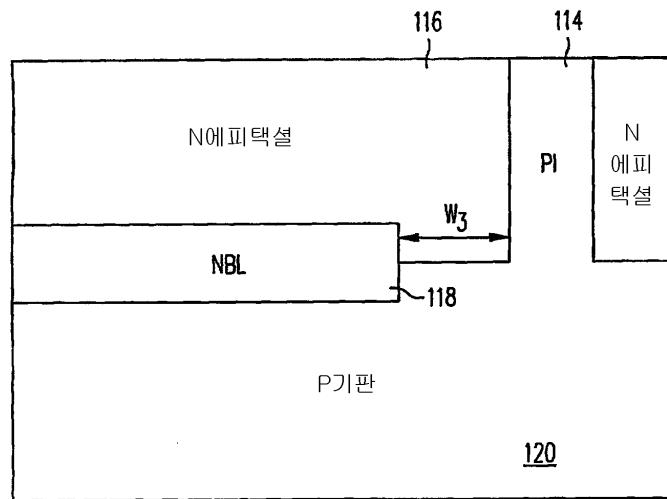
도면3A



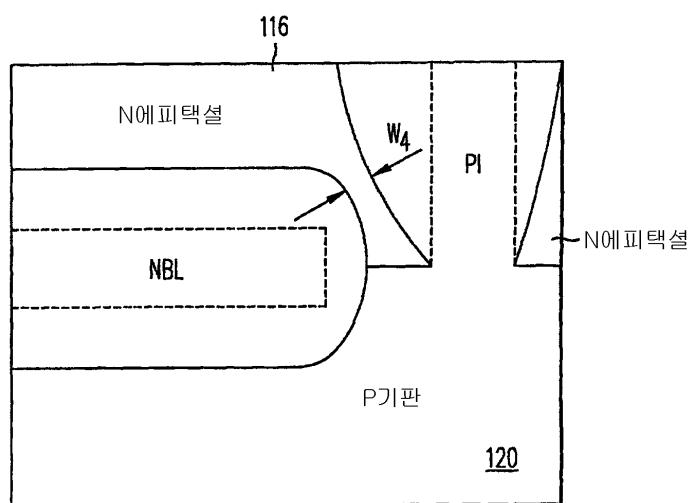
도면3B



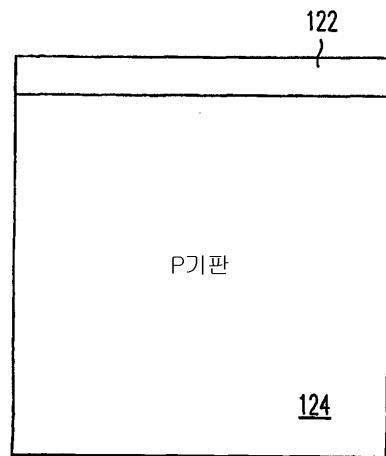
도면4A



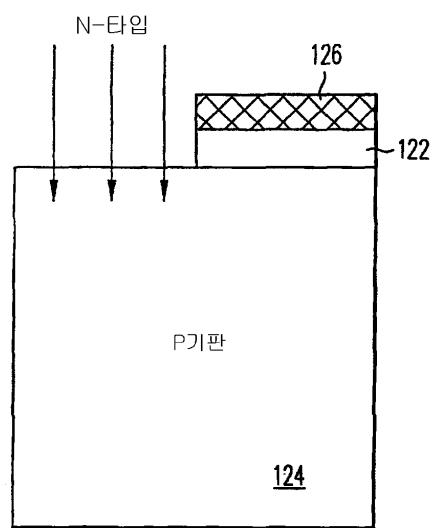
도면4B



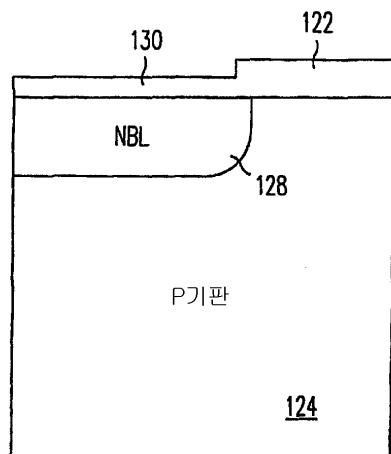
도면5A



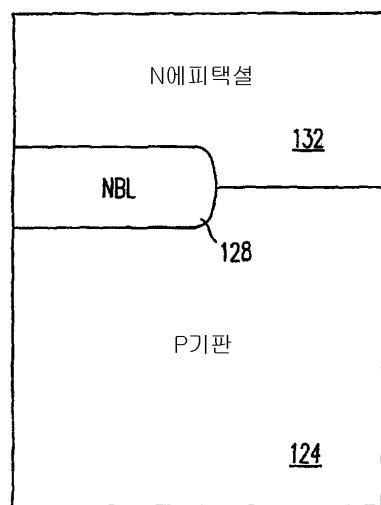
도면5B



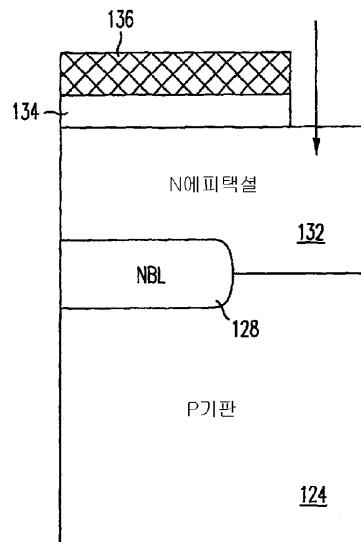
도면5C



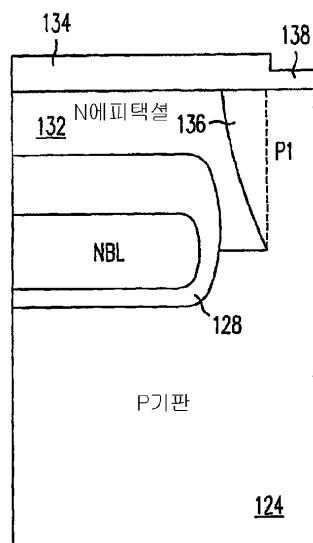
도면5D



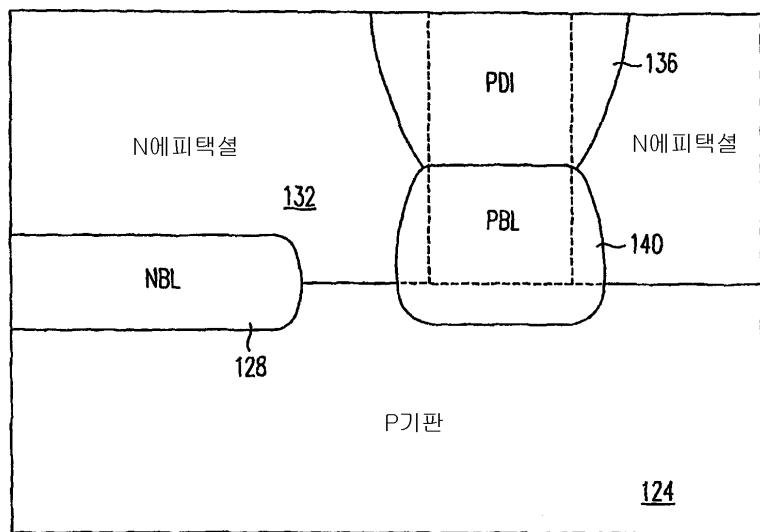
도면5E



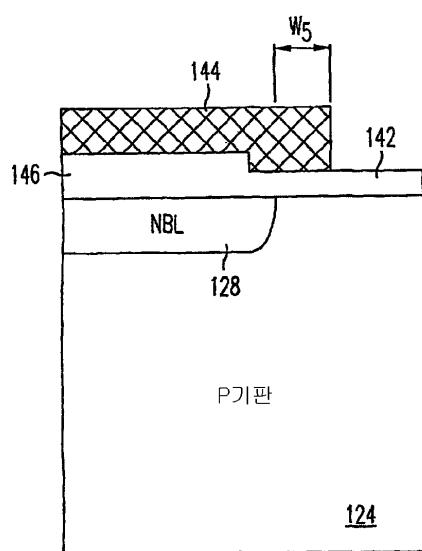
도면5F



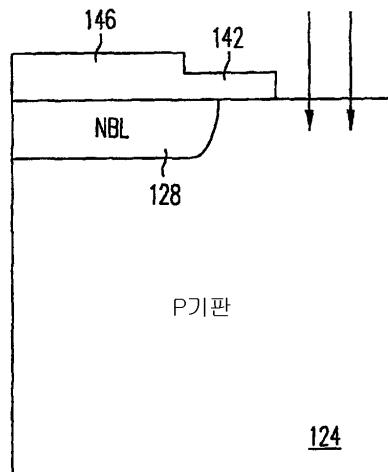
도면6



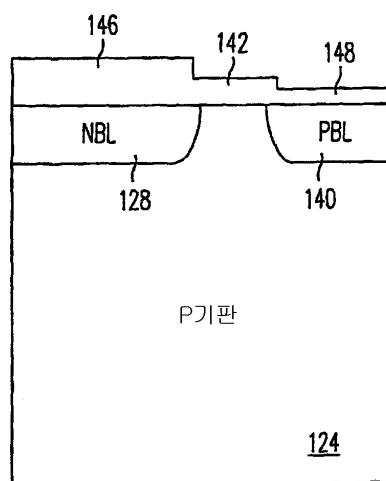
도면7A



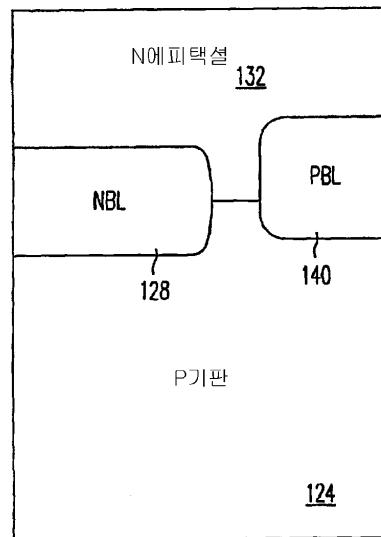
도면7B



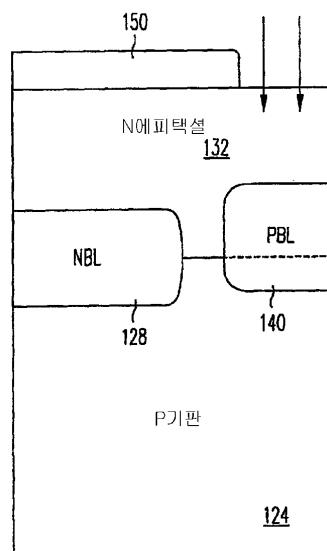
도면7C



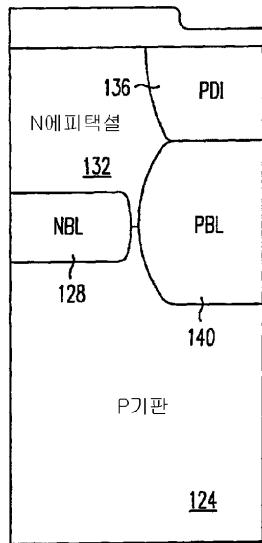
도면7D



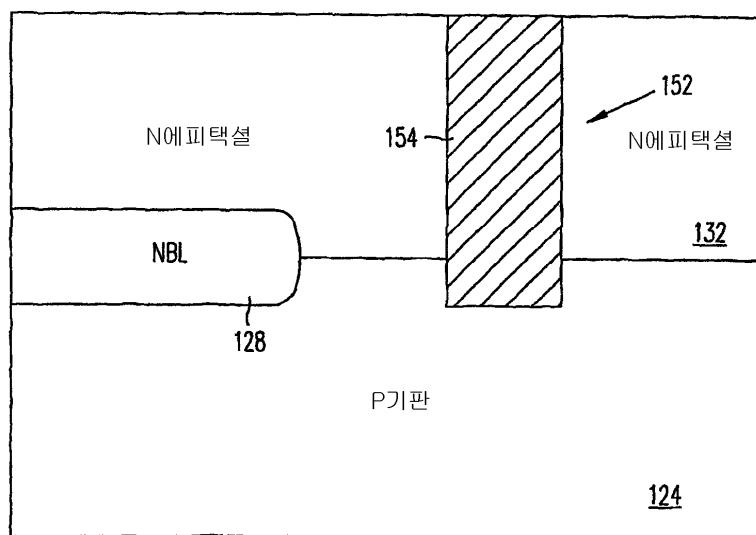
도면7E



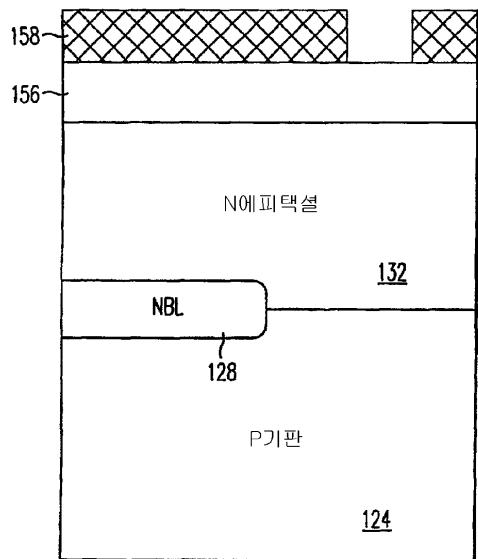
도면7F



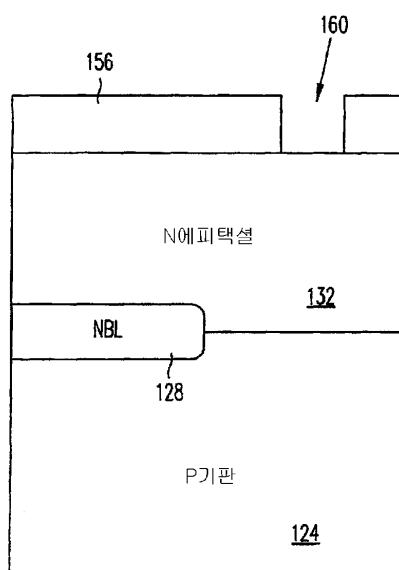
도면8



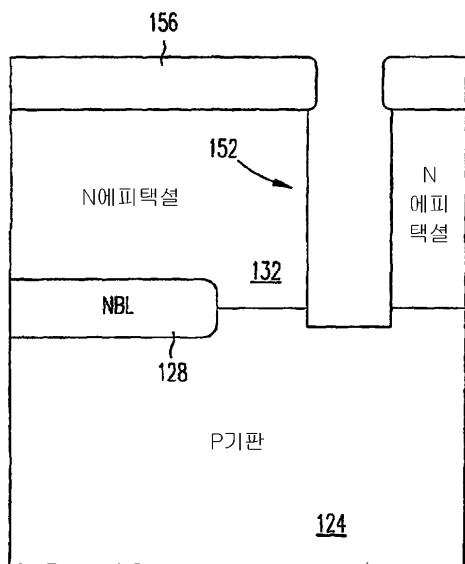
도면9A



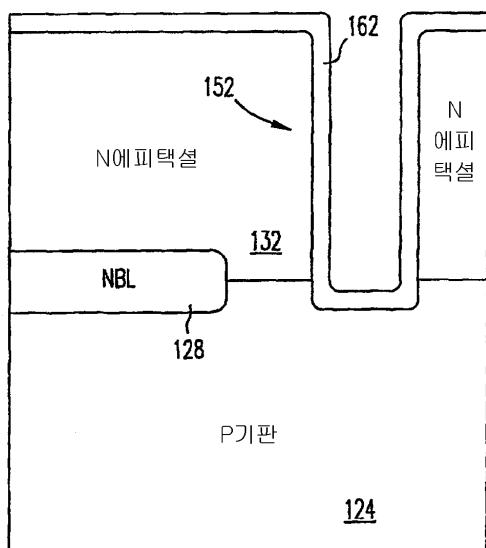
도면9B



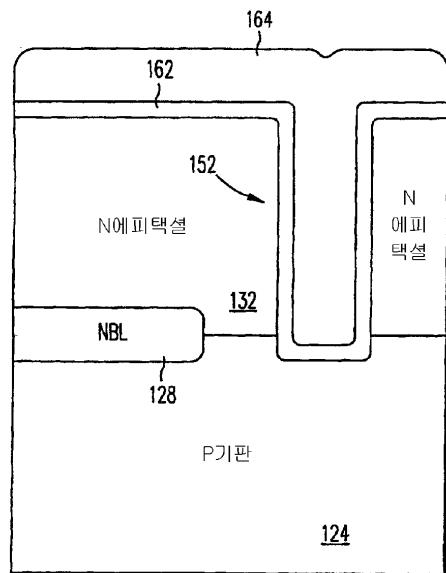
도면9C



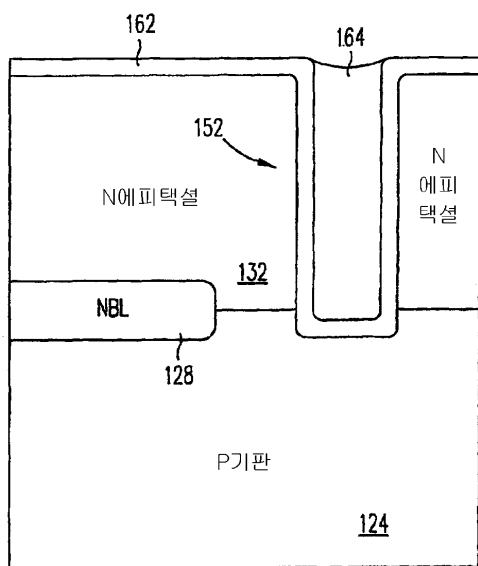
도면9D



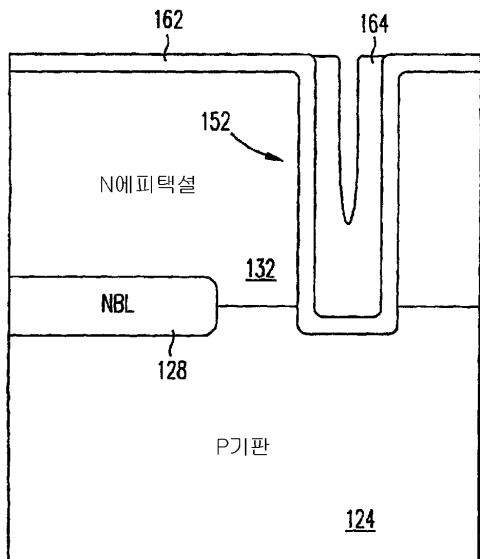
도면9E



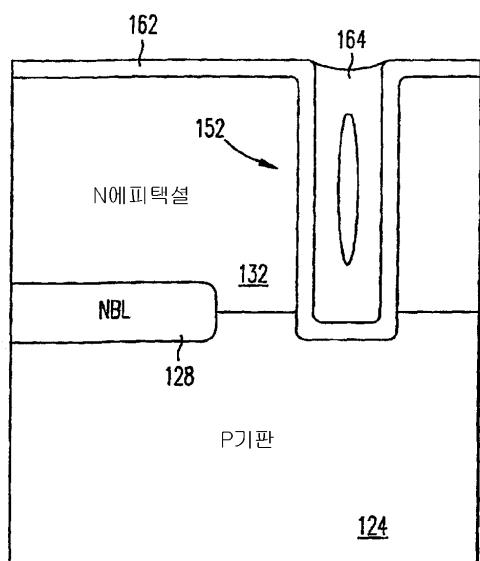
도면9F



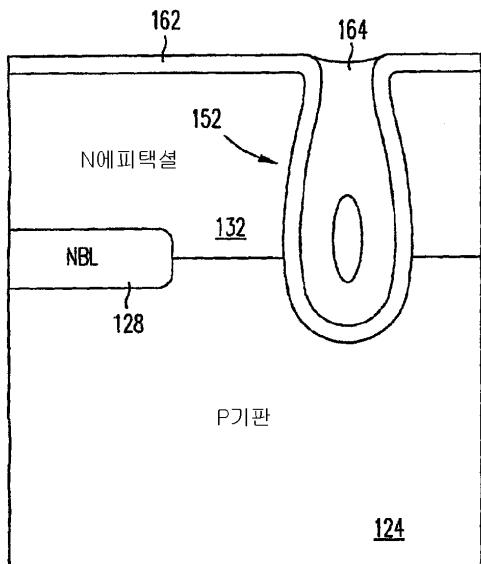
도면10A



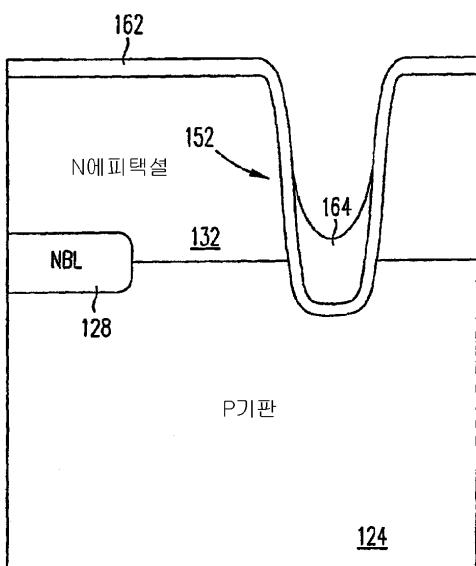
도면10B



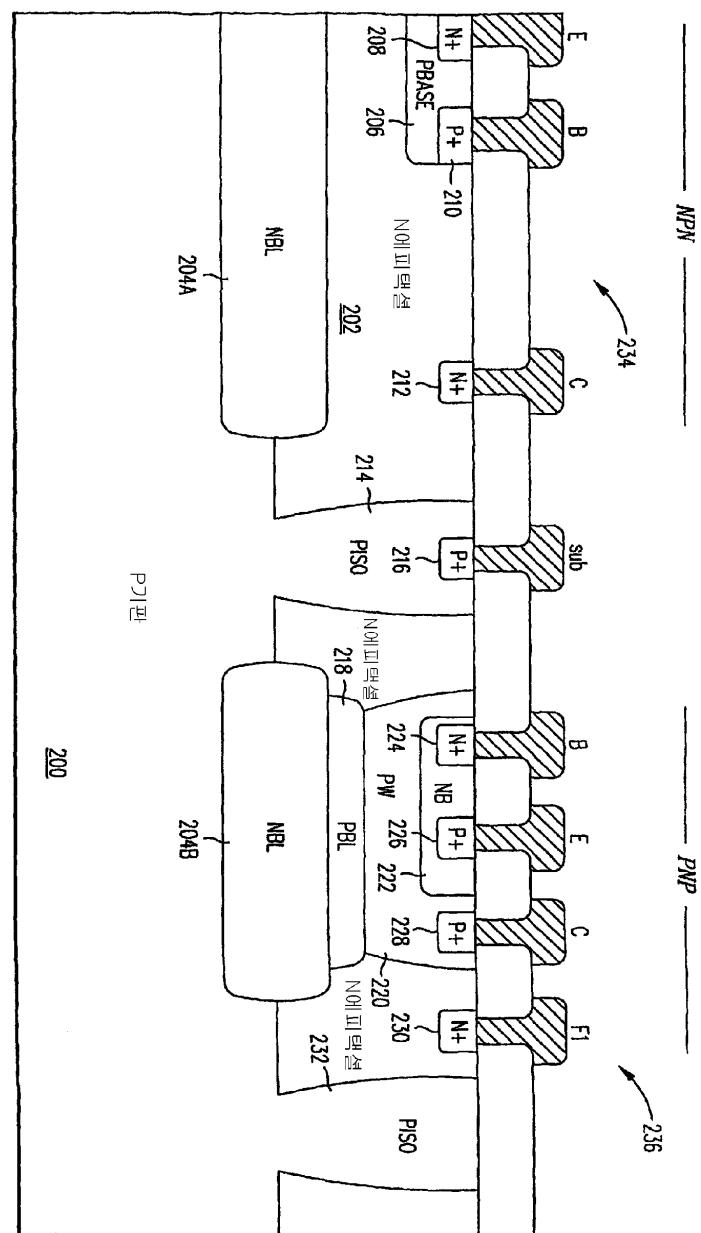
도면10C



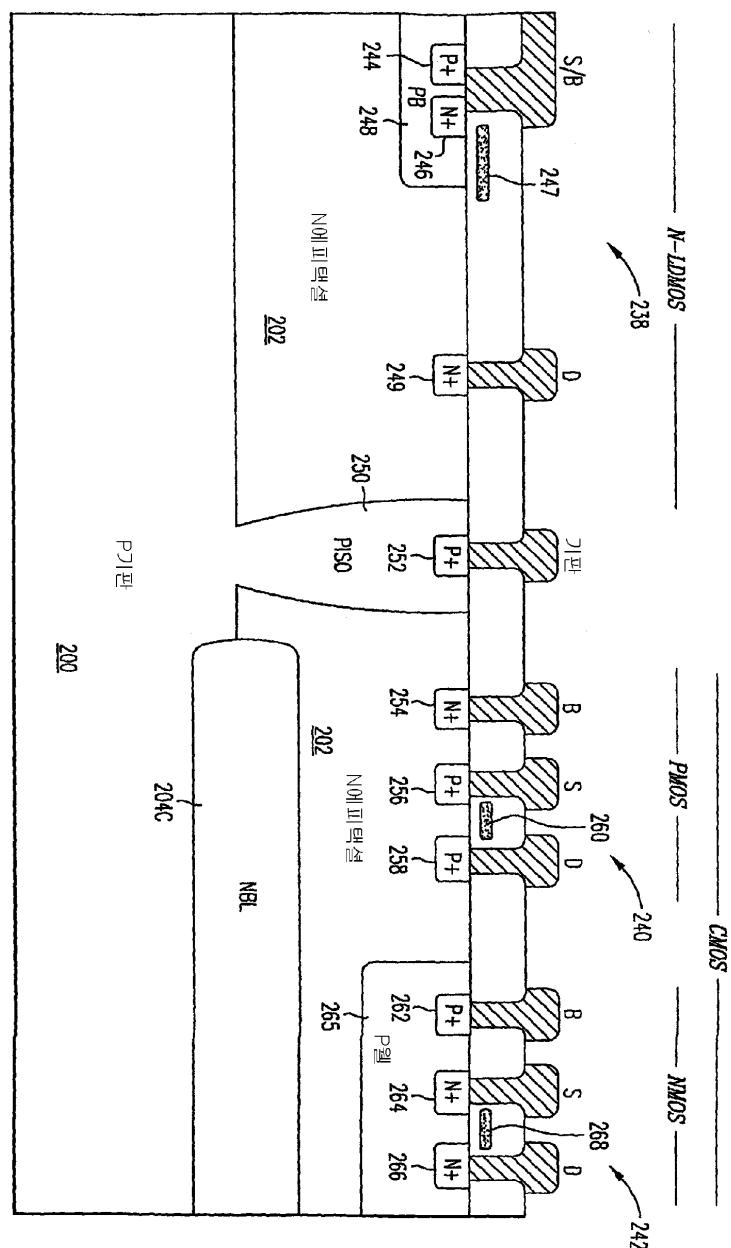
도면10D



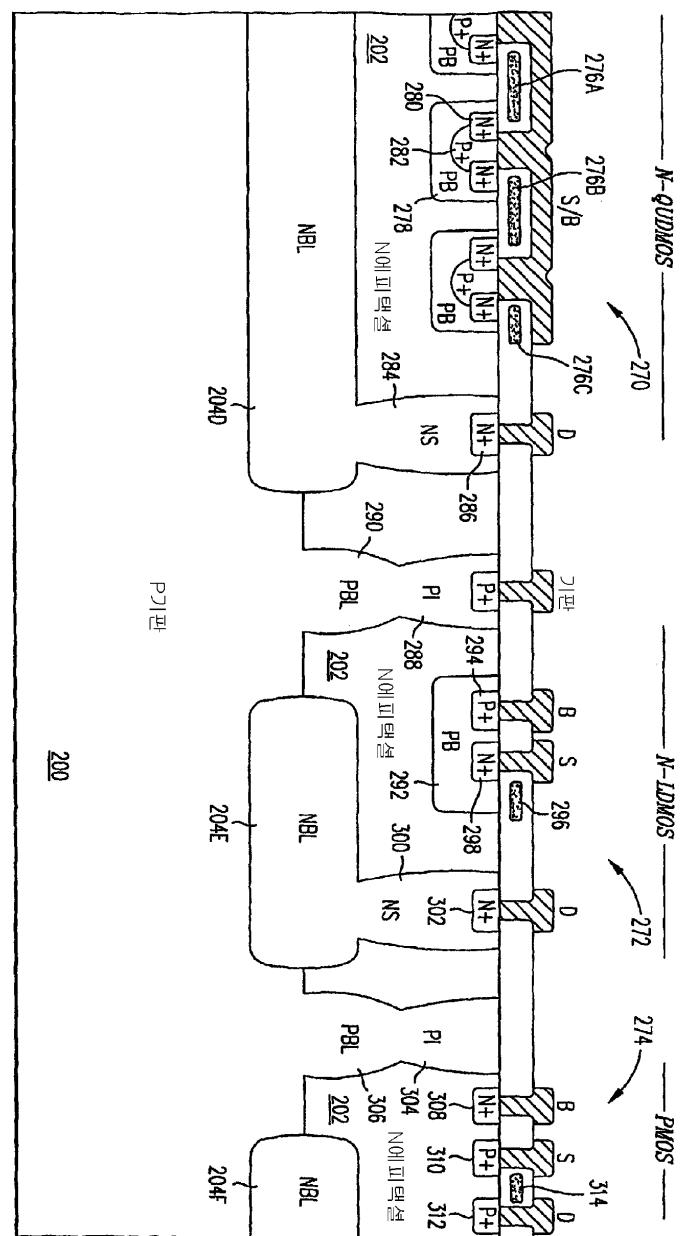
도면11A



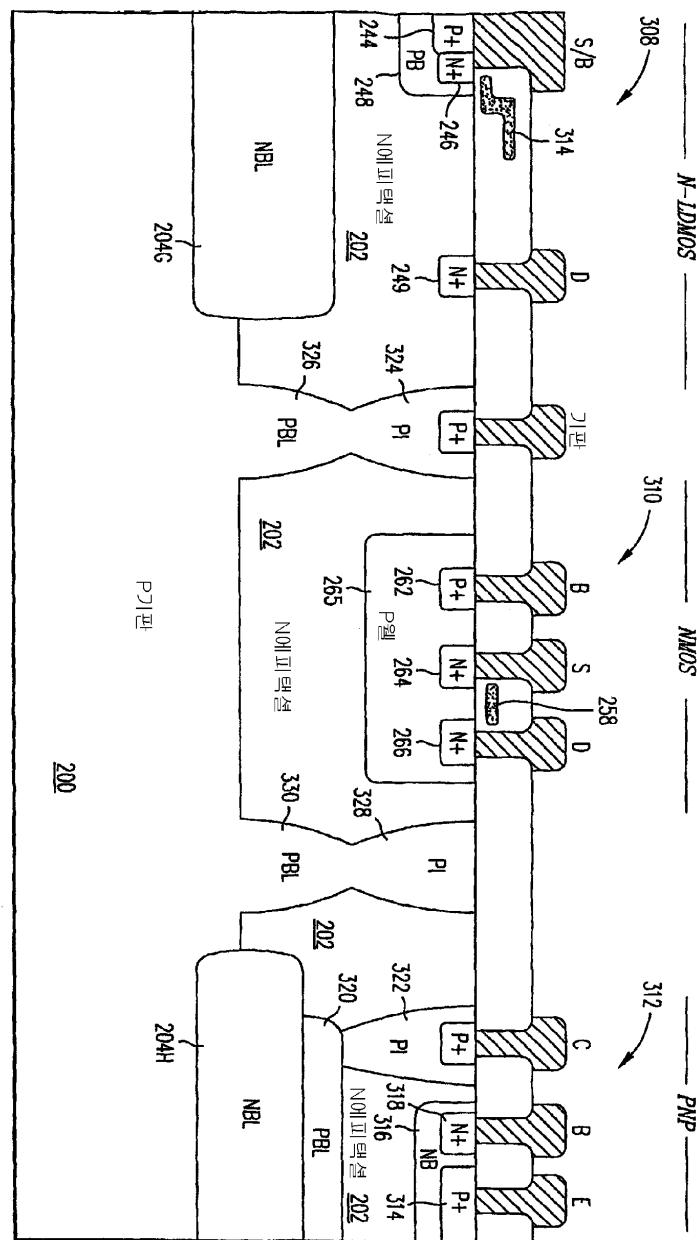
도면11B



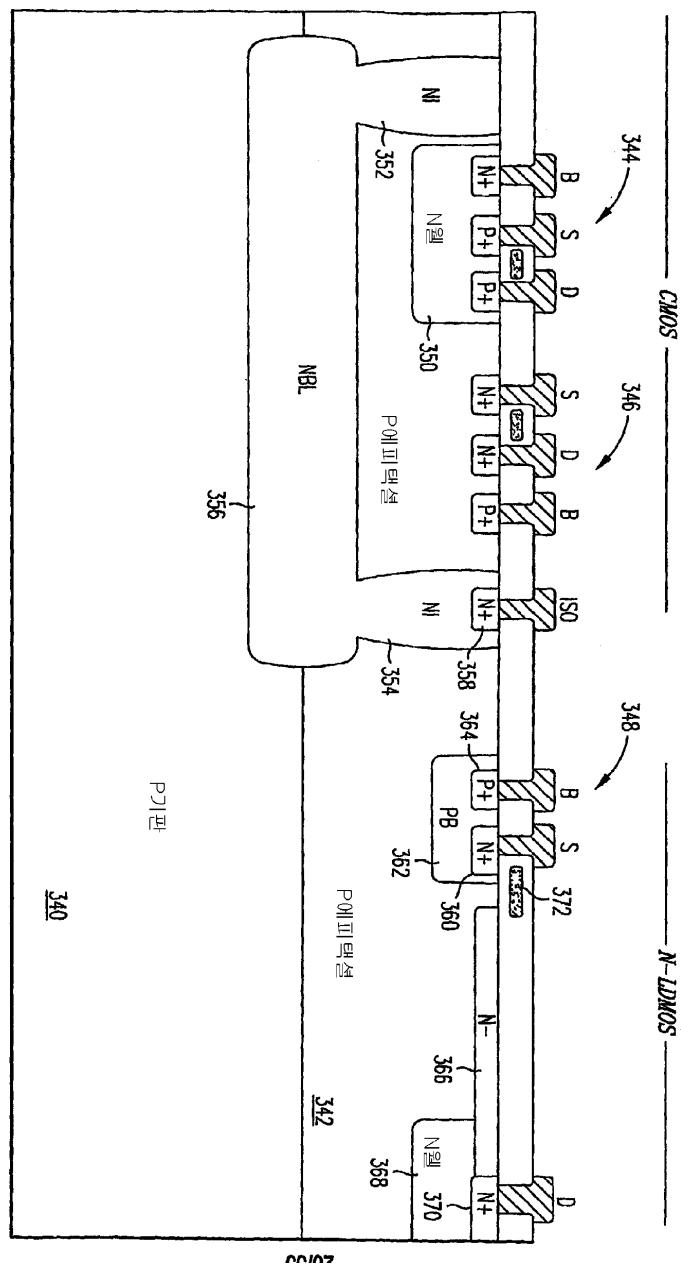
도면11C



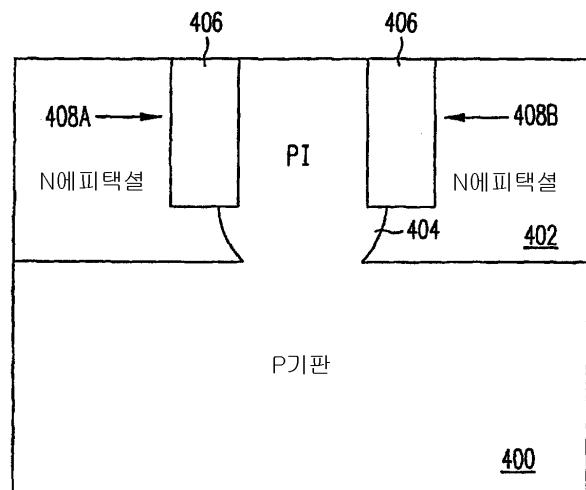
도면11D



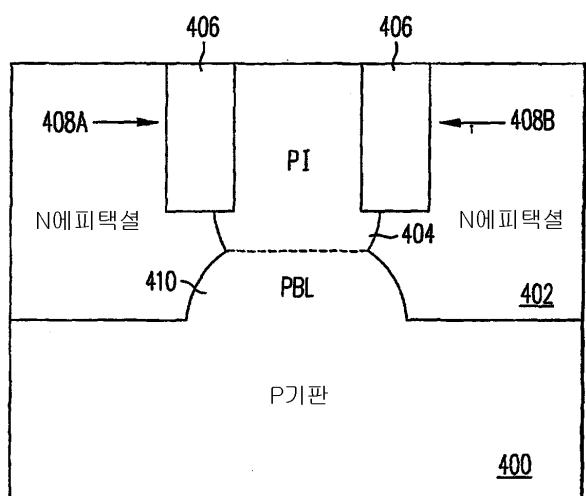
도면11E



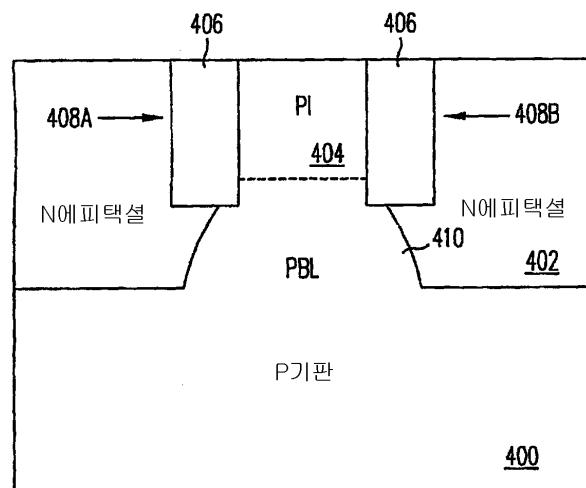
도면12



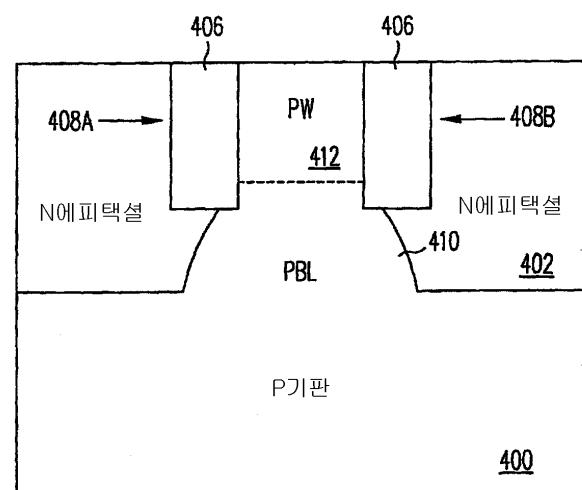
도면13A



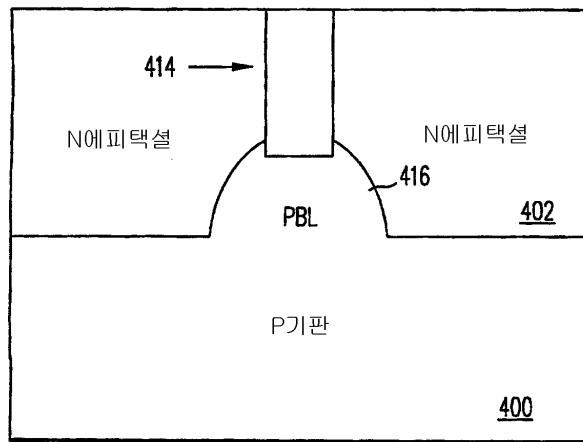
도면13B



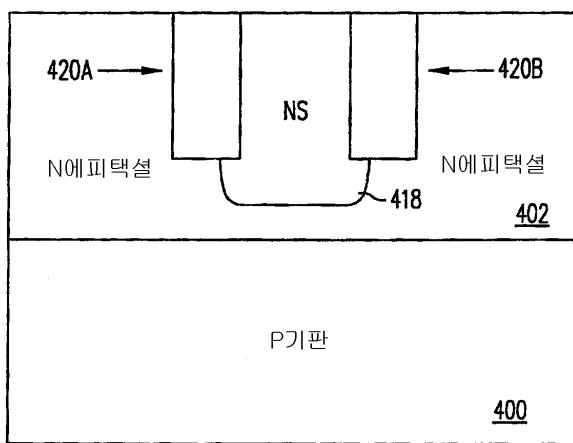
도면13C



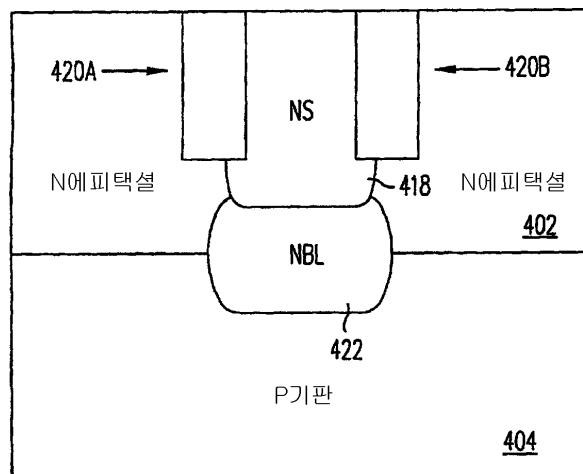
도면13D



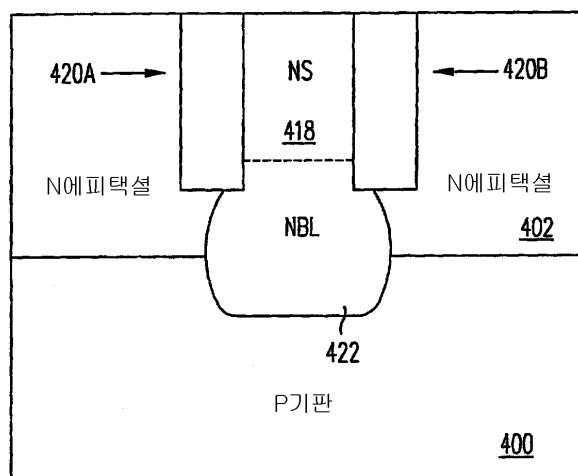
도면14



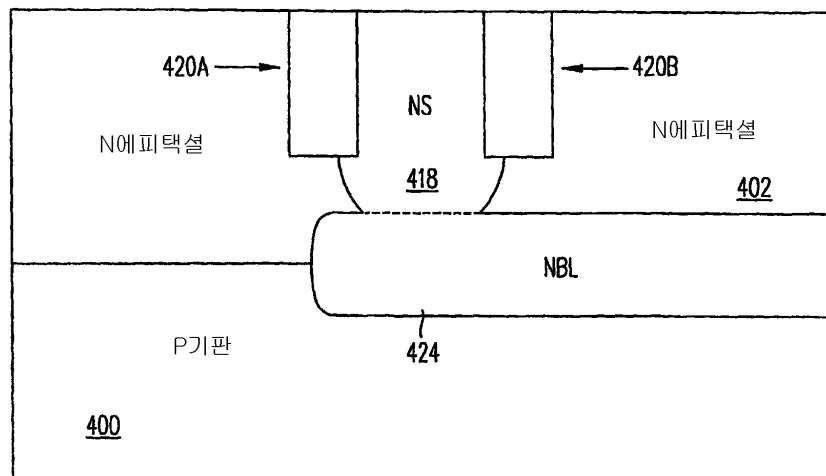
도면15A



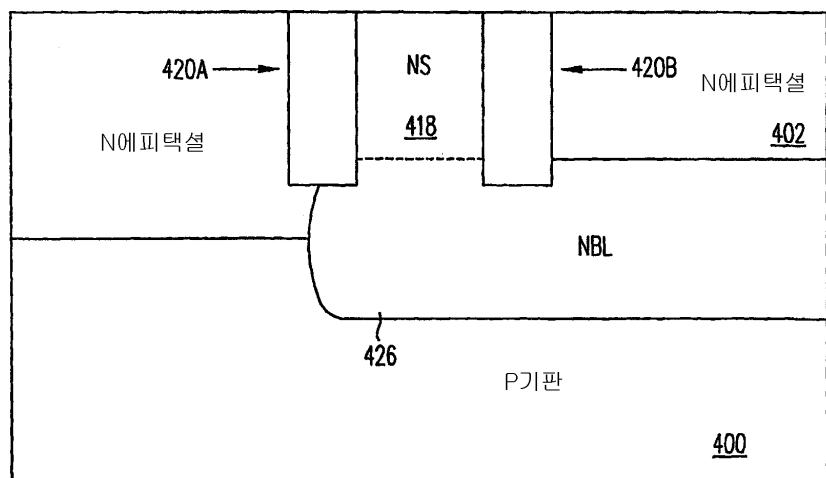
도면15B



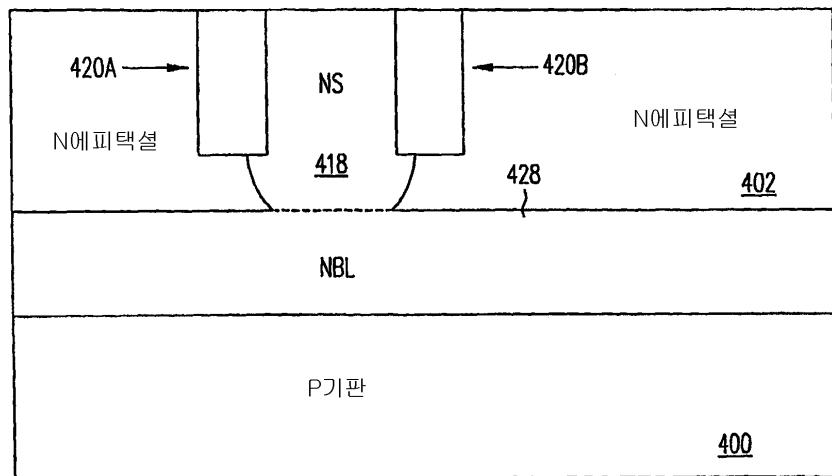
도면15C



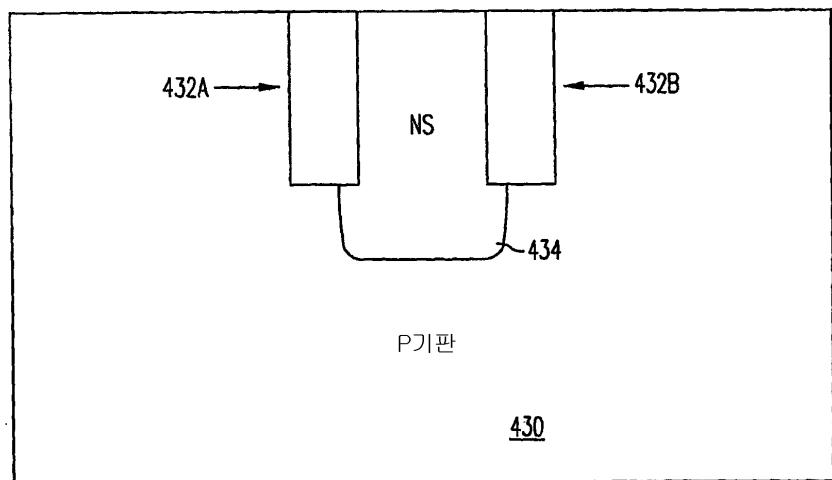
도면15D



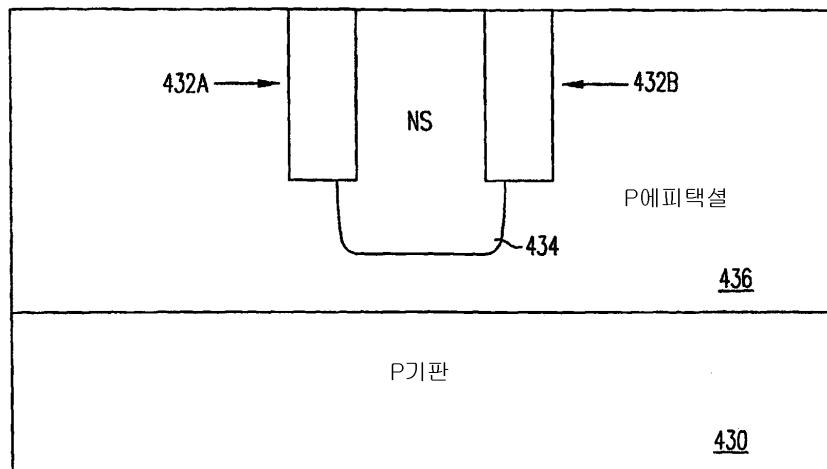
도면15E



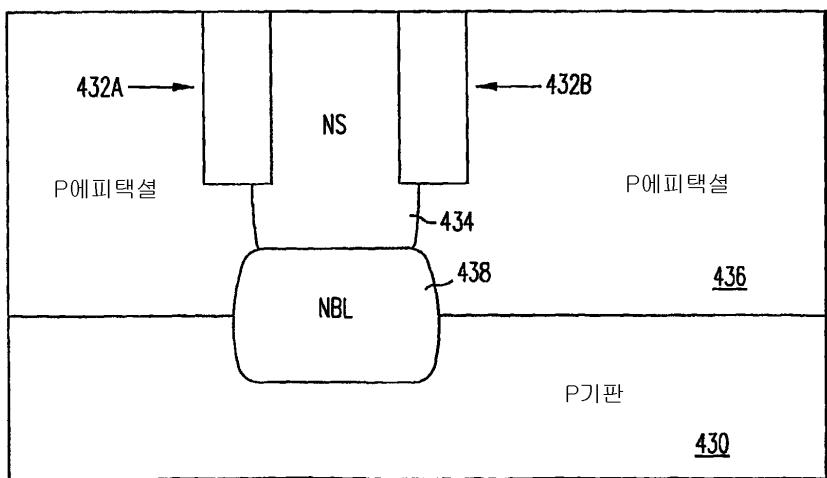
도면16A



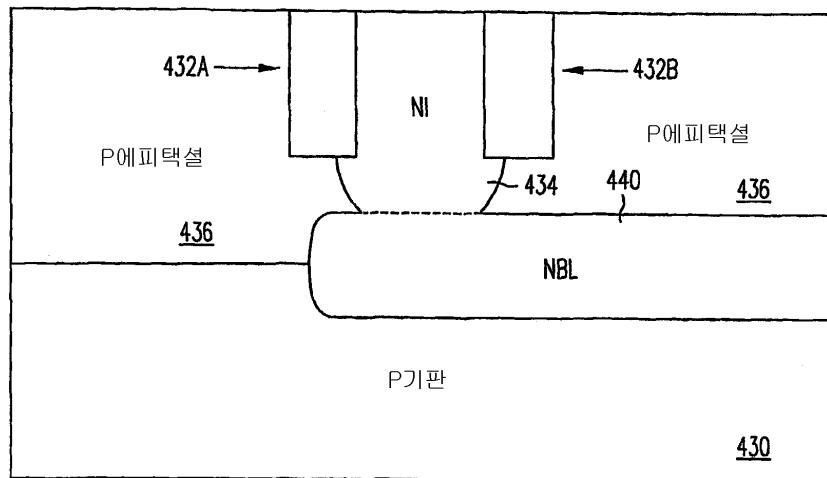
도면16B



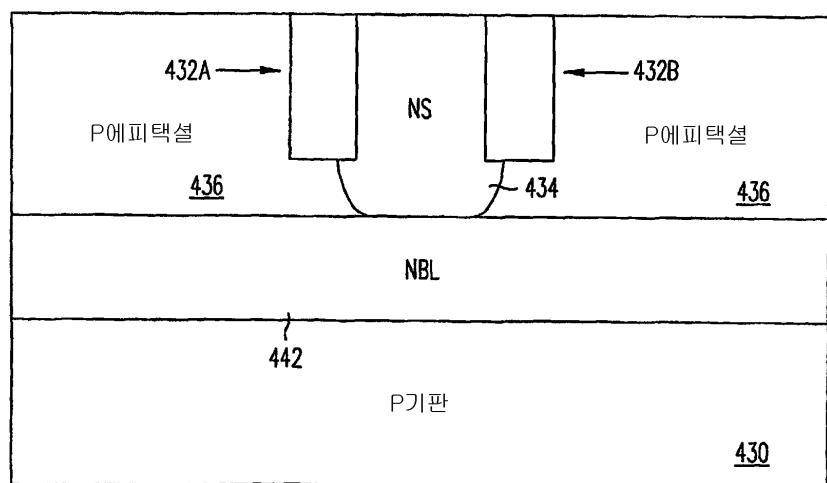
도면16C



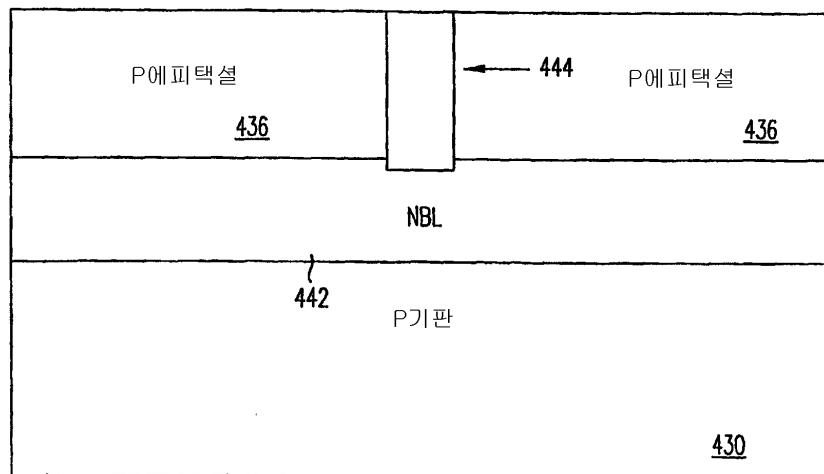
도면16D



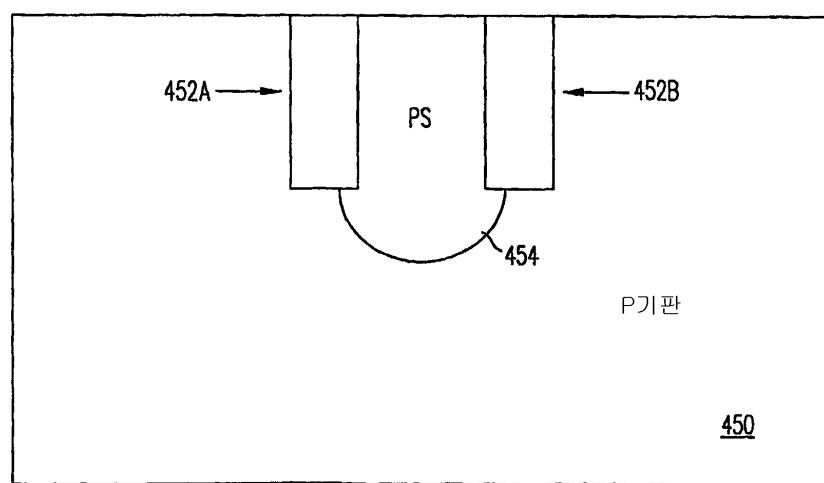
도면16E



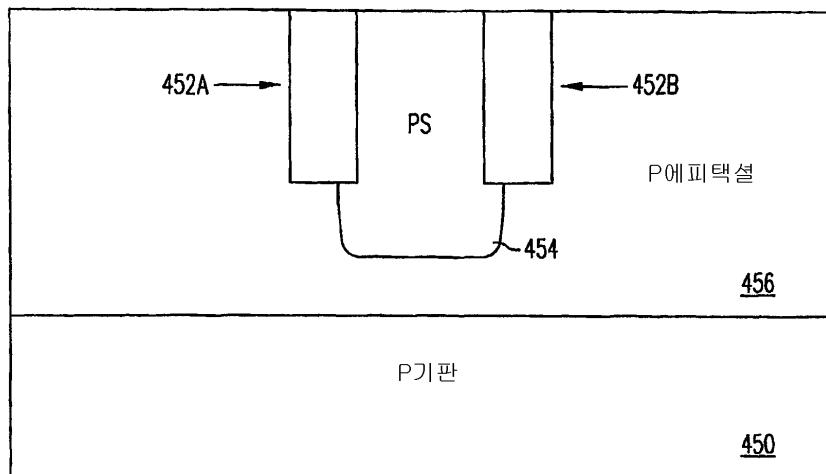
도면17



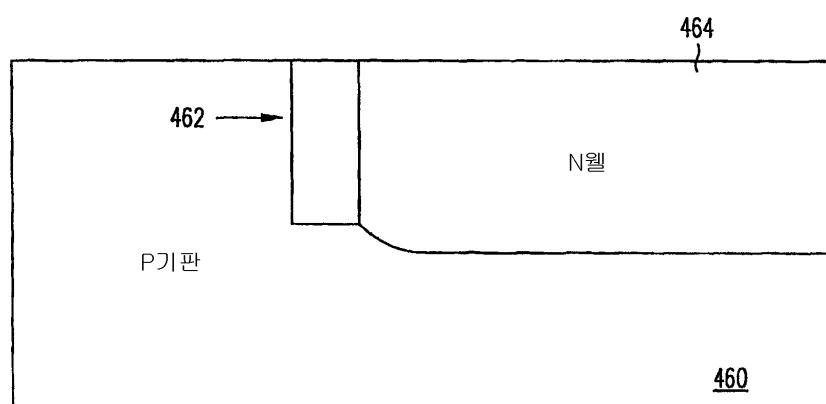
도면18



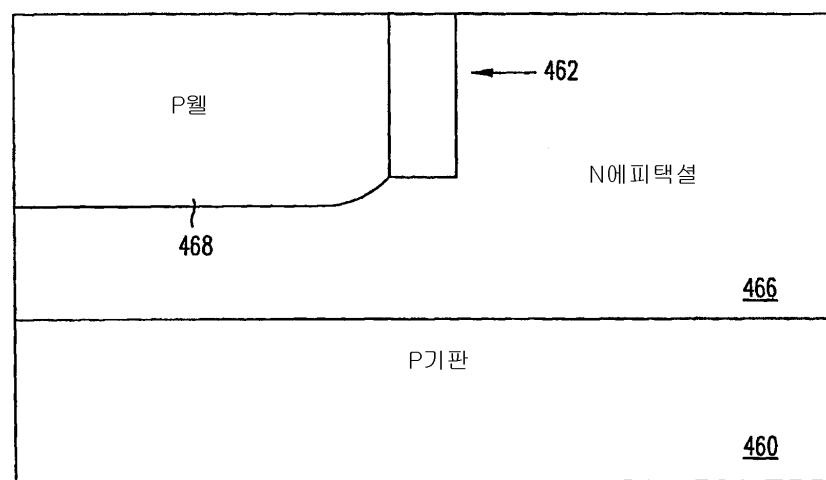
도면19



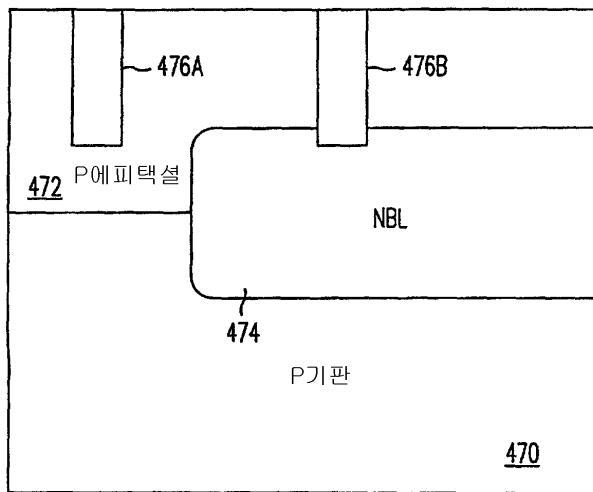
도면20



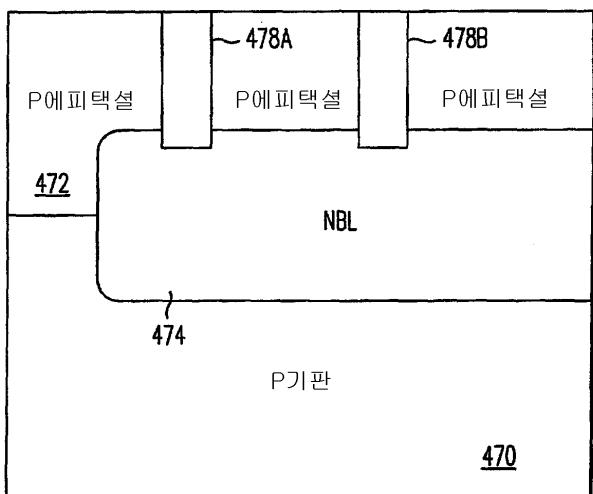
도면21



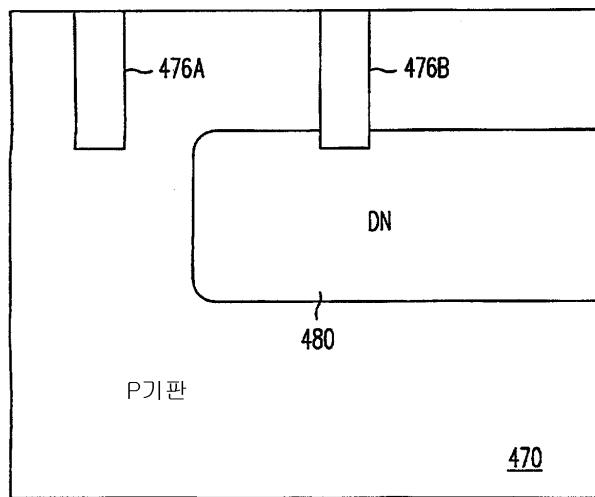
도면22A



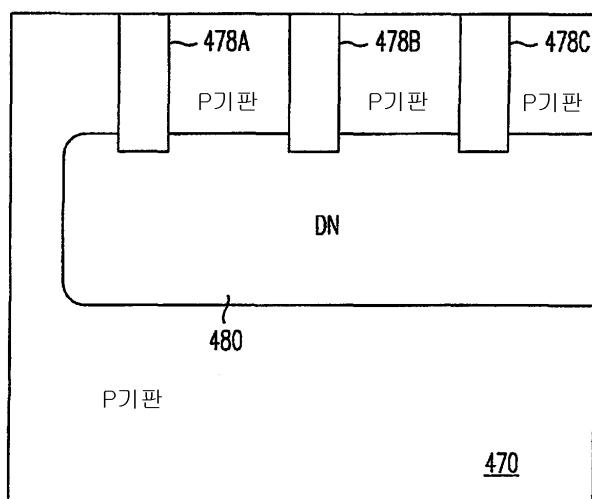
도면22B



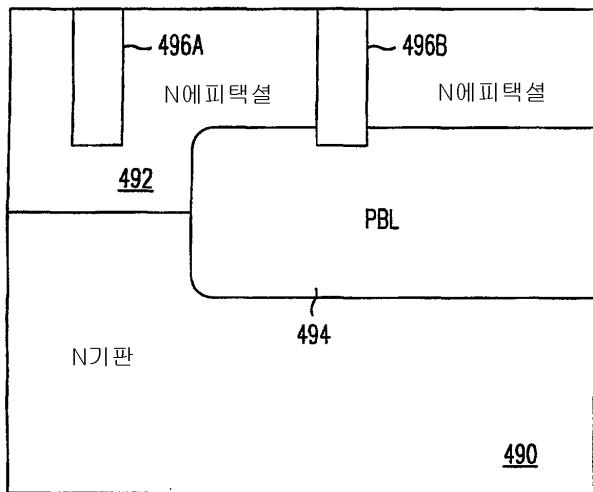
도면23A



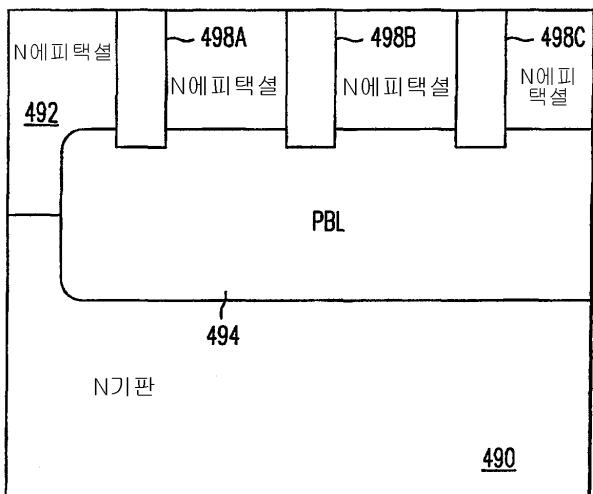
도면23B



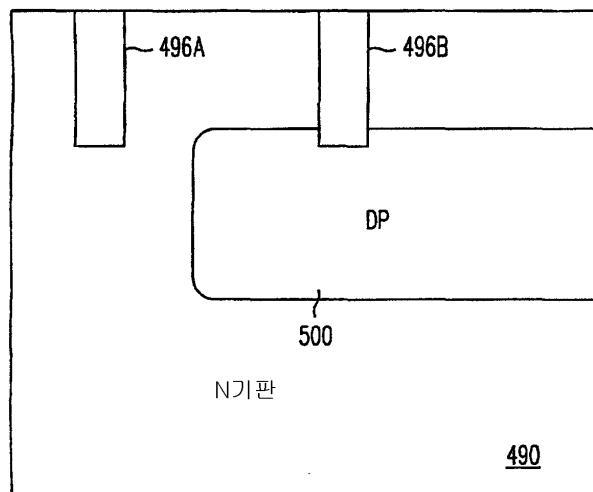
도면24A



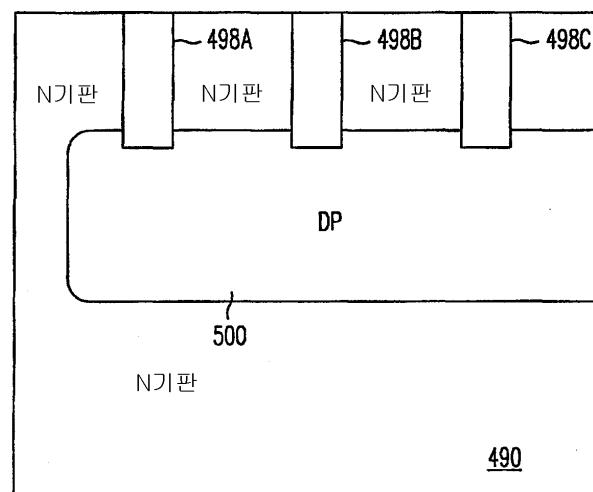
도면24B



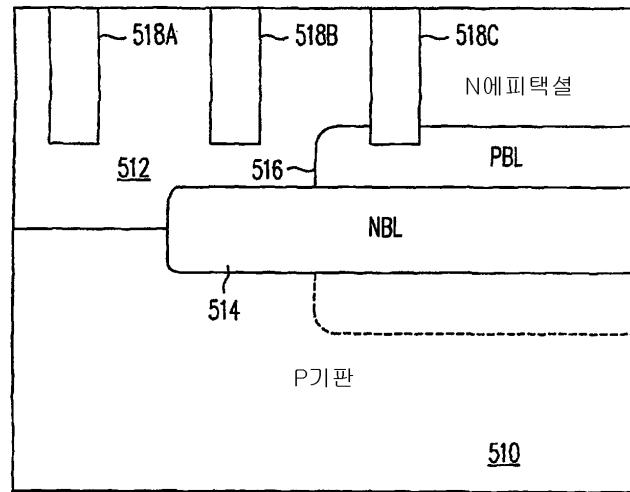
도면25A



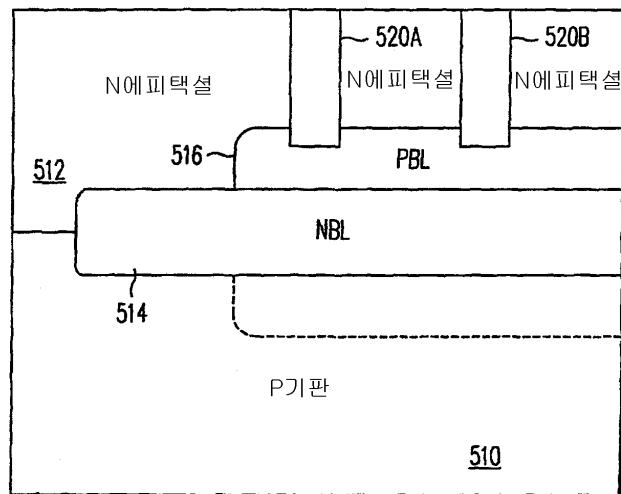
도면25B



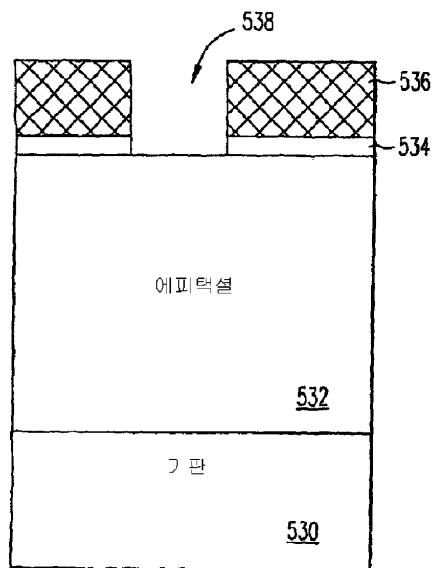
도면26A



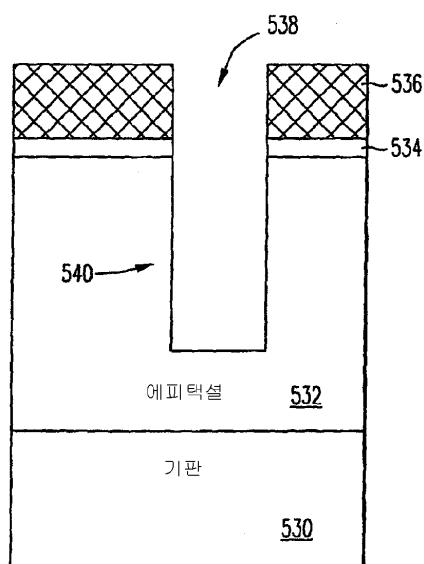
도면26B



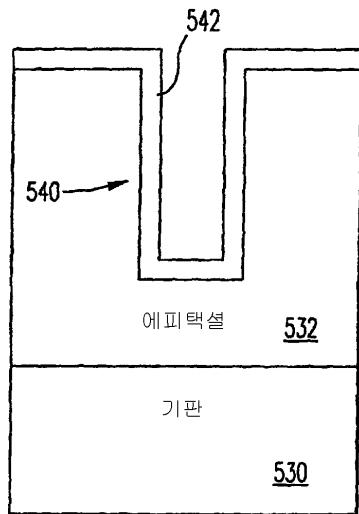
도면27A



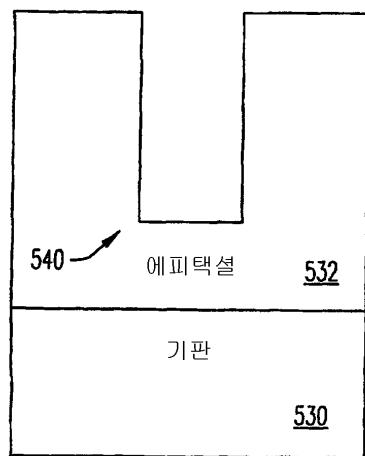
도면27B



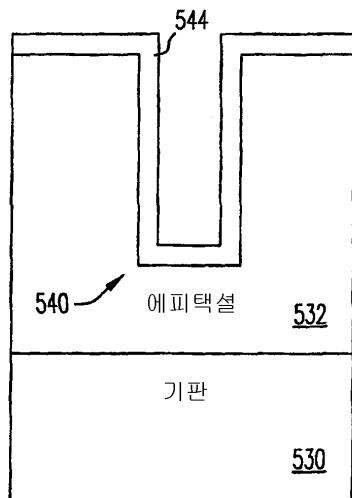
도면27C



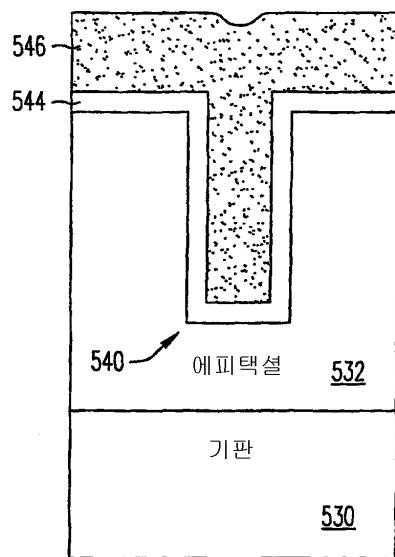
도면27D



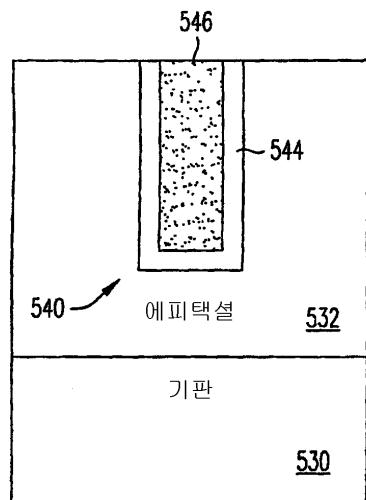
도면27E



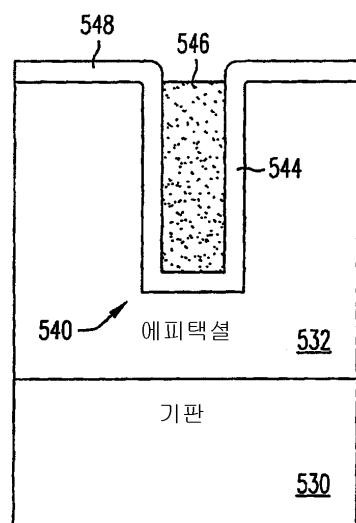
도면27F



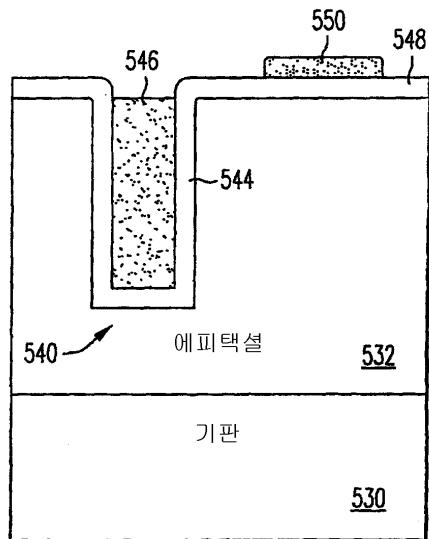
도면27G



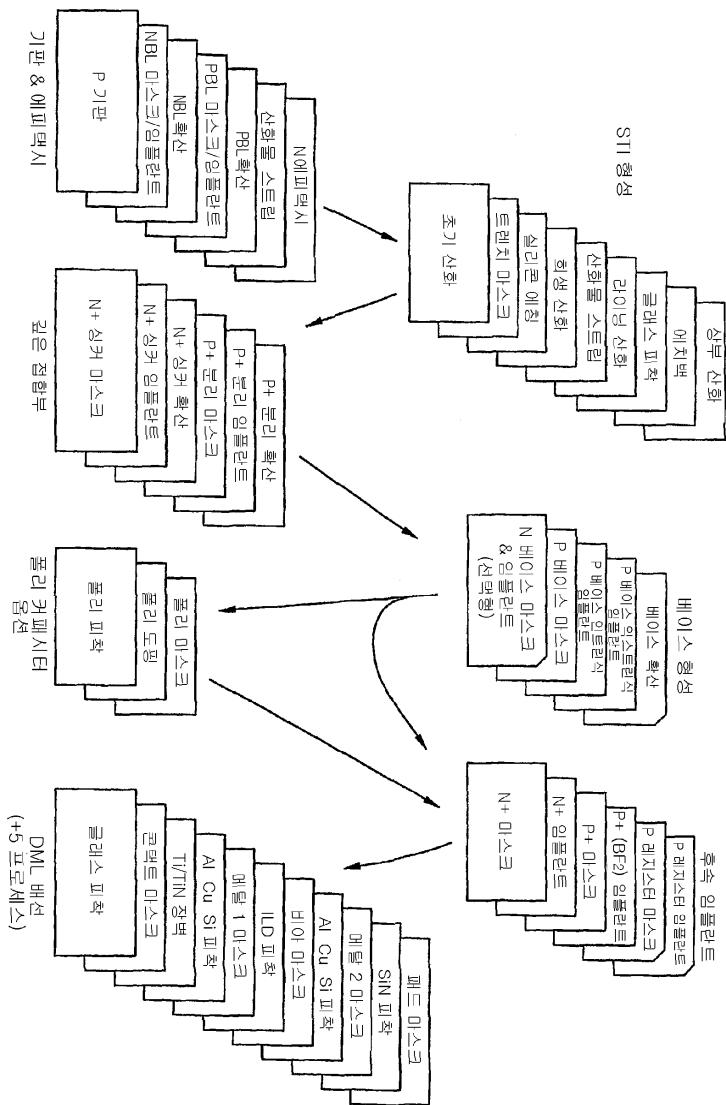
도면27H



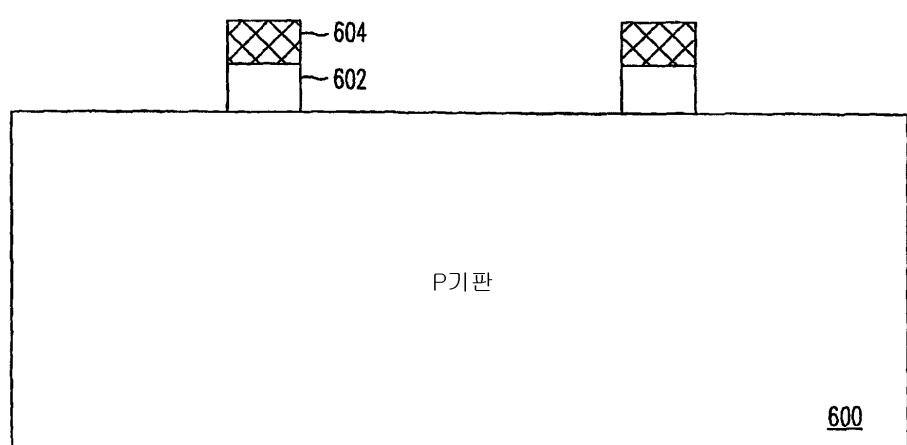
도면27I



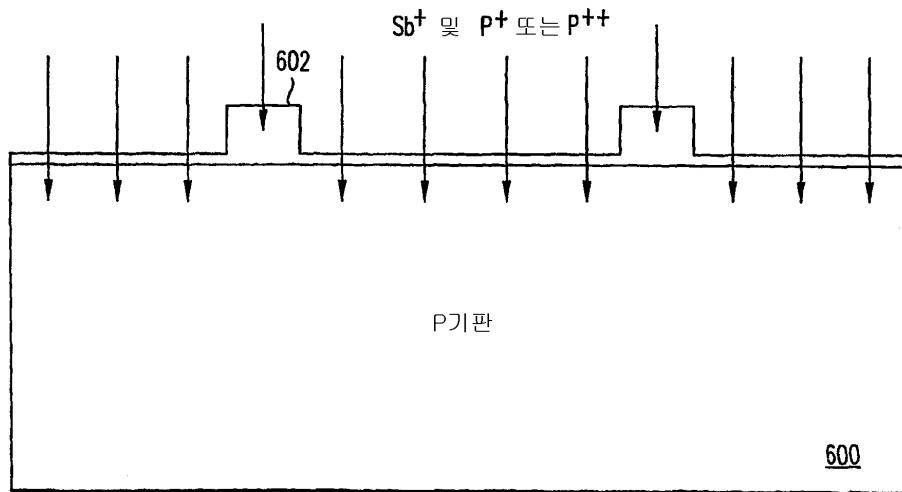
도면28



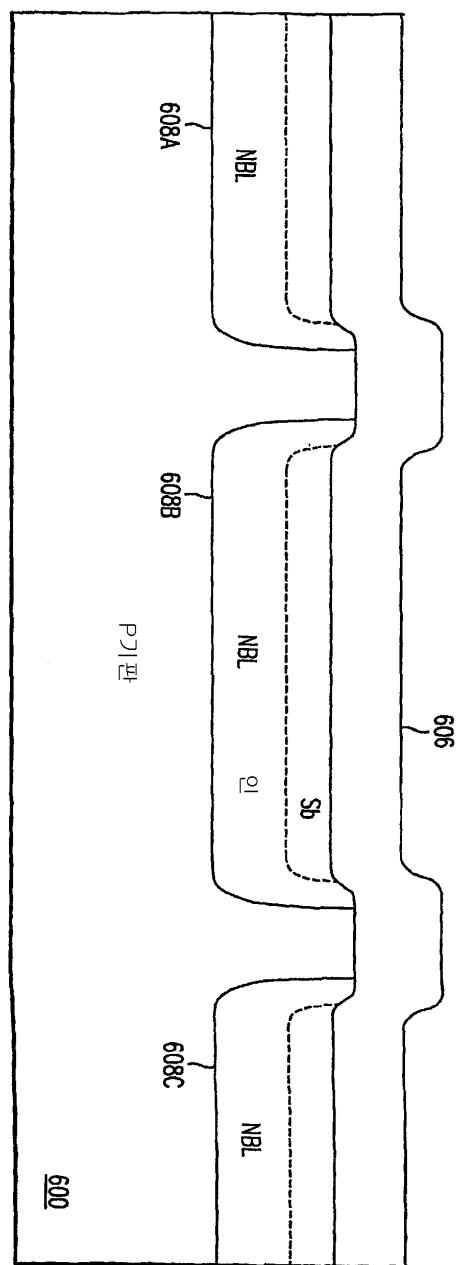
도면29A



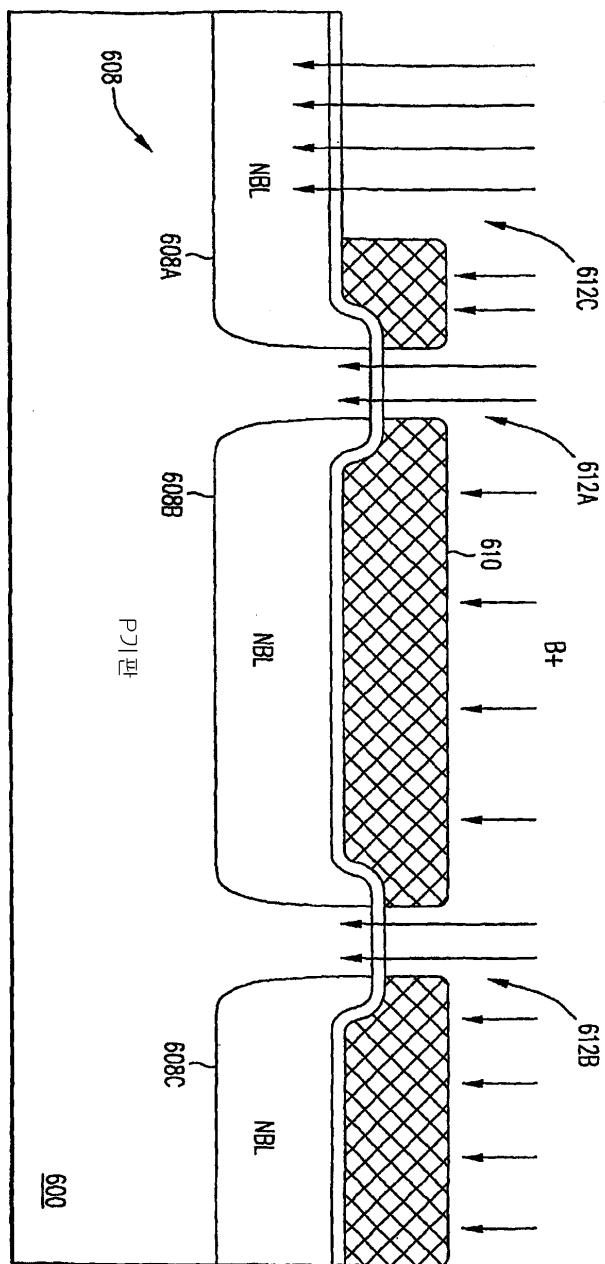
도면29B



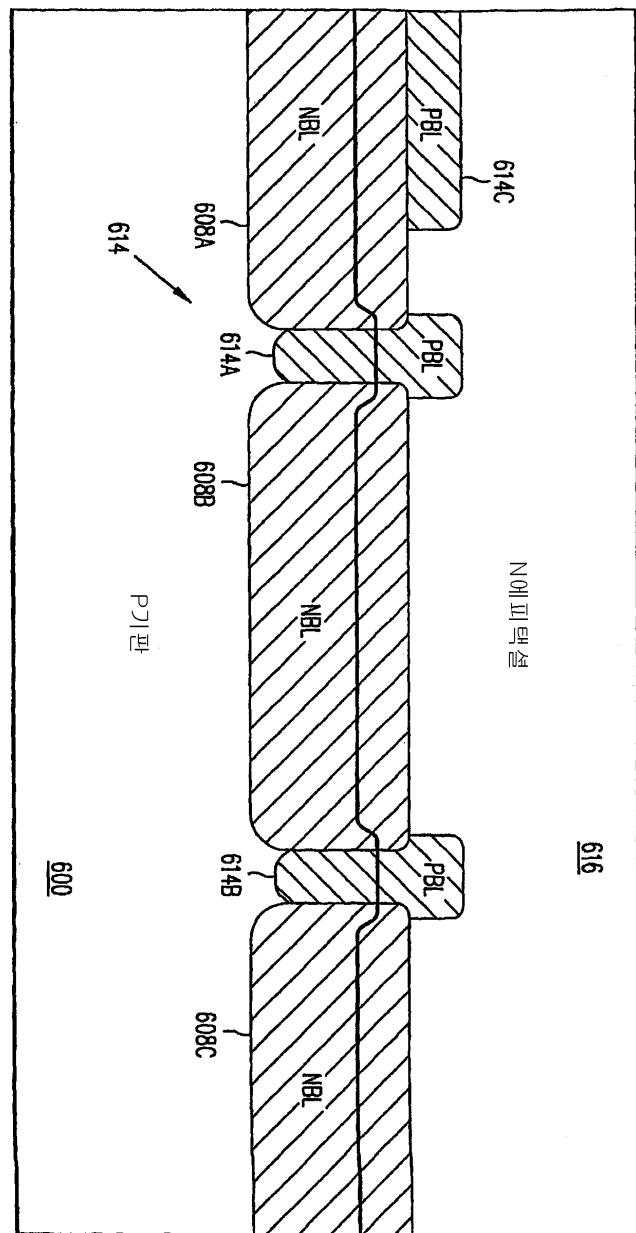
도면29C



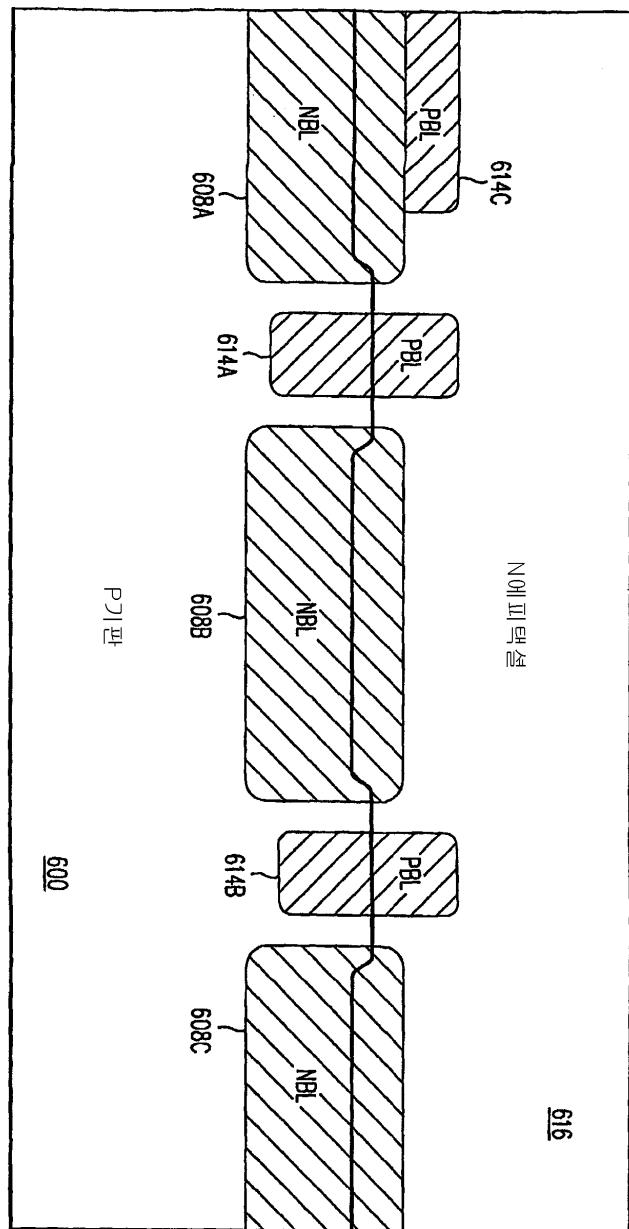
도면29D



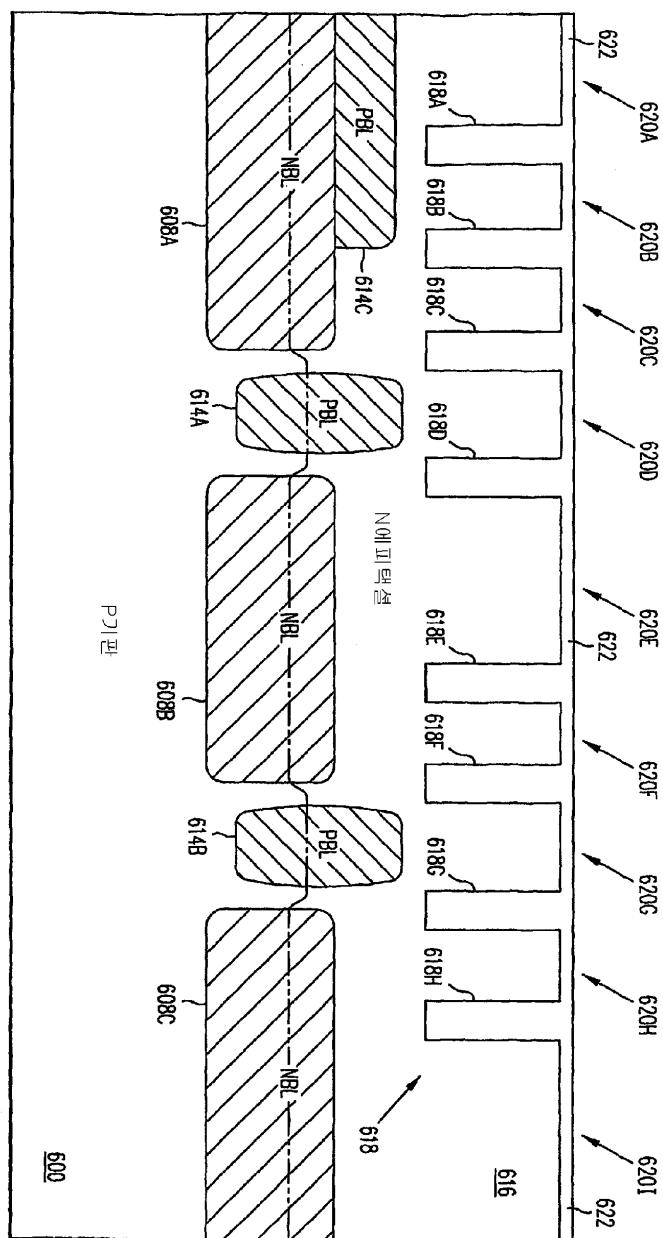
도면29E



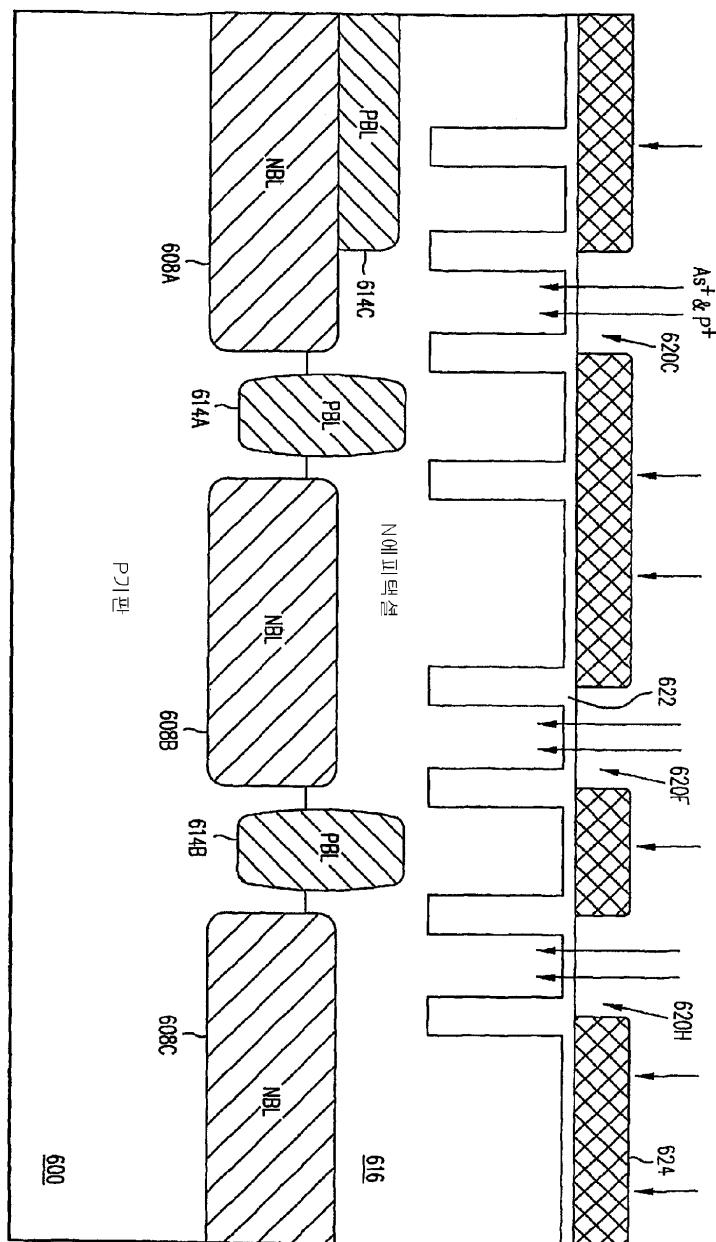
도면29F



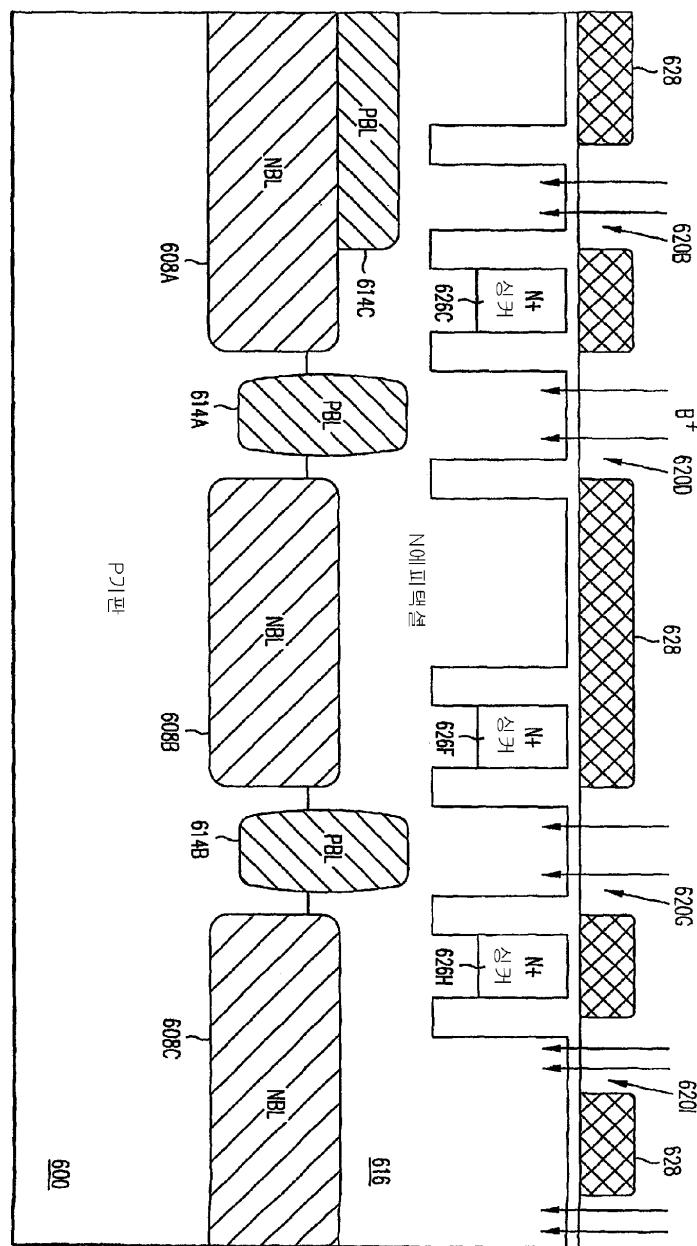
도면29G



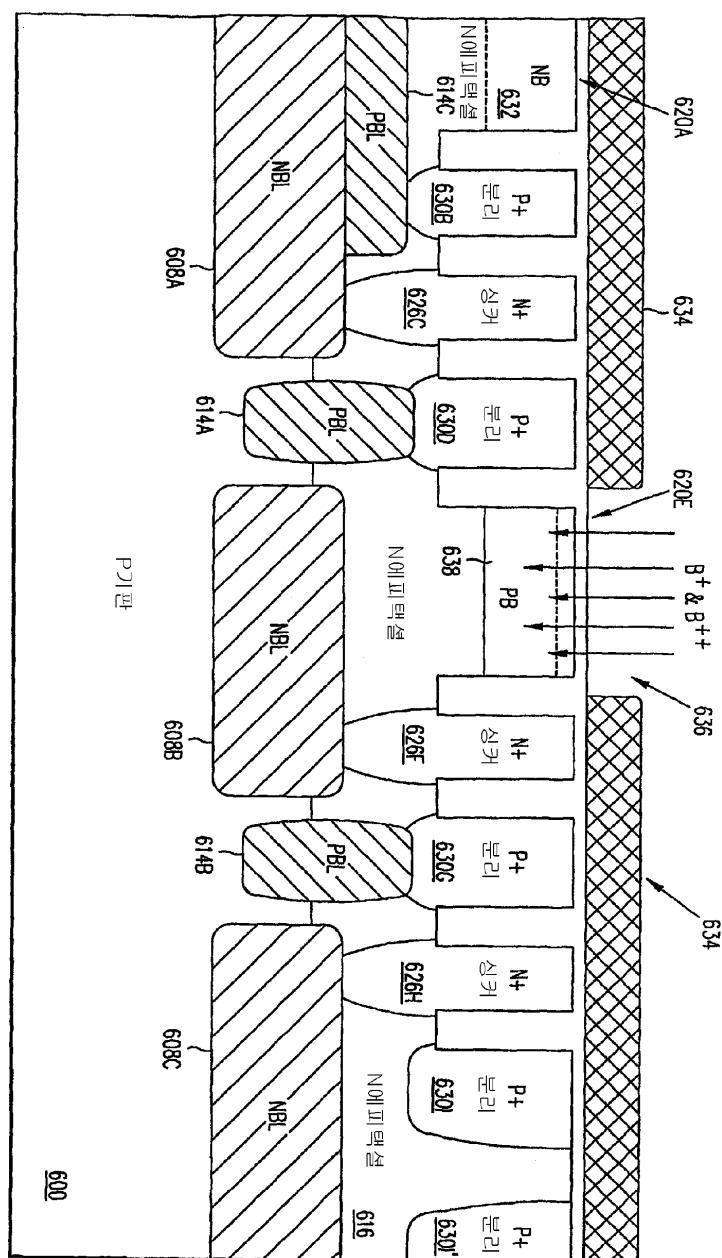
도면29H



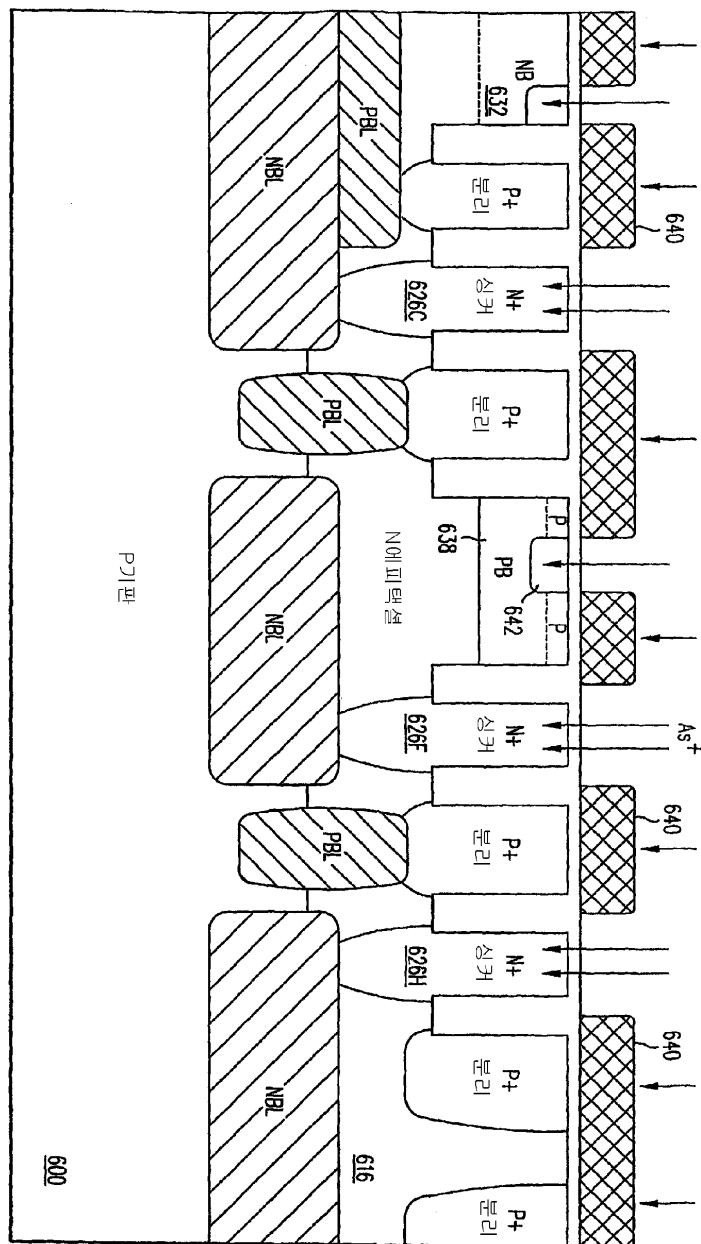
도면29I



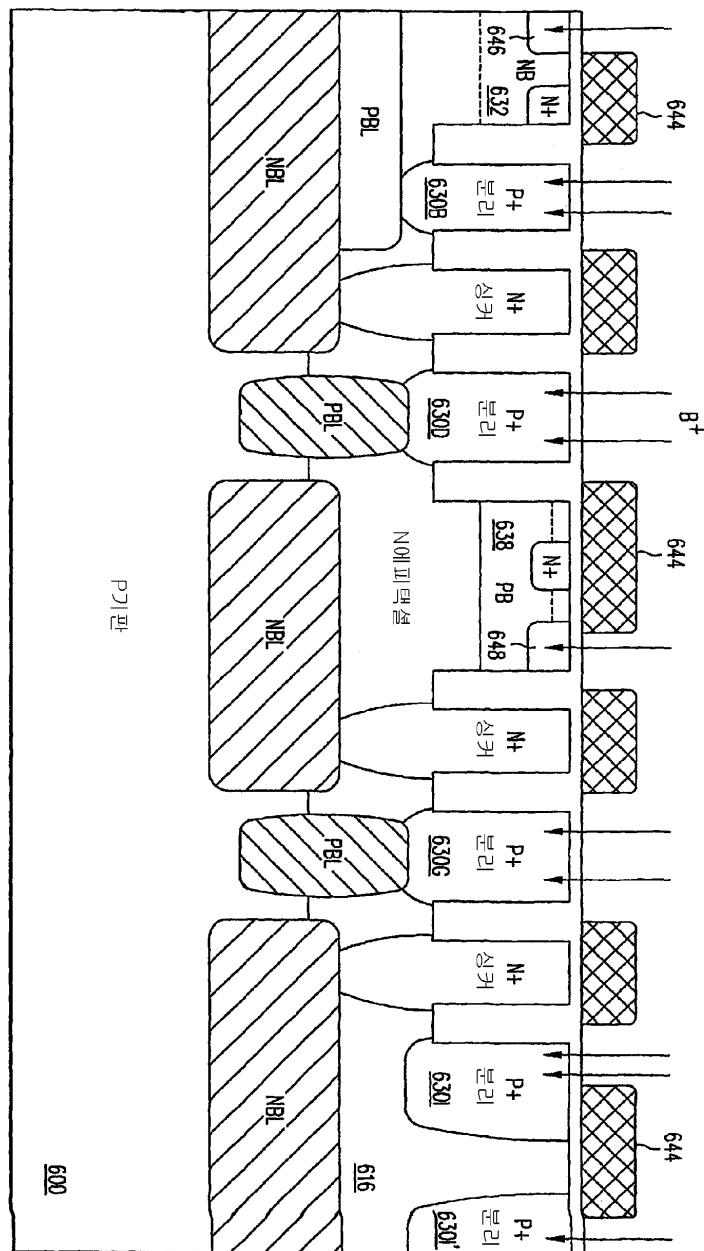
도면29J



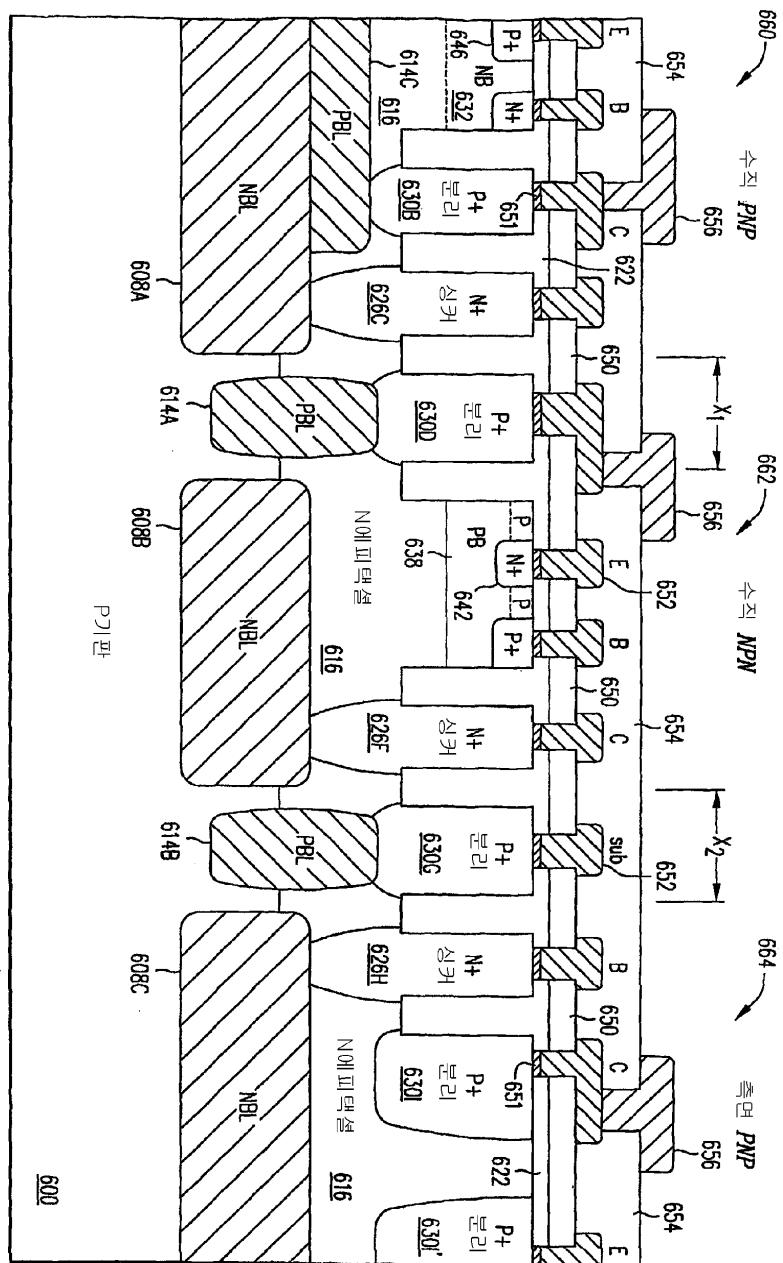
도면29K



도면29L



도면29M



도면30

