

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4690636号
(P4690636)

(45) 発行日 平成23年6月1日 (2011. 6. 1)

(24) 登録日 平成23年2月25日 (2011. 2. 25)

(51) Int. Cl.

F I

HO 4 N 5/04 (2006. 01)

HO 4 N 5/04 Z

請求項の数 25 (全 27 頁)

(21) 出願番号	特願2002-524133 (P2002-524133)	(73) 特許権者	502152160
(86) (22) 出願日	平成12年12月29日 (2000. 12. 29)		アールジイビー・システムズ・インコーポ
(65) 公表番号	特表2004-508747 (P2004-508747A)		レーテッド
(43) 公表日	平成16年3月18日 (2004. 3. 18)		アメリカ合衆国・9 2 8 0 5・カリフォル
(86) 国際出願番号	PCT/US2000/035659		ニア州・アナハイム・サウス ルイス ス
(87) 国際公開番号	W02002/019311		トリート・1 2 3 0
(87) 国際公開日	平成14年3月7日 (2002. 3. 7)	(74) 代理人	100064621
審査請求日	平成19年10月19日 (2007. 10. 19)		弁理士 山川 政樹
(31) 優先権主張番号	09/648, 793	(72) 発明者	タラチ, ブライアン・リチャード
(32) 優先日	平成12年8月26日 (2000. 8. 26)		アメリカ合衆国・9 2 6 1 0・カリフォル
(33) 優先権主張国	米国 (US)		ニア州・フットヒル ランチ・ツーロン
			アヴェニュー・7 1

最終頁に続く

(54) 【発明の名称】 入力ビデオ信号と出力ビデオ信号を垂直にロックさせるための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

入力垂直同期パルスを有する入力信号を得ること、
基準周波数からピクセル・クロック周波数を生成すること、
前記ピクセル・クロック周波数から出力垂直同期パルスを決すること、
前記入力垂直同期パルスと前記出力垂直同期パルスとの間のロックを得るために前記基準周波数を生成すること
を含む信号を垂直にロックさせる方法。

【請求項 2】

前記基準周波数を生成することが、
周波数発生器から公称周波数を生成すること、
前記入力垂直同期パルスと前記出力垂直同期パルスを比較して位相誤差信号を生成すること、
前記位相誤差信号を調整することによって調節信号を生成すること、および
前記調節信号を使用して、前記周波数発生器を調節して前記基準周波数を生成することを含む請求項 1 記載の方法。

【請求項 3】

前記基準周波数がさらに基準分周値で割られる請求項 1 に記載の方法。

【請求項 4】

前記基準分周値が任意の正の整数である請求項 3 に記載の方法。

【請求項 5】

ピクセル・クロック周波数を前記生成することが、
前記基準周波数を調節済みピクセル・クロック周波数と比較して位相誤差信号を生成することであって、前記調節済みピクセル・クロック周波数が、前記ピクセル・クロック周波数を PLL 分周値で割ることによって生成されること、
前記位相誤差信号を調整することによって調節信号を生成すること、および
前記調節信号を使用して前記ピクセル・クロック周波数を調節することを含む請求項 4 に記載の方法。

【請求項 6】

前記 PLL 分周値が、
入力垂直周波数を決定すること、
所望の出力水平解像度および所望の出力垂直解像度を得ること、
前記入力垂直周波数、前記所望の出力水平解像度、前記所望の出力垂直解像度、および前記基準分周値の積を前記公称周波数で割ることによって中間分周値を生成すること、
PLL 分周値を前記中間分周値の整数部分に設定することによって導き出される請求項 5 に記載の方法。

【請求項 7】

入力垂直周波数を前記決定することが、隣接する 2 つの入力垂直同期パルス間における自走発振器のパルス数をカウントすることを含む請求項 6 に記載の方法。

【請求項 8】

ユーザが前記所望の出力水平解像度および前記所望の出力垂直解像度を提供し、前記出力水平解像度および前記出力垂直解像度が、ブランキングに必要なピクセルを有する請求項 6 に記載の方法。

【請求項 9】

出力垂直同期パルスを前記決定することが、
所望の出力水平解像度および所望の出力垂直解像度を得ること、
前記ピクセル・クロックのサイクルをカウントすることによってピクセル・カウンタを生成すること、
前記ピクセル・カウンタから出力水平同期パルスを生成すること、
前記出力水平同期パルスをカウントすることによってライン・カウンタを生成すること、
前記ライン・カウンタから前記出力垂直同期パルスを生成すること、
前記ピクセル・カウンタが所望の出力水平解像度に達したときに前記ピクセル・カウンタを再始動させること、および
前記ライン・カウンタが所望の出力垂直解像度に達したときに前記ライン・カウンタを再始動させることを含む請求項 1 に記載の方法。

【請求項 10】

ユーザが前記所望の出力水平解像度および前記所望の出力垂直解像度を提供し、前記出力水平解像度および前記出力垂直解像度が、ブランキングに必要なピクセルを含む請求項 9 に記載の方法。

【請求項 11】

出力水平同期パルスを前記生成することが、
前記ピクセル・カウンタがユーザによってプログラム可能な水平同期開始番号と等値であるときに、前記水平同期パルスをアサートすること、および
前記ピクセル・カウンタがユーザによってプログラム可能な水平同期終了番号と等値であるときに、前記水平同期パルスをリセットすることを含む請求項 9 に記載の方法。

【請求項 12】

前記出力垂直同期パルスを前記生成することが、
前記ライン・カウンタがユーザによってプログラム可能な垂直同期開始番号と等値であるときに、前記垂直同期パルスをアサートすること、および
前記ライン・カウンタがユーザによってプログラム可能な垂直同期終了番号と等値である

10

20

30

40

50

ときに、前記垂直同期パルスのリセットすることを含み、前記開始番号および前記終了番号は、前記入力垂直同期パルスと前記出力垂直パルスの間に位相のずれを生じるように調節することができる請求項 9 に記載の方法。

【請求項 13】

入力垂直同期パルスを含む入力信号と、
基準周波数からクロック・パルスを生成するためのクロック発生器と、
前記クロック・パルスから出力垂直同期パルスを生成するための出力タイミング発生器と、
前記出力タイミング発生器および前記入力信号に結合された検出器であって、前記出力垂直同期パルスと前記入力垂直同期パルスを比較するための検出器と、
前記検出器に結合され、前記入力垂直同期パルスと前記出力垂直同期パルスが同期するように前記基準周波数を調節することによって前記クロック・パルスを調節するように構成された調節器と
を備える信号を垂直にロックさせるためのシステム。

10

【請求項 14】

前記基準周波数を前記調節することが、
周波数発生器から公称周波数を生成すること、
前記入力垂直同期パルスと前記出力垂直同期パルスを比較して位相誤差信号を生成すること、
前記位相誤差信号を調整することによって調節信号を生成すること、および
前記調節信号を使用して、前記周波数発生器を調節して前記基準周波数を生成することを含む請求項 13 に記載のシステム。

20

【請求項 15】

前記基準周波数がさらに基準分周値で割られる請求項 13 に記載のシステム。

【請求項 16】

前記基準分周値が任意の正の整数である請求項 15 に記載の方法。

【請求項 17】

マイクロコントローラをさらに備え、前記マイクロコントローラが前記基準分周値を選択する請求項 16 に記載のシステム。

【請求項 18】

クロック・パルスを前記生成することが、
前記クロック発生器が前記基準周波数を調節済みクロック周波数と比較して位相誤差信号を生成することであって、前記調節済みクロック周波数が、前記クロック・パルスを PLL 分周値で割ることによって生成されること、
前記クロック発生器が前記位相誤差信号を調整することによって調節信号を生成すること、および
前記クロック発生器が前記調節信号を使用して前記クロック・パルスを調節することを含む請求項 17 に記載のシステム。

30

【請求項 19】

前記 PLL 分周値が前記マイクロコントローラによって導き出され、
入力垂直周波数を決定すること、
所望の出力水平解像度および所望の出力垂直解像度を得ること、
前記入力垂直周波数、前記所望の出力水平解像度、前記所望の出力垂直解像度、および前記基準分周値の積を前記公称周波数で割ることによって中間分周値を生成すること、
PLL 分周値を前記中間分周値の整数部分に設定することを含む請求項 18 に記載のシステム。

40

【請求項 20】

入力垂直周波数を前記決定することが、隣接する 2 つの入力垂直同期パルス間における自走発振器のパルス数をカウントすること、および前記自走発振器の周波数で逡倍することを含む請求項 19 に記載のシステム。

50

【請求項 2 1】

ユーザが前記所望の出力水平解像度および前記所望の出力垂直解像度を提供し、前記出力水平解像度および前記出力垂直解像度が、ブランキングに必要なピクセルを有する請求項 1 9 に記載のシステム。

【請求項 2 2】

前記マイクロコントローラが出力垂直同期パルスの前記生成を行い、前記生成が、所望の出力水平解像度および所望の出力垂直解像度を得ること、
前記クロック・パルスのサイクルをカウントすることによってピクセル・カウンタを生成すること、

前記ピクセル・カウンタから出力水平同期パルスを生成すること、

10

前記出力水平同期パルスをカウントすることによってライン・カウンタを生成すること、

前記ライン・カウンタから前記出力垂直同期パルスを生成すること、

前記ピクセル・カウンタが所望の出力水平解像度に達したときに前記ピクセル・カウンタを再始動させること、および

前記ライン・カウンタが所望の出力垂直解像度に達したときに前記ライン・カウンタを再始動させることを含む請求項 1 7 に記載のシステム。

【請求項 2 3】

ユーザが前記所望の出力水平解像度および前記所望の出力垂直解像度を提供し、前記出力水平解像度および前記出力垂直解像度が、ブランキングに必要なピクセルを含む請求項 2 2 に記載のシステム。

20

【請求項 2 4】

出力水平同期パルスを前記生成することが、

前記ピクセル・カウンタがユーザによってプログラム可能な水平同期開始番号と等値であるときに、前記水平同期パルスをアサートすること、および

前記ピクセル・カウンタがユーザによってプログラム可能な水平同期終了番号と等値であるときに、前記水平同期パルスをリセットすることを含む請求項 2 2 に記載のシステム。

【請求項 2 5】

前記出力垂直同期パルスを前記生成することが、

前記ライン・カウンタがユーザによってプログラム可能な垂直同期開始番号と等値であるときに、前記垂直同期パルスをアサートすること、および

30

前記ライン・カウンタがユーザによってプログラム可能な垂直同期終了番号と等値であるときに、前記垂直同期パルスをリセットすることを含み、前記開始番号および前記終了番号は、前記入力垂直同期パルスと前記出力垂直パルスの間に位相のずれを生じるように調節することができる請求項 2 2 に記載のシステム。

【発明の詳細な説明】

【0001】

(発明の背景)

1. 発明の分野

本発明は、アナログおよびデジタルの信号処理の分野に関し、より詳細には、出力周波数が入力周波数と異なる場合に切換、スキャン・コンバージョン、スケーリング、および処理を行うための回路およびシステムに関する。

40

【0002】

2. 背景技術

スイッチャは入力源を出力装置またはシステムに接続する手段である。通常、スイッチャは、ユーザが複数の入力信号源または接続タイプの中から選択したのから引き出された出力を提供できるようにする。さらに、様々なタイプのスイッチャが、様々なコンポーネント、機能、オプション、および付属品を有する。

【0003】

2. 1 グラフィックス環境

デジタル表示技術において、グラフィックス・スイッチャ(GS)は、複数のアナログ

50

およびデジタル入力信号を選択して、プレゼンテーション表示装置など選択された様々な出力装置に送ることができるようにするデバイスである。図1に、本発明の一実施形態による、グラフィックス・スイッチャで接続された様々なデジタル表示技術を表す典型的なグラフィックス環境を示す。

【0004】

グラフィックス・スイッチャ100により、ビデオ・カメラ102、VCR104、DVD106、TVビデオ、オーディオ/ビデオ・システム、およびコンピュータ110、112、114などの入力から引き出されたソース信号を選択して、プレゼンテーション表示装置120上で1つずつ視聴することができる。例えば、別々のプレゼンテーションを有する2つのコンピュータ入力110および114から表示しようとするときは、グラフィックス・スイッチャ100が両方のコンピュータを表示デバイスに物理的に接続して、表示デバイス120上に表示するために2つのコンピュータからの入力を選択させる。グラフィックス・スイッチャを使用する他の例は、表示デバイスのモニタ上またはシステム上のいくつかの領域を表示するためにビデオ・カメラ入力間で切換えを行う産業上の状況またはセキュリティ上の用途で、特別なグラフィックスおよびムービー効果を生み出すものである。

10

【0005】

グラフィックス・スイッチャへの代表的な入力には、コンピュータ、TVビデオ、複合ビデオ、赤緑青(RGB)ビデオ、Sビデオ、D-1(デジタル)ビデオ、コンピュータ入力(例えばVGA、SVGA、およびMacビデオ・フォーマット)、ビデオ・カメラ、VCR、および適切なら他の様々なオーディオ/ビデオ入力が含まれる。さらに、入力は様々な物理的位置から発生する場合がある。例えば、より大きな画面の表示装置上にプレゼンテーションを形成するために、スイッチを使用して、ある部屋の一端にあるコンピュータと、別の部屋にあるコンピュータと、パフォーマンスのビデオを撮るビデオ・カメラと、ビデオ会議システムから受け取る入力の間で選択を行うことができる。

20

【0006】

同様に、スイッチャは、様々なソースまたはプレゼンテーション・フォーマットへの出力を提供する。出力の例には、LCDパネル(高解像度LCDプロジェクタを含む)、DLP表示装置(高解像度DLPプロジェクタを含む)、高解像度プラズマ表示装置、TV表示装置、CRT表示デバイス122および124(例えばVGA、SVGA、およびMacビデオ・フォーマット)、オーディオ・ステレオ・システム、および適切なら他の様々なオーディオ/ビデオ出力が含まれる。例えば、ビジネス・プレゼンテーションに使用されるデジタル・プロジェクタは、デジタル処理された要素をLCDパネル、DLPパネル、デジタル光処理デバイス、およびその他様々なものに供給する。

30

【0007】

TV信号は、設定された数の水平ラインを有する。PALおよびSECAMでは625本であり、NTSCでは525本である。ただし、これらのラインのすべてが見えるわけではない。実際には、TVビューアでは、PALおよびSECAMの場合576本、NTSCの場合483本のラインしか見えない。残りはブランキング・ラインと呼ばれ、ピクチャ情報を含まず、画面の上下に隠れる。

40

【0008】

対照的に、コンピュータ表示装置上の水平ラインの数は、480本以下の可視水平ラインの低解像度から1280本以上のラインの非常に高い解像度まで、劇的に変動する可能性がある。多くのコンピュータは、異なるいくつかの表示解像度間でユーザが選択することができるビデオ・カードを備える。

【0009】

表示解像度が高くなるにつれて、小さな細部およびテキストがくっきりと鮮明になる。例えば、768本の水平ラインからなるコンピュータ画面は、480本のラインだけからなるコンピュータ・ピクチャまたは576本のラインからなるTVピクチャよりも多くの細部を含んで表示することができる。TVビデオ・ピクチャ中の水平ラインが相対的に少数

50

であることは、ごく小さなテキストまたはその他の複雑な視覚的詳細を表示する能力を制限する。

【 0 0 1 0 】

T Vビデオは、N T S C、P A L、またはS E C A M規格のいずれかによって規定されるが、この規格は、ピクチャ中のライン数、どのように色情報が決められているか、およびラインが画面上の上から下まで色付けされる速度（リフレッシュ・レート）を指定するものである。しかし、P A L、N T S C、およびS E C A Mにおいては、実際はこれらの規格を満たす信号フォーマットがいくつかある。最も一般的に使用されるフォーマットは複合ビデオである。複合ビデオでは、すべてのビデオ情報（例えば赤、緑、青（R G B）および同期に関する情報）が、すべて単一の信号に結合される。Sビデオは、優れたピクチャ品質を提供するものであり、クロミナンス（色）を輝度および同期の情報と分離する。P A LおよびN T S Cの他の変形には、1 5 k H zのR G B、コンポーネント・ビデオ、およびD - 1（デジタル）ビデオが含まれる。

10

【 0 0 1 1 】

これらのフォーマットはすべて、ビデオ情報を信号に結合する方式が異なるが、いくつかの共通点もある。これらはすべてインタレース方式であり、5 7 6本（P A LおよびS E C A M）または4 8 3本（N T S C）の可視ラインを有し、変動のない確定したリフレッシュ・レートを有する。P A Lの場合は、単一の「フレーム」を形成する2つのインタレース・フィールドが毎秒2 5回（2 5 H zのレート）で画面上に色付けされ、N T S Cの場合は、これが毎秒3 0回行われる（3 0 H z）。

20

【 0 0 1 2 】

T Vビデオとは異なり、すべてのコンピュータ・ビデオ信号が従わなければならない単一の規格はない。先に論じたように、一般的に使用されている表示解像度の範囲は幅広い。リフレッシュ・レートには等しい広さの範囲があり、大部分は6 0 H zと8 5 H zの間にくる。また、すべてのコンピュータ表示装置はノンインタレース方式だが、いくつかのビデオ表示カードはインタレース方式の表示オプションも提供する。しかし、コンピュータ・ビデオ信号がすべて共有するのは、クロミナンスおよび輝度の情報をモニタに対して記述する方式である。V G A、S V G A、およびM a cビデオ・フォーマットはすべて、赤、緑、青の情報を別々の信号として送る。ただし、同期情報を色情報と結合する方式には、コンピュータ間でいくらかの違いがある。赤、緑、青を相互に別々にしておくことにより、コンピュータ・モニタは、幅広い色を最小限のひずみで表示することができる。

30

【 0 0 1 3 】

2 . 2 スイッチャのタイプ

このように様々なアナログおよびデジタル入出力をサポートするために、多数のタイプおよび「系統」のスイッチャが開発されてきた。例えば、オーディオ/ビデオ（A / V）スイッチャや、V G A、M a c、R G Bスイッチャや、システム・スイッチャや、マトリックス・スイッチャがある。さらに、混合した入力を出力に切り換えることに関連する多数の信号特性は、いくつかの切換えオプションおよび付属品をもたらした。

【 0 0 1 4 】

例えば、ある系統のA / Vスイッチャは、N T S C / P A L / S E C A MのコンポジットおよびSビデオ・タイプのビデオ・ソース、ならびに選択可能な6つの入力のうち2つのステレオ・オーディオ・チャンネルを受け入れることができる。この場合、この系統の各モデルは、それが受け入れるビデオ・オーディオ・フォーマットのタイプまたは組合せによって区別される。

40

【 0 0 1 5 】

別の系統のスイッチャ、V G A、M a c、およびR G Bスイッチャは、単純なルーティング用途に使用される。この系統のモデルは、V G AやM a cなど特定の1つのコンピュータ・タイプだけの信号を切り換えるのに専用とすることができる。あるいは、別のモデルは、V G AとM a cの両方のビデオ信号を受け入れることによってより多くの入力フレキシビリティを提供することができる。

50

【 0 0 1 6 】

より複雑なスイッチャ・タイプであるシステム・スイッチャは、あらゆるタイプのデジタル制御プロジェクタに適合することができ、ほぼすべてのソース信号を受け入れることができる。したがってシステム・スイッチャは、コンピュータ、A/Vコンポーネント、オーディオ・ソースの間で容易に切り換えることができる。さらに、システム・スイッチャは、付属品によってプロジェクタと通信することができ、スイッチャがプロジェクタと同じ種類であるかのようにプロジェクタに認識させることができる。

【 0 0 1 7 】

特殊なタイプのスイッチャであるマトリックス・スイッチャは、複数の入力を複数の出力にルーティングする。例えば、入力 # 1 (例えばカメラ 1 0 2) を、出力 # 1 (例えばプレビュー・モニタ 1 2 4) または出力 # 2 (例えばプログラム・モニタ 1 2 2) にルーティングすることができ、入力 # 2 (例えば P C コンピュータ 1 1 0) を、出力 # 3 (例えばプログラム・モニタ 1 2 2) および # 4 (例えばデジタル表示装置 1 2 0) にルーティングすることができ、その他、任意の組合せが可能である。したがって、マトリックス・グラフィックス・スイッチャでは、ほとんどのビデオおよび R G B フォーマットの複数の入力および出力を切り換えることができる。マトリックス・スイッチャは、プレゼンテーション、データ表示、娯楽などの用途で一般的に使用されている。これらの用途は、複数の入力ソース (コンピュータ、カメラ、D V D プレーヤなど) を複数の出力宛先 (モニタ、プロジェクタ、ビデオ会議 C O D E C) に切り換えることを必要とする。自動切替用の付属品を追加することにより、このようなスイッチャは、入力信号タイプの変更が検出されたときに様々なタイプの入力および/または出力の間で自動的に切り換えることができる。したがってスイッチャは、スイッチャのタイプおよび必要性に応じて様々な信号変換機能および処理機能を有する場合がある。例えば、グラフィックス・スイッチャは、それらの所望の性能に対する必要性に応じて、スキャン・コンバージョン、スケーリング、フィルタリング、およびその他の機能が混合したものを実装する。

【 0 0 1 8 】

例えば画像サイズが表示デバイスに合わないときに、スケーラが画像の形状を変更せずにそのサイズを変更する。したがって、スケーラの主な利点は、表示デバイスの能力に合致するようにその出力レートを変更することである。これは、デジタル表示デバイスの場合に特に有利である。というのは、デジタル表示デバイスは画像を固定マトリックス上に生み出すからであり、また、デジタル表示デバイスが最適な光出力を提供するためにはマトリックス全体を使用すべきだからである。図 2 に、本発明の一実施形態による、画像を表示するためのピクセル・マトリックスを表すデジタル表示デバイスを示す。スケーラの目的は、入力画像を表示デバイス 2 0 6 のピクセル・マトリックス 2 0 4 すなわち表示「スイート・スポット」に合致する出力画像 2 0 2 にスケーリングできるように、出力フレキシビリティを有することである。

【 0 0 1 9 】

スケーラは、水平と垂直の両方に出力をスケーリングすることができるので、画像の「アスペクト比」を変更することができる。アスペクト比は、矩形の水平寸法と垂直寸法との関係である。したがってスケーラは、グラフィックス・スイッチの一部として含まれるとき、様々なビデオ入力に対して水平および垂直のサイズと位置決めを調節することができる。例えば、画面を視聴する際、標準的な T V のアスペクト比は 4 : 3 または 1 . 3 3 : 1 であり、H D T V は 1 6 : 9 または 1 . 7 8 : 1 である。「: 1」は示さないこともあり、その場合 T V = 1 . 3 3 および H D T V = 1 . 7 8 とされる。したがって、N T S C、P A L、または S E C A M の入力と、H D T V タイプの表示装置とを伴うシステムでは、スケーラは標準的な N T S C ビデオ信号を取り入れ、それを、H D T V 表示領域に正確に合わせるために必要な様々な解像度 (例えば 4 8 0 p、7 2 0 p、1 0 8 0 p) で 1 6 × 9 の H D T V 出力にコンバートすることができる。

【 0 0 2 0 】

スケーリングは、しばしば「縮小」または「拡大」と言われる。「縮小」の例は、複数の

10

20

30

40

50

ピクチャを一度に表示できるように（例えばピクチャ・イン・ピクチャすなわち「PIP」として）、 640×480 解像度のTV画像をより小さいピクチャとして同じ画面上に表示するためにスケーリングするときである。元の画像を解像度 320×240 （すなわち元のサイズの4分の1）に縮小することにより、4つの入力TV解像度ピクチャを同じ出力TV画面上に同時に表示することができる。「拡大」の例は、より低い解像度の画像（例えば $800 \times 600 = 480000$ ピクセル）をより高い解像度（ $1024 \times 768 = 786432$ ピクセル）のデバイス上に表示するためにスケーリングするときである。ピクセルの数は2つの解像度の数字の積であることに留意されたい（すなわち、ピクセル数 = 水平解像度 $\times$ 垂直解像度）。したがって、拡大するときは、何らかの方法でピクセルを生み出さなければならない。多くの様々な画像スケーリング方法があり、そのいくつかは他よりもよい結果を生む。

10

【0021】

スキャン・コンバータは、ソース・ビデオ信号のスキャン・レートを表示デバイスの必要に合うように変更するデバイスである。例えば、「ビデオ・コンバータ」または「TVコンバータ+」は、コンピュータ・ビデオをNTSC(TV)に変換、またはNTSCをコンピュータ・ビデオにコンバートする。この概念は単純に見えるが、コンピュータ信号とテレビジョン信号は大きく異なるので、スキャン・コンバータは複雑な技術を用いて信号変換を達成する。この結果、特定の水平および垂直周波数リフレッシュ・レートまたは解像度を有するビデオ信号を、別の解像度または水平および垂直周波数リフレッシュ・レートに変換しなければならない。例えば、 15 KHz のNTSC規格TVビデオ入力（例えば 640×480 ）をスキャン・コンバージョンまたは「スケーリング」して、コンピュータ・モニタまたは大画面プロジェクタ用の 1024×768 ラインの解像度として出力を得るには、多くの信号処理が必要である。というのは、モニタまたはプロジェクタの機能または出力解像度の増大を実現するために、入力解像度を向上させるか追加しなければならないからである。出力へのピクセルを向上させるか追加することは、読み込まれているビデオ・フレームよりも多くのビデオ・フレームを読み出すことを含むので、多くのスキャン・コンバータは、入ってきた各入力フレームを記憶するためのフレーム・バッファまたはフレーム・メモリを使用する。入ってきたフレームを記憶すると、これらは、より多くのフレームおよび/またはピクセルを追加するために繰り返し読み出すことができる。

20

30

【0022】

同様に、スキャン・ダブラ（「ライン・ダブラ」とも呼ばれる）は、複合インタレース方式ビデオをノンインタレース方式コンポーネント・ビデオに変更し、それにより輝度およびピクチャ品質を高めるのに使用されるデバイスである。スキャン・ダブリングは、スキャン・ラインの数を2倍にしてblank・スペースを埋めることによって、スキャン・ラインをより見えにくくするプロセスである。これは「ライン・ダブリング」とも呼ばれる。例えば、スキャン・ダブラを使用して、インタレース方式TV信号をノンインタレース方式コンピュータ・ビデオ信号にコンバートすることができる。したがって、TVビデオを新しいTFTRフラット・パネル画面上に表示するには、ライン・ダブラまたはクアドラブラが不可欠である。

40

【0023】

2.3 グラフィックス・スイッチャに伴う問題

グラフィックス・スイッチャが、異なるリフレッシュ・レート周波数または解像度の入力信号間で切り換えるときは、スイッチャと表示装置のいずれかが新しい垂直リフレッシュ・レートおよび水平リフレッシュ・レートにロックする必要がある。その結果、入力信号が切り換えられて新しい周波数の信号が出力表示デバイスに送られたとき、表示装置は、新しい入力を表示できるように新しい周波数を再獲得してそれにロックアップしなければならない。表示装置が新しい入力信号周波数を再獲得するのにかかる時間中に、出力はドリフトし、それによりピクチャ・スクランプリングおよび/またはノイズを招き、出力表示に「ジッタ」を生じる。

50

【 0 0 2 4 】

したがって、グラフィックス・スイッチャが安定した出力を提供するためには、出力レートおよび解像度を安定させたまま維持しながら、複数のアナログとデジタルの入力フォーマットの間や解像度どうしを切り換えることができないからではない。このようなスイッチの設計法の一つは、信号処理を用いることである。

【 0 0 2 5 】

2 . 4 シームレス・グラフィックス・スイッチャ

切換え中にこのような安定した出力を提供するスイッチャは、一般にシームレス・グラフィックス・スイッチャ (S G S) と呼ばれる。語句「シームレス」は、同期しない入力間で切り換えることによって生じるノイズおよびジッタを除去する、障害のない「カット」がもたらされることに由来する。信号処理を用いることにより、入力は表示装置に送られる前に1つの周波数にスキャン・コンバートされるので、入力が複数のアナログおよびデジタル・フォーマット間で切り換えられる間、出力は S G S 中で安定した状態に保たれる。信号プロセッサが新しい入力レートへの「ロック」を行っているので、表示装置は常に同じ解像度であり、同じ一定の同期を有する。したがって、表示装置は1つの周波数だけを受け取るので、信号を再獲得する必要はなく、そのため入力切換えに関するジッタを生み出すことはない。したがって、スキャン・コンバージョン信号処理により、ユーザは、入力切換えからくるジッタを出力において引き起こすことなく入力間で切り換えることができる。

【 0 0 2 6 】

入力を1つの周波数にスキャン・コンバートするために、 S G S は、メモリ・バッファに入力を書込み、メモリ・バッファから出力を読み取る。入ってきたフレームを記憶した後は、これらを繰り返し処理し、かつ/または読み出して、より多くのフレームまたはピクセルを追加することができる。したがって、メモリ・バッファを使用することにより、 S G S はスケーリングも (前述のように) 行うことができる。実際、シームレス切換えは普通、スケーリングを含み、シームレス・スイッチャは普通、2つのスケーラおよび1つのマトリックス・スイッチャで構成される。

【 0 0 2 7 】

例えば図1を参照すると、従来の S G S 製品 1 0 0 は、異なる8つの入力信号 1 3 0 を処理することができ、信号を処理するためのルーティング機能および制御機能を備え、画像を選択された出力解像度にスケーリングし同期させる (「 s y n c 」) 。したがって、オペレータがこの8つの入力を選択可能な固定出力レートにシームレスに切り換える間、 S G S は、様々なスキャン・レートの R G B またはコンポーネント・ビデオ信号を受け入れる。

【 0 0 2 8 】

したがって、従来の S G S は、高周波コンピュータ・ビデオ 1 1 0 、 1 1 2 、 1 1 4 およびカメラ 1 0 2 からの標準周波数ビデオを高周波および高コンピュータ解像度の出力 1 2 0 、 1 2 2 、 1 2 4 にシームレスに切り換えなければならないステージング・イベントに使用することができる。従来の S G S は、 5 6 0 × 3 8 4 から 1 6 0 0 × 1 2 0 0 までの解像度、および 1 5 k H z から 1 0 0 k H z までのスキャン・レートの、インタレース方式とノンインタレース方式の両方のビデオ・フォーマットを受け入れることができ、異なる2つの出力信号を提供する。第1の出力は、視聴者が見るための「番組」出力である。第2の出力は、切換えオペレータがローカル・モニタ上で「切換え後」のソースを見るための「プレビュー」出力である。したがって、切換えオペレータはシームレスに、「プレビュー」を「番組」出力に切り換えることができ、あるいは物理的な切換えを行ったときに使用するデジタル移行効果を選択することができる。

【 0 0 2 9 】

画質を最適化し、かつ最大限の画像輝度および詳細を維持するためには、すべての入力を「スイート・スポット」すなわちデジタル表示装置の本来の解像度に合致する解像度にスケーリングする必要がある。高度なデジタル・ビデオ・スケーリング技術では、例示

的なSGSは、RGB入力を一般的な18通りのコンピュータ・ビデオ、HDTV、またはプラズマの解像度にスケーリングすることができる。コンピュータ・ビデオ出力レートの場合、スケーリングされたこれらの出力解像度は、 640×480 、 800×600 、 832×624 、 1024×768 、 1280×1024 、および 1360×1024 である。プラズマ表示装置の場合は、出力解像度は 848×480 、 852×480 、 1280×768 、および 1360×765 である。SGSはまた、HDTVの480p、720p、1080i、および1080pの出力レートも提供する。

【0030】

2.5 シームレス・グラフィック・スイッチャに伴う問題

しかしながら、SGSはグラフィックス・スイッチャの新しい入力の「ジッタ」問題を解決するものの、ある水平および垂直周波数リフレッシュ・レートの入力ビデオ信号を別の水平および垂直リフレッシュ・レートの出力にコンバートするためにフレーム・バッファまたはメモリを使用するSGSには、本来的な問題がある。SGSは、各入力フレームが入ってくるのに伴ってフレーム全体をメモリ中のボックスに内的に記憶し、それにより、繰り返しそのフレームを信号処理するか読み出すことができる。

10

【0031】

しかし、メモリ・バッファからの出力垂直読取りレートがメモリへの入力垂直書込みレートの整数倍でない場合、出力フレーム中の情報は、いずれかの時点で異なる2つの入力フレームを含むことになる。その結果、出力表示装置の一部は一方の入力フレームからの画像を表示し、出力表示装置の残りの部分は第2の入力フレームからの画像を表示する。入力画像中に動きがある場合、2つの入力フレーム中の要素は異なることになり、したがって出力フレームは、一方の画像の一部（例えば「前」画像の一部）と、遅い方の画像の一部（例えば「後」画像の一部）を表示する。さらに、2つの画像間の境界では、出力に「裂け目」が現れる。図3に、本発明の一実施形態による「裂け目」のあるデジタル表示出力画像を示す。

20

【0032】

したがって例えば、右から左に水平に動いているボールの入力300では、出力フレームの上部は第2の入力フレームからの画像302を表示し、出力フレームの下部は第1の入力フレームからの画像304を表示することになり、出力フレームの2つの部分が合わさるところで画像中に裂け目306が生じる。上部は時間的に後からの画像であって物体は右から左に動くので、出力の上部にある画像は、出力の下部にある画像よりも左にずれている。出力画像中には、読取りポイントと書込みポイントが交差する点310で水平ピクセルのずれもあることに留意されたい。

30

【0033】

したがって現在のSGSは、入力画像が「パンニング」を含むとき、特定の問題を有する。例えば、カメラがステージ上を巡って人物にしたがってその人物を追跡している場合のオンステージ・イベント中は、多くのカメラ・パンニングが必要である。この場合、様々な入力周波数がSGSに入り様々なスキャン・コンバート・レートがSGSから出て行くので、スキャン・コンバーティング・プロセスの間、メモリ・バッファへの書込みとメモリ・バッファからの読取りに対する異なる2つのリフレッシュ・レートがある。その結果、垂直読取りレートと書込みレートは同期してロックされない。

40

【0034】

出力の裂け目を生み出すものを別の形で述べるが、表示される各出力フレームはメモリから読み取られるので、フレームが異なるレートでメモリに書き込まれメモリから読み取られているときは、書込みポイントと読取りポイントが異なるレートでメモリ中を移動している。したがって、読取りポイントと書込みポイントは最終的に交差することになり、これらが交差したとき、読取りポイントは、書込みポイントのすぐ後ろの新しい入力フレーム情報から、書込みポイントが上書きしようとしていた古い入力フレーム情報に行くことになる。次いで、新しい入力フレーム情報と古い入力フレーム情報とは現在の出力フレーム中に結合されるが、入力中に動き（例えば横方向のパンニング）がある場合、出力は、

50

読取りポイントが新しい方の入力フレームと古い方の入力フレームとの間の境界を横切ったところに裂け目を含むことになる。

【 0 0 3 5 】

入ってくる垂直フレーム・リフレッシュ・レートと出ていく垂直リフレッシュ・レートとが交差するとき、すなわち「垂直同期」が交差するとき、裂け目が形成される。入力フレーム・メモリに書き込まれているときにこれらが交差したとき、メモリ中の2つのポイントは実際に交差し、その結果、古い入力フレーム情報と新しい入力フレーム情報を有する単一の出力フレームが表示される。

【 0 0 3 6 】

出力フレームの垂直周波数レートが通常 60 Hz であり、入力ソースの垂直周波数がすべて通常 50 Hz である欧州では、SGS デバイスの出力に生み出される裂け目はより大きな問題であることに留意されたい。したがって、2つの垂直リフレッシュ・レート間に 10 Hz のデルタがあるので、欧州の SGS 適用例は、1秒間に 10回までの裂け目に遭遇する可能性がある。

【 0 0 3 7 】

図4は、出力垂直同期パルスが入力垂直同期パルスとロックされないときの結果を表そうとした(すなわち実際の現象は動画または一連のフレーム中でしか捉えることができないので)、入力と出力の垂直同期パルスの波形図である。図4を参照すると、上のトレースは入力信号 402 の垂直同期を示す。下のトレースは出力信号 404 の垂直同期を示す。同期パルスを、出力垂直同期についてはポイント 406 に示し、入力垂直同期についてはポイント 408 に示す。実際は、ロックがないときは出力と入力の垂直同期パルスは異なる周波数を有し、したがって、オシロスコープ上で共に見ると同期パルス間には相対的な動きがある。

【 0 0 3 8 】

2.6 試みられてきた解決法

SGS 出力の裂け目を解決するためのオプションの一つは、入力信号の水平レートおよび垂直レートをとって、それらを出力時に正確に複製し、それによりフレーム・レートが同じになり水平同期と垂直同期が同じになるようにすることである。この解決法の問題は、入力と出力のピクセル・カウントがぴったり等しいので、スケーリングまたはスキャン・コンバージョンができないことである。

【 0 0 3 9 】

例えば、入力レートが 15 KHz ビデオしかない場合、出力水平レートおよび垂直レートが入力にロックされると、スイッチは 15 KHz の出力しか提供することができない。したがって、15 KHz のインタレース方式の出力は大画面プロジェクタに対して十分なピクセルを形成しないので、高解像度の出力ビデオは不可能である。

【 0 0 4 0 】

入力に動きがある間の SGS 出力フレーム中の裂け目を解決するための他の試みは、位相ロック・ループ (PLL) を使用して、出力垂直同期パルスと入力垂直同期パルスの同期を達成することである。しかし、以前に実施されたこの方法は失敗しており、垂直フレーム・レートは同期がとられず、出力中の裂け目を招く。いくつかの数の出力フレームの後、出力読取りポイントは入力書き込みポイントを越えることになり、これが起きたとき、この出力フレームはやはり2つの入力画像の各部分を含み、間に「裂け目」が生じることになる。

【 0 0 4 1 】

SGS 出力の裂け目を解決するための別の試みは、フレーム・メモリを追加して入力フレームをいわば二重バッファリングし、したがって連続する入力画像を含む2つの入力フレーム・バッファがあるようにすることである。この場合、垂直ポイントが交差したときは常に、2つの入力画像を有する出力フレームは除去するか、次の単一画像フレームで置換することができる。したがって、所与の瞬間に、2つのバッファの一方は1つの入力フレームからの情報だけを有する。次いでポイントが交差したときは、1つの入力フレームの

みからの情報を有するいずれかのバッファが出力される。この正味効果は、S G S が実際にフレームをドロップするか、単一のフレームを二重表示することである。問題は、出力フレームが除去または置換されるときに画像のタイミングが混乱すること、および、画像情報が欠けているために、パンニング中などにおける直線的な動きは突然フレームに対してヘジテイトするか、フレームに対して前にジャンプするように見えることである。

【 0 0 4 2 】

例えば、動きはもはやスムーズではない。その代わり、ジャンプおよびヘジテイトを含む。したがって動きは、停止し、繰り返す、次いでジャンプまたはスキップするか、あるいは、停止し、次いで大きくジャンプし、次いで停止し、次いでもう一度大きくジャンプするように見えることがある。一定の速度で動いている、画面上のどんな方向のどんなパンニングまたは動きもジャンプすることになる。動いている物体は、跳ねるように、またはどもっているように見える。あるいは、一瞬停止した後で継続するように見える。大画面プロジェクタ上では、画像は「しゃっくり」を有し、画像に異常があるように見える。

10

【 0 0 4 3 】

したがって、ユーザが高速でS G S 出力を記録しようとしており、S G S が裂け目を回避するためにフレームをドロップしている場合、記録はどもりだらけになる。また、ブロードキャスト中または高精細度表示中にフレームがドロップされた場合、出力は未熟かつずさんに見える。加えて、この方法は、出力画像に関して述べたのと並行して不定の出力オーディオ遅延およびスキッピングも引き起こす。

20

【 0 0 4 4 】

S G S 出力の裂け目を解決するための別の試みは、垂直ポイントが交差するときは常に、2つの入力画像を有する出力フレームを何らかの形で「取り繕う」ための信号処理を行うことができるように、出力を遅延させることである。しかし遅延させても、裂け目を有する出力フレームは依然として存在し、やはりフレームまたはその一部をドロップするか追加しなければならない。したがって、出力フレームまたはその一部が除去されるか置換されるときに画像のタイミングが混乱し、直線的な動きは突然ヘジテイトするか前にジャンプするように見えることになる。

【 0 0 4 5 】

S G S に遅延を加えることに伴う追加の問題は、フレーム遅延またはメモリに記録することによる遅延を有する信号処理ステップのせいで、ビデオがしばしばシステム中のいくつかのポイントで遅延することである。例えば大きなステージング・イベントでは、遅延が累積し始め、実際、システムから提供される音に話者または歌手の唇が同期しない程度まで累積する可能性がある。一般に、システム全体は、オーディオとビデオとの遅延が1フレームまでならやっていくことができるが、1フレームを超える場合は、また状況によっては、オーディオと出力画像の唇との同期のタイミング差が認識される。

30

【 0 0 4 6 】

したがって、出力レートにおける異なる水平周波数を可能にし、かつ入力切替え中に一定のシームレスな出力周波数および解像度を維持しながら、出力垂直フレーム同期パルスを入力垂直フレーム同期パルスにロックさせることのできるシステムを提供することが望ましい。例えば、望ましいS G S は、読取りポイントと書込みポイントがメモリ中で交差せず、異なる2つの入力フレームで形成される出力フレームを生成しないS G S である。

40

【 0 0 4 7 】

また、出力と入力の垂直同期パルスがロックされ、メモリ中の出力垂直フレーム読取りポイントの位置を入力垂直フレーム書込みポイントの位置と比較して調整することのできるシステムを提供することも望ましい。例えば、望ましいS G S では、出力読取りポイントを入力垂直ポイントに対してどんな場所に配置することもでき、したがって例えば、フレーム・レート遅延を調節することができる（例えば半フレーム）。したがって、S G S に関するフレーム・レート遅延は、望むなら、1つまたは複数の一定かつ予測可能な値に設定すること、調節すること、または変更されるようにプログラムすることができる。

【 0 0 4 8 】

50

また、ビデオ遅延を特定の値にロックさせることで、オーディオをビデオに同期させるための予測可能かつ一定の遅延が提供されることから、このようなSGSは望ましい。したがって、このようなSGSは、正確かつ予測可能かつより厳密なビデオとオーディオの同期を可能にする。

【0049】

さらに、出力フレーム・レート遅延を0に近くなるように調節できるように、メモリ中で入力垂直フレーム書込みポインタの位置と比較して調節可能な出力垂直フレーム読取りポインタ位置を有するシステムを提供することも望ましい。例えば、望ましいSGSは、入力と比較した出力垂直フレーム遅延ができるだけ低減されるようにすることができ、それでもなおSGSが機能できるようにする。

10

【0050】

したがって、SGSはラインが入ってきたときにそれら进行处理および出力しない限り0の遅延を有することはできないものの、入力と出力のフレーム・レートが共にロックされて、読取りポインタと書込みポインタが相互と比較して調節可能な場合、SGSは0に近い遅延を有することができる。この場合、遅延を生じるいくつかの処理および記録ステップをビデオが受ける大規模なステージング・イベントで、遅延の集積を最小限に抑えることができる。その結果、フレーム遅延が非常に低い大規模なオンステージ・イベント・システムは、遅延したビデオにオーディオが整列するためのオーディオ遅延を必要としない。このようなSGSはまた、ビデオ遅延を最小限に抑えることができ、それによりオーディオ・オフセットを最小限に抑えることができ、あるいは必要ならオーディオ/ビデオ出力同期のためのオーディオ中の遅延を必要最小限に抑えることができることから、望ましい。

20

【0051】

(発明の概要)

本発明は、入力と出力のビデオ・フレーム・レートを垂直にロックさせるための方法および装置を記述する。本発明の1つまたは複数の実施形態では、入力フォーマットおよび周波数にかかわらず、出力垂直同期が入力垂直同期と同相でロックされる。出力解像度、水平リフレッシュ・レート、および遅延はユーザによって選択可能であり、それによりユーザは、任意のソースから、ユーザの望む選択に従ってビデオを視聴することができる。入力と出力のフレーム・レートを垂直にロックさせることにより、異なる入力フレームからのピクセルが1つの入力フレーム上に重ならないことが確実になる。

30

【0052】

一実施態様では、2つの位相ロック・ループを直列に接続する。第1の位相ロック・ループは、ユーザの表示選択を満たすのに必要な出力ピクセル・クロックを生成する。第1の位相ロック・ループは、フレームのロックに必要な望ましい出力ピクセル・クロックを正確に生成しない場合がある。というのは、現在の位相ロック・ループは整数の分周値を必要とし、望ましい分周値は整数でない値に計算される場合があるからである。したがって、分周値の整数でない部分すなわち端数部分が失われる。しかし、第2の位相ロック・ループを使用して、分周値の端数部分の不足を補償する。第2の位相ロック・ループは、有限の調節機能を有する電圧制御水晶発振器または等価なデバイスを使用して、第1の位相ロック・ループに対する基準周波数を生成する。したがって、1つまたは複数の実施態様では、ロックが達成されるまで基準周波数は有限に調節可能である。

40

【0053】

1つまたは複数の実施態様では、出力タイミング発生器が、水平および垂直の同期パルスを生成する。出力垂直同期パルスは、入力垂直同期パルスと位相ロックされる。自走発振器が、入ってきたビデオの周波数を測定し、その出力をマイクロコントローラに送る。マイクロコントローラは、ユーザによって選択された出力選択に基づいて、第1の位相ロック・ループ中で必要な分周値を計算する。ユーザは、出力タイミング発生器を介して、垂直入力と出力のビデオ・フレーム間の遅延を調整することもできる。

【0054】

50

(発明の詳細な説明)

本発明は、異なるビデオ・ソースからの入力信号と出力信号を垂直にロックさせるための方法および装置を含む。以下の記述では、本発明の実施形態に関するより完全な記述を提供するために、多くの具体的な詳細について述べる。ただし、これらの具体的な詳細なしで本発明を実施することもできることは、当業者には明らかになるであろう。その他の場合では、本発明を不明瞭にしないために、周知の特徴については詳細に記述していない。

【 0 0 5 5 】

本発明の 1 つまたは複数の実施形態では、本明細書に述べる装置および方法は、入力と出力のビデオ・フレーム・レート（すなわち周波数）をユーザ指定の出力解像度でロックさせる能力を提供する。典型的な適用例では、複数のソースからのビデオが、異なるフレーム・レートおよび解像度で到着する。これらの入力ビデオ信号は、出力ビデオ要件に合致するようにスケーリングされ、その後、高レートで表示デバイスに出力される。この望むところは、入力ビデオ・ソースの解像度とタイミングの両方が様々でありながら、出力解像度をユーザによって事前設定された値で一定に保つことができることである。

【 0 0 5 6 】

入力ビデオ信号を所望の出力解像度に変更するための様々な方法には、ビデオ・スケーリング、ライン・ダブラ、およびクアドラブラ (quadupler) が含まれる。これらの方法については、背景でより詳細に論じている。しかし、どんな出力解像度が望まれるにせよ、複数のビデオ・ソース間で切り換えるとき、または例えばカメラがある程度の速度レートでパンニングされるときは、ファジー性が生じることがある。これは、スケーリングが行われる前に入力ビデオ・データがメモリに書き込まれるからである。書き込みポインタと読取りポインタが同期しない場合、表示画面のいくつかのセクションが、表示画面の他のセクションからの異なる入力フレームからくるデータを有する場合がある。本発明の目的は、入力フレーム全体に関連するピクチャを出力時に所望の出力解像度で読み取って表示できるように、入力と出力のフレーム・レートを同期させることである。

【 0 0 5 7 】

典型的には、位相ロック・ループ (P L L) を使用して同期を達成する。 P L L は、基準ソースからの同期パルスと同相でロックされるように可変周波数発生器への入力を変動させることによってある信号の周波数（周波数発生器の出力からの同期パルス）が制御される閉ループ・フィードバック・システムである。これは、基準発振器出力の位相を電圧制御発振器 (V C O) の出力の位相と比較して位相誤差信号を生成することによって達成される (V C O は可変周波数発生器である) 。誤差信号は、調整され、 V C O の周波数が基準発振器の周波数と合致するまで V C O を調整するのに使用される。

【 0 0 5 8 】

V C O は、制御電圧によって当該の周波数範囲にわたって掃引される。 V C O の出力は P L L システムの出力であり、これは、クロックとして種々の用途に使用される。 P L L 中で、 V C O 出力は、プログラム可能分周器を通してフィードバックされ、位相検出器中で基準周波数と比較される。基準周波数は普通、実際の適用例では基準分周器を通される。基準は普通、水晶発振器すなわち V C X O (電圧制御水晶発振器) だが、別の P L L の出力でもよい。位相検出器は、 V C O を操作する誤差電圧を生成して、 V C O 出力を基準と同じ周波数にロックさせる。

【 0 0 5 9 】

図 6 は、典型的な位相ロック・ループのブロック図である。 P L L への入力は、基準発振器、通常は水晶発振器の出力であり、これがブロック 6 0 2 の周波数分周器を通して供給されて、所望の（すなわち基準の）同期レート（すなわち周波数）が生成される。位相検出器（ブロック 6 0 4 ）は、基準分周器（ブロック 6 0 2 ）の出力を P L L 分周器（ブロック 6 1 0 ）の出力と比較して、 2 つの信号間の位相誤差を生成する。ブロック 6 1 0 の出力は、電圧制御発振器 (V C O) (ブロック 6 0 8) からの周波数が P L L 分周器の値で割られて生成された周波数である。ループが安定するように、位相誤差は、 V C O の調節に使用される前にブロック 6 0 6 でフィルタリングされる。ループが安定したとき、ブ

10

20

30

40

50

ロック 6 1 0 の出力は、ブロック 6 0 2 の基準出力と同相でロックされる（すなわち位相差がない）。

【 0 0 6 0 】

典型的なシステムでは、V C O は基準よりも 1 桁高い振幅で動作する。例えば、所望の周波数ステップが 2 5 K H z であり水晶基準周波数が 4 M H z であると仮定する。この場合、基準分周器は、水晶基準を 1 6 0 で割ることになる（ $4 \text{ M H z} \div 1 6 0 = 2 5 \text{ K H z}$ ）。1 4 6 . 5 M H z（例えば）の V C O 出力の場合、P L L 分周器は 5 8 6 0 に設定されて、1 4 6 . 5 M H z を 2 5 K H z に分周する。したがって、ループがロックされたとき、位相検出器に提示される基準信号と V C O 信号は共に 2 5 K H z である。現在のハードウェア制約により、P L L 分周値は整数（バイナリ・マシンによって生成される）であることに留意されたい。ただし、出力周波数を基準周波数にロックさせることが可能な任意の P L L タイプのデバイスで本発明を実施できることは、当業者には明らかになるであろう。

10

【 0 0 6 1 】

P L L システム中の最後のコンポーネントは、ループ・フィルタである。このループ・フィルタが必要な理由は、通常の位相検出器が「D C」誤差電圧を生成するのではなくループ・ロック状況に応じたパルス波形を生成するからである。例えば、M o t o r o l a M C 1 4 5 1 7 0 P D 出力は、正極性または負極性（チップがどのようにプログラムされているかによる）のパルスを伴う論理レベルの信号である。この波形が V C O に直接加えられた場合、広い周波数変調信号がもたらされることになる。ループ・フィルタは、P D 出力を積分（または平均）して、スムーズな誤差電圧を生み出す。

20

【 0 0 6 2 】

位相検出器は、プログラム可能な基準分周器および主分周器ならびにディジタル制御回路と共に、P L L チップ中に統合させることができる。位相検出器回路には、可能ないくつかの実施形態がある。最新の P L L チップは、チャージ・ポンプ回路を使用する。チャージ・ポンプ回路の出力は論理レベルのパルス波形であり、これは積分されて V C O 制御信号が生み出される。ループ・フィルタは、位相検出器からのパルス出力を積分して、平滑化された「D C」V C O 制御電圧を生み出す。フィルタ中でコンポーネントの値を変動させることにより、P L L の性能が設定される。

【 0 0 6 3 】

先に論じたように、P L L 分周値は整数である。この考察では、位相検出器への入力に向けて周波数が縮小されたときに整数を生み出すのに好都合なように数を選択した。しかし実際は、スケーリングの労力から常に整数が得られるとは限らず、それにより精度が損なわれる。精度が損なわれると、V C O の出力が基準入力と正確にロックすることが妨げられ、したがって異なるビデオ・ソース間で切り換えるときに望ましくないビデオ結果が生じるという問題が生じる場合がある。この問題を理解するために、典型的なビデオ適用例について考察する。

30

【 0 0 6 4 】

1 5 7 3 4 . 2 6 5 7 3 H z の水平入力周波数および 5 9 . 9 4 H z の垂直入力周波数（水平同期レートおよび垂直同期レートとも呼ばれる）に達する通常の N T S C（N a t i o n a l T e l e v i s i o n S t a n d a r d s C o m m i t t e e）ビデオ信号を、1 0 2 4 × 7 6 8 解像度の表示画面上に映写したいとする。この場合、1 0 2 4 が出力水平解像度であり、7 6 8 が出力垂直解像度である。解像度はピクセル・カウントで指定され、普通は有効な表示範囲を指す。したがって、1 0 2 4 × 7 6 8 が有効表示領域を構成する。実際には、走査される総表示領域はブランキング領域を含み、1 0 2 4 × 7 6 8 の有効表示の場合は 1 3 4 4 × 8 0 6 の総解像度になる。この総解像度を用いて、所望のクロック・レート（すなわち V C O の出力周波数）が計算される。基準と V C O 出力との位相誤差が 0 のときは、以下の式が適用される。

40

$$\frac{\text{VCXO周波数}}{\text{基準分周値}} = \frac{\text{VCO出力周波数}}{\text{PLL分周値}}$$

【 0 0 6 5 】

所望のVCO出力、すなわち入力と出力のフレーム・レートをロックさせるのに必要な周波数は、入力データと同じフレーム中の出力ピクセル・データ全体を読み取るのに必要な周波数である。したがって、VCO出力は以下の式によって得られる。

$$\text{VCO出力} = (\text{垂直入力周波数}) (\text{出力垂直解像度}) (\text{出力水平解像度})$$

PLL分周器の値について代入して解くことにより、以下の式が得られる。

10

$$\text{PLL分周値} = \frac{(\text{垂直入力周波数}) (\text{出力垂直解像度}) (\text{出力水平解像度})}{(\text{VCXO周波数}) (\text{基準分周値})}$$

【 0 0 6 6 】

VCXO公称周波数27,000,000Hzおよび基準分周値1024を代入することにより、PLL分周値の値2462.562が得られるが、これは整数でない値である。先に論じたように、PLL分周値は現在、ハードウェア制約のせいで整数値に限られている。したがって、端数部分(すなわち.562)は切り捨てなければならない、その結果、PLL分周値2462が得られる。ロックを実現するのに必要な所望のVCXO公称周波数に向けて逆算することにより、27,006,167.51Hzが得られる。数を操作して端数のないPLL分周値を実現することも、確実にできることに留意されたい。ただし、例えば基準分周値はまた正の整数(さらには1)でなければならないといったような物理的制約がある。図4を参照すると、PLL分周値の端数部分を補償することができないせいで、出力垂直同期パルス406と入力垂直同期パルス408との間には、周波数がロックされないことによる相対的な動きがある。同相でロックするには、両方の周波数が等しくなければならない。

20

【 0 0 6 7 】

一般に、基準分周値とVCXO周波数は、PLLがロックオンして低いジッタを維持するために、出力基準周波数(すなわちVCXO周波数/基準分周値)ができるだけ低い周波数になるように選択される。出力基準周波数が低下するにつれて、PLLは補償するためにより高いPLL分周値を有さなければならない、それによりジッタがより多くなり安定性がより低くなるので、出力基準周波数は過度に低くすることはできない。また、PLLは周波数を整数でしか逡倍できないので、ハイエンドでは、出力基準周波数は、PLLによってもたらすことのできる最小の周波数ステップまたは変化である。このことは、基準が大きいほどPLL周波数が離れている可能性があることを意味し、したがってVCXOに対してより多く調節して差を埋め合わせる必要がある。現在の技術では、VCXOは±500~±1000ppm(百万分率)の範囲に限られる。本発明がVCXOをこの周波数範囲で使用することに限定したものでないことは、当業者なら理解するであろう。実際には、周波数の調節が可能な任意のVCXOを使用することができる。

30

40

【 0 0 6 8 】

複数のビデオ・ソース、フォーマット間で切り換え、ユーザによって選択可能な幅広い解像度を表示したいと思う場合、基準周波数に固定数を選択することは不可能である。問題は、各垂直同期パルス間で読み取らなければならないピクセル・データの数、垂直入力周波数に出力垂直解像度および出力水平解像度を掛けることによって得られることである。上の例示的な場合では、この数は64,930,844.16である。これはまた、垂直同期パルス内ですべての表示データが読み取られる場合にPLL出力に必要な周波数でもある。しかし、ユーザは様々な解像度を指定することがあり、また入力周波数はソースおよびフォーマットに応じて異なることがあるので、この数は様々である。

【 0 0 6 9 】

50

ユーザが様々な出力解像度を指定する場合でも一貫したロックを実現するために、図 7 に示すように 2 つの位相ロック・ループを直列に連結する。図 7 は、本発明の一実施形態による、直列に連結された 2 つの位相ロック・ループのブロック図である。ブロック 702 の PLL1 は元の PLL であり、ブロック 704 の PLL2 は、前述のように PLL 分周値の端数部分を調節するための追加の PLL である。可能な最も近い整数 (N) を PLL ブロック 702 中の PLL 分周値に使用してピクセル・クロック (出力周波数) が生成され、これがブロック 706 の垂直同期発生器に供給されて、出力垂直同期パルス (Vs_out) が生成される。PLL 分周値の失われた端数部分を補償するために、ブロック 704 の第 2 の位相ロック・ループを直列に追加して、必要な調節を基準周波数に与え、出力垂直同期パルスを入力垂直同期パルス (Vs_in) と同期させる。以下、各ブロックのオペレーションおよび内容に関するより詳細な記述を提供する。

10

【0070】

単一の位相ロック・ループを使用することもできる。しかし、必要な出力周波数 (ピクセル・クロック) が 60 MHz を超え、入力基準が 60 Hz である場合は、1,000,000 を超える PLL 分周値が必要になり、これにより、基準パルスごとに 100 万回を超える発振器サイクルが必要になるので、PLL ループを安定させることが困難になる。したがって、2 つの位相ロック・ループを直列で使用するにより、より容易かつ正確に安定をもたらすことができる。

【0071】

最後に、様々な入力周波数を補償するために、入ってきた垂直同期周波数を測定する手段を追加する。図 8 に、入力と出力の垂直同期レートをロックさせるのに使用される本発明の一実施形態のブロック図を示す。図 8 の図を図 7 のコンテキストの中に置くと、ブロック 810 ~ 818 の組合せは図 7 の PLL2 に相当し、ブロック 820 ~ 822 の組合せは図 7 の PLL1 に相当する。

20

【0072】

垂直周波数の測定

再び図 8 を参照すると、ブロック 804 で、高周波自走発振器 802 を使用して、入力垂直同期レート (基準レート) が非常に正確な解像度まで測定される。垂直周波数測定ブロック 804 の出力は、垂線あたりのカウント数である。すなわち、ブロック 804 は、2 つの入力垂直同期パルス間で発振器 802 のパルスが何回発生するかをカウントする。例えば、59.94 Hz の NTSC 垂直同期入力に対して周波数 27,000,000 Hz の発振器 804 が使用される場合、450,450 の出力カウント数がブロック 804 から得られることになる。実際数は、27,000,000 / 59.94 であってこれは 450,450.450 であり、したがって整数でない値である。発振器 802 のパルスの数だけがカウントされるので端数は外され、それにより精度が損なわれ、さらにはロックができなくなる。したがって、より高速な発振器を使用することが有利であろう。また、マイクロコントローラが実施しなければならない計算を最小限に抑えるための助けとするために、自走発振器 802 と VCXO 818 公称周波数を同じ値とすることも望ましい。

30

【0073】

マイクロコントローラによる計算

ブロック 804 からの出力カウント数は、マイクロコントローラ・ブロック 808 に供給される。マイクロコントローラ 808 は、その他の機能に加えて、基準分周器 820 を選択し、すべての計算を行って、PLL ブロック 822 のブロック 826 に供給される PLL 分周値を計算する。先に論じたように、基準分周器 820 は任意の正の整数とすることができる。マイクロコントローラの計算は、ユーザによって選択可能な出力水平周波数、水平解像度、および垂直解像度に基づく。この選択は、やはりマイクロコントローラによって制御されるユーザ・インタフェースを通して達成することができる。唯一の制約は垂直同期周波数であり、これは、フレームがロックするように入力側と出力側の両方で同じでなければならない。

40

50

【 0 0 7 4 】

本発明の一実施形態では、マイクロコントローラ 808 には、Power PC ファミリのプロセッサのうちの一つなど Motorola 製のマイクロプロセッサや、8031、8051、80x86、Pentium (登録商標) ファミリのプロセッサなど Intel 製のマイクロプロセッサや、Sun Microsystems (商標) Inc から出ている SPARC (商標) を含めることができる。しかし、適した他のどんなマイクロプロセッサまたはマイクロコンピュータを利用することもできる。

【 0 0 7 5 】

ピクセル・クロック生成用の位相ロック・ループ

ブロック 822 のピクセル・クロック生成 PLL は、垂直同期周期内で所望の表示データすべてを読み取るのに必要なピクセル・クロック・レートを生成する。例えば、1344 × 806 表示装置上の垂直同期周波数 59.94 Hz の NTSC ビデオ入力は、64,930,844.16 Hz のピクセル・クロック・レートを必要とする。

【 0 0 7 6 】

ピクセル・クロック生成 PLL への入力は、基準分周器ブロック 820 の出力であり、基準分周器ブロック 820 は、その入力を VCXO ブロック 818 から受け取る。VCXO 818 は、公称周波数で開始し、ある範囲にわたって、現在の技術では通常 ±500 ~ ±1000 百万分率 (ppm) にわたって調節可能である。例えば、27 MHz の VCXO に対する ±500 ppm の調節範囲は、±13,500 Hz (すなわち 500 × 27,000,000 を 1,000,000 で割った数) に相当する。ブロック 820 の基準分周器の出力は、ブロック 828 の位相検出器中でブロック 826 の PLL 分周器の出力と比較されて、2つの信号間の位相誤差が生成される。フィルタリングされた位相誤差を受け取った電圧制御発振器 (VCO) ブロック 824 によって、ピクセル・クロック出力が生成される。先に述べたように、フィルタリングを用いて位相ロック・ループを安定させることができる。

【 0 0 7 7 】

ピクセル・クロックは、ビデオ・データがメモリ・バッファから読み取られるレートを表す。ピクセル・クロック出力は、基準との比較のために、PLL 分周器ブロック 826 を通して位相検出器ブロック 828 にフィードバックされる。ピクセル・クロック出力はまた、水平同期パルスおよび垂直同期パルスの生成のために、ブロック 830 の出力タイミング発生器にも供給される。

【 0 0 7 8 】

出力タイミング発生器

出力水平同期パルスおよび垂直同期パルスは、出力タイミング発生器 (OTG) ブロック 830 中で計算される。OTG は、出力フォーマットに基づきピクセル・カウンタから離れて「水平同期開始番号」および「水平同期終了番号」を復号することにより、出力水平同期パルス (HSyncOut) を生成する。ピクセル・クロックは、ピクセル・カウンタを刻時する。ピクセル・カウンタは、出力ラインあたりの必要ピクセル総数までカウントした後で 0 にリセットする。「水平同期開始番号」および「水平同期終了番号」について異なる数を復号することにより、ビデオ・タイミングの同期を動かすことができ、それにより出力画面上のピクチャをずらすかまたは移動させることができる。

【 0 0 7 9 】

図 9 は、本発明の一実施形態による水平同期パルス生成を示す流れ図である。図 9 は、ピクセル・クロックのサイクルごとに実行される。電源投入時、ピクセル・カウンタ (PixelCounter)、出力水平同期 (HsyncOut)、および Memory Read Enable の各ディスクリートのリセットする。水平同期開始番号 (HsyncStart)、水平同期終了番号 (HsyncEnd)、ラインあたりのピクセル総数 (HorizontalRes.)、メモリ・バッファ読取りに対する開始カウント (PixelReadStart)、およびメモリ・バッファ読取りに対する終了カウント (PixelReadEnd) が、マイクロコントローラによってレジ

10

20

30

40

50

スタ・バッファに書き込まれる。

【 0 0 8 0 】

ブロック 9 0 4 に入ると、ピクセル・カウンタがインクリメントされる。ブロック 9 0 6 でピクセル・カウンタの値が水平同期開始番号と等値である場合は、ブロック 9 1 6 で出力水平同期パルスがアサートされ、処理はブロック 9 1 0 で継続する。しかし、ブロック 9 0 8 で、ピクセル・カウンタが水平同期開始番号と等値ではなく水平同期終了番号と等値である場合は、ブロック 9 1 8 で出力水平同期パルスがリセットされ、処理はブロック 9 1 0 に継続する。例えば、H s y n c _ S t a r t の値 = 3 であり H s y n c _ E n d の値 = 6 7 の場合、H s y n c _ O u t はピクセル・カウンタ 3 でアサートされ、ピクセル・カウンタ 6 7 でリセットされる。

10

【 0 0 8 1 】

ブロック 9 1 0 で、ピクセル・カウンタはメモリ・バッファ読取りオペレーションに対する開始カウンタと比較され、等値である場合は、ブロック 9 2 0 でメモリ読取がイネーブルにされ、処理はブロック 9 1 4 に継続する。そうでない場合は、処理はブロック 9 1 2 に継続する。ブロック 9 1 2 では、ピクセル・カウンタはメモリ・バッファ読取りオペレーションに対する終了カウンタと比較され、等値である場合は、ブロック 9 2 2 でメモリ読取がディセーブルにされ、処理はブロック 9 1 4 に継続する。メモリ・バッファ読取に対する終了カウンタは、メモリ・バッファ読取に対する開始カウンタに所望の出力水平解像度（ブランキングなし）を足した数から 1 を引いた数と等値であるべきである。例えば、開始カウンタが 8 8 であり出力解像度が 1 0 2 4 である場合、終了カウンタは 1 1 1 1 のピクセル・カウンタとなる。

20

【 0 0 8 2 】

最後にブロック 9 1 4 で、ピクセル・カウンタは最大出力水平解像度（ブランキングを含む）と比較され、等値である場合はブロック 9 2 4 でリセットされる。ピクセル・カウンタは、最大出力水平解像度よりも大きくなってはならない。ブロック 9 2 6 で処理は終了する。このプロセス全体が、ピクセル・クロックのサイクルごとに実施される。

【 0 0 8 3 】

出力垂直同期パルスも、前述の出力水平同期パルスと同じようにして生成されるが、例外としてピクセル・カウンタの代わりにライン・カウンタを使用して同期パルスが生成される。ライン・カウンタは、出力水平同期パルス（上で生成されたもの）によって刻時され、出力フレームあたりの必要ライン総数でリセットされる。図 1 0 は、本発明の一実施形態による出力垂直パルス生成の流れ図である。電源投入時、ライン・カウンタ（L i n e _ C o u n t e r ）および出力垂直同期（V s y n c _ O u t ）をリセットすることができる。垂直同期開始番号（V s y n c _ S t a r t ）、垂直同期終了番号（V s y n c _ E n d ）、および 1 フレームあたりのライン総数（V e r t i c a l R e s ）が、マイクロコントローラによってレジスタ・バッファに書き込まれる。

30

【 0 0 8 4 】

ブロック 1 0 0 4 に入ると、ライン・カウンタがインクリメントされる。ブロック 1 0 0 6 でライン・カウンタの値が垂直同期開始番号と等値である場合は、ブロック 1 0 1 2 で出力垂直同期パルスがアサートされ、処理はブロック 1 0 1 0 に継続する。しかし、ブロック 1 0 0 8 で、ピクセル・カウンタが垂直同期開始番号と等値ではなく垂直同期終了番号と等値である場合は、ブロック 1 0 1 4 で出力垂直同期パルスがリセットされ、処理はブロック 1 0 1 0 に継続する。例えば、V s y n c _ S t a r t の値 = 3 であり V s y n c _ E n d の値 = 8 である場合、V s y n c _ O u t はライン・カウンタ 3 でアサートされ、ライン・カウンタ 8 でリセットされる。

40

【 0 0 8 5 】

最後にブロック 1 0 1 0 で、ライン・カウンタは最大出力垂直解像度（ブランキングを含む）と比較され、等値である場合はブロック 1 0 1 6 でリセットされる。ライン・カウンタは、1 フレームあたりの最大出力垂直解像度よりも大きくなってはならない。処理はブロック 1 0 1 8 で終了する。このプロセス全体が、上で計算された出力水平同期信号のサ

50

イクルごとの実施される。

【0086】

このアーキテクチャによれば、図9および10のプロセス中で使用される定数についてユーザがユーザ・インタフェースを介して所望の値を設定できるので、ビデオ入力と出力のピクチャ間の遅延が調節可能になる。ビデオ遅延（または時間スキュー）を調節するには、出力フレーム中のいずれかのポイントを、入力垂直同期パルスに対するロック・ポイントに選択する必要がある。一実施形態では、別個の信号がライン・カウンタから離れて生成され、垂直同期検出器810にフィードバックされて、出力垂直同期を変更せずにロック・ポイントを移動することができるようになる。この別個の信号は、出力垂直同期と同じ周波数だが、位相がねじれている場合がある。

10

【0087】

本発明の一つまたは複数の実施形態では、出力タイミング発生器は、図11および12に示すように論理ゲートを使用して表すことができる。図11および12に記述する論理を用いて、水平と垂直の両方の同期パルスを生成することができる。ただし以下の例では、水平同期パルスだけを生成する。図11では、Qフリップフロップの対のセット1102（ピクセル・カウンタ中のビットの数まで）が、復号する数の2進表現を保持する。例えば、復号される数は水平同期開始番号または終了番号とすることができる。Qフリップフロップの出力は、ブロック1106でピクセル・カウンタの2進表現1104と等値にされる。すべてのビットが等値のとき、ANDゲート1108の出力がアサートされる。

【0088】

20

図12に、 1024×768 （すなわち総計 1344×806 ）の出力解像度の場合に水平同期パルスおよびリセット・パルスを復号する例を示す。ブロック1202は、ピクセル・カウンタの2進表現を含む。ブロック1202の出力は、論理ブロック1204~1208の中を通して、ブロック1204ではピクセル・カウンタ・リセット・パルスが決定され、ブロック1206では出力水平同期パルスの開始が決定され、ブロック1208では水平同期パルスの終了が決定される。ピクセル・カウンタ・リセット・パルスがアサートされたとき、ピクセル・カウンタ・ブロック1202は0にリセットされる。

【0089】

セット/リセット・フリップフロップ・ブロック1210は、水平sync out 開始ブロック1206の出力（出力B）がアサートされたとき、フリップフロップ1210（出力D）をリセットすることによって同期パルスをアサートする。水平sync out 終了ブロック1208の出力（出力C）がアサートされたとき、フリップフロップをセットすることによって同期パルスをリセットする（すなわちもはやアサートしない）。

30

【0090】

垂直トラッキングおよび訂正

先に論じたように、入ってくる垂直同期の測定から、またブロック826で使用するPLL分周値を計算する際にも、誤差が累積する場合がある。これらの誤差は、現在は整数の分周値として実装されるPLL分周値の計算から端数要素を切り捨てることに関連する損失のせいである。先の例では、所望の出力表示領域 1344×806 ピクセルの場合に、PLL分周値は 27MHz 発振器に必要な 2462.562 ではなく整数値 2462 に丸められ、 $\text{NTSC } 59.94\text{Hz}$ 垂直入力をサンプリングした。また、ブロック804で測定された垂線あたりのカウント数も、端数部分が測定できないために整数値に丸められた。この結果、入力と出力の垂直同期パルスをロックさせることができない。

40

【0091】

ロックできないことに関連する問題を訂正するために、ブロック810~818を含む第2のPLL回路をピクセル・クロック生成PLLと直列に結合する。一実施形態において、図13に、基準分周器ブロック820、垂直位相検出器ブロック810、および誤差訂正チャージ・ポンプ・ブロック812をより詳細に示してある。入力と出力の垂直同期パルスの位相が、垂直位相検出器回路810中で比較される。位相検出器の出力はチャージ・ポンプ812に渡され、チャージ・ポンプ812は論理レベルのパルス波形を生成する

50

。

【 0 0 9 2 】

誤差訂正チャージ・ポンプ 8 1 2 は、入力垂直同期パルスと出力垂直同期パルスとの位相誤差と同じ広さのパルスであるデジタル出力信号を生成する。誤差訂正チャージ・ポンプ 8 1 2 の出力は、ローパス・フィルタ・ブロック 8 1 4 中でフィルタリングされる。ローパス・フィルタは、ループを安定させ、パルス誤差訂正チャージ・ポンプ 8 1 2 の出力から「DC」電圧誤差を生成する。ローパス・フィルタの出力は、必要ならブロック 8 1 6 でバッファに入れて、VCXOに対して低インピーダンスのドライブを生み出すことができる（すなわち、低インピーダンスのVCXOが使用される場合）。バッファの出力は、ブロック 8 1 8 のVCXOへの定電圧入力である。ブロック 8 1 8 のVCXOは、それ

10

に応じてその出力周波数を調節して、出力と入力の垂直同期（VS__OUTとVS__IN）をロックさせる。得られるVCXO公称周波数は、図 5 に示すように入力垂直同期と出力垂直同期との間に同期が生じるような周波数となる。

【 0 0 9 3 】

図 5 は、出力垂直同期パルスの周波数が入力垂直同期パルスの周波数とロックされて、両方の信号間に位相のずれがないときの、本発明の一実施形態による入力および出力の垂直同期パルス結果を示す図である。図 5 では、上のトレースは入力信号 5 0 2 の垂直同期を示す。下のトレースは出力信号 5 0 4 の垂直同期を示す。本発明の一実施形態によれば、両方のトレース（出力 5 0 6 と入力同期 5 0 8）は、同じ周波数内容を有するが、位相がずれている場合もある（ユーザが所望の位相ずれを選択することができる）。図 5 の描写

20

では位相のずれはなく、したがってオシロスコープ上で見ると、両方のトレースすなわち同期出力パルス 5 0 6 と入力同期パルス 5 0 8 は一緒に動いているように見える（すなわちロックされている）。

【 0 0 9 4 】

PLL分周値が整数になる周波数が、入力と出力の垂直パルスをロックさせるのに必要な値である。この周波数は、VCXOによって提供され、以下の式によって得られる。

（垂直入力周波数）（出力垂直解像度）（出力水平解像度）

$$\text{VCXOロック周波数} = \frac{\text{（PLL分周値）}}{\text{（基準分周値）}}$$

30

【 0 0 9 5 】

以下に示すように、先のNTSCの例から数を代入すると、入力垂直同期パルスと出力垂直同期パルスがロックするためのVCXOロック周波数 2 7 , 0 0 6 , 1 6 7 . 5 1 H z が得られる。

（59.94）（806）（1344）

$$\text{VCXOロック周波数} = \frac{\text{（2462）}}{\text{（1024）}}$$

PLL分周値の式に再び代入すると、次のようにPLL分周値に対する整数値が得られる。

40

（59.94）（806）（1344）

$$\text{PLL分周値} = \frac{\text{（27006167.51）}}{\text{（1024）}} = 2462$$

【 0 0 9 6 】

上の例は、第 2 の PLL が、ピクセル・クロック生成 PLL への基準周波数である VCXO 周波数を調節することによって、入力垂直同期パルスと出力垂直同期パルスの位相ロックを可能にすることを示している。一般に、PLL分周値の式が整数になるときにロックが起こることになる。

【 0 0 9 7 】

50

適用例

本発明は出力と入力の垂直同期パルスをロックさせることができるので、本発明の実施形態は、ディジタルおよびアナログの（インタレース方式／ノンインタレース方式の入力および出力を含む）様々な回路およびデバイス（切換、グラフィックス切換、シームレスなグラフィックス切換、スキャン・コンバージョン、スケーリング、ビデオ・スケーリング、ライン・ダブリング、ライン・クアドラプリングを実現する回路およびデバイスなど）と共に用いることができ、また、ある解像度およびある垂直レートの入力と、異なる解像度および／または異なる垂直レートの出力とを有するその他様々な回路およびデバイスと共に用いることができる。さらに、本発明を使用して、適切ならその他様々なシステムを改良することもできる。

10

【0098】

実際、大規模なステージング・イベントでは、ビデオ入力と、周波数が入力と異なるコンピュータ・レート出力とを有するスケーラに本発明を組み込むことにより、大きな利益が引き出される。

【0099】

本発明は、TV信号をコンピュータのライン・レートにアップコンバートする場合に適用することができるが、本発明はまた、コンピュータ・グラフィック信号をテレビジョン信号にダウンコンバートすることに関するシステムにも有益である。例えば、コンピュータによって生成された画像を、ビデオ・テープに録画されたプレゼンテーションまたは報告にすることができる。

20

【0100】

本発明はまた、フィルムおよび映画産業にも適用可能である。例えば、特殊効果、高解像度グラフィックス、コンピュータ生成画像、ハイテク・グラフィックス、コンピュータ・グラフィックスを生み出すことに関する装置である。映画フィルムは通常、毎秒24フレームで撮影されるが、組み込まれるテレビジョンおよびコンピュータ・ビデオの多くは異なるフレーム・レートで動いているので、フィルム・カメラを使用してピクチャを生成するときにモニタ上のピクチャの中を浮動する縞が表示されないようにして異なるフレーム・レートをすべて「ロック・アップ」させて出力を生み出すことは難しい。

【0101】

本発明の他の適用例は、放送である。複数の入力信号が使用されるので、放送スタジオ用の放送スイッチャおよび画像コントローラはシームレスな切換えを必要とする。例えば、放送はしばしば、追加のグラフィックスおよび／またはビデオを含む。本発明により、セキュリティまたはホーム・シアター市場にも、改善された切換えを提供することができる。

30

【0102】

したがって、異なるビデオ・ソースからの入力信号と出力信号を垂直にロックさせるための方法および装置について述べた。いくつかの具体的な実施形態に関して本発明を述べたが、本発明の創意ある特徴が他の実施形態にも適用可能であり、これらがすべて本発明の範囲に含まれることは、当業者には明らかであろう。

【図面の簡単な説明】

40

【図1】 本発明の一実施形態による、グラフィックス・スイッチャに接続された様々なディジタル表示技術を示す典型的なグラフィックス環境を示す図である。

【図2】 本発明の一実施形態による、画像を表示するためのピクセル・マトリックスを表すディジタル表示デバイスを示す図である。

【図3】 本発明の一実施形態による、「裂け目」を有するディジタル表示出力画像を示す図である。

【図4】 出力垂直同期パルスが入力垂直同期パルスとロックしていないときの、入力と出力の垂直同期パルス結果を示そうとした図である。

【図5】 本発明の一実施形態による、出力垂直同期パルスが入力垂直同期パルスと同相でロックされているときの、入力と出力の垂直同期パルス結果を示す図である。

50

【図 6】 典型的な位相ロック・ループのブロック図である。

【図 7】 本発明の一実施形態による、直列に連結された 2 つの位相ロック・ループのブロック図である。

【図 8】 入力と出力の垂直同期レートをロックさせるのに用いる本発明の一実施形態のブロック図である。

【図 9】 本発明の一実施形態による、水平同期パルス生成を示す流れ図である。

【図 10】 本発明の一実施形態による、出力垂直パルス生成の流れ図である。

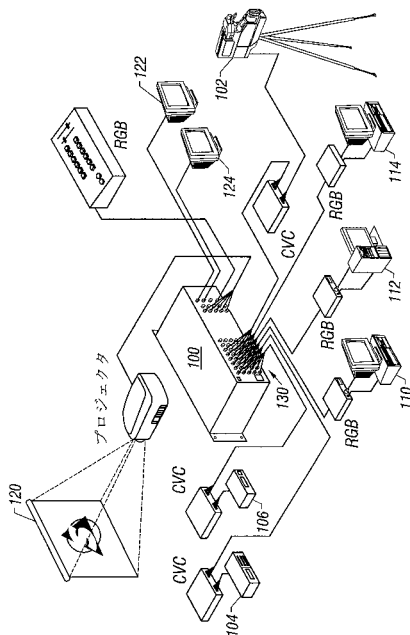
【図 11】 本発明の一実施形態による、マイクロコントローラによってプログラム可能な出力タイミング発生器の水平同期パルスに関する論理図であって、発生器の論理ゲートを示す図である。

10

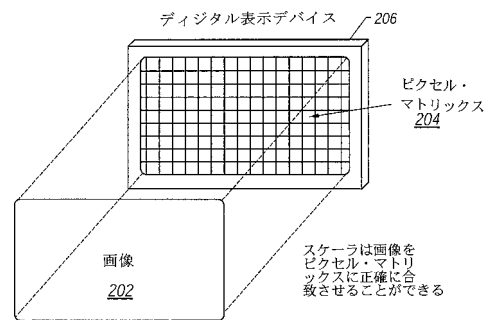
【図 12】 本発明の一実施形態による、出力タイミング発生器の水平同期パルスに関する論理図であって、1024×768（すなわち総計1344×806）出力に対してプログラムされた発生器の論理ゲートを示す図である。

【図 13】 本発明の一実施形態による、基準分周器、垂直位相検出器、および誤差訂正チャージ・ポンプを示す論理図である。

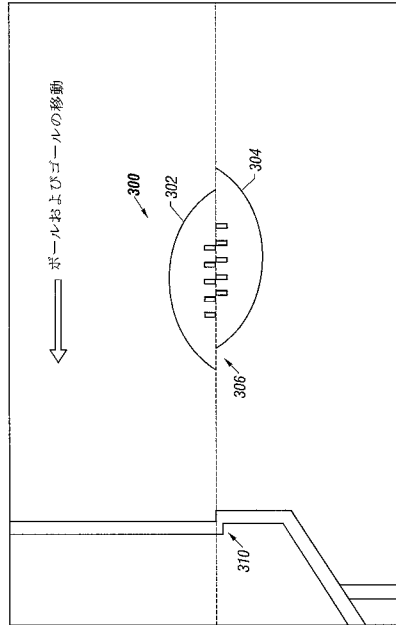
【図 1】



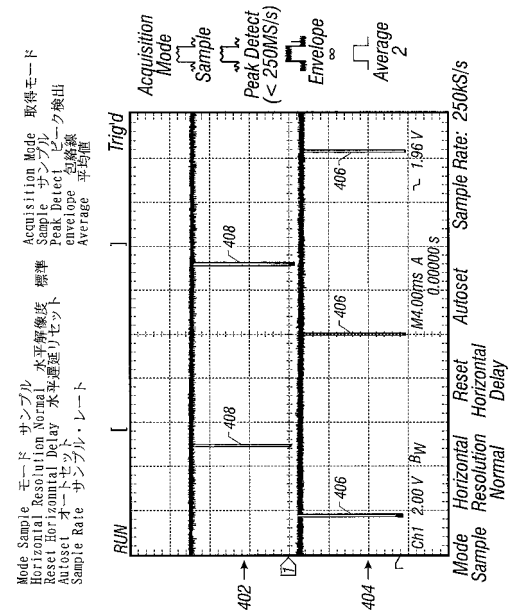
【図 2】



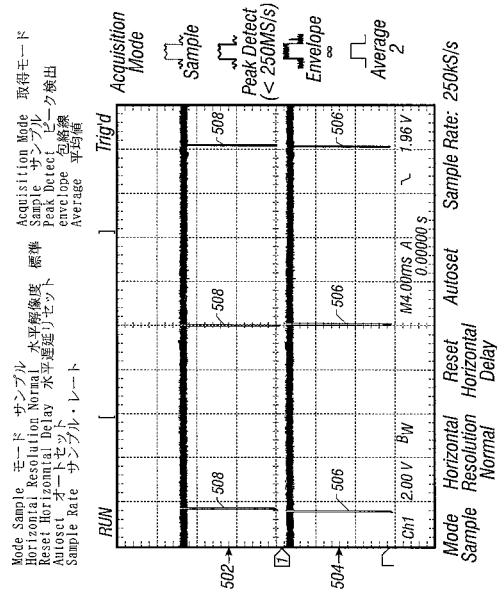
【図 3】



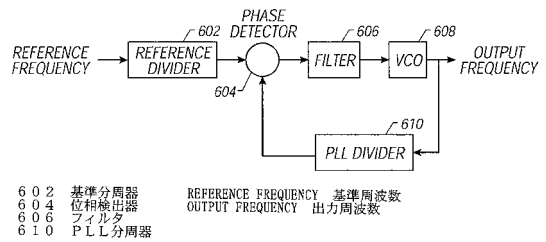
【図 4】



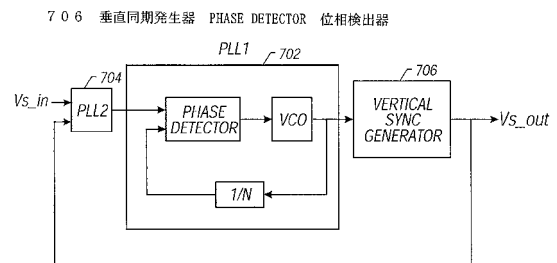
【図 5】



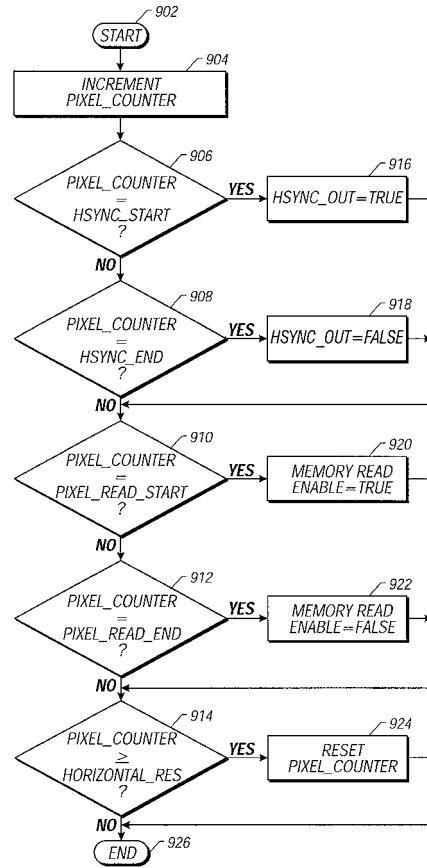
【図 6】



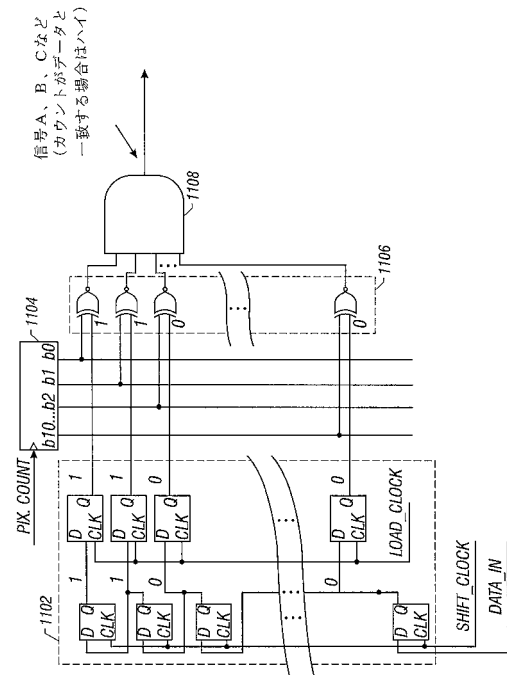
【図 7】



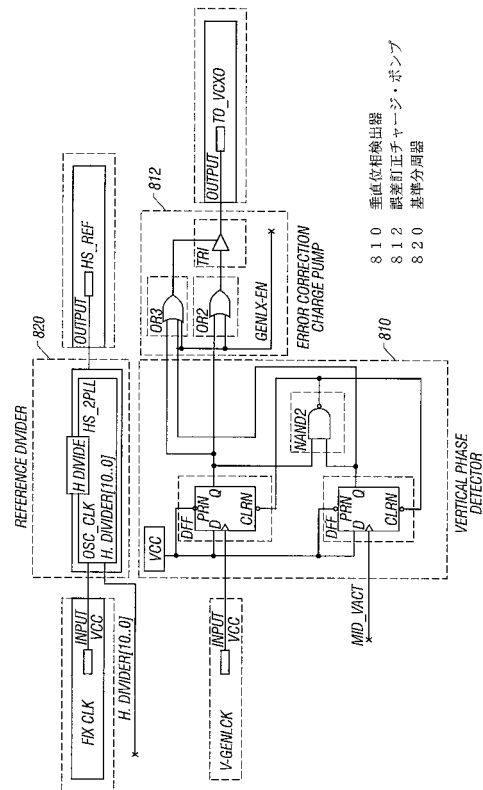
【 図 9 】



【 図 1 1 】



【 図 1 3 】



810 垂直位相検出器
812 誤差訂正チャージ・ポンプ
820 基準分周器

フロントページの続き

(72)発明者 ツロン, ドゥイ・ドゥー
アメリカ合衆国・9 2 3 3 6・カリフォルニア州・フォンタナ・ウエスト コンスティテューション ウェイ・1 3 6 1 9

審査官 伊東 和重

(56)参考文献 特開2 0 0 0 - 2 0 9 4 5 8 (J P , A)
実開平0 5 - 0 5 5 6 6 1 (J P , U)
特開平9 - 2 3 3 4 3 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H04N 5/04

H03L 7/00