

(12) 发明专利申请

(10) 申请公布号 CN 102237145 A

(43) 申请公布日 2011. 11. 09

(21) 申请号 201010167944. X

(22) 申请日 2010. 04. 22

(71) 申请人 联咏科技股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 薛念宗 谢晋升 陈俊宏

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G11C 29/08 (2006. 01)

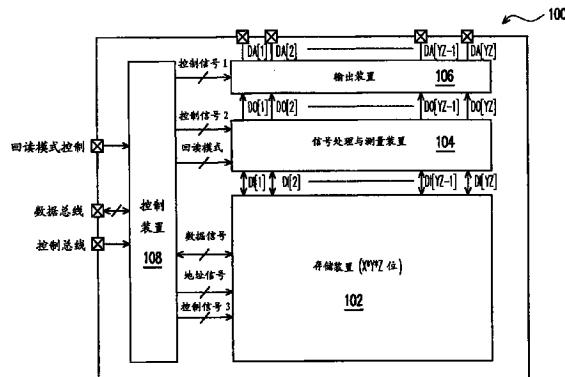
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

箱入式存储装置以及其测试方法

(57) 摘要

一种箱入式存储装置以及其测试方法。该箱入式存储装置，包括一控制单元、一存储单元以及一信号处理与测量单元。控制单元输出多个信号，包括一模式选择信号、以及一组控制信号。存储单元受控制单元所控制，以于预定的地址读取一数据，该存储单元有一组输出端点。信号处理与测量单元有一组输入端点以及一组输出端点，其中输入端点与存储单元的该组输出端点连接，该信号处理与测量单元自该组输入端点读取该数据，并依照该模式选择信号，决定是否对该数据进行一预定处理。在其后，通过该组输出端点将该数据输出。



1. 一种箱入式存储装置,包括 :

一控制单元,输出多个信号,包括一模式选择信号、以及一组控制信号;

一存储单元,受该控制单元所控制,以于预定的地址读取一数据,该存储单元有一组输出端点;以及

一信号处理与测量单元,有一组输入端点以及一组输出端点,其中该输入端点与该存储单元的该组输出端点连接,该信号处理与测量单元自该组输入端点读取该数据,并依照该模式选择信号,决定是否对该数据进行一预定处理,并于其后通过该组输出端点将该数据输出。

2. 如权利要求 1 所述的箱入式存储装置,其中该信号处理与测量单元的该组输入端点以及该组输出端点的数量相同且一一对应。

3. 如权利要求 2 所述的箱入式存储装置,其中该信号处理与测量单元包括 :

多个信号处理装置,每一个该信号处理装置对应该组输出端点的每一输出端点,用来自该输出端点接收该数据,并对该数据进行该预定处理;

多个多工器,每一个该多工器对应该组输出端点的每一输出端点,其中每一个该多工器包括 :

一第一输入端,用来直接接收由该存储单元输入的数据;以及

一第二输入端,耦接至该多个信号处理装置的一信号处理装置,以接收经过该预定处理的该数据;

其中该多工器受该模式选择信号所控制,以输出该第一输入端或该第二输入端的该数据。

4. 如权利要求 3 所述的箱入式存储装置,其中该模式选择信号启动时,该多个多工器将该第一输入端的数据输出,否则将该第二输入端的数据输出。

5. 如权利要求 1 所述的箱入式存储装置,其中该信号处理与测量单元的该组输入端点是每一固定数量为一次组输出端点,对应该组输出端点的一个输出。

6. 如权利要求 4 所述的箱入式存储装置,其中该信号处理与测量单元包括 :

多个输出单元,每一个该输出单元对应该组输出端点的每一个设置,其中每一个该输出单元包括 :

一多工器,有一第一输入端与一第二输入端,以及一输出端,其中该输出端构成该组输出端点,该多工器由该模式选择信号选择由该第一输入端或该第二输入端输出;

一位选择单元,有一输出端与一群组输入端,其中该输出端连接到该多工器的该第一输入端,该群组输入端连接到该存储单元对应的该组输出端点,通过该控制单元产生的一位选择信号,将该群组输入端的数据依序输出到该输出端;以及

一信号处理单元,有一输出端与一群组输入端,其中该群组输入端与该存储单元对应的该组输出端点连接,转换处理成单一模拟信号由该输出端输出。

7. 如权利要求 6 所述的箱入式存储装置,其中该群组输入端的数量是一个字数据所包含的位数量。

8. 如权利要求 6 所述的箱入式存储装置,其中该模式选择信号启动时,该多个多工器将该第一输入端的数据输出,否则将该第二输入端的数据输出。

9. 如权利要求 1 所述的箱入式存储装置,其中该存储单元还包括一组数据信号端点,

与该控制单元连接,由该控制单元直接对该存储单元写入与读取数据。

10. 如权利要求 1 所述的箱入式存储装置,还包括一输出单元,与该信号处理与测量单元的该组输出端点连接,受该组控制信号的其中一个所控制,经信号强化后输出。

11. 如权利要求 1 所述的箱入式存储装置,其中该控制单元接受一回读模式控制信号所控制,以启动该模式选择信号。

12. 如权利要求 1 所述的箱入式存储装置,其中该模式选择信号于一测试模式下启动,以控制该信号处理与测量单元。

13. 一种存储装置的测试方法,使用于如权利要求 1 所述的箱入式存储装置,包括:

将一测试数据由该控制单元写入到该存储单元;

启动该模式选择信号,将该测试数据通过该组输出端点直接输出,经过该信号处理与测量单元传送到一输出端口。

14. 如权利要求 13 所述的存储装置的测试方法,还包括感应由该信号处理与测量单元输出的该测试数据的信号以决定位内容。

15. 一种存储装置的测试方法,使用于一箱入式存储装置中,其中该箱入式存储装置包括一存储单元,具有多个输出端点,以及一信号处理单元,其中在一正常操作模式下,该信号处理单元处理该存储单元输出的数据后,由一输出端口输出,该测试方法包括:

写入一测试数据到该存储单元;以及

通过该信号处理单元的一输出路径,不经过信号处理而直接将测试数据由该输出端口输出。

16. 如权利要求 15 所述的存储装置的测试方法,还包括感应由该信号处理单元输出的该测试数据的信号以决定位内容。

箱入式存储装置以及其测试方法

技术领域

[0001] 本发明涉及一种箱入式存储装置,且特别涉及一种箱入式存储装置具有多种数据输出管道,有利于测试流程。

背景技术

[0002] 在传统的箱入式存储装置的设计上,写入与读取的时间的规划通常都会有所差异。主要的原因在于,当存储装置写入数据时,数据线 (data line) 的驱动能力将远大于位线 (bit line) 与存储记忆单元 (memory cell) 本身的负载,因此在写入的期间,数据可通过数据线以较短的时间,通过位线直接写入存储记忆单元内。然而在读取的期间,存储装置单元在预充位线与数据线后,接着存储记忆单元的数据会被送至位线与数据线上,等到数据线上的电位建立,再利用感应放大器装置 (sense amplifier) 将微弱的电压差放大,最后从数据总线上读出存储记忆单元的内含值。此读取过程相当冗长繁琐,因此存储装置的读取时间通常会远大于存储装置的写入时间。

[0003] 由于芯片系统越来越复杂,存储器容量的需求也越来越大。倘若读取时间无法缩短,则箱入式存储装置的测试时间将会占据芯片系统绝大部分的测试时间,因此如何有效地缩短存储装置的读取时间,以加快后续的测试验证的流程,在存储容量日益增加的应用条件下,确实是有其存在的必要性。

[0004] 在传统箱入式存储装置的验证做法上,通常是利用一个字组 (word) 宽度大小的数据总线,由控制装置来存取存储装置的内容值,以决定整个存储装置是否读写正常。此做法必须要先对存储装置设定一组地址之后,由控制装置再从存储装置所对应到的地址中读回数据,这样一对一的读取数据方式,势必会增加读取存储装置的时间,进而造成额外的测试成本,尤其在存储容量越大的系统上,此做法就更加不适用了。

[0005] 因此就箱入式存储装置的验证机制有需要在继续研发。

发明内容

[0006] 本发明提供一种箱入式存储装置,其至少允许在验证过程中,可以有较快速测量的技术。

[0007] 本发明提供一种箱入式存储装置,包括一控制单元、一存储单元以及一信号处理与测量单元。控制单元输出多个信号,包括一模式选择信号、以及一组控制信号。存储单元受控制单元所控制,以于预定的地址读取一数据,该存储单元有一组输出端点。信号处理与测量单元有一组输入端点以及一组输出端点,其中输入端点与存储单元的该组输出端点连接,该信号处理与测量单元自该组输入端点读取该数据,并依照该模式选择信号,决定是否对该数据进行一预定处理。在其后,通过该组输出端点将该数据输出。

[0008] 本发明提供一种存储装置的测试方法,使用于如所述的箱入式存储装置,包括将一测试数据由该控制单元写入到该存储单元。又,启动模式选择信号将该测试数据通过该组输出端点直接输出,经过该信号处理与测量单元传送到一输出端口。

[0009] 本发明提出一种存储装置的测试方法,使用于一箱入式存储装置中,其中箱入式存储装置包括一存储单元、具有多个输出端点以及一信号处理单元,其中在一正常操作模式下,该信号处理单元处理该存储单元输出的数据后,由一输出端口输出。测试方法包括:写入一测试数据到该存储单元;以及通过该信号处理单元的一输出路径,不经过信号处理而直接将测试数据由该输出端口输出。

[0010] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

- [0011] 图 1 绘示依据本发明一实施例,箱入式存储装置的系统架示意图。
- [0012] 图 2 绘示依据本发明一实施例,信号处理与测量装置的电路示意图。
- [0013] 图 3 绘示依据本发明另一实施例,箱入式存储装置的系统架示意图。
- [0014] 图 4 绘示依据本发明另一实施例,信号处理与测量装置的电路结构示意图。
- [0015] 【主要元件符号说明】
 - [0016] 100、150 :箱入式存储装置
 - [0017] 102、152 :存储装置
 - [0018] 104、154 :信号处理与测量装置
 - [0019] 106、156 :输出装置
 - [0020] 108、158 :控制装置
 - [0021] 200 :多工器
 - [0022] 202 :信号处理装置
 - [0023] 204 :位选择装置
 - [0024] 210 :直接输出路径

具体实施方式

[0025] 本发明在箱入式存储装置的设计上,利用芯片系统现存大量的 I/O 端口,做为存储装置的回读路径,以实现快速测量的效果。以下举一些实施例来说明本发明,但是本发明不仅限于所举实施例。又所举实施例之间可以做适当的相互结合。

[0026] 随着工艺越来越进步,单位面积所能摆放的晶体管数目一直在增加,可实现的电路也日益复杂,因此越来越多电路被包到芯片内进行设计,且存储空间的要求也越来越大。基于上述的理由,箱入式存储系统 (embeddedmemory) 的设计渐渐地取代单一功能芯片 (stand alone) 的设计,成为往后设计的主流。

[0027] 图 1 绘示依据本发明一实施例,箱入式存储装置的系统架构示意图。参阅图 1,箱入式存储装置 100 的系统架构,就一般功能而言,例如包含了控制装置 108、存储装置 102、信号处理与测量装置 104 与输出装置 106。箱入式存储装置 100 在正常的数据存取操作模式下,可通过控制装置 108 来对存储装置 102 进行存取。当外界欲对存储装置 102 写入数据时,控制装置 108 会根据控制信号的输入,从数据总线取得欲写入位置与数据,再传至存储装置 102 进行写入的动作。当外界欲对存储装置 102 读取数据时,控制装置会根据控制信号的输入,经由数据总线取得欲读取的位置并送至存储装置 102,最后再将存储装置 102 的数

据读出。

[0028] 箱入式存储装置 100 为一个具有箱入存储装置的芯片系统,其不单只是可以提供数据存储的空间,更重要的还是需要能对数据进行处理。如果信号处理装置开始要对存储装置内的数据进行运算时,控制装置 108 会从存储装置 102 读出先前存储的数据,再由信号处理与测量装置 104 进行处理,当信号处理与测量装置 104 完成动作之后,会将所处理完的信息送至输出装置 106 进行信号电平与强度的调整,最后再送至 I/O 端口输出与外界连结。

[0029] 在更详细描述本发明的技术前,先描述一般传统的箱入式存储系统,在设计存储装置时所须考虑到的几个因素。由于芯片面积与封装的限制,通常 I/O 端口的数目不能太多。另外基于检测过程中的数据回读时间的考量,控制装置所提供数据总线的宽度须要够宽,寻址与读取的次数才不会过于频繁。虽然增加数据总线的宽度,可以大幅度的缩短测试时间,但是这样的做法,则须增加 I/O 端口的数目,相对地封装成本与芯片面积也会变大,因此在传统存储装置的设计上,决定数据总线的宽度大小,须同时考量到测试时间与芯片面积因素。

[0030] 存储装置 102 在写入与读取的时间通常大不相同,读取时间通常是大于存储装置 102 的写入时间。然而在箱入式存储系统的设计上,由于工艺的演进,系统的时钟越来越快,连带需要处理的数据量也大增。当存储装置容量的需求越来越大,且 I/O 端口的数目也越来越多,为了增加芯片系统的测试效能,如果存储装置的测试规划仍考虑通过控制装置 108 读出数据来进行验证,必定会增加整个芯片系统的测试时间与成本。

[0031] 本发明针对箱入式存储系统中的存储装置,提出一个可以缩短测试时间的设计机制。然而本发明也不仅限于验证数据的使用。本发明将原本通过控制装置读出存储装置数据的路径,改由芯片系统的其他 I/O 端口来输出,利用一般芯片系统的 I/O 端口通常远多于存储装置数据总线宽度的特性。以较佳的情况其一来看,当存储装置内的每一个位置,均有其对应的 I/O 端口可供输出,在此安排下存储装置读取全部数据时间,会与传统存储装置读取一个位置的时间相同。如此一来,存储装置的测试时间可以大幅度的缩短。

[0032] 本发明例如在信号处理与测量装置 104 做不同的设计,以达到验证数据也可以通过相同的 I/O 端口,DA[1]...DA[YZ] 输出,而毋须从控制装置 108 输出。存储装置 102 的数据例如可以用 X、Y、Z 的标示方式来代表数据位的地址。而本实施例,存储装置 102 的输出端点的数量例如是 DI[1]、DI[2]、...、DI[YZ],做为信号处理装与测量置 104 的输入。

[0033] 控制装置 108 除了会有数据总线与控制总线以允许外部通过控制装置 108 对存储装置 102 做一般的数据存取外,信号处理与测量装置 104 接受控制装置 108 产生的一个回读模式控制信号,也就是模式选择信号来对信号处理与测量装置 104 操作模式。控制装置 108 产生控制信号分别控制存储装置 102、信号处理与测量装置 104 与输出装置 106 的操作,而信号处理与测量装置 104 更还由读模式的控制信号所控制。

[0034] 图 2 绘示依据本发明一实施例,信号处理与测量装置的电路示意图。参阅图 2,信号处理与测量装置 104 可以保留一般箱入式存储系统的读出方式,另外也提供另外一个存储装置读出的路径,其根据回读模式的信号来选择以正常模式输出或是以测量的模式输出。

[0035] 如图 2 所示,在信号处理与测量装置 104 中,对应每一个输入端点 DI 都有一个输出单元,其包括一多工器 200、一信号处理装置 202,以及一直接输出路径 210。信号处理与

测量装置 104 的输入端点 DI 与存储装置 102 的输出端点 DI 分别连接。多工器 200 的一个输入端,通过直接输出路径 210 与输入端点 DI 连接。多工器 200 的另一个输入端经由信号处理装置 202 与输入端点 DI 连接。信号处理装置 202 会依需要对输入数据作处理,例如是将数字信号转换成模拟信号。多工器 200 依照回读模式的选择控制,将其中一端的信号向输出端 DO 输出。

[0036] 例如,当回读模式的控制信号为低态 (Low),此代表一正常模式,多工器 200 会选择经过信号处理装置 202 处理后的信号,并将该信号输出。而当回读模式的控制信号设定为高态 (High),此代表信号处理与测量装置 104 设定为一测量模式,此时存储装置 102 的数据通过直接输出路径 210,由信号处理与测量装置 104 的输出端点 DO 输出。

[0037] 再回到图 2 的整体电路的操作上,信号处理与测量装置 104 的输出端点 DO 会与一输出装置 106 的输入端点连接。当输出装置 106 接收到输入信号后,会对此信号做电平与强度进行调整,而后再送到 I/O 输出端口 DA。在此请注意,输出装置 106 是一个选择性的元件,其用来进行信号电平与强度调整,以符合后续驱动时所须的信号要求,在一些应用之中,输出装置 106 并非一必要元件。

[0038] 通过图 1 与图 2 的设置,大量 I/O 输出端口数目就可以被利用来给验证操作模式下数据回读的输出端。将存储装置 102 的完整验证数据快速地读出。由在此时的 I/O 输出端口与正常模式共用,因此不会增加额外的 I/O 端口的数目。在日益复杂的芯片系统中,存储器的容量与 I/O 端口会不断的增加,而此实施例的做法将更适合这类型的芯片系统所使用。

[0039] 在考虑的 I/O 端口的数目上,图 2 的设计也仅是其中的一种方式。在回读模式下,基于将存储装置中的验证数据直接通过 I/O 端口输出的概念下,被回读的验证数据有可以再做一些整理,以更多大效率利用 I/O 端口的输出端。

[0040] 图 3 绘示依据本发明另一实施例,箱入式存储装置的系统架构示意图。参阅图 3,箱入式存储装置 150 在快速测量的另一个实施例中,包含了控制装置 158、存储装置 152、信号处理与测量装置 154 和输出装置 156。相较于图 1 的实施例,其差别在于信号处理与测量装置 154 增加了一组位选择信号。控制装置 158 有配合外部的位选择信号对信号处理与测量装置 154 做控制。位选择信号的作用如下。当 I/O 端口的数目不足以一次输出在存储装置 102 中的一整列的所有位数据时,这时输出控制装置可以利用位选择信号,依据分时多工的方式,在同一个 I/O 端口上,在不同时间下做适时的切换,以得到不同的验证位数据的输出,最后也可收集到一整列中所有位的数据。这个方式可以对信号处理与测量装置 154 做适当的改变。

[0041] 图 4 绘示依据本发明另一实施例,信号处理与测量装置的电路结构示意图。参阅图 4,信号处理与测量装置 154 包含输入信号 DI[1][Z:1] 至输入信号 DI[Y][Z:1],其中 Y 例如代表字数,Z 代表位数。每一个输出端点 DO[1] 到 DO[Y] 用以输出一个字的输出信号,在此一个字有 Z 个位,Z 例如是 8,但是 Z 值不限定为 8。对于每一个输出端点,都有一个输出单元,包括一多工器 200、一位选择装置 204、信号处理装置 202。信号输入端点 DI 由存储装置 152 每一次接受一个包含有 Z 位的数字字数据,分别传送到位选择装置 204 与信号处理装置 202,其又分别连接到多工器的二个输入端,由回读模式信号的选择将二个其一的信号输出的输出端点 DO,其数目在本实施例是减少为 Y 个。

[0042] 在正常的操作下,当回读模式的控制信号为低态,信号处理与测量装置 154 会被规划为正常模式。输入信号分别由输入端点 DI 输入 Z 位的数据之后,经过信号处理装置 202 运算后,再将信号通过分别对应的多工器 200,分别送到输出信号到输出端点 DO。在此,由于输入的数据是 Z 位的数字数据,信号处理装置 202 例如会将 Z 位的数字数据转换成模拟的单一模拟信号。因此系统芯片在一般的操作下,其运作的方式与信号处理与测量装置的第一个实施例均相同。

[0043] 又,当例如回读模式控制信号为高态时,信号处理与测量装置 154 会被规划为测量模式。此时输入信号 DI[1][Z:1] 至 DI[Y][Z:1],会分别经过位选择装置 204,利用位选择信号使位数据依时与依序输出。控制方式例如是利用 M 条控制线,其中 $M = \log_2 Z$,将不同的位数据依序分时并各别的送到位选择装置 204 的输出端。例如,位选择装置 204 可通过位选择信号的设定,以决定那一个输入位数据 DI[1][Z:1],会被送至 DO[1] 的输出端点。以一个字有 8 位的数据为例,输入信号 DI[1][8:1],位选择信号可以依序分时来选择 DI[1][1]、DI[1][2]...DI[1][8] 的其中那一个位被输出至 DO[1] 位置。经过 8 次的数据回读,即可收集到一整个完整的字数据。

[0044] 通过位选择线的切换控制,序号为 1 的位选择装置 204 至序号为 Y 的位选择装置 204 可依序分时将位数据直接穿过多工器 1 至多工器 Y,再各别将信号直接送到输出端 DO[1] 至 DO[Y],无需做信号处理的动作。利用分时多工的方式,解决了箱入式存储装置 I/O 端口数目无法一次输出存储装置整列位数据的问题,但仍可以利用到系统芯片大量的 I/O 端口的优点,来加速存储装置的回读的动作,进而减少存储装置的测试时间。

[0045] 接着,在信号处理与测量装置 154 后面的输出装置 156 会做对应后续操作所需要的信号处理,例如加强信号的电压电平等。

[0046] 要注意的是,当系统是处在验证模式的数据回读状态时,由 I/O 端口所输出的信号虽然是模拟信号,但是其对应一个位数据,仅存在有二个状态。因此只要能分辨位数据的二个状态即可,其可以由后续的感测机制来决定,不会影响在正常操作的功能。换句话说,箱入式存储装置 150 不一定要通过输出装置 156 进行输出,而可直接由信号处理与测量装置 154 输出,以进行外部的数据验证。

[0047] 就整体的操作机制而言,箱入式存储装置的控制装置、存储装置、信号处理与测量装置和输出装置的操作效用也例如可以是如下的运作。

[0048] 控制装置用来产生存储装置存取数据时的控制信号、信号处理与测量装置在存取存储装置输出数据时所须的控制时序与决定输出装置输出组态相关的控制信号。

[0049] 存储装置通过控制装置输入的信号,来决定欲对存储装置的那一个地址进行存取,读写动作主要由控制装置的输入信号来决定,当欲对存储装置进行读取时,则控制装置会送出对应的地址至存储装置并将数据读出,当欲对存储装置进行写入数据时,则控制装置会将欲输入的地址与数据送至存储装置,且将数据写入相对应的地址。

[0050] 信号处理与测量装置可以接收存储装置读出的信号,可通过回读模式的控制信号来决定电路的操作模式,当回读模式为低态,此时信号处理与测量装置操作在正常模式,存储装置读出的数据会先经过信号处理装置做运算,再通过多工器处理之后将数据送至输出装置的输入端。

[0051] 当回读模式为高态时,此时信号处理与测量装置操作在测量模式,存储装置读出

的数据会直接经由多工器之后再送至输出装置的输入端。此做法主要是利用 I/O 输出端口远大于数据总线的宽度的特性,将存储装置读出的数据直接送至输出装置输出,可一次读取大批的数据,在不影响电路正常操作的情况下,又能加速存储装置的测试时间。

[0052] 输出装置:其输入信号是由信号处理与测量装置的输出信号所提供,输出信号为 I/O 输出端口,通过输出装置来加强由信号处理与测量装置的输出数据,最后再送至 I/O 输出端口,用来以增进电路驱动能力。

[0053] 另外存储装置,不须限定于特定类型的存储装置。本发明的 I/O 端口有双重功能,除了来达到存储装置的正常操作,也可以用于其他快速数据测量的功能。而数据在验证时,其不必经过信号处理而直接由 I/O 端口输出。而直接输出的方式,依照 I/O 端口的输出端点的数量,也可以将位数据依时序以多工方式直接输出。又,输出顺序的选定可以依照实际设计而变化。

[0054] 本发明提出针对箱入式存储装置的设计,如果应用在快速测量的技术上,可以通过信号处理与测量装置,改变存储装置的回读路径,从原来的数据总线改由远大于数据总线宽度的 I/O 端口来输出。在测试的时候,由于可以一次读取多笔数据,因此可以缩短测试时间,降低成本。

[0055] 又,本发明利用信号处理与测量装置,改变存储装置的回读路径,可以充分的利用系统芯片的 I/O 端口输出,而且亦不会增加到额外的引脚的数目。

[0056] 又,本发明的系统芯片利用此方式可以对存储装置做快速的测试验证,如果在相同的测试时间下进行验证,则此做法可以执行更多组的测试程序,因此测试的涵盖范围会较为完整。

[0057] 虽然本发明已以实施例公开如上,然其并非用以限定本发明,本领域技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视所附权利要求书所界定者为准。

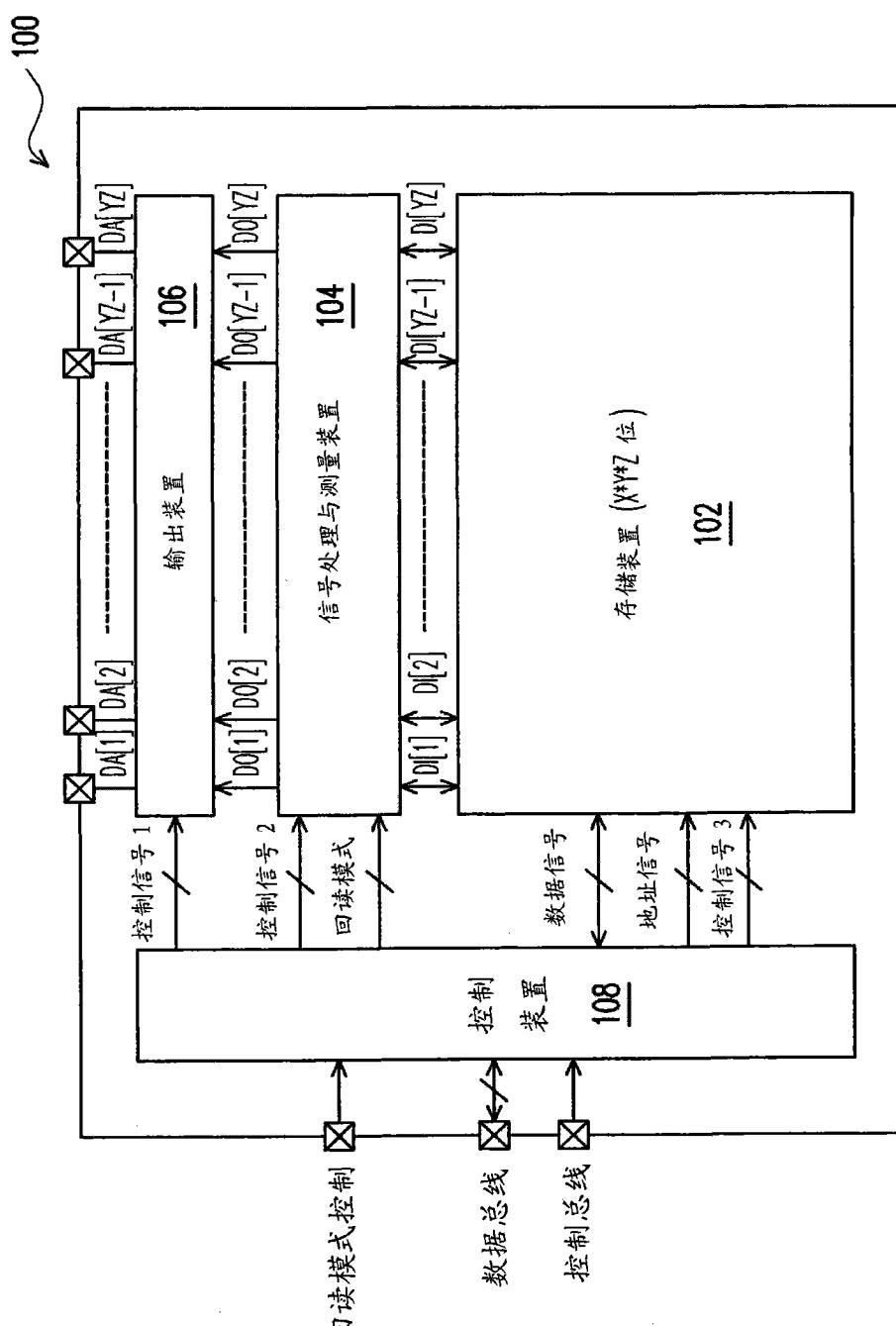


图 1

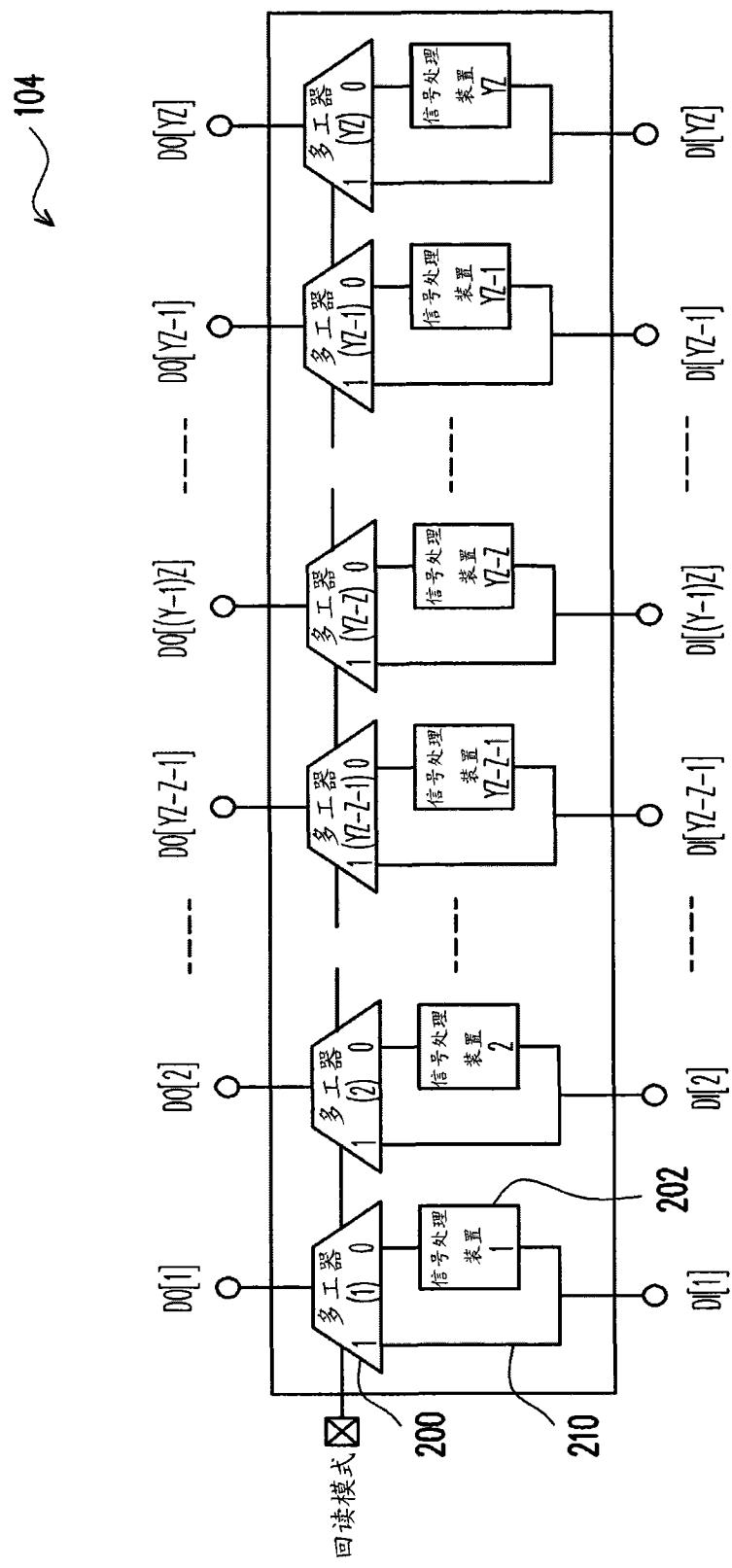


图 2

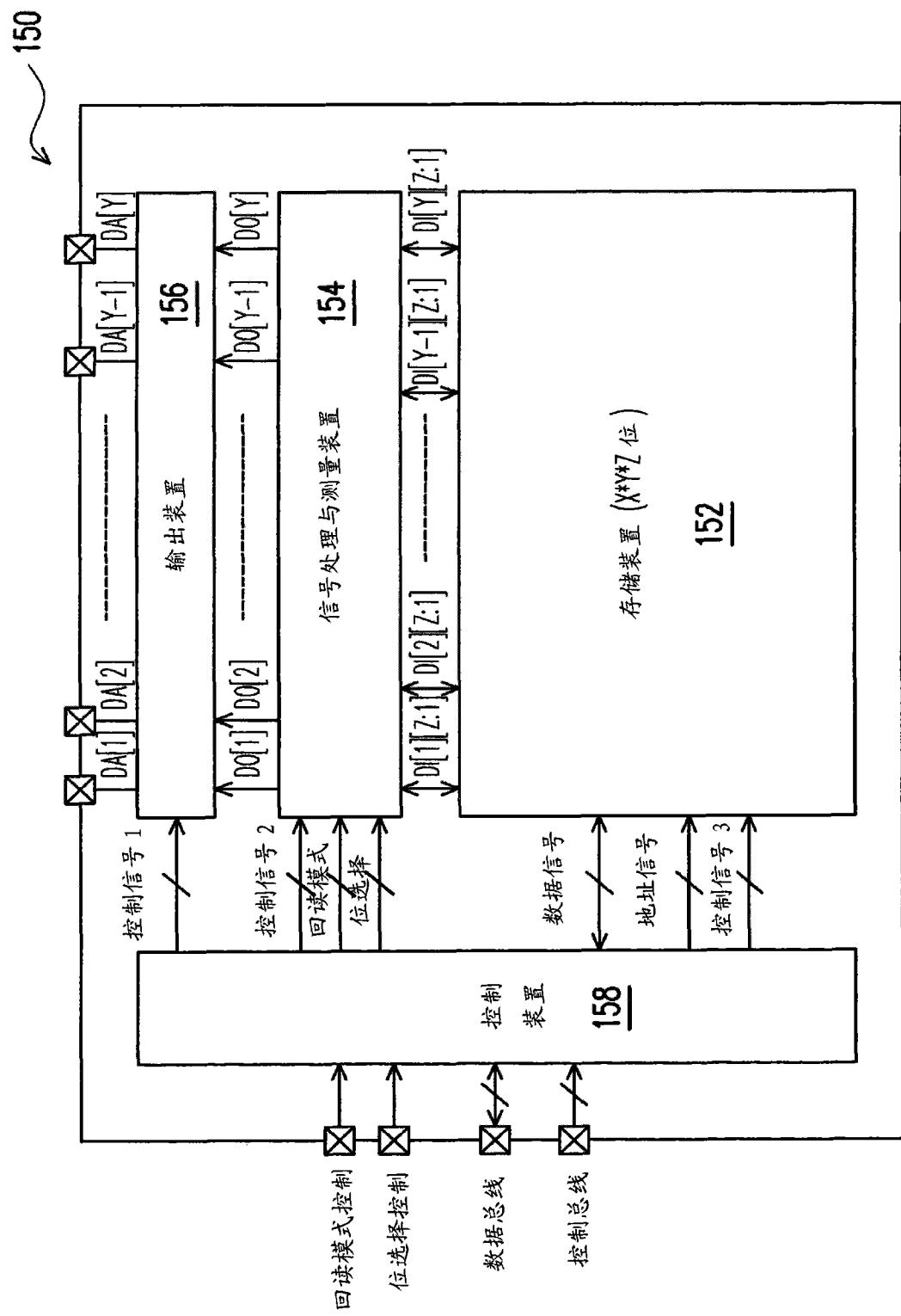


图 3

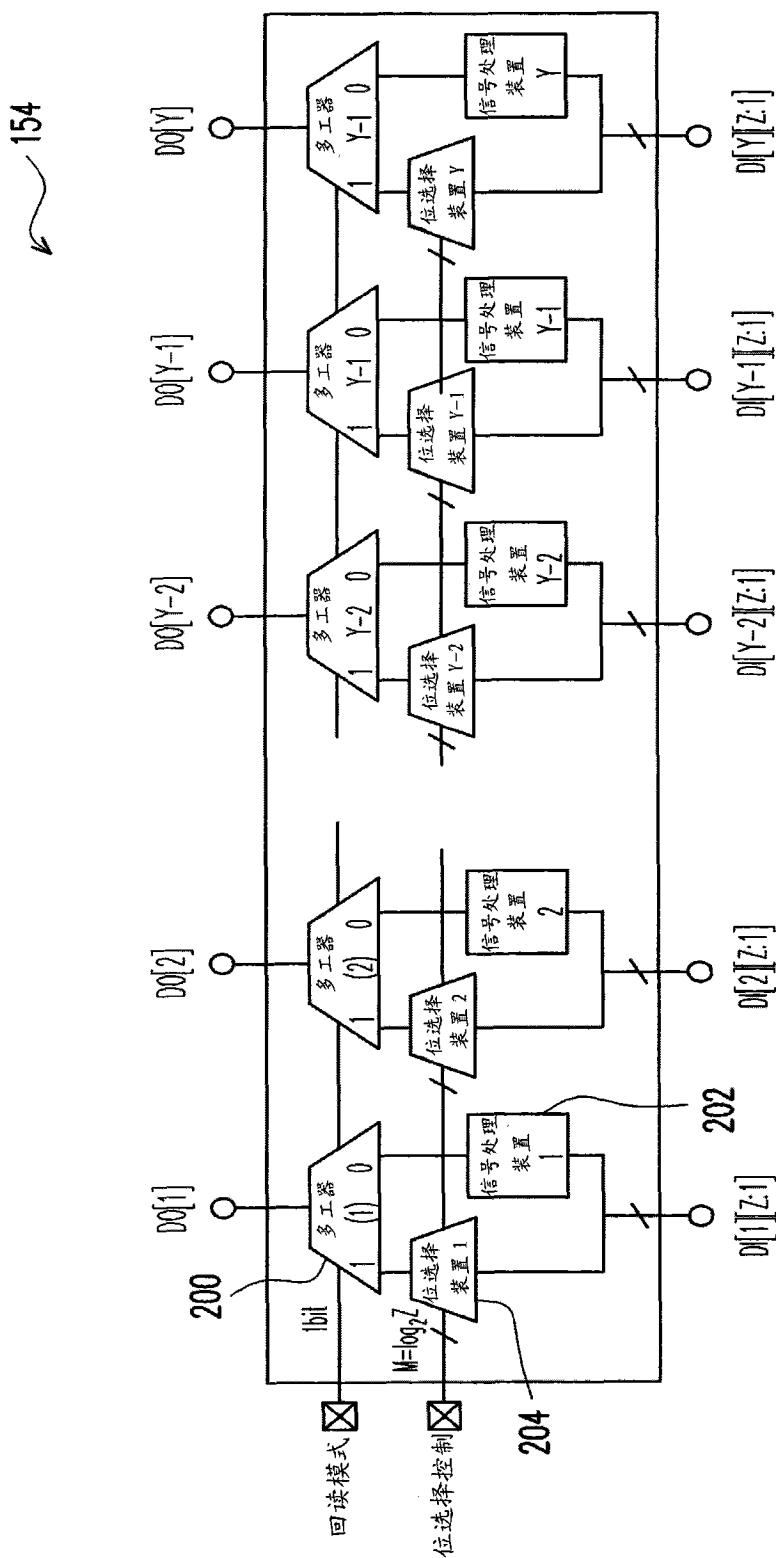


图 4