

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-163087

(P2018-163087A)

(43) 公開日 平成30年10月18日(2018.10.18)

(51) Int.Cl.
G01R 31/26 (2014.01)

F I
G01R 31/26

テーマコード(参考)
2G003

審査請求 未請求 請求項の数 15 O L (全 21 頁)

(21) 出願番号 特願2017-61258 (P2017-61258)
(22) 出願日 平成29年3月27日(2017.3.27)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
東京都江東区豊洲三丁目2番24号
(74) 代理人 110002066
特許業務法人筒井国際特許事務所
(72) 発明者 武藤 優
東京都小平市上水本町五丁目20番1号
ルネサスシステムデザイン株式会社内
Fターム(参考) 2G003 AA07 AG01 AG03 AG12 AG13
AH05

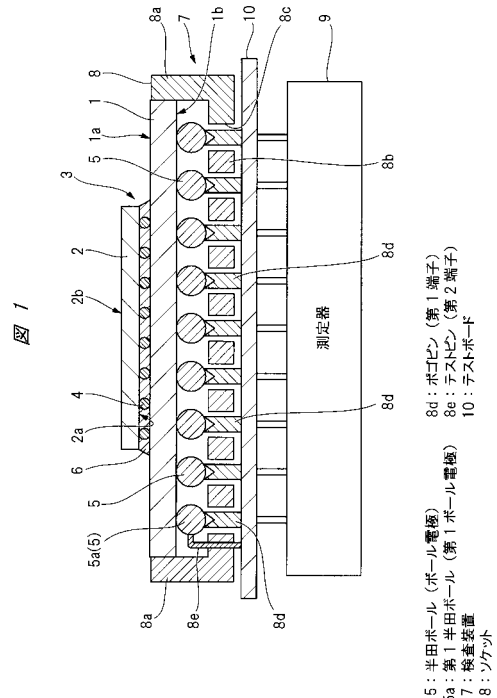
(54) 【発明の名称】 半導体装置の製造方法および半導体装置の検査装置ならびに半導体装置

(57) 【要約】

【課題】半導体装置の歩留まりを向上させる。

【解決手段】半導体装置の検査装置7が備えるテストボード10上に搭載されたソケット8の複数のポゴピン8dを複数の半田ボール5のそれぞれに接触させ、かつソケット8に設けられたテストピン8eを複数の半田ボール5のうちの第1半田ボール5aにおけるポゴピン8dの接触箇所と異なる箇所に接触させて、ポゴピン8dとテストピン8eとの間の抵抗値を測定する。これにより、ポゴピン8dと第1半田ボール5aとの接続不良を検出して導通状態を検査する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

(a) 外部端子として複数のボール電極が設けられた配線基板を備える半導体装置を検査用のソケットに装着する工程、

(b) 前記ソケットに設けられた複数の第 1 端子を前記複数のボール電極のそれぞれに接触させ、かつ前記ソケットに設けられた第 2 端子を前記複数のボール電極のうちの第 1 ボール電極に接触させて、前記第 1 端子と前記第 1 ボール電極との導通状態を検査する工程、

を有し、

前記 (b) 工程で、前記第 2 端子を、前記第 1 端子の前記第 1 ボール電極への接触方向と異なる方向から前記第 1 ボール電極に接触させて前記第 1 端子と前記第 2 端子との間の抵抗値を測定することにより、前記第 1 端子と前記第 1 ボール電極との接続不良を検出する、半導体装置の製造方法。

10

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、

前記 (b) 工程で、前記第 2 端子を、前記配線基板の前記複数のボール電極が設けられた面に沿った方向から前記第 1 ボール電極に接触させる、半導体装置の製造方法。

【請求項 3】

請求項 1 に記載の半導体装置の製造方法において、

前記 (b) 工程で、前記第 2 端子は、前記第 1 ボール電極における前記第 1 端子の接触箇所より前記配線基板側の位置に接触させる、半導体装置の製造方法。

20

【請求項 4】

請求項 1 に記載の半導体装置の製造方法において、

前記第 2 端子は、平面視で、前記ソケットの前記第 1 端子が配置された孔部に迫り出す複数の突出部を備えたフランジ型端子であり、

前記 (b) 工程で、前記フランジ型端子の前記複数の突出部を前記第 1 ボール電極に接触させる、半導体装置の製造方法。

【請求項 5】

請求項 4 に記載の半導体装置の製造方法において、

前記 (b) 工程で、前記フランジ型端子の前記複数の突出部は、前記第 1 ボール電極における前記第 1 端子の接触箇所より前記配線基板側の位置に接触させる、半導体装置の製造方法。

30

【請求項 6】

請求項 1 に記載の半導体装置の製造方法において、

前記配線基板は、半導体チップが搭載された第 1 面および前記第 1 面と反対側に位置する第 2 面を備え、さらに前記第 1 ボール電極に隣接して設けられ、かつ前記第 1 ボール電極に電氣的に接続されるとともに前記ボール電極が搭載されていない検査用端子を前記第 2 面に有しており、

前記 (b) 工程で、前記ソケットに設けられた第 3 端子を前記検査用端子に接触させて前記第 1 端子と前記第 3 端子との間の抵抗値を測定することにより、前記第 1 端子と前記第 1 ボール電極との接続不良を検出する、半導体装置の製造方法。

40

【請求項 7】

請求項 6 に記載の半導体装置の製造方法において、

前記半導体装置において前記検査用端子は絶縁膜によって覆われており、

前記 (b) 工程で、前記第 3 端子を前記絶縁膜に突き刺して前記検査用端子に接触させる、半導体装置の製造方法。

【請求項 8】

請求項 1 に記載の半導体装置の製造方法において、

前記 (b) 工程の後、前記ソケットに前記半導体装置を装着し、少なくとも前記第 1 ボール電極に前記第 1 端子を接触させて前記半導体装置の良品・不良品判定テストを行う、

50

半導体装置の製造方法。

【請求項 9】

外部端子として複数のボール電極が設けられた配線基板を備える半導体装置を収容し、かつ前記複数のボール電極のそれぞれに対応して配置された複数の第 1 端子と、前記複数のボール電極のうちの第 1 ボール電極に接触可能な第 2 端子と、を備えたソケットが実装されたテストボードと、

前記テストボードと電氣的に接続され、前記複数の第 1 端子および前記複数のボール電極のそれぞれを介して前記半導体装置に検査用の信号を送信する測定器と、

を有し、

前記半導体装置を前記ソケットに装着した状態で、前記複数の第 1 端子を前記複数のボール電極のそれぞれに接触させ、かつ前記第 2 端子を、前記第 1 端子の前記第 1 ボール電極への接触方向と異なる方向から前記第 1 ボール電極に接触させて前記第 1 端子と前記第 2 端子との間の抵抗値を測定することにより、前記第 1 端子と前記第 1 ボール電極との接続不良の検出を行う、半導体装置の検査装置。

10

【請求項 10】

請求項 9 に記載の半導体装置の検査装置において、

前記第 2 端子は、平面視で、前記ソケットの前記第 1 端子が配置された孔部に迫り出す複数の突出部を備えたフランジ型端子であり、

前記フランジ型端子の前記複数の突出部を前記第 1 ボール電極に接触させて、前記第 1 端子と前記第 1 ボール電極との接続不良の検出を行う、半導体装置の検査装置。

20

【請求項 11】

請求項 9 に記載の半導体装置の検査装置において、

前記配線基板は、半導体チップが搭載された第 1 面および前記第 1 面と反対側に位置する第 2 面を備え、さらに前記第 1 ボール電極に隣接して設けられ、かつ前記第 1 ボール電極に電氣的に接続されるとともに前記ボール電極が搭載されていない検査用端子を前記第 2 面に有しており、

前記ソケットに設けられた第 3 端子を前記検査用端子に接触させ、前記測定器により前記第 1 端子と前記第 3 端子との間の抵抗値を測定して前記第 1 端子と前記第 1 ボール電極との接続不良の検出を行う、半導体装置の検査装置。

30

【請求項 12】

半導体チップと、

第 1 面と、前記第 1 面と反対側に位置する第 2 面と、を備え、前記第 1 面に前記半導体チップが搭載された配線基板と、

前記配線基板の前記第 2 面に設けられた複数のボール電極と、

を有し、

前記配線基板は、前記第 2 面に、前記複数のボール電極のうちの第 1 ボール電極に隣接して設けられ、かつ前記第 1 ボール電極に電氣的に接続されるとともに前記ボール電極が搭載されていない検査用端子を備えており、

前記検査用端子は、前記複数のボール電極のうちの最外周に設けられた複数の第 2 ボール電極より内側に配置されている、半導体装置。

40

【請求項 13】

請求項 12 に記載の半導体装置において、

前記検査用端子は絶縁膜によって覆われている、半導体装置。

【請求項 14】

請求項 13 に記載の半導体装置において、

前記絶縁膜に孔が形成されている、半導体装置。

【請求項 15】

請求項 12 に記載の半導体装置において、

前記検査用端子は、平面視で複数に分割されている、半導体装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、ソケットを用いて半導体装置の検査を行う半導体装置の製造方法および半導体装置の検査装置ならびに半導体装置に関する。

【背景技術】

【0002】

組立て後の半導体装置のテスト工程では、半導体装置の検査は、ICソケット（以降、単にソケットとも言う）に装着して行われる。

【0003】

例えば、BGA（Ball Grid Array）型の半導体装置では、外部端子がボール電極であることから、BGAをソケットに押し込んでソケットに設けられたテスト用端子であるポゴピンにボール電極を接触させてテストを実施している。

10

【0004】

なお、BGAパッケージをソケットに装着して検査を行う技術については、例えば特開2005-241426号公報（特許文献1）に、はんだボールの表面の酸化膜を除去してから検査を実施する技術が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2005-241426号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記BGAをソケットに装着して検査を実施する技術では、BGAに搭載された基板の下面には半田ボール（ボール電極）が実装されており、半田ボールをソケットの内側に設けられたコンタクト用のポゴピンと機械的に接触させることで、半田ボールとポゴピンとを電氣的に接続し、種々のテストを実施している。

【0007】

上述のポゴピンと半田ボールの機械的接触による電氣的な接続の手法において、本願発明者は以下のような課題を見出した。

30

【0008】

第一に、BGAの半田ボールとソケットのポゴピンとを接触させる手法では、この接触を繰り返すことで、ポゴピンにおいて半田による汚染が生じる。そして、この汚染によりポゴピンと半田ボールとの接触抵抗が変化し、特に半導体装置を高速で動作させるテストでは動作に悪影響を与え、実際とは異なる測定値が計測されることで擬似不良として判定されることになる。

【0009】

第二に、上述の疑似不良を明確に検出する方法はなく量産工程や試作工程での不良発生の実績から、例えば挿抜回数を目安にソケットをメンテナンスするなどの対策を取っている。

40

【0010】

また、半導体装置は、その高性能化に伴い製品コストが増加する傾向がある中、不良改善ひいてはロスコストの低減化は重要性が増している。そして、上述の方法の場合、条件（製品設計やプロセスなど）が変わると評価・調整に時間がかかり、ある程度不良が発生しないと検出できない（一般的に採用されている複数のソケットを搭載したテストボードではソケット個々の接触判断はできない）、また、そもそも不良率が高い製品では検出感度が低い（接触不良との切り分けが難しい）などの問題がある。

【0011】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

50

【課題を解決するための手段】

【0012】

一実施の形態による半導体装置の製造方法は、(a)外部端子として複数のボール電極が設けられた配線基板を備える半導体装置を検査用のソケットに装着する工程を有する。さらに、(b)上記ソケットに設けられた複数の第1端子を上記複数のボール電極のそれぞれに接触させ、かつ上記ソケットに設けられた第2端子を上記複数のボール電極のうちの第1ボール電極に接触させて、上記第1端子と上記第1ボール電極との導通状態を検査する工程を有する。さらに、上記(b)工程で、上記第2端子を上記第1端子の上記第1ボール電極への接触方向と異なる方向から上記第1ボール電極に接触させて上記第1端子と上記第2端子との間の抵抗値を測定することにより、上記第1端子と上記第1ボール電極との接続不良を検出する。

10

【0013】

また、一実施の形態による半導体装置の検査装置は、外部端子として複数のボール電極が設けられた配線基板を備える半導体装置を収容し、かつ上記複数のボール電極のそれぞれに対応して配置された複数の第1端子と、上記複数のボール電極のうちの第1ボール電極に接触可能な第2端子と、を備えたソケットが実装されたテストボードを有する。さらに、上記テストボードと電氣的に接続され、上記複数の第1端子および上記複数のボール電極のそれぞれを介して上記半導体装置に検査用の信号を送信する測定器を有する。さらに、上記半導体装置を上記ソケットに装着した状態で、上記複数の第1端子を上記複数のボール電極のそれぞれに接触させ、かつ上記第2端子を、上記第1端子の上記第1ボール電極への接触方向と異なる方向から上記第1ボール電極に接触させて上記第1端子と上記第2端子との間の抵抗値を測定することにより、上記第1端子と上記第1ボール電極との接続不良の検出を行う。

20

【0014】

また、一実施の形態による半導体装置は、半導体チップと、第1面と上記第1面と反対側に位置する第2面とを備え、上記第1面に上記半導体チップが搭載された配線基板と、上記配線基板の上記第2面に設けられた複数のボール電極と、を有する。さらに、上記配線基板は、上記第2面に、上記複数のボール電極のうちの第1ボール電極に隣接して設けられ、かつ上記第1ボール電極に電氣的に接続されるとともに上記ボール電極が搭載されていない検査用端子を備えており、上記検査用端子は、上記複数のボール電極のうちの最外周に設けられた複数の第2ボール電極より内側に配置されている。

30

【発明の効果】

【0015】

上記一実施の形態によれば、半導体装置の組立てにおける検査工程での擬似不良の低減を図って半導体装置の歩留まりを向上させることができる。

【図面の簡単な説明】

【0016】

【図1】実施の形態1の半導体装置の検査状態の一例を示す模式図である。

【図2】実施の形態1の半導体装置の製造方法の組立て手順の一例を示すフロー図である。

40

【図3】実施の形態1の半導体装置の検査工程における半導体装置のソケットへの装着方法を示す模式図である。

【図4】図1に示す半導体装置の検査状態を拡大して示す模式図である。

【図5】図1に示す半導体装置の検査状態におけるボール電極と第1端子と第2端子の位置関係を示す模式図である。

【図6】図5に示す構造を上方から見た模式図である。

【図7】実施の形態1の半導体装置の検査後のボール電極における圧痕の一例を示す部分側面図である。

【図8】図7に示すボール電極の裏面図である。

【図9】実施の形態2の半導体装置の検査状態の一例を示す模式図である。

50

【図 10】図 9 に示す半導体装置の検査状態におけるボール電極と第 1 端子と第 2 端子の位置関係を示す模式図である。

【図 11】図 10 に示す構造を上方から見た模式図である。

【図 12】実施の形態 2 の半導体装置の検査後のボール電極における圧痕の一例を示す部分側面図である。

【図 13】図 12 に示すボール電極の裏面図である。

【図 14】実施の形態 3 の半導体装置の検査状態の一例を示す模式図である。

【図 15】図 14 に示す A 部の構造を拡大して示す拡大部分断面図である。

【図 16】実施の形態 3 の半導体装置における検査用端子の配列の一例を示す拡大裏面図である。

10

【図 17】図 16 に示す検査用端子とソケットの第 1 端子との接触位置の一例を示す裏面図、平面図および側面図である。

【図 18】変形例の半導体装置の構造の一例を示す平面図である。

【図 19】図 18 に示す D - D 線に沿って切断した構造を示す部分断面図である。

【発明を実施するための形態】

【0017】

以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0018】

さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

20

【0019】

また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

【0020】

また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

30

【0021】

また、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0022】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

40

【0023】

（実施の形態 1）

< 半導体装置の構成 >

図 1 は実施の形態 1 の半導体装置の検査状態の一例を示す模式図である。

【0024】

本実施の形態 1 で検査が行われる半導体装置の構造について説明する。

【0025】

図 1 に示す半導体装置は、半導体チップ 2 がパッケージ基板（配線基板）1 に搭載（接

50

合、接続、実装)された基板タイプの半導体パッケージであり、さらに、パッケージ基板 1 の下面側に設けられた複数の外部端子は半田ボール(ボール電極)5である。すなわち、本実施の形態 1 の半導体装置は、BGA(Ball Grid Array)3である。

【0026】

BGA3の構成について説明すると、半導体チップ2と、半導体チップ2を支持または搭載するパッケージ基板1と、半導体チップ2の主面(表面)2aとパッケージ基板1の上面(第1面)1aとの間に配置され、かつ半導体チップ2とパッケージ基板1とを電氣的に接続する複数のバンプ4と、を備えている。

【0027】

すなわち、半導体チップ2は、パッケージ基板1上にフリップチップ実装されている。また、BGA3は、半導体チップ2とパッケージ基板1との隙間に充填された樹脂材であるアンダーフィル6を有しており、このアンダーフィル6によってフリップチップ接続部が保護されている。

10

【0028】

そして、パッケージ基板1の上面1aと反対側に位置する下面(第2面)1bには、BGA3の外部端子として、後述する図16に示すように、エリアアレイ配置(格子状配列)された複数の半田ボール5が設けられている。

【0029】

さらに、詳細に説明すると、半導体チップ2は、平面の形状が正方形または長方形であり、例えば、単結晶シリコンなどからなる半導体基板(半導体ウエハ)の主面に種々の半導体素子または半導体集積回路を形成した後、ダイシングなどにより上記半導体基板を各半導体チップ2に分離したものである。

20

【0030】

また、半導体チップ2は、主面(半導体素子形成側の面)2aと、主面2aとは反対側に位置する裏面(半導体素子形成側の面とは逆側の面)2bとを有し、その主面2aがパッケージ基板1の上面1aと対向するように搭載(配置)されており、したがって、半導体チップ2の裏面2bは、上方を向いている。

【0031】

また、配線基板であるパッケージ基板1は、BGA基板などとも呼ばれ、例えば樹脂材と導体材からなる。さらに、パッケージ基板1は、半導体チップ2が搭載される上面1aと、複数の半田ボール5が設けられる下面1bとを有しており、上面1a側の半導体チップ2と下面1b側の半田ボール5とが、パッケージ基板1の表面や内部に形成された配線およびビアなど導体部によって電氣的に接続されている。

30

【0032】

そして、半田ボール5は、パッケージ基板1の下面1b側にアレイ状(格子状)に配置されており、BGA3の外部端子として機能する。

【0033】

ここで、フリップチップ実装用のバンプ4は、例えば金バンプである。

【0034】

また、アンダーフィル6は、例えば熱硬化性樹脂材料などの樹脂材料からなる。

40

【0035】

<半導体装置の検査装置について>

図1に示すBGA3の検査に用いられる検査装置について説明する。BGA(半導体装置)3の検査装置7は、BGA3を収容可能なソケット8が実装されたテストボード10と、テストボード10と電氣的に接続され、かつソケット8内に設けられた複数のポゴピン(第1端子)8dおよびBGA3の外部端子である複数の半田ボール(ボール電極)5のそれぞれを介してBGA3に所定の検査用の信号を送信するテストである測定器9と、を備えている。

【0036】

つまり、BGA3を含む半導体装置の検査(テスト)は、測定器9から半導体装置に信

50

号を入力し、この信号に対する半導体装置の応答を調べるものである。検査では、信号は測定器 9 で形成され、テストボード 10 に形成された図示しない導通パターンを伝搬してポゴピン 8 d に到達し、さらに半田ボール 5 を介して半導体装置 (B G A 3) に伝搬される。半導体装置側からの応答の信号は、これとは逆の順番に伝搬されて測定器 9 に戻る。そして、測定器 9 において応答結果と期待値との一致 / 不一致を判定する。

【 0 0 3 7 】

本実施の形態 1 のソケット 8 には、その内部に、 B G A 3 の複数の半田ボール 5 のそれぞれと接触する複数のポゴピン (第 1 端子) 8 d と、複数の半田ボール 5 のうちの第 1 半田ボール (第 1 ボール電極) 5 a に接触可能なテストピン (第 2 端子) 8 e とが設けられている。テストピン 8 e は、リファレンスピンなどとも呼ばれる。

10

【 0 0 3 8 】

なお、ソケット 8 は、複数のポゴピン 8 d のそれぞれが配置される複数の孔部 8 c が形成された底部 8 b と、底部 8 b と接合され、かつ半導体装置を収容する空間を形成する側壁 8 a と、を有している。

【 0 0 3 9 】

つまり、ソケット 8 の内部には、複数のポゴピン 8 d と、ポゴピン 8 d とは異なるテストピン 8 e が設けられている。

【 0 0 4 0 】

そして、本実施の形態 1 の B G A 3 の検査では、 B G A 3 をソケット 8 に装着した状態で、複数のポゴピン 8 d のそれぞれを複数の半田ボール 5 のそれぞれに接触させ、かつ第 1 半田ボール 5 a におけるポゴピン 8 d の接触箇所と異なる箇所にテストピン 8 e を接触させてポゴピン 8 d とテストピン 8 e との間の抵抗値を測定する。この抵抗値の測定により、ポゴピン 8 d と第 1 半田ボール 5 a との接続不良の検出を行う。すなわち、ポゴピン 8 d と第 1 半田ボール 5 a との導通状態を検査する。

20

【 0 0 4 1 】

なお、第 1 半田ボール 5 a は、格子状に配置された複数の半田ボール 5 のうち、例えば、角部に配置された半田ボール 5 か、もしくは何れかの列の端部に配置された半田ボール 5 であることが好ましい。導通検査を実施する半田ボール 5 として、角部や端部に配置された第 1 半田ボール 5 a を採用することで、ソケット 8 内において、テストピン 8 e の配置を容易に行うことができる。

30

【 0 0 4 2 】

< 半導体装置の製造方法について >

まず、本願発明者が検討した本願の課題の詳細について説明する。

【 0 0 4 3 】

ソケット 8 に B G A 3 を装着して電気的な検査を行う方法においては、ソケット 8 のポゴピン 8 d と B G A 3 の半田ボール 5 とを機械的に接触させる。その構造上、ポゴピン 8 d と半田ボール 5 との間に異物がはさまる余地が存在する。明確な異物でなくとも、 B G A 3 の半田ボール 5 とソケット 8 のポゴピン 8 d とが接触することで、半田ボール 5 の半田屑がポゴピン 8 d に付着する、またはポゴピン 8 d の表面の保護膜が剥がれる、さらには半田ボール搭載後にフラックス洗浄を行った際の薬液の残りなどがポゴピン 8 d に不着するといった汚染が生じる。

40

【 0 0 4 4 】

そして、上記汚染によりポゴピン 8 d と半田ボール 5 との接触抵抗が変化する。この接触抵抗の変化は不規則であり、測定器 9 から印加された信号に対して遅延や S N 比 (信号とノイズの比率) の悪化といった影響を与える。

【 0 0 4 5 】

これは特に高速で動作するような半導体装置の機能を評価する際に実際の製品の性能より悪く判断されることがあり、その結果、不良として判定されることがある。このことを疑似不良と呼んでいる。上述の疑似不良は、他の不良と切り分ける (接触不良起因であると断定する) ことが困難であり、不良発生率などの推移を観測することで汚染の状況を推

50

定し対策を取る程度に留まっている。

【0046】

そこで、本実施の形態1の半導体装置の製造方法では、上記汚染による半田ボール5とポゴピン8dとの接触抵抗の悪化を検出する。その際、ポゴピン8dとは異なる位置に配置されたテストピン8eを任意のタイミングで半田ボール5と接触させる。そして、このテストピン8eとポゴピン8dとの間の抵抗値を測定することにより、ポゴピン8dと半田ボール5との間の抵抗値を測定することができる。さらに、上記汚染の状況をモニタリングすることにより、接触不良起因の不良を特定可能にすることができる。

【0047】

次に、図2は実施の形態1の半導体装置の製造方法の組立て手順の一例を示すフロー図である。図2を用いて、本実施の形態1の半導体装置の検査を行うタイミングについて説明する。

10

【0048】

まず、図2に示す工程(ステップ)に従って、半導体装置を組立てる。すなわち、前工程の実施により、ウェハを形成した後、ウェハテストを実施する。このウェハテストで不良(Fail)は取り除かれる。また、ウェハテストを通過(Pass)したウェハは、後工程に搬送され、半導体装置の組立てが実施される。

【0049】

組立て完了後、半導体装置の製品テストを実施する。ここでは、ソケット8にBGA3を装着して複数の半田ボール5のそれぞれにポゴピン8dを接触させ、この状態で製品テスト(良品・不良品判定テスト)を実施する。そして、この製品テストを通過(Pass)した半導体装置が製品となる。一方、製品テストでFail判定となった場合、次のステップにおいて、製品テストでFail判定された項目が擬似不良に該当する項目が否かを判定する。

20

【0050】

例えば、ショート不良などの場合には、擬似不良項目に該当しない(NO)と判定して、その半導体装置は不良となる。

【0051】

また、特性が不安定となっている場合などには、擬似不良に該当し(YES)、次のステップで接続テスト(本実施の形態1の半導体装置の検査)を実施する。この接続テストでFail判定となった場合には、その半導体装置は不良となる。一方、接続テストを通過(Pass)した半導体装置(BGA3)については、再度、製品テストを実施する。すなわち、接続テストを通過(Pass)した半導体装置については、ソケット8にBGA3を装着して、少なくとも第1半田ボール5aにポゴピン8dを接触させてBGA3の製品テスト(良品・不良品判定テスト)を実施する。

30

【0052】

次に、本実施の形態1の半導体装置の検査(上記接続テスト)について説明する。

【0053】

図3は実施の形態1の半導体装置の検査工程における半導体装置のソケットへの装着方法を示す模式図、図4は図1の半導体装置の検査状態を拡大して示す模式図である。

40

【0054】

図2に示す接続テストにおいて、まず、図3に示すように、外部端子として複数の半田ボール5が設けられたパッケージ基板1を備えるBGA3を検査用のソケット8に装着する。

【0055】

そして、図1に示すように、ソケット8に設けられた複数のポゴピン8dのそれぞれを複数の半田ボール5のそれぞれに接触させ、かつソケット8に設けられたテストピン8eを複数の半田ボール5のうちの第1半田ボール5aに接触させて、ポゴピン8dと第1半田ボール5aとの導通状態を検査する。

【0056】

50

上記検査では、図4に示すように、電源11と接続された測定器9で形成された検査用の信号を、ポゴピン8dを介してBGA3の第1半田ボール5aに入力する。その際、第1半田ボール5aにおけるポゴピン8dの接触箇所と異なる箇所にテストピン8eを接触させておき、ポゴピン8dと第1半田ボール5aとの間の抵抗値を測定する。これにより、ポゴピン8dと第1半田ボール5aとの接続不良を検出する。

【0057】

ここで、図5は図1に示す半導体装置の検査状態におけるボール電極と第1端子と第2端子の位置関係を示す模式図、図6は図5に示す構造を上方から見た模式図である。すなわち、図5、6は、第1半田ボール5aとポゴピン8dとテストピン8eの位置関係を示している。検査対象の半田ボール5である第1半田ボール5aの下方にポゴピン8dが配置され、一方、第1半田ボール5aの水平方向に沿ってテストピン8eが配置されている。

10

【0058】

つまり、ソケット8内において、テストピン8eは、複数のポゴピン8dの配列とは異なる位置に配置されている。したがって、検査時には、テストピン8eを、ポゴピン8dの第1半田ボール5aへの接触方向と異なる方向から第1半田ボール5aに接触させることができる。例えば、図4～図6に示すように、ポゴピン8dをパッケージ基板1の下方からP方向（ポゴピン8dが上下動する方向）に沿って第1半田ボール5aに接触させ、一方、テストピン8eは、パッケージ基板1に水平な方向であるQ方向に沿った方向から第1半田ボール5aに接触させ、この状態で導通検査を実施する。言い換えると、テストピン8eを、パッケージ基板1の複数の半田ボール5が設けられた面（図1に示す下面1b）に沿った方向から第1半田ボール5aに接触させる。

20

【0059】

このようにテストピン8eをポゴピン8dの第1半田ボール5aへの接触方向と異なる方向から第1半田ボール5aに接触させることで、ポゴピン8dとテストピン8eとが干渉することを防ぐことができる。

【0060】

また、図5に示すように、検査時には、テストピン8eを、第1半田ボール5aにおけるポゴピン8dの接触箇所よりパッケージ基板1側の位置に接触させる。つまり、テストピン8eを第1半田ボール5aにおけるポゴピン8dの接触箇所より上方の位置に接触させる。

30

【0061】

ここで、図7は実施の形態1の半導体装置の検査後のボール電極における圧痕の一例を示す部分側面図、図8は図7に示すボール電極の裏面図である。すなわち、図7、8は、第1半田ボール5aにおけるポゴピン8dとテストピン8eのそれぞれの圧痕5b、5cの位置を示している。

【0062】

図5に示すように、テストピン8eを、第1半田ボール5aにおけるポゴピン8dの接触箇所と異なる箇所で、かつポゴピン8dの接触箇所より上方の位置に接触させるため、図7、8に示すように、それぞれの圧痕5b、5cは、お互いに異なる位置（R部とS部）に形成されている。

40

【0063】

具体的には、テストピン8eを第1半田ボール5aにおけるポゴピン8dの接触箇所より上方の位置に接触させるため、ポゴピン8dの圧痕5bは、図8に示すように、第1半田ボール5aの下部領域（R部）に4つ形成されている。一方、第1半田ボール5aにおけるテストピン8eの圧痕5cは、図7に示すように、ポゴピン8dの圧痕5bの位置（R部）より上方の位置である側部領域（S部）に4つ形成されている。

【0064】

このように第1半田ボール5aに形成された圧痕5b、5cを確認することで、ポゴピン8dおよびテストピン8eが接触している位置を確認することができる。すなわち、本

50

実施の形態 1 の半導体装置の検査を行った場合、図 7 に示すように、第 1 半田ボール 5 a において、下部領域 (R 部) および側部領域 (S 部) の 2 箇所それぞれにそれぞれ圧痕が形成される。

【 0 0 6 5 】

< 実施の形態 1 の効果 >

本実施の形態 1 の半導体装置の製造方法では、ソケット 8 内において複数のポゴピン 8 d の配列とは異なる位置にテストピン 8 e が配置され、検査時に、複数のポゴピン 8 d のそれぞれを複数の半田ボール 5 のそれぞれに接触させ、かつテストピン 8 e を複数の半田ボール 5 のうちの第 1 半田ボール 5 a に接触させて、ポゴピン 8 d と第 1 半田ボール 5 a との導通状態を検査する。具体的には、第 1 半田ボール 5 a におけるポゴピン 8 d の接触箇所と異なる箇所にテストピン 8 e を接触させてポゴピン 8 d と第 1 半田ボール 5 a との間の抵抗値を測定する。これにより、ポゴピン 8 d と第 1 半田ボール 5 a との接続不良を検出する。すなわち、ポゴピン 8 d と第 1 半田ボール 5 a との導通状態を検査する。

10

【 0 0 6 6 】

また、ソケット 8 内において複数のポゴピン 8 d の配列とは異なる位置にテストピン 8 e が配置されているため、テストピン 8 e を任意のタイミングで第 1 半田ボール 5 a と接触させることができる。

【 0 0 6 7 】

なお、必要に応じてテストピン 8 e を第 1 半田ボール 5 a に接触させてポゴピン 8 d と第 1 半田ボール 5 a との間の抵抗値をモニタリングすることができる。そして、この抵抗値をフィードバックすることで検査の最適化をリアルタイムに行うことができ、擬似不良の低減化を図ることができる。言い換えると、ポゴピン 8 d の汚染の状況をモニタリングすることができる。これにより、接触不良起因の不良を特定することができる。

20

【 0 0 6 8 】

また、BGA (半導体装置) 3 の組立てにおける検査工程での擬似不良の低減化を図って BGA 3 の歩留まりを向上させることができる。

【 0 0 6 9 】

また、ポゴピン 8 d の実際の汚染状況を直接モニタリングできるため、検査装置 7 のメンテナンスをタイミング良く実施することができる。

【 0 0 7 0 】

さらに、擬似不良と判定された半導体装置 (製品) を、本実施の形態 1 の検査方法で再度検査することで、半導体装置を救済することができる。つまり、半導体装置の擬似不良の低減化を図ることができ、BGA (半導体装置) 3 の歩留まりを向上させることができる。

30

【 0 0 7 1 】

なお、BGA 3 などの半導体装置では、組立ての最終工程が終わってからの検査で不良となると、前工程と後工程を経て組立てた半導体装置が全て 0 (零) となってしまう損失が非常に大きい。したがって、組立ての最終工程を終了した後の検査で不良となった半導体装置における擬似不良を低減してその半導体装置を救済することで、コスト的に大きな効果を生み出すことができる。

40

【 0 0 7 2 】

また、本実施の形態 1 の検査装置 7 においても、本実施の形態 1 で説明した検査方法と同様の方法で検査を行うことにより、BGA (半導体装置) 3 の組立てにおける検査工程での擬似不良の低減化を図ることができ、その結果、BGA 3 の歩留まりを向上させることができる。なお、検査装置 7 によって得られるその他の効果については半導体装置の製造方法によって得られる効果と同じであるため、その重複説明は省略する。

【 0 0 7 3 】

(実施の形態 2)

図 9 は実施の形態 2 の半導体装置の検査状態の一例を示す模式図、図 10 は図 9 に示す半導体装置の検査状態におけるボール電極と第 1 端子と第 2 端子の位置関係を示す模式図

50

、図 1 1 は図 1 0 に示す構造を上方から見た模式図である。また、図 1 2 は実施の形態 2 の半導体装置の検査後のボール電極における圧痕の一例を示す部分側面図、図 1 3 は図 1 2 に示すボール電極の裏面図である。

【 0 0 7 4 】

まず、本実施の形態 2 の半導体装置の製造方法における検査工程で用いられるソケット 8 の特徴について説明する。本実施の形態 2 で用いられる上記ソケット 8 において、ソケット 8 内に設けられた第 2 端子は、図 1 0 および図 1 1 に示すように、平面視で、ソケット 8 のポゴピン（第 1 端子）8 d が配置された孔部 8 c に迫り出す複数の突出部 8 g を備えたフランジ型端子 8 f である。そして、検査時には、フランジ型端子 8 f の複数の突出部 8 g を第 1 半田ボール 5 a に接触させて、ポゴピン 8 d と第 1 半田ボール 5 a との接続不良の検出を行う。

10

【 0 0 7 5 】

すなわち、図 1 0 に示すように、ソケット 8 の底部 8 b の表面に、各ポゴピン 8 d とは独立してフランジ型端子 8 f が設けられており、フランジ型端子 8 f の複数の突出部 8 g のそれぞれが、底部 8 b の孔部 8 c 上に迫り出して配置されている。図 1 1 に示す構造では、1 つのフランジ型端子 8 f に 4 つの細長い突出部 8 g が設けられた構造を示しているが、1 つのフランジ型端子 8 f に設けられる突出部 8 g の数は、4 つに限定されるものではなく、4 つ以外の複数個であってもよい。

【 0 0 7 6 】

また、それぞれの突出部 8 g は、平面視で、細長い形状となっているが、突出部 8 g の形状は、図 1 0 に示すように、ソケット 8 の底部 8 b の孔部 8 c に迫り出して配置されていけば如何なる形状であってもよい。

20

【 0 0 7 7 】

また、図 1 1 に示すように、フランジ型端子 8 f では、その複数の突出部 8 g において、対向する突出部 8 g 間における突出部 8 g と突出部 8 g との距離 L_1 が、ポゴピン 8 d の直径 (L_2) より大きくなっている ($L_1 > L_2$)。

【 0 0 7 8 】

これにより、ポゴピン 8 d は、フランジ型端子 8 f に接触することなく上下動することができる。

【 0 0 7 9 】

また、平面視で、第 1 半田ボール 5 a の直径 L_3 は、突出部 8 g と突出部 8 g との距離 L_1 より大きい ($L_3 > L_1$)。すなわち、図 1 1 に示すように、平面視における L_1 、 L_2 、 L_3 の関係は、 $L_3 > L_1 > L_2$ となっている。

30

【 0 0 8 0 】

したがって、検査時に、図 9 に示すように、BGA 3 を降下させて第 1 半田ボール 5 a をポゴピン 8 d に接触させた際には、フランジ型端子 8 f の各突出部 8 g も第 1 半田ボール 5 a に接触する。すなわち、上方から第 1 半田ボール 5 a が降下し、第 1 半田ボール 5 a がポゴピン 8 d に接触するのと略同時にフランジ型端子 8 f の各突出部 8 g も第 1 半田ボール 5 a に接触する。

【 0 0 8 1 】

そして、ポゴピン 8 d が所定の位置まで降下すると、各突出部 8 g は、若干撓んで第 1 半田ボール 5 a に接触した状態を維持する。つまり、フランジ型端子 8 f の各突出部 8 g は、ソケット 8 の底部 8 b の孔部 8 c に迫り出しているため、第 1 半田ボール 5 a に接触した後にポゴピン 8 d が僅かに降下しても、各突出部 8 g も若干撓んで第 1 半田ボール 5 a との接触を維持する。これにより、第 1 半田ボール 5 a がポゴピン 8 d とフランジ型端子 8 f とに接触（図 9 の T 1 部および T 2 部）した状態でポゴピン 8 d と第 1 半田ボール 5 a との導通検査を行うことができる。

40

【 0 0 8 2 】

なお、第 1 半田ボール 5 a と、第 1 半田ボール 5 a に隣接する他の半田ボール 5 とが、フランジ型端子 8 f を介して電氣的なショートをしないように、フランジ型端子 8 f は、

50

コーナーピンや特定の電源ピンだけに設置することが好ましい。

【0083】

また、検査時において、図9に示すように、フランジ型端子8fの第1半田ボール5aに対する接触位置(T2部)は、ポゴピン8dの第1半田ボール5aに対する接触位置(T1部)より上方である。つまり、検査時に、フランジ型端子8fの複数の突出部8gを、第1半田ボール5aにおけるポゴピン8dの接触箇所よりパッケージ基板1側の位置に接触させる。

【0084】

その際、第1半田ボール5aが球体であるため、フランジ型端子8fの第1半田ボール5aへの接触位置(T2部)は、ポゴピン8dの第1半田ボール5aへの接触位置(T1部)よりも外側に位置する。

10

【0085】

したがって、図12に示すように、第1半田ボール5aに形成された図9に示すフランジ型端子8fによる細長い4つの圧痕5dの位置は、図9に示すポゴピン8dによる4つの圧痕5bの位置より上方の位置である。

【0086】

さらに、図13に示すように、第1半田ボール5aに形成されたフランジ型端子8fによる細長い4つの圧痕5dの位置は、ポゴピン8dによる4つの圧痕5bの位置より外側の位置である。

【0087】

つまり、フランジ型端子8fによる圧痕5dの位置と、ポゴピン8dによる圧痕5bの位置は、第1半田ボール5aにおいて単に分散された位置に形成されているのではなく、第1半田ボール5aにおける上側(基板側)と下側(下方開放端側)もしくは内側(ボール中心側)と外側(側方開放端側)のそれぞれの領域に明確に分けられた位置となっている。

20

【0088】

本実施の形態2の半導体装置の製造方法によれば、ソケット8の底部8b上にフランジ型端子8fを配置したことで、ソケット8に対してフランジ型端子8fを接触させる機構を組み込む必要性がない。つまり、既存のソケット8の形状を大きく変えることなくフランジ型端子8fを設置可能なため、ソケット8自体、およびテストボード10上へのソケット8の搭載数などでコストの上昇を抑制することができる。

30

【0089】

また、テストボード10に限らず半導体装置を搭載した周辺には各種部品(バイパスコンデンサ、ダンピング抵抗、水晶振動子、ハイ/ローパスフィルタなど)が搭載される。この中には電気特性に影響の大きいものが多く、可能な限り半導体装置の近くに配置すべきである。このため、実施の形態1に比べてソケット8のサイズを抑えることが可能な本実施の形態2の半導体装置(BGA3)の性能および検査の品質を向上させることができる。

【0090】

また、実施の形態1と同様に、BGA(半導体装置)3の組立てにおける検査工程での疑似不良の低減化を図ることができ、その結果、BGA3の歩留まりを向上させることができる。なお、本実施の形態2の半導体装置の製造方法によって得られるその他の効果については、実施の形態1の半導体装置の製造方法によって得られる効果と同じであるため、その重複説明は省略する。

40

【0091】

(実施の形態3)

図14は実施の形態3の半導体装置の検査状態の一例を示す模式図、図15は図14に示すA部の構造を拡大して示す拡大部分断面図、図16は実施の形態3の半導体装置における検査用端子の配列の一例を示す拡大裏面図、図17は図16に示す検査用端子とソケットの第1端子との接触位置の一例を示す裏面図、平面図および側面図である。

50

【0092】

本実施の形態3の半導体装置の製造方法では、半田ボール5が搭載されていない検査用端子であるランド1eを有したBGA3を準備し、このBGA3のランド1eを用いてBGA3の第1半田ボール5aとポゴピン8dとの導通状態を検査するものである。

【0093】

まず、図14に示すBGA3について説明すると、BGA3に組み込まれたパッケージ基板1は、その下面1bに、複数の半田ボール5のうちの第1半田ボール5aに隣接して設けられ、かつ第1半田ボール5aに電氣的に接続されるとともに半田ボール5が搭載されていないランド(検査用端子)1eを備えている。

【0094】

なお、ランド1eは、パッケージ基板1の配線1cを介して第1半田ボール5aと電氣的に接続されている。また、ランド1eは、複数の半田ボール5のうちの最外周に設けられた複数の半田ボール5(第2半田ボール5e、第2ボール電極)より内側の領域に配置されている。言い換えれば、図16に示すように、ランド1eは、最外周に設けられたボール搭載用の複数のランド1fmより内側の領域に配置されている。

【0095】

そして、検査時には、図14に示すように、ソケット8(図1参照)に設けられたニードルピン(第3端子)8hをランド1eに接触させ、測定器9によってポゴピン8dとニードルピン8hとの間の抵抗値を測定し、これにより、ポゴピン8dと第1半田ボール5aとの接続不良の検出を行う。

【0096】

詳細に説明すると、本実施の形態3の検査装置7では、測定器9に電氣的に接続された測定子としてポゴピン(第1端子)8dと、テストピン(第2端子)8eと、ニードルピン(第3端子)8hとが設けられている。そして、ポゴピン8d、テストピン8eおよびニードルピン8hは、それぞれ測定器9の内部に設けられた電流源13および電圧計12に電氣的に接続されている。

【0097】

本実施の形態3の導通検査では、測定される被測定ボール(第1半田ボール5a)を限定し、この被測定ボールに隣接して検査用の電流を印加する検査用端子(金属製のランド1e)を形成し、上記検査用端子に、図15に示すように絶縁膜であるソルダレジスト膜1dを被せておく。つまり、ランド1eは、ソルダレジスト膜1dによって覆われている。ランド1eがソルダレジスト膜1dによって覆われていることにより、BGA3の外観を良くすることができる。さらに、ランド1eの損傷を防止することができる。

【0098】

ただし、ランド1eは、ソルダレジスト膜1dによって覆われることなく、導体部分が露出していてもよい。

【0099】

なお、ランド1eがソルダレジスト膜1dによって覆われている場合には、検査時、図15に示すようにニードルピン8hをソルダレジスト膜1dに突き刺してランド1eに接触させ、この状態で検査を行う。ニードルピン8hは先端が尖っているため、ソルダレジスト膜1dを突き破るのは容易である。検査後、ランド1eを覆うソルダレジスト膜1dには、ニードルピン8hを突き刺した跡として、孔1daが形成されている。

【0100】

また、ソケット8においては、検査用端子であるランド1eの位置に対応した位置にニードルピン8hを立てられるようにする。つまり、ソケット8において、任意の位置にニードルピン8hが立てられるようになっている。

【0101】

そして、検査の際には、ニードルピン8hをソルダレジスト膜1dに貫通させて検査用端子であるランド1eに接触させて、測定器9の電流源13からニードルピン8hを介して電流を印加する。ここでは、ニードルピン8hを介してランド1eに抵抗値を測定する

10

20

30

40

50

電流を印加する。

【0102】

この状態で実施の形態1の導通検査と同じ方法で電圧と電流を測定する。この時、テストピン8eを第1半田ボール5aに接触させて電圧を測定することができるため、より安定した抵抗値の測定が可能となる。また、本実施の形態3の検査装置7では、電流源13と電圧源とを別に設けているため、抵抗値の測定の精度を高めることができる。

【0103】

なお、本実施の形態3のBGA3において、ランド1eはニードルピン8hと確実に接触できればよく、BGA3の半田ボール5の配置が制約を受けることはない。すなわち、BGA3のパッケージ基板1の下面(裏面)1bには、コンデンサ搭載用の空きスペースがある。この空きスペースに検査用端子であるランド1eを設けることで、BGA3の半田ボール5の配置に制約を与えることはなく、ランド1eを設けることができる。

10

【0104】

ただし、BGA3の半田ボール5のグリッドに準じて空いているグリッドにランド1eを設けてもよい。これにより、ソケット構造を変更することがなく、ソケット8へのニードルピン8hの配置や作り込みを容易に行うことができ、ソケット8のコストの上昇を抑制することができる。

【0105】

また、ランド1eの形状については制約が無いため、基板設計の自由度を高めることができる。

20

【0106】

次に、図16および図17に示すランド1eの種類について説明する。なお、図16に示す例は、パッケージ基板1の端子グリッドの空端子位置に検査用端子を設けた場合であり、この場合、検査用端子に接触させる第3端子として、図14に示すニードルピン8hを使用せずに、図14に示すポゴピン8dをその長さを長くして使用することが可能である。

【0107】

なお、パッケージ基板1において、BGA3内で数多く使用され、かつBGA3の多数のピンに接続されている共通のGNDなどがある場合、この共通のGNDに配線1cを介してランド1eを接続することで、測定の対象となる端子を複数設けることができる。

30

【0108】

図16に示す例では、図17のD部のポゴピン(検査用端子に接触させる第3端子)8iの先端部が複数の頂点8iaを備えた形状となっている場合のランド1eの配置や形状を示しており、ポゴピン8iの先端部の頂点8iaの数に応じて、検査用端子であるランド1eの平面視の形状を複数に分割した例を示している。

【0109】

例えば、図17に示すポゴピン8iの先端部が4つの頂点8iaを備えている場合、図16に示す構造では、それぞれ配線1cを介して最大4つのランド1ea、1eb、1ec、1edに繋がるランド1fa(Power1)、1fb(Power2)、1fc(Power3)、1fd(Power4)について同時に測定することができる。なお、ポゴピン8iの先端部が4つの頂点8iaを備えていて、これに対応してランド1eが4つに分割された形状(図17のC部)であっても、4つに分割された全てのランド1eがボール搭載用ランドに接続されていなくてもよい。例えば、図16に示す4つに分割されたランド1ee、1ef、1eg、1emにおいて、ランド1eeはランド1fe(Power1)に、ランド1efはランド1ff(Power2)に、ランド1egはランド1fg(Power3)にそれぞれ繋がっているが、ランド1emはボール搭載用ランドに繋がっていない。

40

【0110】

また、ランド1eが2分割された形状(図17のA部もしくはB部)であっても測定は可能である。例えば、図16に示す2つに分割されたランド1eh、1eiにおいて、ランド1ehはランド1fh(固定信号1)に、ランド1eiはランド1fi(固定信号2

50

)にそれぞれ繋がっている。また、GNDなどの同じ電極であっても測定は可能である。例えば、2つに分割されたランド1 e j、1 e kにおいて、ランド1 e jはランド1 f j (GND)に、ランド1 e kはランド1 f k (GND)にそれぞれ繋がっている。

【0111】

なお、図16に示すように、パッケージ基板1の端子グリッドの空端子位置に検査用端子であるランド1 eを配置することにより、上述のようにソケット構造を変更することなく第3端子であるポゴピン8 iを設けることができる。

【0112】

本実施の形態3の半導体装置の製造方法においては、BGA3のパッケージ基板1に半田ボール5が搭載されない検査用端子であるランド1 eを設け、このランド1 eを用いてBGA3の第1半田ボール5 aとポゴピン8 dとの導通状態を検査することにより、測定する端子数を増やすことで、抵抗値の測定の安定化を図ることができる。

10

【0113】

その結果、BGA3の第1半田ボール5 aとポゴピン8 dとの導通状態を、より高い精度で検査することが可能になる。

【0114】

(変形例)

図18は変形例の半導体装置の構造の一例を示す平面図、図19は図18に示すD-D線に沿って切断した構造を示す部分断面図である。

【0115】

本変形例では、ソケット8に装着された導通検査が行われる半導体装置が、外部端子として複数の半田ボール5が設けられたSIP(System In Package)14の場合について説明する。

20

【0116】

SIP14は、複数の半導体チップが搭載された単価の高い半導体装置である。図18に示すSIP14は、1つのマイコンチップ15と、マイコンチップ15によって制御される2つのメモリチップ16と、複数のチップコンデンサなどの電子部品17と、を搭載したBGA型の半導体装置である。

【0117】

すなわち、パッケージ基板1上に1つのマイコンチップ15と2つのメモリチップ16とがフリップチップ実装された半導体装置であり、図19に示すように、外部端子としてパッケージ基板1の下面1 bにはグリッド状に配列された複数の半田ボール5が搭載されている。したがって、SIP14を、例えば、実施の形態1~3に示すソケット8に装着することにより、上記実施の形態1~3に示す検査方法と同様の方法で導通検査を実施することができる。

30

【0118】

SIP14の場合、その単価が非常に高いため、組立ての最終工程が終わってからの検査で不良品と判定されると、損失が非常に大きい。しかしながら、組立ての最終工程終了後の検査で擬似不良により不良品と判定された場合であっても、上記実施の形態1~3に示す検査方法と同様の方法で導通検査を実施することにより、SIP14を救済することができ、コスト的に大きな損失が発生することを阻止できる。すなわち、コスト的にも非常に大きな効果を生み出すことができる。

40

【0119】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明はこれまで記載した実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0120】

例えば、上記実施の形態では、半導体装置が、フリップチップ実装により各半導体チップがパッケージ基板上に搭載されている構造のBGAを取り上げて説明したが、上記BGAは、例えば、各半導体チップがワイヤ(金属線)によってパッケージ基板と電氣的に接

50

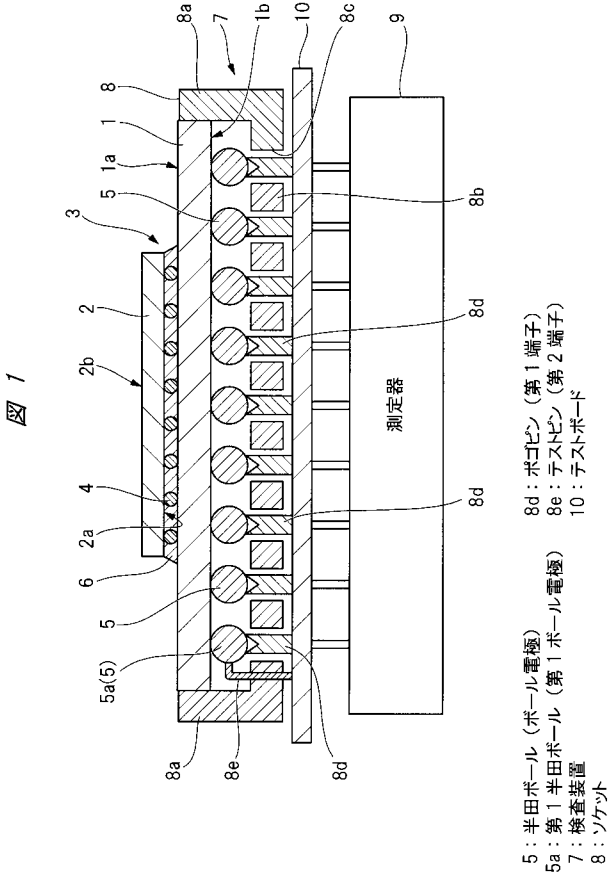
続される構造の B G A であってもよい。

【符号の説明】

【 0 1 2 1 】

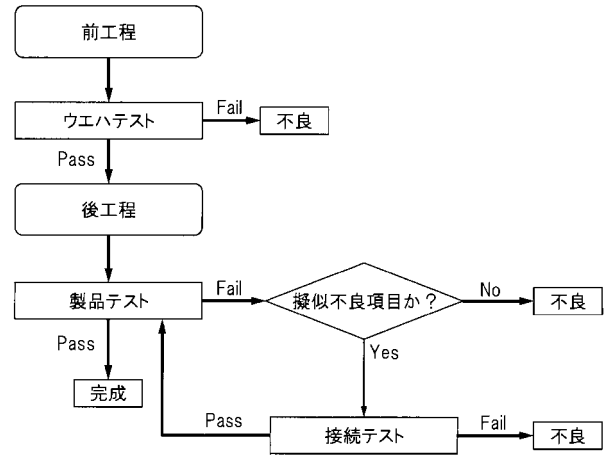
- 1 パッケージ基板 (配線基板)
- 1 a 上面 (第 1 面)
- 1 b 下面 (第 2 面)
- 1 c 配線
- 1 d ソルダレジスト膜 (絶縁膜)
- 1 d a 孔
- 1 e、1 e a、1 e b、1 e c、1 e d、1 e e、1 e f、1 e g、1 e h、1 e i、 10
- 1 e j、1 e k、1 e m ランド (検査用端子)
- 1 f a、1 f b、1 f c、1 f d、1 f e、1 f f、1 f g、1 f h、1 f i、1 f j、
- 1 f k、1 f m ランド
- 2 半導体チップ
- 2 a 主面
- 2 b 裏面
- 3 B G A (半導体装置)
- 4 パンプ
- 5 半田ボール (ボール電極)
- 5 a 第 1 半田ボール (第 1 ボール電極) 20
- 5 b、5 c、5 d 圧痕
- 5 e 第 2 半田ボール (第 2 ボール電極)
- 6 アンダーフィル
- 7 検査装置
- 8 ソケット
- 8 a 側壁
- 8 b 底部
- 8 c 孔部
- 8 d ポゴピン (第 1 端子)
- 8 e テストピン (第 2 端子) 30
- 8 f フランジ型端子 (第 2 端子)
- 8 g 突出部
- 8 h ニードルピン (第 3 端子)
- 8 i ポゴピン (第 3 端子)
- 8 i a 頂点
- 9 測定器
- 1 0 テストボード
- 1 1 電源
- 1 2 電圧計
- 1 3 電流源 40
- 1 4 S I P (半導体装置)
- 1 5 マイコンチップ
- 1 6 メモリチップ
- 1 7 電子部品

【 図 1 】



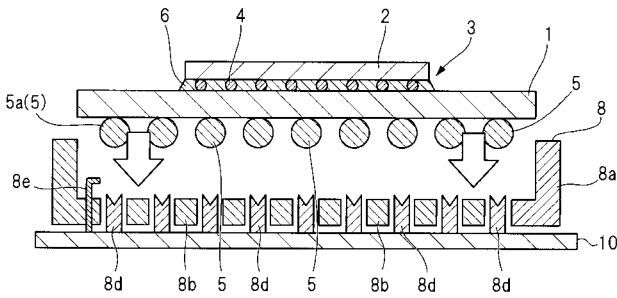
【 図 2 】

図 2



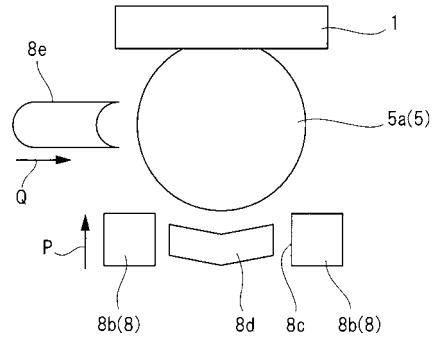
【 図 3 】

図 3



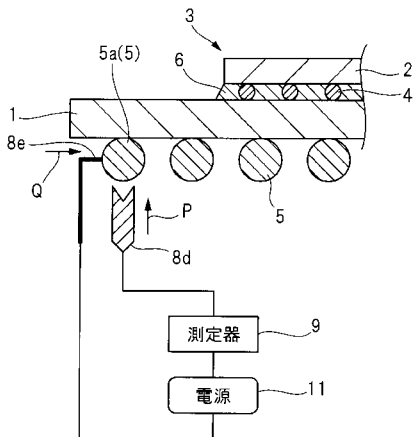
【 図 5 】

図 5



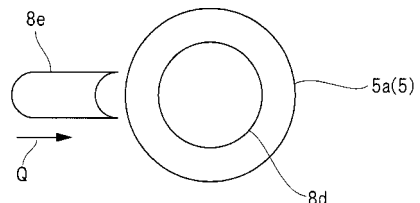
【 図 4 】

図 4

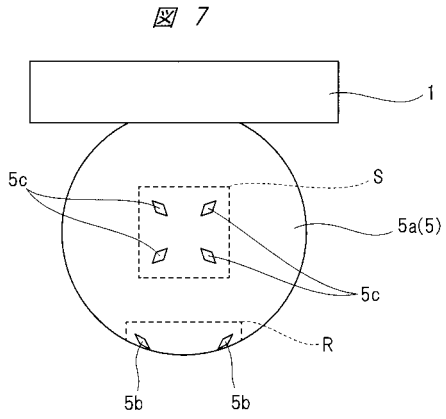


【 図 6 】

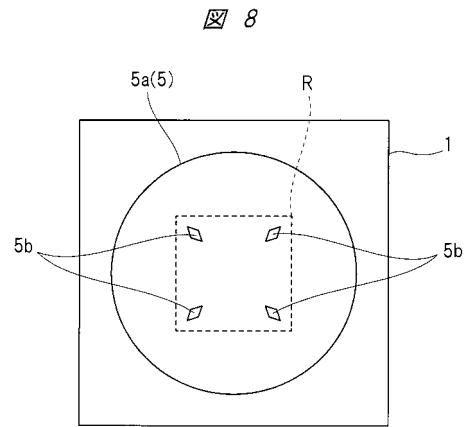
図 6



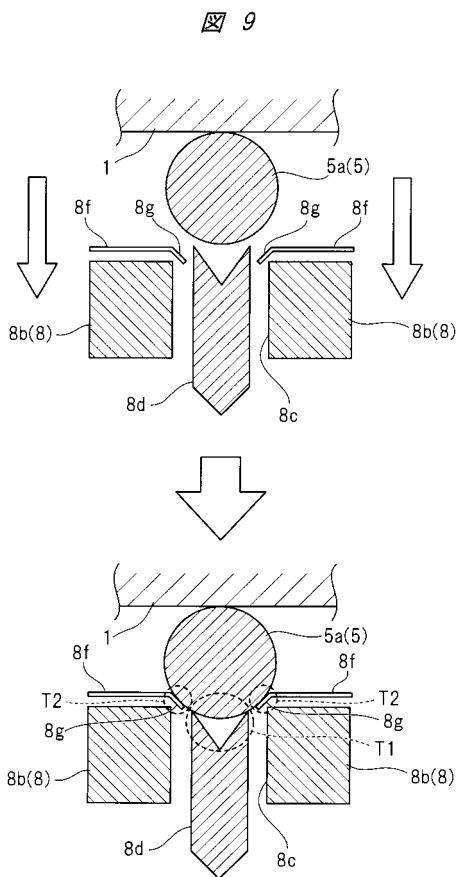
【 図 7 】



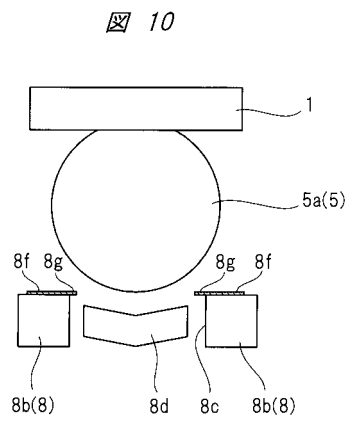
【 図 8 】



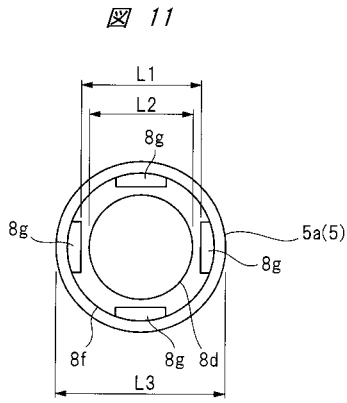
【 図 9 】



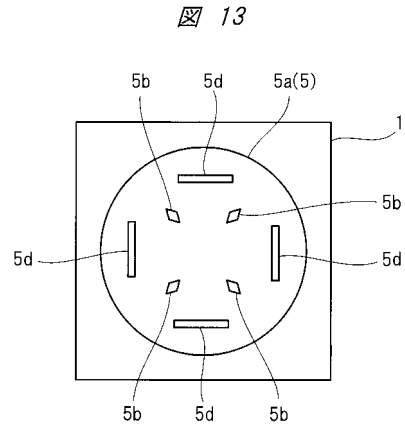
【 図 10 】



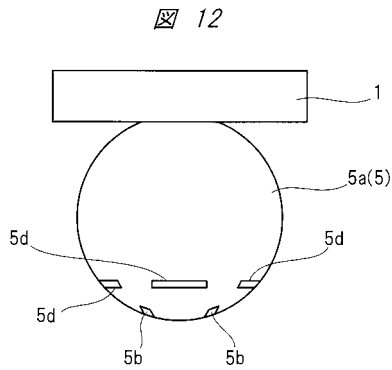
【 図 1 1 】



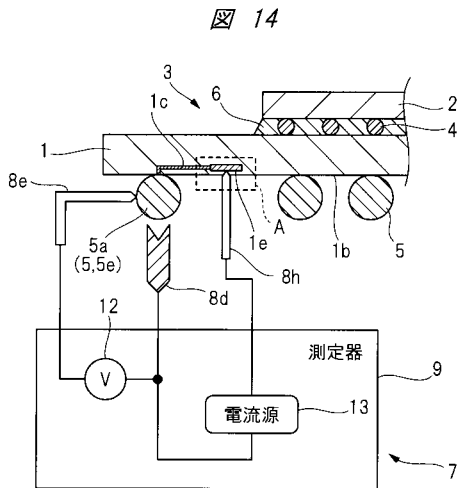
【 図 1 3 】



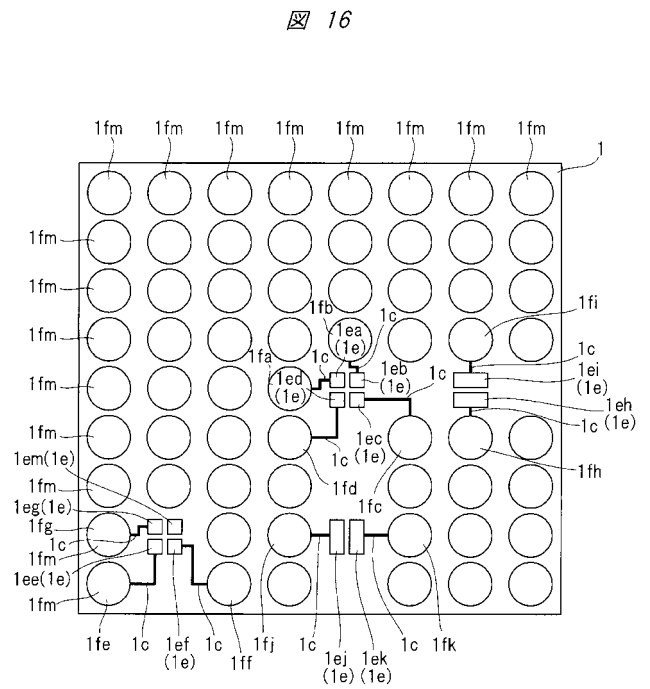
【 図 1 2 】



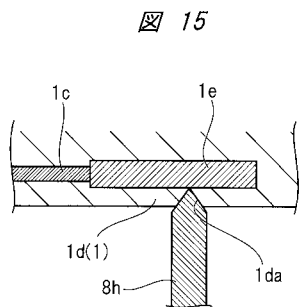
【 図 1 4 】



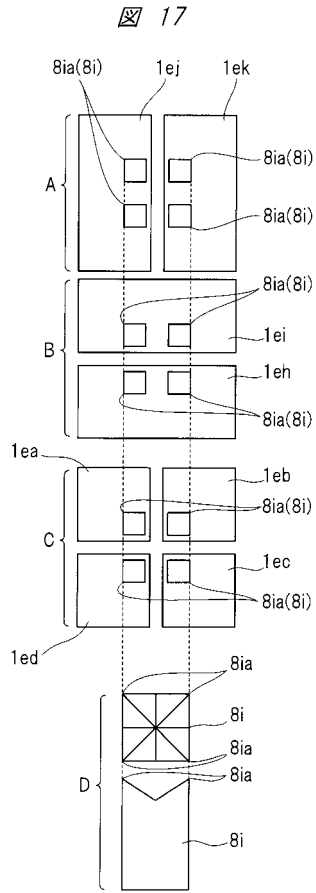
【 図 1 6 】



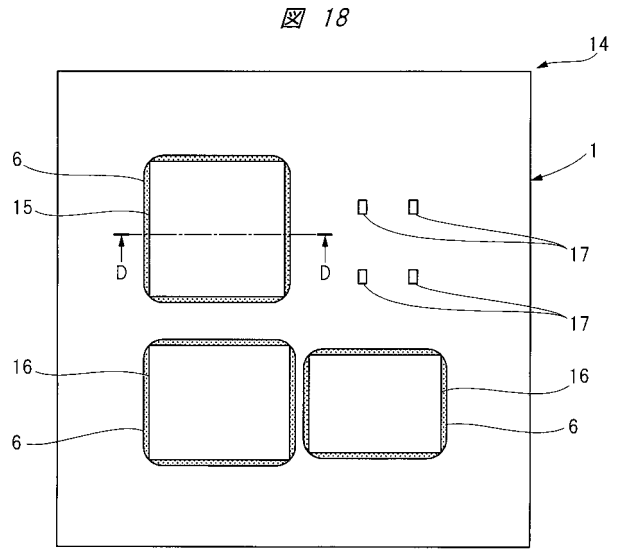
【 図 1 5 】



【 図 17 】



【 図 18 】



【 図 19 】

