

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02007/136102

発行日 平成21年10月1日(2009.10.1)

(43) 国際公開日 平成19年11月29日(2007.11.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 F	5 F 0 4 8
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 0 2 B	5 F 1 1 0
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 3 3 1 E	
HO 1 L 27/08 (2006.01)	HO 1 L 29/78 6 1 7 N	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 C	

審査請求 未請求 予備審査請求 未請求 (全 33 頁) 最終頁に続く

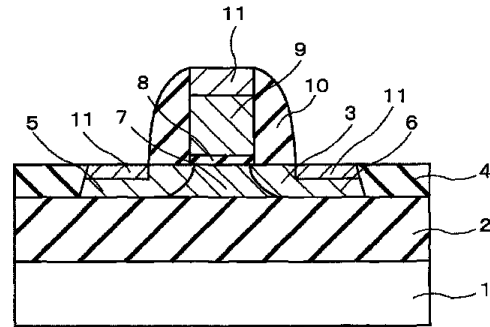
出願番号	特願2008-516723 (P2008-516723)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(21) 国際出願番号	PCT/JP2007/060559	(74) 代理人	100095407 弁理士 木村 満
(22) 国際出願日	平成19年5月23日(2007.5.23)	(72) 発明者	宮村 信 東京都港区芝五丁目7番1号 日本電気株式会社内
(31) 優先権主張番号	特願2006-142249 (P2006-142249)	(72) 発明者	竹内 潔 東京都港区芝五丁目7番1号 日本電気株式会社内
(32) 優先日	平成18年5月23日(2006.5.23)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 集積回路、及び半導体装置の製造方法

(57) 【要約】

集積回路は、絶縁膜上に半導体層からなるチャネル膜が形成された複数個のM I S F E Tを有する。各M I S F E Tのチャネル膜厚は相異なり、前記チャネル膜に含まれる不純物の単位面積あたりの濃度が、チャネル膜厚が厚いM I S F E Tほど大きくなるという相関関係が成立する。これにより、チャネル膜厚の変化に起因した閾値電圧の変動が抑制される。この場合に、前記複数個のM I S F E Tのチャネル膜厚は設計値が同一であり、且つ各M I S F E Tのチャネル膜厚の相異は設計値からの統計的なばらつきによるものであってもよい。前記不純物の単位面積あたりの濃度は、前記チャネル膜厚に比例しているか、又は、前記チャネル膜厚に対して下に凸の関数である。



【特許請求の範囲】

【請求項 1】

絶縁膜上に半導体層からなるチャネル膜が形成された複数個のMISFETを有し、前記各MISFETのチャネル膜厚は相異なり、前記チャネル膜に含まれる不純物の単位面積あたりの濃度が、チャネル膜厚が厚いMISFETほど大きくなるという相関関係が成立することを特徴とする集積回路。

【請求項 2】

前記複数個のMISFETのチャネル膜厚は設計値が同一であり、且つ各MISFETのチャネル膜厚の相異は設計値からの統計的なばらつきによるものであることを特徴とする請求項 1 に記載の集積回路。

10

【請求項 3】

前記不純物の単位面積あたりの濃度は、前記チャネル膜厚に比例することを特徴とする請求項 1 又は 2 に記載の集積回路。

【請求項 4】

前記不純物の単位面積あたりの濃度は、前記チャネル膜厚に対し下に凸な関数であることを特徴とする請求項 1 又は 2 に記載の集積回路。

【請求項 5】

絶縁膜上に半導体層からなるチャネル膜が形成された複数個のMISFETを有し、前記チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むことを特徴とする集積回路。

20

【請求項 6】

前記複数個のMISFETのチャネル膜厚は設計値が同一であり、且つ各MISFETのチャネル膜厚の相異は設計値からの統計的なばらつきによるものであることを特徴とする請求項 5 に記載の集積回路。

【請求項 7】

15乃至80nmの範囲の前記ゲート長Lにおいて、前記閾値電圧の標準偏差 V_{th} が極小となる前記不純物の体積濃度 N_{ch} は、 $-c \log_{10}(N_{ch}) + a \cdot \log_{10}(L) - b - c$ (但し、 $a = 1.33$ 、 $b = 19.9$ 、 $c = 0.4$) を満たすことを特徴とする請求項 5 又は 6 に記載の集積回路。

30

【請求項 8】

前記不純物のチャネル膜表面から深さ方向への体積濃度分布は、深さによらず一定であることを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の集積回路。

【請求項 9】

前記不純物のチャネル膜表面から深さ方向への体積濃度分布は、深さが深いほど高濃度であることを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の集積回路。

【請求項 10】

前記チャネル膜底面における体積濃度は、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度であることを特徴とする請求項 9 に記載の集積回路。

40

【請求項 11】

前記MISFETはダブルゲート型であって、前記不純物のチャネル膜表面から膜厚方向への体積濃度分布は、前記チャネル膜の一方の表面では低く、且つ他方の表面では高いものであることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の集積回路。

【請求項 12】

前記MISFETは、FinFET、SOI型FET、又は平面ダブルゲート型FETであることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の集積回路。

【請求項 13】

絶縁膜上に半導体層からなるチャネル膜が形成されたMISFETを有する半導体装置の製造方法であって、チャネル膜に含まれる不純物の単位面積あたりの濃度が、チャネル膜

50

厚が厚いMISFETほど大きくなるように前記チャンネル膜に不純物を導入することを特徴とする半導体装置の製造方法。

【請求項14】

絶縁膜上に半導体層からなるチャンネル膜が形成されたMISFETを有する半導体装置の製造方法であって、前記チャンネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャンネル膜厚の設計値からの統計的なばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むように、前記不純物を前記チャンネルに導入することを特徴とする半導体装置の製造方法。

【請求項15】

絶縁膜上に半導体層からなるチャンネル膜が形成されたMISFETを有する半導体装置の製造方法であって、前記チャンネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャンネル膜厚の設計値からの統計的なばらつき及び不純物の深さ方向の体積濃度のばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むように、前記不純物を前記チャンネルに導入することを特徴とする半導体装置の製造方法。

【請求項16】

前記不純物を導入する工程は、平均飛程距離の異なる複数回のイオン注入により実施することを特徴とする請求項13乃至15のいずれか1項に記載の半導体装置の製造方法。

【請求項17】

前記不純物を導入する工程は、前記不純物のチャンネル膜表面から深さ方向への体積濃度分布のピークが、設計上のチャンネル膜底面より深い位置となるようなイオン注入を含むことを特徴とする請求項13乃至16のいずれか1項に記載の半導体装置の製造方法。

【請求項18】

前記不純物を導入する工程は、前記チャンネル膜の両面に反転層が形成されて動作する前記MISFETにおいて、前記チャンネル膜の一方の面からイオン注入を実施し、前記イオンの平均飛程が前記チャンネル膜の他方の面の前記チャンネル膜領域外側に設定されるようなイオン注入を含むことを特徴とする請求項13乃至16のいずれか1項に記載の半導体装置の製造方法。

【請求項19】

前記不純物を導入する工程は、前記チャンネル膜領域をエピタキシャル成長するときと同時にを行うことを特徴とする請求項13乃至15のいずれか1項に記載の半導体装置の製造方法。

【請求項20】

前記不純物を導入する工程は、前記不純物の外方拡散によって前記チャンネル膜表面の前記不純物を低減させる工程を含むことを特徴とする請求項13乃至19のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜チャンネルを有するMISFET (Metal Insulator Semiconductor Field Effect Transistor) の閾値電圧のばらつきを低減するのに好適な半導体装置、集積回路、及び半導体装置の製造方法に関する。

【背景技術】

【0002】

大規模集積回路 (LSI: Large Scale Integration) の高集積化及び動作の高速化等の種々の特性向上のため、その基本的な構成要素であるMOS電界効果型トランジスタ (MOSFET: Metal Oxide Semi-Conductor Field Effect Transistor) の微細化が進められてきた。この微細化は素子の三次元的な寸法を同時に縮小するスケーリング則に依って行われている。

10

20

30

40

50

【 0 0 0 3 】

M O S F E T のスケーリングにおける重要な要請として、三次元的な実寸法の微細化と共に、F E T (Field Effect Transistor) のソース及びドレーンを結んだ横方向の電位差と、ゲート電極から深さ方向に見た縦方向の電位差を同時に低減させ、素子内部の電界強度自体も一定に保つことが求められている。このようなスケーリングを行うことで電源電圧 (V_{dd}) の低減は、M O S F E T の動作電力の低減に効果的に働き、L S I の年々の高性能化を可能にしてきた。

【 0 0 0 4 】

一方で V_{dd} 低減の影響として、動作時電流 (I_{on}) を確保するために閾値電圧 (V_{th}) も低下させる必要が生じている。閾値電圧の低下は、F E T のオフ時におけるソース・ドレーン間を流れるサブスレッショルドリーク電流を増大させる要因となり、結果として V_{dd} を低下させることによる L S I の低消費電力化のメリットが損なわれつつある。更に、チャンネル長が 0.1 ミクロン以下のデバイス世代では、ソース領域及びドレーン領域の静電的な結合がより強くなる (短チャンネル効果) ために、サブスレッショルドリーク電流は顕著に増大し、デバイスの微細化を妨げる大きな要因となっている。

10

【 0 0 0 5 】

サブスレッショルドリークを抑制する方法は種々提案されているが、チャンネル膜厚の薄い薄膜チャンネル型 M I S F E T は、従来のバルク型 M I S F E T に比べて短チャンネル効果を抑制し、サブスレッショルドリーク電流を低減できることが知られている。公知の薄膜チャンネル型 M I S F E T として、F i n F E T (Fin Field Effect Transistor)、S O I (Silicon on Insulator) 型 F E T、平面ダブルゲート型 F E T、オメガゲート型 F E T 等が提案されている。

20

【 0 0 0 6 】

しかしながら、薄膜チャンネル型 M I S F E T において、ゲート長微細化を進めながら短チャンネル効果を抑制するためには、薄膜チャンネル領域の膜厚を同時に薄膜化する必要がある。例えば完全空乏型 S O I - M I S F E T では、チャンネル膜厚をゲート長の 1 / 4 程度に維持する必要がある。

【 0 0 0 7 】

このようなごく薄いチャンネル膜厚を有する薄膜チャンネル型 M I S F E T は製造上の困難さが増すだけでなく、チャンネル膜厚の揺らぎに対するデバイスの素子特性のばらつきも大きくなってしまいう問題点がある。

30

【 0 0 0 8 】

チャンネル膜厚の揺らぎによる V_{th} 変動を抑えるために、種々の方法が考案されている。例えば、特許文献 1 においては、S O I のチャンネル領域の不純物濃度が上部部位から下部部位にかけて低くなる方法が示されている。この方法によれば、チャンネル膜厚の変動に対して、チャンネル膜厚中の不純物の総量の変動を低く抑えることができる。

【 0 0 0 9 】

また、特許文献 2 においては、埋め込み酸化膜層のチャンネル膜厚に応じた深さに、固定電荷層を設けることで V_{th} の変動を抑制する方法が示されている。

【 0 0 1 0 】

また、特許文献 3 においては、S O I 型 M I S F E T からなる集積回路において、チャンネル膜厚とその不純物濃度を記憶する記憶素子を介して、バックゲートに電圧を印加することで V_{th} 変動を補正する半導体装置が開示されている。

40

【 0 0 1 1 】

【特許文献 1】特開 2 0 0 4 - 2 8 9 0 0 1 号公報

【特許文献 2】特開 2 0 0 2 - 2 9 9 6 3 4 号公報

【特許文献 3】特許第 3 5 8 5 9 1 2 号公報

【非特許文献 1】Kiyoshi Takeuchi, Toru Tatsumi, Akiko Furukawa 著、`Channel Engineering for the Reduction of Random-Dopant-Placement-Induced Threshold Voltage Fluctuation`、I E D M T e c h . D i g .、1 9 9 5 年、p . 6 7 - 7 0

50

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、上述の従来技術には以下に示すような問題点がある。

【0013】

特許文献1及び2においては、 V_{th} 変動の抑制は主にゲート長が十分に長い、所謂、長チャネルトランジスタに対して考慮されており、短チャネルトランジスタにおける V_{th} の低下（短チャネル効果、又はDIBL（Drain Induced Barrier Lowering））がチャネル膜厚に依存して変動する成分は考慮されていない。半導体回路において大部分の割合を占める短チャネルトランジスタの V_{th} 変動が抑制されなければ、SOI構造の利点は致命的に減少する。

10

【0014】

更に、特許文献3に示されるような、基板電位を制御する回路を備えた半導体装置では、 V_{th} 変動の補正は正確に行われるものと考えられるが、一方で回路のオーバーヘッドが大きくなることが懸念される。また、FinFET等のバックゲートを形成することができない薄膜チャネル型MISFETでは、このような手段を利用できない。

【0015】

上述のように、薄膜チャネル型MISFETではチャネル膜厚のばらつきが V_{th} を変動させ、デバイス特性がばらつくことが知られていた。しかしながら、公知の方法では簡素な方法で、特に短チャネルのトランジスタにおいて、チャネル膜厚の変化に起因した V_{th} の変動を抑制することができなかった。

20

【0016】

本発明はかかる問題点に鑑みてなされたものであって、薄膜チャネル型MISFETにおいて、チャネル膜厚の変化に起因した閾値電圧の変動が抑制された半導体装置、集積回路、及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明に係る集積回路は、絶縁膜上に半導体層からなるチャネル膜が形成された複数個のMISFETを有し、前記各MISFETのチャネル膜厚は相異なり、前記チャネル膜に含まれる不純物の単位面積あたりの濃度が、チャネル膜厚が厚いMISFETほど大きくなるという相関関係が成立することを特徴とする。

30

【0018】

前記複数個のMISFETのチャネル膜厚は設計値が同一であり、且つ各MISFETのチャネル膜厚の相異は設計値からの統計的なばらつきによるものであってもよい。

【0019】

前記不純物の単位面積あたりの濃度は、前記チャネル膜厚に比例していてもよい。

【0020】

前記不純物の単位面積あたりの濃度は、前記チャネル膜厚の下に凸な関数であってもよい。

【0021】

40

本発明に係る他の集積回路は、絶縁膜上に半導体層からなるチャネル膜が形成された複数個のMISFETを有し、前記チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むことを特徴とする。

【0022】

この場合に、前記複数個のMISFETのチャネル膜厚は設計値が同一であり、且つ各MISFETのチャネル膜厚の相異は設計値からの統計的なばらつきによるものであってもよい。

【0023】

50

また、15乃至80nmの範囲の前記ゲート長Lにおいて、前記閾値電圧の標準偏差 V_{th} が極小となる前記不純物の体積濃度 N_{ch} は、 $-c \log_{10}(N_{ch}) + a \cdot \log_{10}(L) - b$ (但し、 $a = 1.33$ 、 $b = 19.9$ 、 $c = 0.4$)を満たすことが好ましい。

【0024】

前記不純物のチャネル膜表面から深さ方向への体積濃度分布は、深さによらず一定であってもよい。

【0025】

前記不純物のチャネル膜表面から深さ方向への体積濃度分布は、深さが深いほど高濃度であってもよい。また、前記チャネル膜底面における体積濃度は、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度であることが好ましい。

10

【0026】

前記MISFETはダブルゲート型であって、前記不純物のチャネル膜表面から膜厚方向への体積濃度分布は、前記チャネル膜の一方の表面では低く、且つ他方の表面では高いものであってもよい。

【0027】

前記MISFETは、FinFET、SOI型FET、又は平面ダブルゲート型FETであってもよい。

【0028】

本発明に係る半導体装置の製造方法は、絶縁膜上に半導体層からなるチャネル膜が形成されたMISFETを有する半導体装置の製造方法であって、前記チャネル膜に含まれる不純物の単位面積あたりの濃度が、前記チャネル膜厚が厚いMISFETほど大きくなるように前記チャネル膜に不純物を導入することを特徴とする。

20

【0029】

本発明に係る半導体装置の製造方法は、絶縁膜上に半導体層からなるチャネル膜が形成されたMISFETを有する半導体装置の製造方法であって、前記チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むように、前記不純物を前記チャネルに導入することを特徴とする。

30

【0030】

本発明に係る半導体装置の製造方法は、絶縁膜上に半導体層からなるチャネル膜が形成されたMISFETを有する半導体装置の製造方法であって、前記チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつき及び不純物の深さ方向の体積濃度のばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むように、前記不純物を前記チャネルに導入することを特徴とする。

【0031】

前記不純物を導入する工程は、平均飛程距離の異なる複数回のイオン注入により実施することができる。

40

【0032】

前記不純物を導入する工程は、前記不純物のチャネル膜表面から深さ方向への体積濃度分布のピークが、設計上のチャネル膜底面より深い位置となるようなイオン注入を含むことができる。

【0033】

前記不純物を導入する工程は、前記チャネル膜の両面に反転層が形成されて動作する前記MISFETにおいて、前記チャネル膜の一方の面からイオン注入を実施し、前記イオンの平均飛程が前記チャネル膜の他方の面の前記チャネル膜領域外側に設定されるようなイオン注入を含むことができる。

【0034】

50

前記不純物を導入する工程は、前記チャンネル膜領域をエピタキシャル成長するときと同時に進めてもよい。

【0035】

前記不純物を導入する工程は、前記不純物の外方拡散によって前記チャンネル膜表面の前記不純物を低減させる工程を含んでいてもよい。

【発明の効果】

【0036】

本発明によれば、絶縁膜上に半導体層が形成された複数のMISFETを有する集積回路において、チャンネル膜厚の設計値からの統計的なばらつき及び不純物のチャンネル膜表面から深さ方向への体積濃度のばらつきの各影響に起因する閾値電圧のばらつきを効果的に抑制することができる。

10

【図面の簡単な説明】

【0037】

【図1】ゲート長と閾値電圧との関係を膜厚に対して示す図である。

【図2】SOI型MISFETの閾値電圧をシミュレーションするために用いたデバイス構造及びパラメータを示した模式図である。

【図3】均一なチャンネル不純物の各条件におけるチャンネル膜厚と閾値電圧との関係を示した図である。

【図4】 $T_{si} = 1\text{nm}$ における、チャンネル不純物濃度と閾値電圧ばらつきとの関係を、複数の T_{si} の設計値に対して示した図である。

20

【図5】チャンネル不純物と閾値ばらつきとの関係を、複数の設計ゲート長に対して示した図である。

【図6】チャンネル不純物と閾値電圧ばらつきとの関係を、チャンネル膜厚の統計的なばらつき及び不純物位置のランダムなばらつきの各要因を考慮して示した図である。

【図7】チャンネル膜厚の統計的なばらつき及び不純物位置のランダムなばらつきの夫々の要因を考慮したときの V_{th} ばらつきが極小となるチャンネル不純物濃度領域を設計ゲート長に対して示した図である。

【図8】(a)は、本発明の第1の実施形態における薄膜チャンネル領域へのイオン注入法を示す図、(b)は、本発明の第1の実施形態におけるチャンネルドーピングの効果を示す図である。

30

【図9】本発明の第1の実施形態における薄膜チャンネルMISFETの構成を示す断面図である。

【図10】(a)乃至(c)は、本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】(d)乃至(f)は、図10に続く第2の実施形態の製造方法を工程順に示す断面図である。

【図12】(a)乃至(b)は、本発明の第2の実施形態の第1の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図13】本発明の第2の実施形態の第1の変形例における薄膜チャンネル領域への不純物導入法を示す図である。

40

【図14】(a)乃至(b)は、本発明の第2の実施形態の第2の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図15】本発明の第2の実施形態の第2の変形例における薄膜チャンネル領域への不純物導入法を示す図である。

【図16】(a)乃至(b)は、本発明の第2の実施形態の第3の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図17】本発明の第2の実施形態の第3の変形例における薄膜チャンネル領域への不純物導入法を示す図である。

【図18】(a)乃至(b)は、本発明の第2の実施形態の第4の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

50

【図 19】本発明の第 2 の実施形態の第 4 の変形例における薄膜チャネル領域への不純物導入法を示す図である。

【図 20】(a)乃至(d)は、本発明の第 3 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 21】(e)乃至(g)は、図 20 に続く第 3 の実施形態の製造方法を工程順に示す断面図である。

【図 22】本発明の第 3 の実施形態における薄膜チャネル領域への不純物導入法を示す図である。

【図 23】本発明の第 3 の実施形態において、イオン注入法によるフィン片側からの薄膜チャネルへの不純物導入を示す図である。

【図 24】本発明の第 4 の実施形態における平面型ダブルゲート F E T の構成を示す断面図である。

【符号の説明】

【0038】

1、91；半導体基板

2、22、42、52、62、72、82、92；埋め込み酸化膜

3、23、43、53、65、73；シリコン薄膜

4、24、44、54、64、74；素子分離領域

5、6；拡散層

7；チャネル領域

8、26、96；ゲート絶縁膜

9、28、97；ゲート電極

10、89；サイドウォール

11；シリサイド領域

21、41、51、61、71、81；シリコン基板

25、45、66、75；犠牲酸化膜

27；電極層

30；不純物拡散領域

55；シリコンエピタキシャル層

63；拡散防止層

66、75、86；犠牲酸化膜層

76；酸化膜層

83；シリコン膜

84；ハードマスク

85；フィン

87；ゲート酸化膜

88；ゲート電極

90；ソース・ドレイン拡散領域

93；ソース領域

94；ドレイン領域

95；薄膜チャネル領域

98；ゲート側壁

【発明を実施するための最良の形態】

【0039】

以下、本発明の実施の形態について添付の図面を参照して詳細に説明する。先ず、本発明の特徴について説明した後に、各実施形態について説明する。なお、以下、集積回路というときには複数個の M I S F E T を有する場合であるのに対して、半導体装置というときには 1 又は複数個の M I S F E T を有するものとする。特に、以下で述べるチャネル膜への不純物の導入方法及び濃度分布は、1 個の M I S F E T を有する半導体装置に対しても当然成り立つものである。

10

20

30

40

50

【 0 0 4 0 】

以下では、先ず、本発明の特徴を詳細に説明するために、具体的な例として、チャンネル領域の不純物濃度を一定とした平面SOI型MISFETを例にとって説明する。但し、FinFET、ダブルゲートMISFET、サラウンディングゲート型MISFET等、チャンネル領域が完全に空乏化して動作する他の公知の薄膜チャンネルを有するMISFETにおいても、平面SOI型MISFETと同様の結果が成り立つ。

【 0 0 4 1 】

図1は、ゲート長と閾値電圧との関係を膜厚に対して示す図であり、MISFETのチャンネル膜厚が厚い場合（厚い T_{si} 、 T_{si} ：チャンネル膜厚）と、チャンネル膜厚が薄い場合（薄い T_{si} ）に対して、ゲート長と閾値電圧との関係を示したものである。概念的には、図1に示すように、設計ゲート長において、チャンネル膜厚 T_{si} の変動に起因するDIBLの変化と、長チャンネル V_{th} の変化が相殺するように不純物濃度を決定する。ここで、長チャンネル V_{th} の変化とは、ゲート長を大きくしたときの厚い T_{si} に対する閾値電圧と薄い T_{si} に対する閾値電圧との差である。このような不純物濃度と設計ゲート長との関係を調べるために、図2に示すようなデバイスの構造上のパラメータ（ L ：ゲート長、 T_{si} ：チャンネル膜厚、 N_{ch} ：チャンネル不純物濃度）を各々変化させて、N型MOSFETの閾値電圧 V_{th} を、デバイスシミュレータを用いて計算した。ここで V_{th} は、ソース・ドレイン間の電流 I_{ds} が

10

【 0 0 4 2 】

【 数 1 】

$$I_{ds} = 1 \times 10^{-7} \times L/W \quad [A]$$

20

【 0 0 4 3 】

となるゲート電圧により定義した。 W はゲート幅である。また、ゲート電極の仕事関数は、 Si （シリコン）のミッドギャップに相当する値を用いた。ソース領域及び支持基板の電位は $0V$ とし、ドレイン領域の電位は $1V$ とした。なお、図2の詳細を述べれば、膜厚 $50nm$ の埋め込み酸化膜上に、半導体層が形成されており、この半導体層はソース領域、ドレイン領域、及びこれらの領域の間に挟まれたチャンネル領域からなる。膜厚 T_{si} のチャンネル領域には、濃度 N_{ch} でチャンネル不純物が導入されており、チャンネル領域の上方には、膜厚 $1.7nm$ の反転膜を介してゲートが形成されている。ゲートの長さは L である。

30

【 0 0 4 4 】

例えば、 $L = 50nm$ における計算の結果として、チャンネル膜厚 T_{si} とチャンネル不純物濃度 N_{ch} に対する V_{th} の依存性は、図3のように求められる。ここで、チャンネル不純物濃度 N_{ch} は、体積濃度である。図3によれば、不純物濃度が低くゼロに近いと T_{si} の依存性が大であるが（即ち、膜厚 T_{si} が増大するにつれて、閾値電圧 V_{th} も増大する）、不純物濃度を増加させると改善される。特に、この例ではチャンネル不純物濃度 N_{ch} を $1 \times 10^{18} \text{ at/cm}^3$ （ at ：原子数）程度とすることで、 V_{th} が T_{si} の依存性を持たなくなる。不純物濃度を更に増加させると、再び T_{si} の依存性が大きくなる（即ち、膜厚 T_{si} が増大するにつれて、閾値電圧 V_{th} が減少する）。不純物濃度が $1 \times 10^{18} \text{ at/cm}^3$ より低い場合は、主としてDIBLにより T_{si} 厚膜側で V_{th} が低下し、不純物濃度がこれより高い場合には、チャンネル不純物量の増加により T_{si} 厚膜側で V_{th} が高くなる。

40

【 0 0 4 5 】

図4では、 $L = 50nm$ の場合について、 T_{si} （ T_{si} 揺らぎの標準偏差） $= 1nm$ における、チャンネル不純物濃度 N_{ch} と V_{th} （ V_{th} ばらつきの標準偏差）との関係を、各膜厚（ $T_{si} = 12nm, 14nm, 16nm, 18nm$ ）に対して示す。図4

50

に示すように、 T_{si} の値にかかわらず、 V_{th} が最小となる不純物濃度は、ほぼ一意に決まり、 $1 \times 10^{18} \text{ at/cm}^3$ 程度であることがわかる。更に同様に、 $L = 15$ 、 25 、 50 nm において、チャネル不純物濃度と V_{th} との関係を、図5に示す($T_{si} = 1 \text{ nm}$ 、 $T_{si} = L/3$ として計算)。図5に示すように、 L が小さくなるほど、 V_{th} が最小となる N_{ch} は増加する傾向があることがわかる。

【0046】

一方で、チャネル不純物濃度が高くなりすぎると、空乏層内部の不純物位置がランダムにばらつく効果(不純物ばらつき)による V_{th} のばらつきが無視できなくなる。本発明においては、チャネル膜厚は埋め込み酸化膜厚に比べ十分に薄いという仮定のもとで、SOIにおけるMOSFETの V_{th} ばらつきを表現するため、非特許文献1を参照して下記数式2により V_{th} のばらつきを見積もった。

10

【0047】

【数2】

$$\sigma_{V_{th}} = \frac{q}{C_{ox}} \sqrt{\frac{N_{ch} T_{si}}{LW}}$$

【0048】

q は電荷素量、 C_{ox} はゲート絶縁膜の反転容量である。

20

【0049】

ここで、SRAM(Static Random Access Memory)回路に用いられるセルトランジスタの寸法に近い $W = 2 \times L$ の関係を仮定して、図5に図示した $L = 25 \text{ nm}$ における T_{si} 揺らぎ起因の V_{th} に加えて、不純物ばらつきの影響を重ねて図示すると図6のようになる。更に、図6には、 T_{si} の統計的なばらつきと不純物ばらつきの両者の要因の合算として分散和を計算し、得られた V_{th} を重ねて図示している。このように、不純物ばらつきを考慮すると、 V_{th} を極小化する最適なチャネル不純物濃度は低濃度側にシフトする。

【0050】

次に、 $L = 15 \text{ nm}$ から 80 nm までのゲート長 L に対して、上述の V_{th} を極小化する最適なチャネル不純物濃度範囲を図示すると図7のようになる。即ち、図7では、チャネル膜厚揺らぎのみを考慮した場合の V_{th} を極小化するチャネル不純物濃度範囲と、更に不純物ばらつきも加えて考慮した場合の V_{th} を極小化するチャネル不純物濃度範囲とを図示している。以上より、最適なチャネル濃度範囲は T_{si} 等のパラメータに対する依存性は少なく、主としてゲート長を考慮すれば、決まることが明らかである。また、図7に示される最適な濃度範囲を包含するようなゲート長 $L [\text{nm}]$ とチャネル不純物濃度 $N_{ch} [\text{at/cm}^3]$ との関係は概ね下記数式3によって与えられる。

30

【0051】

【数3】

$$\log_{10}(N_{ch}) = -1.33 \cdot \log_{10}(L) + 19.9 \pm 0.4$$

40

【0052】

この具体例のように、チャネル薄膜中の単位体積あたりの不純物濃度が一定である場合には、チャネルに含まれる単位面積あたりの不純物の濃度 $[\text{at/cm}^2]$ は、チャネル膜厚に比例する。従って、チャネル膜厚が統計的にばらついた場合には、各薄膜チャネル型MISFETのチャネルに含まれる単位面積あたりの不純物の濃度は、チャネル膜厚が厚いほど大きくなる。

50

【0053】

上記の具体例では、平面SOI型MISFETを仮定して議論したが、FinFET、平面ダブルゲートFET、サラウンディングゲートFET等の他の薄膜チャンネル型MISFETにおいても同等の議論が可能である。これらの構造においても、最適なチャンネル不純物濃度は概ね数式3に従う。

【0054】

更に、上記の具体例では、チャンネル薄膜中の単位体積あたりの不純物濃度は均一且つ一定であると仮定して議論を進めたが、チャンネル薄膜中の不純物濃度がチャンネル表面から深さ方向に濃くなる、所謂レトログレード構造を仮定しても同様の議論が成立する。また、極限的には、チャンネル表面には不純物を導入せず、チャンネル薄膜の底面のみに不純物を導入し、DIBLのばらつきを打ち消すことが可能である。この場合でも、チャンネル底面の単位体積あたりの不純物濃度は数式3に従うように設計すると良い。このようにすることで、より少量のチャンネル不純物でDIBLの変動によるV_{th}ばらつきを抑制できるため、不純物ばらつきによるV_{th}ばらつきの成分を減少させることが可能である。

10

【0055】

次に、本発明の第1の実施形態に係る半導体装置及び集積回路について説明する。図9は、本実施形態における薄膜チャンネル型MISFETの構成を示す断面図である。

【0056】

図9に示すように、本実施形態における薄膜チャンネル型MISFETにおいては、半導体基板1上に埋め込み酸化膜2及びシリコン薄膜3が順次形成され、SOI構造が形成されている。また、埋め込み酸化膜2上には、トレンチ分離によって、素子分離領域4が形成されている。素子分離領域4内のシリコン薄膜3には、ソース・ドレーンの拡散層5、6、及びこれらの拡散層の間にチャンネル領域7が形成され、チャンネル領域7には深さ方向に所定の濃度の不純物が均一に導入されている。この不純物の体積濃度は、設計ゲート長において、チャンネル膜厚のばらつき及び不純物のばらつきに起因する閾値電圧のばらつきを極小化する濃度であり、一例として、図6又は図7に示したチャンネル不純物濃度である。このように、チャンネル領域7に含まれる不純物濃度は一定であるため、チャンネル領域7に含まれる不純物の単位面積あたりの濃度は、チャンネル膜厚に比例する。チャンネル領域7上には、ゲート絶縁膜8を介してゲート電極9形成されており、このゲート電極9の側壁にはサイドウォール10が形成されている。また、ゲート電極9、拡散層5、6の上部に夫々設けられたシリサイド領域11を介して、トランジスタは配線される。図示しないが、トランジスタ素子上部には、層間絶縁膜とプラグ及び配線等が形成され、集積回路としての機能を提供する。本実施形態は、上述のように構成された薄膜チャンネル型MISFETを有する半導体装置、及びこれら複数の薄膜MISFETを有する集積回路である。このように、本実施形態においては、チャンネル領域に含まれる不純物の単位面積あたりの濃度が、前記チャンネル膜厚が厚いMISFETほど大きくなるようにチャンネル領域に不純物が導入されており、特に、その濃度はチャンネル膜厚に比例している。

20

30

【0057】

ここで、薄膜チャンネル領域に対して、不純物を均一に導入する方法について説明する。薄膜チャンネル領域に対する均一な不純物導入は、チャンネル注入を複数回に分けて行う方法、又はドーフトエピタキシャル成長技術等を用いることで実現することができる。

40

【0058】

例えば、チャンネル注入によって不純物を導入する場合、図8(a)に示すように、平均飛程の異なるチャンネル注入を複数回に分けて実施することで、薄膜チャンネル領域の深さ方向に均一に不純物を導入することができる。このとき、不純物の注入範囲をチャンネル膜厚T_{si}のばらつく範囲よりも十分に広く設定する必要がある。従って、複数回のイオン注入の内、少なくとも1回は、設計上のチャンネル膜厚よりも深い位置に平均飛程が達していることが望ましい。図8(a)においては、埋め込み酸化膜上にシリコン薄膜が形成され、更に、シリコン薄膜上には犠牲酸化膜が設けられており、この犠牲酸化膜上方からイオン注入による不純物の導入を行う。この例では、平均飛程の異なるチャンネル注入を3回に

50

分けて実施している。そして、平均飛程の最も長いイオン注入の不純物濃度のピークは、埋め込み酸化膜内に位置している。また、図8(b)は、チャンネルドーピングの効果を示す図であり、所定の濃度の不純物を薄膜チャンネルの深さ方向に均一に導入することにより、チャンネル膜厚のばらつきによるDIBL変動が打ち消されることを模式的に示している。なお、チャンネル注入は、同型の不純物であれば、複数のイオン種を組み合わせても良い。

【0059】

薄膜チャンネル領域を、不純物の原料種をシリコン原料と同時に供給して行う不純物ドーピングエピタキシャル成長により形成しても、均一な不純物分布を得ることができる。例えば、CVD (Chemical Vapor Deposition: 化学気相成長) 法によって、ジシラン (Si_2H_6) とジボラン (B_2H_2) (又はホスフィン (PH_3)) を同時供給してエピタキシャル成長することが好適である。また、ALD (Atomic Layer Deposition: 原子層堆積) 法により上記原料などを交互に供給することにより、エピタキシャル成長しても良い。不純物ドーピングエピタキシャル成長はSOI基板を作成するときに行っても良いし、SOI基板の上部シリコン層をわずかに残すようにエッチングして、その後所定のボディ膜厚となるように不純物ドーピングエピタキシャル成長しても良い。あるいはSOI基板のシリコン層膜厚が設計チャンネル膜厚よりも十分に薄ければ、元のシリコン層の上に直接に不純物ドーピングエピタキシャル成長しても良い。

【0060】

又は、シリコン基板に格子整合するような膜 (例えばシリコンゲルマニウム等) をヘテロエピタキシャル成長し、続けてシリコンの不純物ドーピングエピタキシャル成長を行い、その後ヘテロエピタキシャル層をエッチングにより除去した後、埋め込み酸化膜によってエッチング部分を埋め戻してSOI構造を形成してもよい。これらの方法により、不純物濃度が深さ方向で均一な薄膜チャンネル領域を得ることができる。

【0061】

また、形成された不純物濃度分布、及びチャンネル膜厚と単位面積あたりのチャンネル不純物濃度の相関は、種々の方法で確認することができる。例えば、チャンネル深さ方向の不純物分布は、電子線ホログラフィー、SCAM (Scanning Capacitance Microscope) 又はKPFM (Kelvin Probe Force Microscopy) 等を利用することにより、試料断面から観察したビルト・イン・ポテンシャルを通じて解析することが可能である。また、薄膜チャンネルの単位面積あたりの不純物濃度は、試料表面の薄膜領域を選択的に電子線によって励起し、その特性X線を検出することで、チャンネル薄膜中に含まれる不純物濃度を高感度に検出することができる。この方法及びチャンネル膜厚を測定する公知の方法を組み合わせることで、チャンネル膜厚と単位面積あたりのチャンネル不純物濃度の相関を、例えばウエハ内に渡って得ることができる。

【0062】

本実施形態によれば、複数の薄膜チャンネル型MISFETを含む集積回路において、チャンネル領域に均一に所定の体積濃度の不純物を導入することにより、チャンネル膜厚の設計値からの統計的なばらつき及び不純物の深さ方向の濃度のばらつきに起因する閾値電圧のばらつきを抑制することができる。

【0063】

従来技術においては、薄膜チャンネルを有する完全空乏型MISFETのチャンネル不純物濃度は、専ら真性半導体に近いような低濃度であることが望ましいとされてきた。チャンネル膜厚を十分薄く形成した薄膜トランジスタでは、短チャンネル効果を抑制することが可能であるため、チャンネル不純物濃度を低濃度とすることで、移動度の改善と不純物の位置及び数のばらつき (不純物ばらつき) に起因した閾値電圧ばらつきを低減させることができると考えられるためである。しかしながら、集積回路を構成するMISFETのチャンネル膜厚が半導体層製造時に統計的にばらついた場合、仮に不純物濃度がゼロであっても、DIBL (Drain Induced Barrier Lowering) による閾値電圧のばらつきが発生する。本発明においては、所定の濃度の不純物をチャンネルに導入することにより、チャンネル膜厚のば

10

20

30

40

50

らつきに起因する閾値電圧のばらつきを低減するものである。

【0064】

次に、本発明の第2の実施形態に係る半導体装置の製造方法について説明する。図10(a)乃至(c)は、本実施形態の製造方法を工程順に示す断面図であり、図11(d)乃至(f)は、図10に続く本実施形態の製造方法を工程順に示す断面図である。なお、以下では、P型MOSFETの製造方法を例に説明するが、適当なイオン種、注入エネルギー等を選択することで、N型MOSFETを作成することもできる。

【0065】

先ず、図10(a)に示すように、従来の方法により、シリコン基板21上に埋め込み酸化膜22とシリコン薄膜23とを順次積層して形成する。その後、トレンチ分離によって素子分離領域24を埋め込み酸化膜22上に形成する。

10

【0066】

次に、図10(b)に示すように、区画された素子分離領域24内のシリコン薄膜23及び素子分離領域24上に、犠牲酸化膜25を形成する。そして、犠牲酸化膜25上方からN型のチャンネル不純物をイオン注入により均一に導入する(図8を参照)。例えば、シリコン薄膜23の膜厚が20nm、犠牲酸化膜25の膜厚が10nm程度であれば、砒素を7.5keVのエネルギーで 1×10^{12} at/cm²程度の注入量で注入した後、続けて砒素を25keVのエネルギーで 2×10^{12} at/cm²程度の注入量で注入し、更に、70keVのエネルギーで 4×10^{12} at/cm²程度の注入量で注入を行う。このようにすることで、シリコン薄膜23中に深さ方向に均一に 1×10^{18} at/cm³程度の濃度の砒素を導入することができる。この後、チャンネル不純物を活性化するために、公知の方法でアニール処理を行っても良い。この場合、チャンネル不純物の外方拡散又は析出が生じないように、レーザアニールなど不純物の拡散が進行しないような条件でアニール処理を行うことが更に望ましい。その後、犠牲酸化膜25を剥離する。

20

【0067】

次に、図10(c)に示すように、シリコン薄膜23及び素子分離領域24上にゲート絶縁膜26を形成し、引き続いて1000程度の膜厚の電極層27を形成する。ここで電極層27は、ポリシリコン、ポリシリコンゲルマニウム、又はそれらの積層構造等から構成される。又は、金属ゲート電極とすることも可能である。

【0068】

次に、パターニングによって得られたレジストパターンを、電極層27上に形成したハードマスクに転写し、このハードマスクパターンにより電極層27のエッチングを行う。その後、ポリシリコン層上のハードマスクを取り除き、図11(d)に示すように、ポリシリコンからなるゲート電極28が形成される。

30

【0069】

次に、50乃至1000程度の膜厚の酸化膜を形成する。更に、図11(e)に示すように、プラズマエッチバックにより、ゲート電極28の側面にこの酸化膜からなるサイドウォール29を形成する。次に、このサイドウォール29をマスクとしてイオン注入を行い、ソース・ドレインの不純物拡散領域30を形成する。その後、公知の方法で熱処理を行い、ソース・ドレイン領域の不純物の活性化を行う。

40

【0070】

更に、図11(f)に示すように、例えば、Co又はNi等の金属を蒸着し、熱処理によりシンターを行うサリサイドプロセスにより、ソース、ドレイン及びゲートの上面にシリサイド領域31を形成する。以上の工程により、図9に示す本実施形態における薄膜チャンネル型MISFETが完成する。

【0071】

このようにして作製された本実施形態におけるMISFETは、チャンネル領域に均一に所定濃度の不純物を導入することにより、薄膜チャンネル領域の膜厚が変動しても、V_{th}のばらつきを最小限に抑えることができる(図8(b)を参照)。

【0072】

50

なお、本発明の実施形態における各部の形成方法については、夫々必須な工程のみを例示しており、実際のM O S F E Tの製造においては、本発明の実施形態の記載に含まれない種々の工程を含んでいるものとする。また、各部の寸法、イオン注入のエネルギー、及び注入量等は、本発明の特許請求の範囲から把握される本発明の技術的範囲内で種々の変更が可能であり、本発明の範囲を制限するものではない。

【 0 0 7 3 】

次に、第2の実施形態の変形例について述べる。以下の変形例は、薄膜チャンネル領域に含まれる不純物の単位面積あたりの濃度が、前記チャンネル膜厚が厚いM I S F E Tほど大きくなり、且つチャンネル表面から深さ方向に単位体積あたりの不純物濃度が濃くなるように設定したS O I型M O S F E Tの製造方法を開示するものである。

10

【 0 0 7 4 】

まず、本発明の第2の実施形態の第1の変形例について説明する。図12を参照して、本変形例に係る半導体装置の製造方法を説明する。まず、図12(a)に示すように、従来の方法により、シリコン基板41上に埋め込み酸化膜42及びシリコン薄膜43を順次積層して形成する。その後、トレンチ分離によって素子分離領域44を形成する。

【 0 0 7 5 】

次に、図12(b)に示すように、区画された素子分離領域44内に、犠牲酸化膜45を形成する。そして、犠牲酸化膜45の上方から、平均飛程距離がシリコン薄膜43よりも深い位置となるような条件で、チャンネル不純物をイオン注入する。このようなイオン注入法により、チャンネル膜厚が厚いほど不純物の単位面積あたりの濃度が大きくなり、且つチャンネル表面から深さ方向に単位体積あたりの不純物濃度が濃くなるように不純物を導入することができる(図13を参照)。

20

【 0 0 7 6 】

チャンネル表面で不純物濃度が低くなるような不純物プロファイルは、従来、所謂レトログレード型の不純物分布として知られているが、本変形例で開示するイオン注入法及びそのプロファイルは、以下の点で公知の例とは異なる。即ち、単位面積あたりの不純物濃度が、チャンネル膜厚が厚いM I S F E Tほど大きくなる、という更に特有の性質を併せ持つ不純物の導入方法となっている。また、チャンネル膜の底面における単位体積あたりの不純物濃度を、チャンネル膜厚の揺らぎ及び不純物ばらつきに起因するV t hのばらつきを極小化する濃度に設定する。チャンネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャンネル膜厚の設計値からの統計的なばらつき及び不純物のチャンネル膜表面から深さ方向への体積濃度のばらつきに対する閾値電圧の標準偏差 V t hとの関係において、V t hが極小となる体積濃度をチャンネル膜の底面部において含んでいる。また、仮に、この後のアニール工程により、チャンネル不純物が再分布し、最終的にチャンネル深さ方向に不純物分布がほぼ均一に形成された場合には、第1の実施形態と同様の不純物分布となる。このような不純物分布により、チャンネル膜厚の統計的なばらつきに起因したV t hのばらつきを抑制することが可能であり、且つ均一のチャンネル不純物分布としたときに比べ、チャンネル薄膜中の不純物の総量が低減されているため、不純物ばらつきによるV t hのばらつきを低く抑えることができる。図12(b)以下の製造工程は、第2の実施形態と同様であるため、省略する。

30

40

【 0 0 7 7 】

次に、本発明の第2の実施形態の第2の変形例について説明する。図14を参照して、本変形例に係る半導体装置の製造方法を説明する。まず、図14(a)に示すように、従来の方法により、シリコン基板51上に埋め込み酸化膜52及びシリコン薄膜53を順次積層して形成する。ここでシリコン薄膜53はデバイス設計上の膜厚よりも薄くなるように形成しておく。その後、トレンチ分離によって素子分離領域54を形成する。

【 0 0 7 8 】

次に、第2の実施形態と同様にして、シリコン薄膜53に均一に不純物を導入し、結晶性回復のためのアニール処理を行う。引き続き、シリコン薄膜53上に選択的にシリコンエピタキシャル層55をエピタキシャル成長する。ここで、シリコンエピタキシャル層

50

55の膜厚は、シリコン薄膜53とシリコンエピタキシャル層55の合計の膜厚が、設計上のチャンネル膜厚と等しくなるように選択する。またエピタキシャル成長時には不純物を導入しないか、シリコン薄膜53中の不純物濃度よりも低い濃度で不純物を導入する(図15参照)。図14(b)以下の製造工程は第2の実施形態と同様であるため、省略する。

【0079】

上記のようにして得られたチャンネル領域の不純物の濃度分布を、図15に示す。図15に示すように、チャンネル膜表面に近いシリコンエピタキシャル層に導入された均一の不純物濃度は、シリコン薄膜中の均一の不純物濃度よりも低い。シリコン薄膜中における不純物濃度は、チャンネル膜厚の揺らぎ及び不純物のばらつきに起因する V_{th} ばらつきを極小化する濃度である。即ち、チャンネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャンネル膜厚の設計値からの統計的なばらつき及び不純物のチャンネル膜表面から深さ方向への体積濃度のばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、 V_{th} が極小となる体積濃度をチャンネル膜の底面部において含んでいる。このようにして得られたSOI型MOSFETは、DIBLの変動による V_{th} のばらつきを抑制することができ、且つ均一のチャンネル不純物分布としたときに比べ、不純物ばらつきによる V_{th} ばらつきを低く抑えることが可能である。

10

【0080】

次に、本発明の第2の実施形態の第3の変形例について説明する。図16を参照して、本変形例に係る半導体装置の製造方法を説明する。まず、図16(a)に示すように、従来の方法により、シリコン基板61上に埋め込み酸化膜62、拡散防止層63、及びシリコン薄膜65を順次積層して形成する。その後、トレンチ分離によって素子分離領域64を形成する。拡散防止層63は、例えば、窒化膜若しくは酸化膜又はそれらの混合膜を堆積すると良い。

20

【0081】

次に、図16(b)に示すように、シリコン薄膜65及び素子分離領域64上に犠牲酸化膜層66を形成し、第2の実施形態と同様にして、シリコン薄膜65に均一に不純物を導入する。引き続き、シリコン薄膜65の不純物が犠牲酸化膜層66へ外方拡散するような条件でアニール処理を行い、シリコン薄膜65の表面不純物濃度を低下させる。なお、犠牲酸化膜層66に比べ、埋め込み酸化膜62におけるチャンネル不純物の拡散速度が十分に遅ければ、拡散防止層63は形成しなくても良い。図16(b)以下の製造工程は第2の実施形態と同様であるため、省略する。

30

【0082】

上記のようにして得られたチャンネル領域の不純物の濃度分布を、図17に示す。図17に示すように、チャンネル薄膜に導入されたチャンネル深さ方向の不純物濃度は、拡散防止層に近い領域では一定値であり、チャンネル膜表面に近づくにつれ、外方拡散の効果により減少する。拡散防止層に近い深さ領域における不純物濃度は、チャンネル膜厚の揺らぎ及び不純物のばらつきに起因する V_{th} ばらつきを極小化する濃度に設定されている。即ち、チャンネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャンネル膜厚の設計値からの統計的なばらつき及び不純物のチャンネル膜表面から深さ方向への体積濃度のばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、 V_{th} が極小となる体積濃度をチャンネル膜の拡散防止層に近い領域において含んでいる。このようにして得られたSOI型MISFETは、DIBLの変動による V_{th} のばらつきを抑制することができ、且つ均一のチャンネル不純物分布としたときに比べ、不純物ばらつきによる V_{th} ばらつきを低く抑えることが可能である。

40

【0083】

次に、本発明の第2の実施形態の第4の変形例について説明する。図18を参照して、本変形例に係る半導体装置の製造方法を説明する。まず、図18(a)に示すように、従来の方法により、シリコン基板71上に埋め込み酸化膜72、シリコン薄膜73を順次積層して形成する。その後、トレンチ分離によって素子分離領域74を形成する。次に、犠

50

性酸化膜層 75 を形成し、第 2 の実施形態と同様にして、シリコン薄膜 73 に、ほぼ均一に不純物を導入する。

【0084】

引き続き図 18 (b) に示すように、犠牲酸化膜層 75 をエッチングにより除去する。更に、シリコン薄膜 73 中の不純物とは逆の導電型の不純物を含む酸化膜層 76 を堆積し、アニール処理によって酸化膜層 76 中の不純物を一部シリコン薄膜 73 の表面に拡散させる。その後、エッチングにより酸化膜層 76 を除去する。図 18 (b) 以下の製造工程は第 2 の実施形態と同様であるため、省略する。

【0085】

上記のようにして得られたチャネル領域の不純物の濃度分布を、図 19 に示す。図 19 に示すように、チャネル膜中に導入されたチャネル深さ方向の不純物濃度は、埋め込み酸化膜に近い領域では一定値であり、チャネル膜表面に近づくにつれ、チャネル不純物と逆の導電型の不純物がチャネル膜表面に導入されたことにより、減少する。埋め込み酸化膜に近い深さ領域における不純物濃度は、チャネル膜厚の揺らぎ及び不純物のばらつきに起因する V_{th} ばらつきを極小化する濃度に設定されている。即ち、チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつき及び不純物のチャネル膜表面から深さ方向への体積濃度のばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、 V_{th} が極小となる体積濃度をチャネル膜の底面部において含んでいる。このようにして得られた SOI 型 MISFET では、チャネル不純物と逆の導電型の不純物をチャネル薄膜表面に導入することで、チャネル薄膜表面の実効的な不純物濃度が低下して形成され、DIBL の変動による V_{th} のばらつきを抑制することができ、且つ均一のチャネル不純物分布としたときに比べ、不純物ばらつきによる V_{th} ばらつきを低く抑えることが可能である。

10

20

【0086】

以上、第 2 の実施形態の変形例 1 乃至 4 は、単位面積あたりのチャネル不純物濃度がチャネル膜厚に対して下に凸な関数となるように平面 SOI 型 MISFET を形成した例である。

【0087】

次に、本発明の第 3 の実施形態に係る半導体装置の製造方法について説明する。本実施形態は、薄膜チャネル領域に含まれる不純物の単位面積あたりの濃度が、前記チャネル膜厚が厚い MISFET ほど大きくなり、且つチャネル膜表面から深さ方向に単位体積あたりの不純物濃度が濃くなるように設定した FinFET の製造方法を開示するものである。

30

【0088】

図 20 及び図 21 を参照して、本実施形態の半導体装置の製造方法を説明する。図 20 (a) 乃至 (d) は、第 3 の実施形態の半導体装置の製造方法を工程順に示す断面図であり、図 21 (e) 乃至 (g) は、図 20 に続く製造方法を工程順に示す断面図である。先ず、図 20 (a) に示すように、従来の方法により、シリコン基板 81 上に、埋め込み酸化膜 82、所定の濃度の不純物が均一に導入されたシリコン膜 83 を順次積層して形成する。シリコン膜 83 の形成方法は、不純物ドーブエピタキシャル成長により、薄膜 SOI のシリコン層を厚くして形成しても良いし、予め用意した厚膜の SOI のシリコン層に平均飛程の異なる複数回のチャネル注入又は熱拡散によって、均一に不純物を導入しても良い。チャネル領域に導入される不純物の濃度は、チャネル膜厚の揺らぎ及び不純物のばらつきに起因する V_{th} ばらつきを極小化する濃度である。即ち、チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつき及び不純物のチャネル膜表面から深さ方向への体積濃度のばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、 V_{th} が極小となる体積濃度を含んでいる。

40

【0089】

更に、シリコン膜 83 上にハードマスク層を形成する。ハードマスク層は、例えば、二

50

酸化ケイ素、若しくは窒化珪素又はそれらの混合膜等からなる。次に、レジスト塗布及び、露光・現像を行い、レジストパターンを得る。このレジストパターンをマスクとして、ハードマスク層をエッチングして、ハードマスク 84 を形成する（図 20（b）参照）。

【0090】

次に、ハードマスク 84 をマスクパターンとして、シリコン膜 83 をエッチングし、図 20（c）に示すように、フィン 85 形状を形成する。

【0091】

次に、図 20（d）に示すように、犠牲酸化膜層 86 を堆積する。続いてアニール処理を行うことで、フィン 85 の表面から不純物が犠牲酸化膜層 86 へと外方拡散し、図 22 に示すように、フィン 85 表面の不純物濃度を減少させる。ここで、犠牲酸化膜層 86 においては、埋め込み酸化膜 82 及びハードマスク 84 に比べて、シリコン層 83 に導入されている不純物の拡散速度が速いことが望ましい。図示しないが、埋め込み酸化膜 82 とフィン 85 との間に、拡散防止層を有していると更に好適である。ハードマスク 84 への不純物の外方拡散が顕著である場合には、それを補うためにハードマスク 84 上から垂直に同型の不純物を追加注入してもよい。

10

【0092】

次に、犠牲酸化膜層 86 をエッチングし、フィン 85 表面にゲート酸化膜 87 を形成する（図 21（e））。ゲート酸化膜 87 形成前に、ハードマスク 84 をエッチングしても良いが、しなくても良い。図 21（e）では、ハードマスク 84 をエッチングした場合を示す。

20

【0093】

次に、図 21（f）に示すように、ゲート電極膜を堆積した後、リソグラフィーにより所定のパターンに加工し、ゲート電極 88 を形成する。

【0094】

更に、ゲート電極 88 の側部にサイドウォール 89 を形成し、これをマスクとしてイオン注入を行い、自己整合的にソース・ドレイン拡散領域 90 を形成し、図 21（g）に示すように、本実施形態における FinFET の構成が完成する。

【0095】

このようにして作成された本実施形態における FinFET は、薄膜チャネル（フィン）領域に含まれる不純物の単位面積あたりの濃度が、前記フィン膜厚が厚い MISFET ほど大きくなり、チャネル膜厚の統計的なばらつき及び不純物ばらつきに起因した V_{th} ばらつきを抑制することが可能であり、且つ均一のチャネル不純物分布としたときに比べ、チャネル薄膜中の不純物の総量が低減されているため、不純物ばらつきによる V_{th} ばらつきを低く抑えることができる。

30

【0096】

また、FinFET のチャネル領域への不純物の導入方法は、平面 SOI と同様にチャネル注入による方法を適用することもできる。即ち、図 23 に示すように、チャネル不純物の導入方法は、フィンの片側のみからイオン注入を行い、更にその平均飛程はフィンの反対側の外方に達するような方法によっても良い。この場合、平面 SOI 型 FET と比較して、チャネル膜厚はフィン幅、チャネル領域中の深さはチャネル領域のイオン注入面を表面としたときの距離として定義される。

40

【0097】

また、FinFET の断面形状は、上記の他に 型、 型、ゲート・オール・アラウンド型等種々あるが、いずれの場合であっても本実施形態と同様の方法で、チャネル不純物を導入することができ、これにより V_{th} の統計ばらつきを低減することができる。

【0098】

次に、本発明の第 4 の実施形態に係る半導体装置について説明する。本実施形態は、本発明を平面型ダブルゲート FET により実施したものである。図 24 は、本発明の第 4 の実施形態における平面型ダブルゲート FET の構成を示す断面図である。本実施形態においては、薄膜チャネル領域に含まれる不純物の単位面積あたりの濃度が、前記チャネル膜

50

厚が厚いMISFETほど大きくなるように薄膜チャネル領域に不純物が導入されている。

【0099】

図24に示すように、本実施形態の平面型ダブルゲートFETにおいては、半導体基板91上に埋め込み酸化膜92が形成されており、この埋め込み酸化膜92上には、ソース領域93、ドレイン領域94、及びこれらの領域間に設けられた薄膜チャネル領域95が形成されている。薄膜チャネル領域95は、上下に対向して形成された1対のゲート電極97により夫々ゲート絶縁膜96を介して挟持された形となっており、下方に形成されたゲート電極97が埋め込み酸化膜92の表面に接している。また、ゲート電極97と、ソース領域93及びドレイン領域94とを隔てるように、ゲート電極97の側面にはゲート側壁98が形成され、ゲート側壁98と薄膜チャネル領域95との間にはゲート絶縁膜96が配置されている。更に、ソース・ドレイン・ゲート電極の各領域は配線されている。図示しないが、トランジスタ素子上部には、層間絶縁膜、プラグ及び配線等が形成され、集積回路としての機能を供する。本実施形態は、上述のように構成された平面型ダブルゲートFETを有する半導体装置、及びこれら複数の平面型ダブルゲートFETを有する集積回路である。

10

【0100】

このようにして作成された平面型ダブルゲートFETにおいて、薄膜チャネル領域には、チャネル膜厚の揺らぎ及び不純物のばらつきに起因する V_{th} ばらつきを極小化する濃度の不純物が導入されている点は、第1乃至第3の実勢形態と同様である。また、チャネル表面の不純物濃度が低減されるようにすることで、 V_{th} のばらつきを効果的に抑制することができる。また、イオン注入法は公知の方法を用いることができ、この他、第1乃至第3の実施形態で開示した方法によって、チャネル領域に不純物を導入しても良い。

20

【0101】

以上、本発明の第1乃至第4の実施形態に開示した例ではいずれも、薄膜チャネルに対する不純物の導入方法に注目して説明した。チャネル領域以外の各部の形成方法は、本発明の特許請求の範囲から把握される本発明の技術的範囲内で種々の変更が可能である。例えば、ソース・ドレイン部は、薄膜チャネル領域より厚い膜厚を有していても良いし、ソース・ドレイン部を金属により形成し、所謂ショットキー・ソース・ドレインの構造としても良い。また、ゲート電極の材料はポリシリコンを用いても良いし、適切な仕事関数を持つ金属を用いても良い。

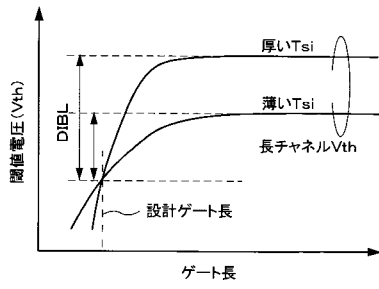
30

【産業上の利用可能性】

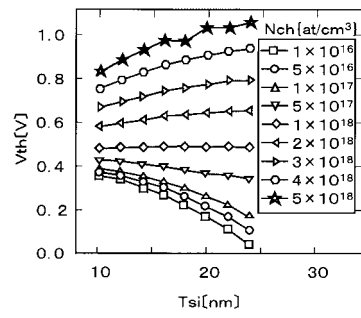
【0102】

本発明は、薄膜チャネルを有するMISFETを含む集積回路に適用することができる。

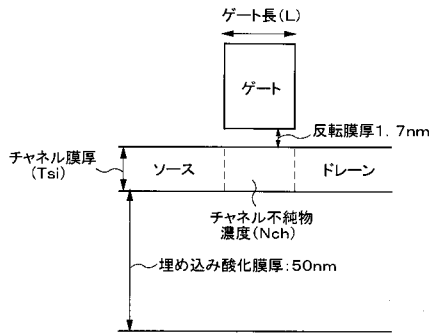
【 図 1 】



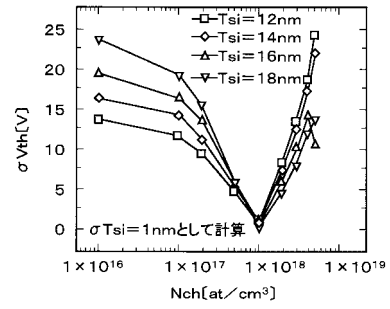
【 図 3 】



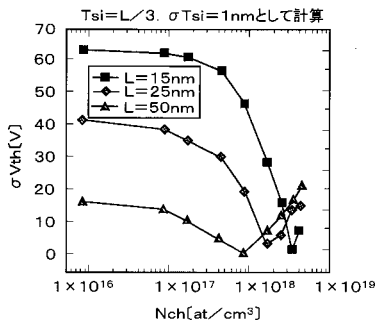
【 図 2 】



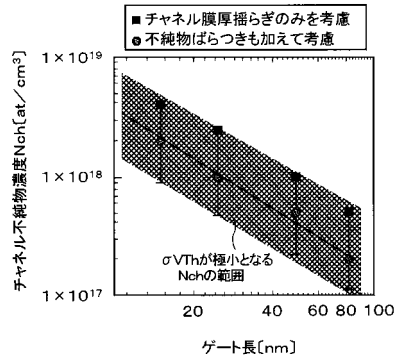
【 図 4 】



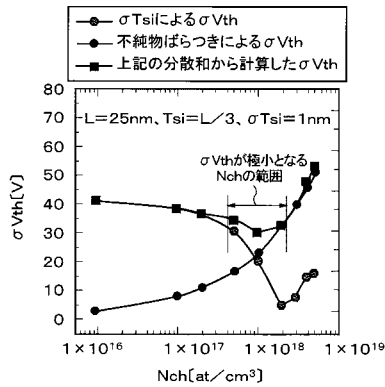
【 図 5 】



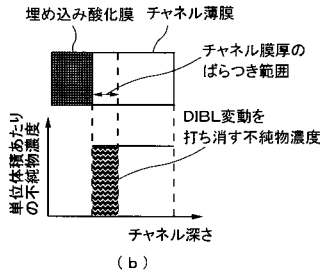
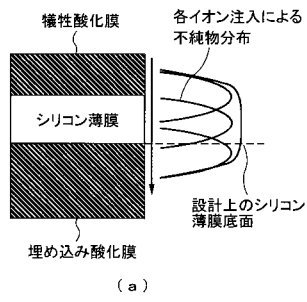
【 図 7 】



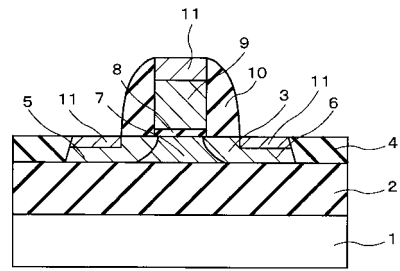
【 図 6 】



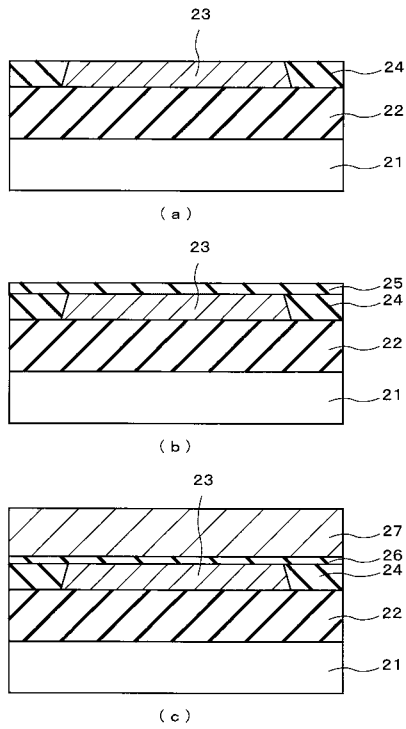
【 図 8 】



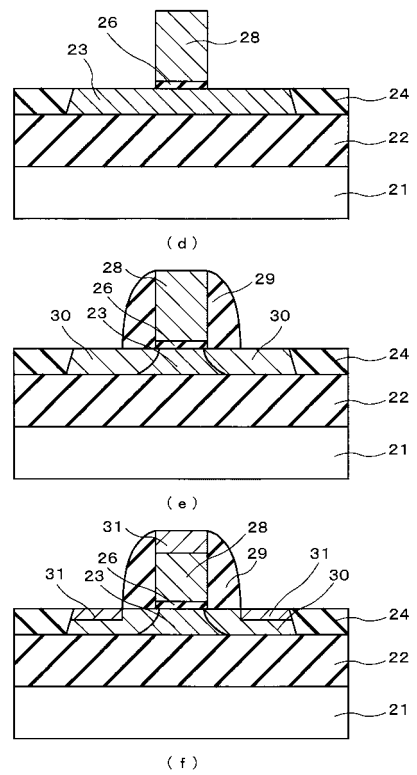
【 図 9 】



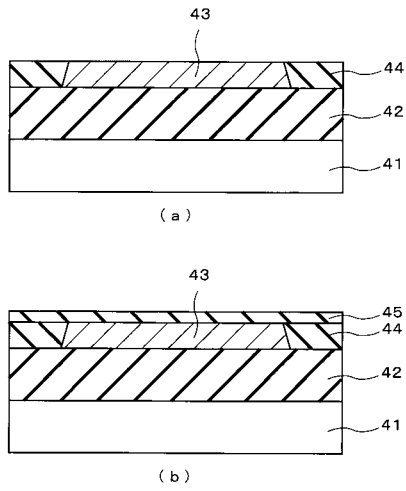
【 図 10 】



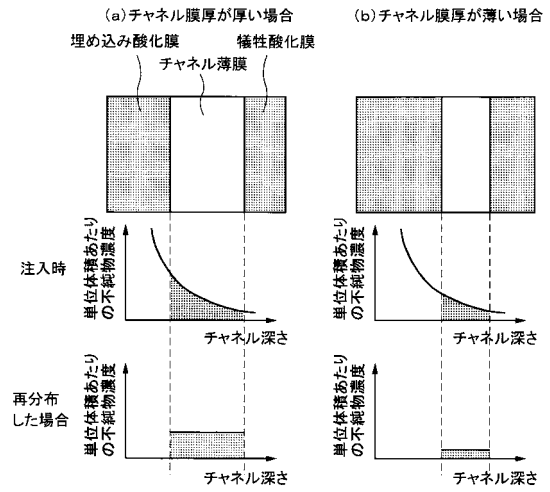
【 図 11 】



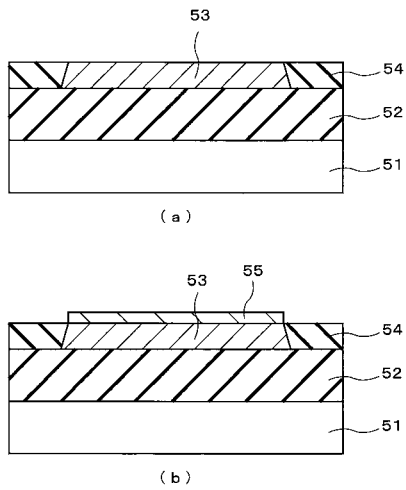
【 図 1 2 】



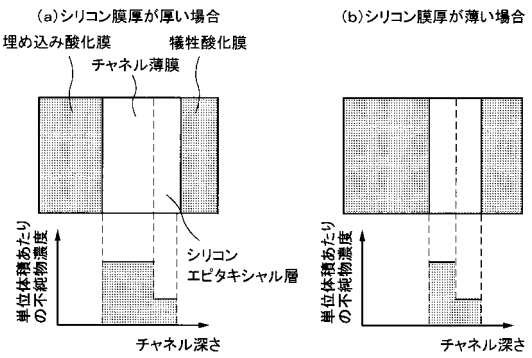
【 図 1 3 】



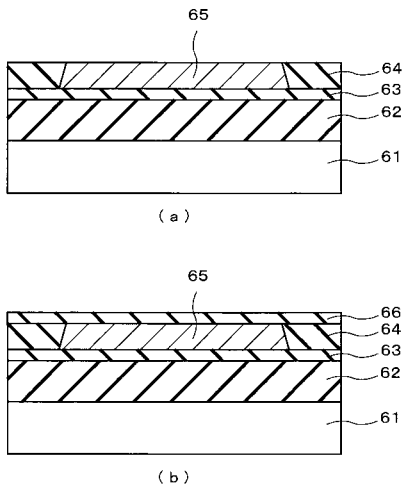
【 図 1 4 】



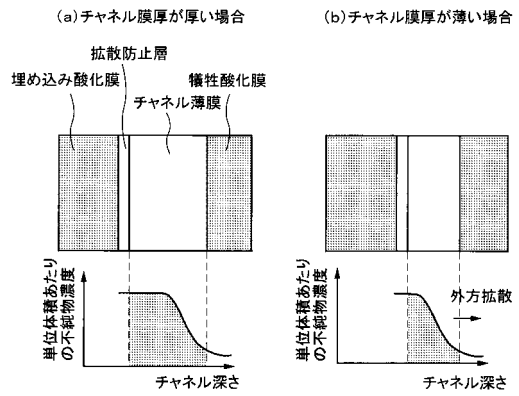
【 図 1 5 】



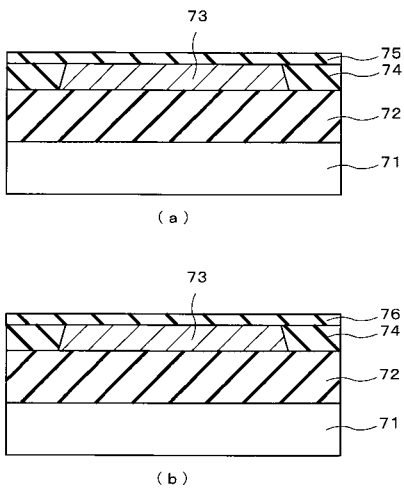
【 図 1 6 】



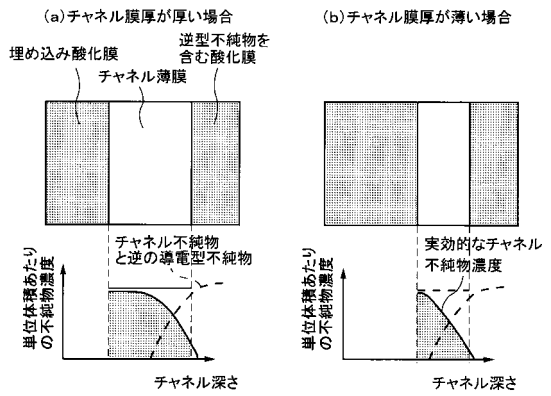
【 図 1 7 】



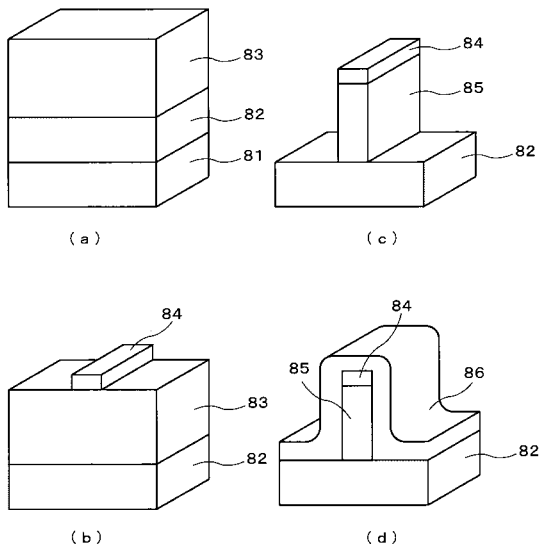
【 図 1 8 】



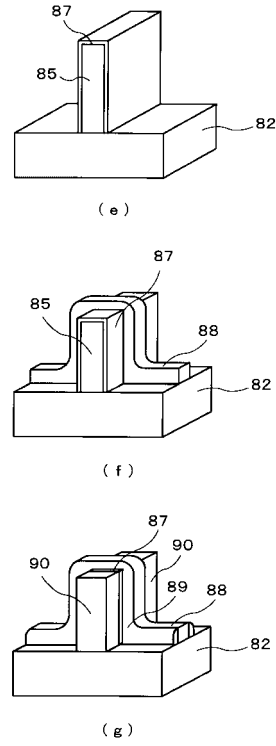
【 図 1 9 】



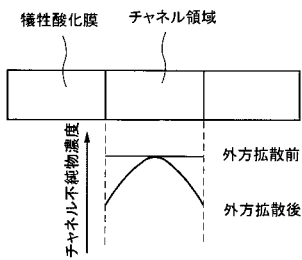
【図20】



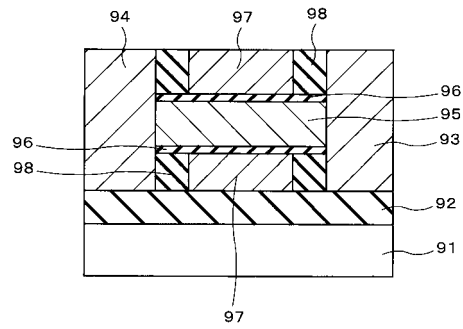
【図21】



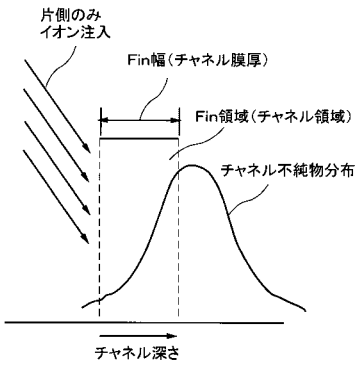
【図22】



【図24】



【図23】



【手続補正書】

【提出日】平成21年3月13日(2009.3.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁膜上に半導体層からなるチャネル膜が形成された複数個のMISFETを有し、前記チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むことを特徴とする集積回路。

【請求項2】

前記複数個のMISFETのチャネル膜厚は設計値が同一であり、且つ各MISFETのチャネル膜厚の相違は設計値からの統計的なばらつきによるものであることを特徴とする請求項1に記載の集積回路。

【請求項3】

15乃至80nmの範囲の前記ゲート長Lにおいて、前記閾値電圧の標準偏差 V_{th} が極小となる前記不純物の体積濃度 N_{ch} は、 $-c \log_{10}(N_{ch}) + a \cdot \log_{10}(L) - b \cdot c$ (但し、 $a = 1.33$ 、 $b = 19.9$ 、 $c = 0.4$) を満たすこと特徴とする請求項1又は2に記載の集積回路。

【請求項4】

前記不純物のチャネル膜表面から深さ方向への体積濃度分布は、深さによらず一定であることを特徴とする請求項1乃至3のいずれか1項に記載の集積回路。

【請求項5】

前記不純物のチャネル膜表面から深さ方向への体積濃度分布は、深さが深いほど高濃度であることを特徴とする請求項1乃至3のいずれか1項に記載の集積回路。

【請求項6】

前記チャネル膜底面における体積濃度は、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度であることを特徴とする請求項5に記載の集積回路。

【請求項7】

前記MISFETはダブルゲート型であって、前記不純物のチャネル膜表面から膜厚方向への体積濃度分布は、前記チャネル膜の一方の表面では低く、且つ他方の表面では高いものであることを特徴とする請求項1乃至6のいずれか1項に記載の集積回路。

【請求項8】

前記MISFETは、FinFET、SOI型FET、又は平面ダブルゲート型FETであることを特徴とする請求項1乃至6のいずれか1項に記載の集積回路。

【請求項9】

絶縁膜上に半導体層からなるチャネル膜が形成されたMISFETを有する半導体装置の製造方法であって、前記チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むように、前記不純物を前記チャネルに導入することを特徴とする半導体装置の製造方法。

【請求項10】

絶縁膜上に半導体層からなるチャネル膜が形成されたMISFETを有する半導体装置の製造方法であって、前記チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつき及び不純物の深さ

方向の体積濃度のばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むように、前記不純物を前記チャンネルに導入することを特徴とする半導体装置の製造方法。

【請求項 11】

前記不純物を導入する工程は、平均飛程距離の異なる複数回のイオン注入により実施することを特徴とする請求項 9 又は 10 に記載の半導体装置の製造方法。

【請求項 12】

前記不純物を導入する工程は、前記不純物のチャンネル膜表面から深さ方向への体積濃度分布のピークが、設計上のチャンネル膜底面より深い位置となるようなイオン注入を含むことを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 13】

前記不純物を導入する工程は、前記チャンネル膜の両面に反転層が形成されて動作する前記 M I S F E T において、前記チャンネル膜の一方の面からイオン注入を実施し、前記イオンの平均飛程が前記チャンネル膜の他方の面の前記チャンネル膜領域外側に設定されるようなイオン注入を含むことを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 14】

前記不純物を導入する工程は、前記チャンネル膜領域をエピタキシャル成長するときと同時にを行うことを特徴とする請求項 9 又は 10 に記載の半導体装置の製造方法。

【請求項 15】

前記不純物を導入する工程は、前記不純物の外方拡散によって前記チャンネル膜表面の前記不純物を低減させる工程を含むことを特徴とする請求項 9 乃至 14 のいずれか 1 項に記載の半導体装置の製造方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、薄膜チャンネルを有する M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) の閾値電圧のばらつきを低減するのに好適な集積回路、及び半導体装置の製造方法に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本発明はかかる問題点に鑑みてなされたものであって、薄膜チャンネル型 M I S F E T において、チャンネル膜厚の変化に起因した閾値電圧の変動が抑制された集積回路、及び半導体装置の製造方法を提供することを目的とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【補正の内容】

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】削除

【補正の内容】

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

【補正の内容】

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】削除

【補正の内容】

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

本発明に係る集積回路は、絶縁膜上に半導体層からなるチャネル膜が形成された複数個のMISFETを有し、前記チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつきに対する閾値電圧の標準偏差 V_{th} との関係において、前記閾値電圧の標準偏差 V_{th} が極小となる体積濃度を含むことを特徴とする。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】削除

【補正の内容】

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/060559

A. CLASSIFICATION OF SUBJECT MATTER H01L21/8234(2006.01)i, H01L27/08(2006.01)i, H01L27/088(2006.01)i, H01L29/786(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/8234, H01L27/08, H01L27/088, H01L29/786		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-142664 A (Seiko Epson Corp.), 16 May, 2003 (16.05.03), Full text; Figs. 1 to 16 & EP 1286392 A2 & US 2003/0057489 A1 & KR 2003-0017428 A & CN 1404142 A & TW 563257 A & JP 2003-142665 A	1-3, 12, 13
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 13 August, 2007 (13.08.07)	Date of mailing of the international search report 21 August, 2007 (21.08.07)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/060559

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See the extract sheet.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-3, 12, 13

Remark on Protest

- the
- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/060559

Continuation of Box No. III of continuation of first sheet (2)

There must be a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention.

Then, claims 1-4 and claims 5-10 will be examined. The invention of claim 1 is characterized by the relation between "the channel film thickness" and "the concentration of the impurities per unit area" that "there is a correlation that the channel film thicknesses of the MISFETs are different from one another, and the greater the channel film thickness of a MISFET is, the higher the concentration per unit area of the impurities contained in the channel film is". Meanwhile, the invention defined in claim 5 is characterized by the relation between "the impurity volume concentration distribution" and "the standard deviation of the threshold voltage" that "the impurity volume concentration distribution of the channel film include the volume concentration at which the standard deviation σ_{Vth} of the threshold voltage is a minimum value in the relation the impurity volume concentration in the gate length and the standard deviation σ_{Vth} of the threshold voltage with respect to the statistical variation from the design value of the channel film thickness". Therefore, the inventions defined in the claims obviously do not involve any common technical feature.

Next, claims 1-4, 11-12 will be examined. The point stated in claim 1 that "the greater the channel film thickness of a MISFET is, the higher the concentration per unit area of the impurities contained in the channel film" holds good even if the channel film has an impurity concentration profile uniform in the film thickness direction. Therefore, ordinarily used SOI-MISFETs (since the channel film is formed by thinning a single-crystal silicon substrate, the impurity concentration is basically uniform and a somewhat variation of the film thickness is caused in the thinning processing) as disclosed in e.g., document: JP 2003-142664A (Seiko Epson Corp.), 16 May, 2003 (16.05.03) & US 2003/0057489 A1 & EP 1286392 A2 & KR 2003-0017428 A & CN 1404142 A & TW 563257 A cannot be a special technical feature.

Therefore, the claims referring to claim 1 are divided into claim 2, claim 3, claim 4, claim 11, and claim 12.

In consequence, even if the claims are grouped into as few divisions as possible by grouping claims 1-3, 12 disclosed in the document into one division and making each of the inventions of process defined in claims 13-20 correspond to one of the inventions of product defined in claims 1-12, the claims of the international application define at least four inventions as listed below.

- | | |
|------------------------|----------------------------|
| (a) Claims 1-3, 12, 13 | (b) Claims 4, 16-17, 19-20 |
| (c) Claims 5-10, 14-15 | (d) Claims 11, 18 |

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 6 0 5 5 9									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/8234(2006.01)i, H01L27/08(2006.01)i, H01L27/088(2006.01)i, H01L29/786(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/8234, H01L27/08, H01L27/088, H01L29/786											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2007年										
日本国実用新案登録公報	1996-2007年										
日本国登録実用新案公報	1994-2007年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
X	J P 2 0 0 3 - 1 4 2 6 6 4 A (セイコーエプソン株式会社) 2003.05.16, 全文, 図1-16 & EP 1286392 A2 & US 2003/0057489 A1 & KR 2003-0017428 A & CN 1404142 A & TW 563257 A & J P 2 0 0 3 - 1 4 2 6 6 5 A	1-3, 12, 13									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 13.08.2007		国際調査報告の発送日 21.08.2007									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 安田 雅彦	4 L 9 4 4 7								
		電話番号 03-3581-1101 内線	3 4 9 8								

国際調査報告

国際出願番号 PCT/J P 2 0 0 7 / 0 6 0 5 5 9

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

特別ページを参照。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1 - 3, 12, 13

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付を伴う異議申立てがなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2005年4月)

(第 III 欄の続き)

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要である。

そこで、まず請求の範囲 1-4 と請求の範囲 5-10 について検討すると、請求の範囲 1 に記載された発明は「前記各 MISFET のチャネル膜厚は相異なり、前記チャネル膜に含まれる不純物の単位面積あたりの濃度が、チャネル膜厚が厚い MISFET ほど大きくなるという相関関係が成立する」という、「チャネル膜厚」と「不純物の単位面積あたりの濃度」との関係の特徴としているのに対し、請求の範囲 5 に記載された発明は「前記チャネル膜における不純物の体積濃度分布は、そのゲート長における不純物の体積濃度とチャネル膜厚の設計値からの統計的なばらつきに対する閾値電圧の標準偏差 σV_{th} との関係において、前記閾値電圧の標準偏差 σV_{th} が極小となる体積濃度を含む」という、「不純物の体積濃度分布」と「閾値電圧の標準偏差」との関係の特徴としており、明らかに共通の技術的特徴を有しているとは認められない。

次に、請求の範囲 1-4, 11-12 について検討すると、請求の範囲 1 に記載された「前記チャネル膜に含まれる不純物の単位面積あたりの濃度が、チャネル膜厚が厚い MISFET ほど大きくなる」の点は、膜厚方向に均一な不純物濃度プロファイルを有するチャネル膜であっても該当するから、例えば文献：JP 2003-142664 A (セイコーエプソン株式会社) 2003.05.16 & US 2003/0057489 A1 & EP 1 286 392 A2 & KR 2003-0017428 A & CN 1404142 A & TW 563257 A に開示されたような、通常用いられている SOI-MISFET (単結晶シリコン基板を薄膜化して形成したチャネル膜であるから、基本的に不純物濃度は均一であると同時に、薄膜化の過程で膜厚にある程度のばらつきが生じている) も含まれることになり、特別な技術的特徴とはなり得ない。

よって、請求の範囲 1 を引用している各請求の範囲は、請求の範囲 2 と、請求の範囲 3 と、請求の範囲 4 と、請求の範囲 11 と、請求の範囲 12 に区分される。

したがって、上記文献に既に開示されている請求の範囲 1-3, 12 を 1 つにまとめ、請求の範囲 13-20 に記載された製造方法の発明を請求の範囲 1-12 に記載された物の発明のいずれかに対応させることにより、可能な限りまとめたとしても、この国際出願の請求の範囲には、

- (a) 請求の範囲 1-3, 12, 13, (b) 請求の範囲 4, 16-17, 19-20,
(c) 請求の範囲 5-10, 14-15, (d) 請求の範囲 11, 18

に区分される少なくとも 4 個の発明が記載されているものと認める。

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 1 8 A
	H 0 1 L 29/78	6 1 3 Z
	H 0 1 L 27/08	1 0 2 E

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 5F048 AB01 AC01 AC03 AC04 BA01 BA16 BB01 BB03 BB04 BB05
 BB08 BB09 BB12 BB14 BC01 BC03 BD01 BD04 BD06 BE03
 BF06 BG05 BG13 CB06 DA25
 5F110 AA04 AA08 AA30 BB07 CC01 CC02 CC10 DD05 DD13 DD14
 DD17 EE02 EE08 EE09 EE14 EE22 EE30 EE32 FF12 GG02
 GG12 GG25 GG28 GG32 GG34 GG37 GG44 GG52 GG58 HJ13
 HJ23 HK02 HK05 HK17 HK32 HK40 HK50 HM14 NN02 NN62
 NN65

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。