



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

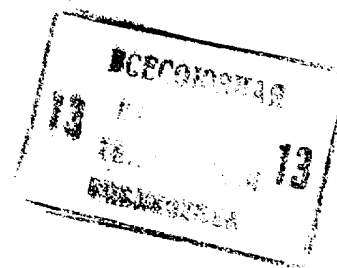
(19) **SU** (11) **1383374**

A1

(5D) 4 G 06 F 13/00, 11/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

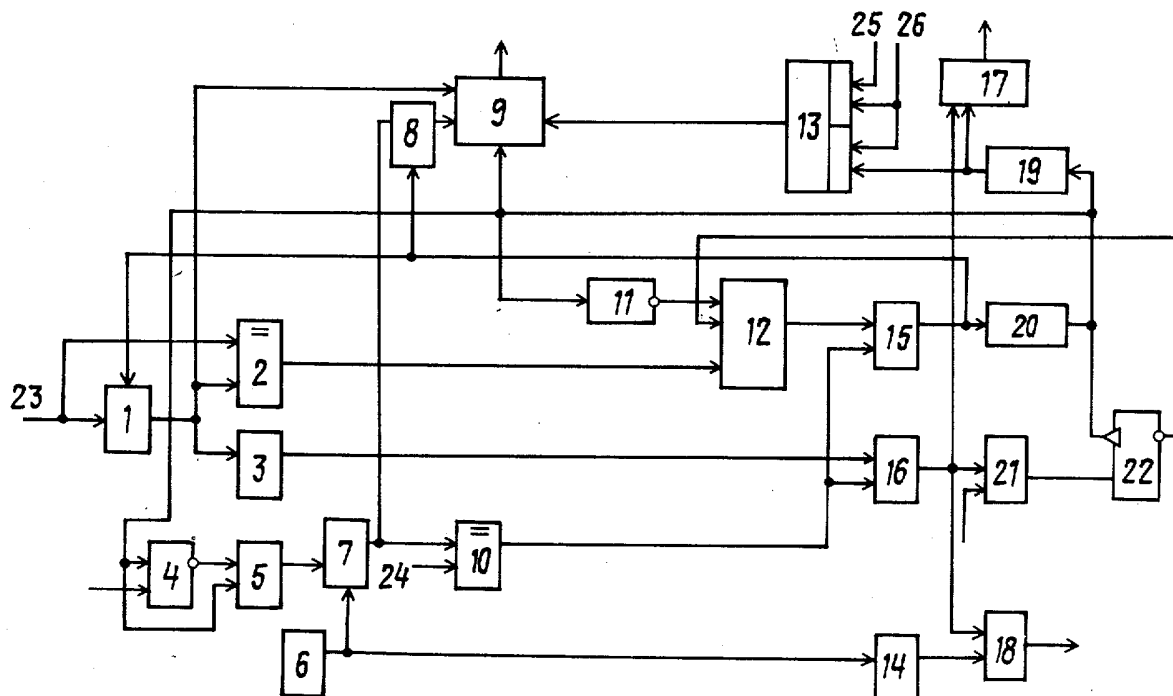
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4148553/24-24
(22) 08.10.86
(46) 23.03.88. Бюл. № 11
(72) Л. П. Чхайло, Б. Г. Шаров
и Б. А. Швед
(53) 681.32(088.8)
(56) Патент США № 3899776, кл. G 06 F 3/00,
G 06 K 9/00, опублик. 1975.
Авторское свидетельство СССР
№ 1070539, кл. G 06 F 13/10, 1984.

(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ
ИНТЕРФЕЙСА ВВОДА-ВЫВОДА
(57) Изобретение относится к цифровой
вычислительной технике и может быть ис-

пользовано для контроля ввода-вывода цифровых вычислительных машин и систем. Целью изобретения является расширение функциональных возможностей устройства за счет обеспечения фиксации нарушения последовательности обмена. С этой целью в устройство, содержащее регистр состояния интерфейса, регистр адреса, регистр времени останова, блок памяти, два таймера, две схемы сравнения, счетчик адреса, коммутатор, генератор импульсов, регистр интервалов времени, элемент НЕ, элемент И, два элемента ИЛИ и три триггера, введены дешифратор состояния интерфейса и третий элемент ИЛИ. 1 ил.



(19) **SU** (11) **1383374** **A1**

Изобретение относится к цифровой вычислительной технике и может быть использовано для контроля ввода-вывода цифровых вычислительных машин и систем.

Целью изобретения является расширение функциональных возможностей устройства за счет обеспечения фиксации нарушения последовательности обмена.

На чертеже представлена структурная схема устройства.

Устройство содержит регистр 1 состояния интерфейса, схему 2 сравнения, дешифратор 3 состояния интерфейса, триггер 4, элемент ИЛИ 5, генератор 6 импульсов, таймер 7, регистр 8 интервалов времени, блок 9 памяти, схему 10 сравнения, элемент НЕ 11, элемент И 12, коммутатор 13, таймер 14, элементы ИЛИ 15 и 16, регистры адреса 17 и времени останова 18, счетчик 19 адреса, одновибратор 20, триггеры 21 и 22 и имеет входы информационный 23, константы времени 24, адресный 25 и признака коммутации 26.

Регистр 1 осуществляет хранение текущего состояния сигналов интерфейса. Схема 2 сравнения фиксирует факт изменения состояния сигналов интерфейса. Дешифратор 3 обнаруживает ошибку в состоянии сигналов интерфейса и может быть реализован с помощью ПЗУ. В этом случае шина каждого управляющего сигнала интерфейса с выхода регистра 1 подключается к одному из адресных разрядов ПЗУ и комбинация сигналов интерфейса на выходе регистра 1 определяет выбор соответствующей ячейки ПЗУ. В ячейках ПЗУ, адреса которых, определяемые комбинацией сигналов текущего состояния интерфейса, не соответствуют нормальной последовательности обмена, содержится признак ошибки. Триггер 4 обеспечивает блокировку счета временного интервала до момента начального изменения состояния сигналов интерфейса. При помощи элемента 5 ИЛИ обеспечивается передача соответствующего сигнала на вход сброса таймера 7. Генератор 6 формирует непрерывную последовательность сигналов временных меток. Таймер 7 определяет интервал времени между текущим и последующим состояниями сигналов интерфейса. Регистр 8 осуществляет хранение информации с выхода таймера 7 до очередного изменения состояния интерфейса. Блок 9 памяти хранит последовательность состояний сигналов интерфейса. Схема 10 сравнения обеспечивает определение окончания интервала времени, в течение которого допускается отсутствие изменения состояния сигналов интерфейса. При помощи элемента НЕ 11 блокируется появление сигналов на выходе элемента И 12 во время цикла записи в блок 9 памяти. Элемент И 12 обеспечивает передачу сигнала с выхода схе-

мы 2 сравнения на вход элемента ИЛИ 15. Коммутатор 13 обеспечивает передачу информации на адресные входы блока 9 памяти с выходов счетчика 19 или адресного входа 25 устройства в зависимости от режима работы устройства. Таймер 14 осуществляет счет текущего времени. Элемент ИЛИ 15 осуществляет передачу сигнала на вход одновибратора 20 с выхода элемента И 12 или схемы 10 сравнения. Элемент ИЛИ 16 осуществляет передачу сигнала на вход триггера 21, регистров 17 и 18 с выхода дешифратора 3 или выхода схемы 10 сравнения. Регистры адреса 17 и времени останова 18 фиксируют адрес ячейки блока 9 памяти и текущее время в момент останова. Одновибратор 20 формирует сигнал записи в блок 9 памяти. Триггер 21 фиксирует факт ошибки в последовательности обмена. Триггер 22 формирует сигнал останова при обнаружении факта ошибки в последовательности обмена. К входу 23 устройства подключается контролируемый интерфейс. На входе 24 присутствует константа, равная значению интервала времени, в течение которого допускается отсутствие изменения состояния сигналов интерфейса. Вход 25 служит для передачи информации на адресные входы блока 9 памяти. При помощи сигнала на входе 26 осуществляется управление передачей информации на адресные входы блока 9 памяти.

Устройство работает следующим образом. В исходном состоянии регистры 1, 17 и 18, таймеры 7 и 14, триггеры 4, 21 и 22 и счетчик 19 установлены в нулевое состояние (для упрощения средства установки в исходное состояние не показаны, кроме триггеров 4 и 21).

Устройство работает в двух режимах: «Контроль» и «Вывод». В режиме «Контроль» осуществляется контроль состояния сигналов интерфейса и фиксации последовательности изменения состояния сигналов интерфейса. В режиме «Вывод» осуществляется вывод зафиксированной в процессе контроля интерфейса информации о изменении его состояния с последующей обработкой и регистрацией на одном из стандартных устройств вывода. Режим работы устройства определяется сигналом на входе 26 устройства. В режиме «Контроль» при наличии соответствующего сигнала на входе 26 устройства осуществляется подключение выходов счетчика 19 через коммутатор 13 к адресному входу блока 9 памяти. В режиме «Вывод» при наличии соответствующего сигнала на входе 26 устройства обеспечивается подключение адресного входа 25 устройства через коммутатор к адресному входу блока 9 памяти.

В режиме «Контроль» сигналы интерфейса с входа 23 устройства поступают на входы регистра 1 и схемы 2 сравне-

ния. Поскольку в исходном состоянии регистр 1 обнулен, то при появлении на входе 23 устройства сигналов интерфейса на входе схемы 2 сравнения появляется единичный сигнал. В этот момент времени на входах дешифратора 3 присутствуют нули, а на выходе его находится нулевой сигнал. При поступлении сигнала на вход элемента И 12 на остальных его входах находятся единичные разрешающие сигналы, так как в исходном состоянии триггер 22 обнулен и на его инверсном выходе присутствует единичный разрешающий сигнал, а запуск одновибратора 20 отсутствует. В результате на выходе элемента И 12 появляется сигнал, поступающий на вход элемента ИЛИ 15. Сигналом с инверсного выхода триггера 4 таймер 7 удерживается в нулевом состоянии. На входе 24 присутствует константа, равная значению интервала времени, в течение которого допускается отсутствие изменения состояния сигналов интерфейса, поэтому на выходе схемы 10 сравнения находится нулевой сигнал, поступающий на входы элементов ИЛИ 15 и 16, и после поступления единичного сигнала с выхода элемента И 12 на вход элемента ИЛИ 15 на выходе его формируется единичный сигнал. По переднему фронту сигнала с выхода элемента ИЛИ 15 в регистре 1 фиксируется состояние сигналов интерфейса на входе 23 и в регистре 8 — код на выходе таймера 7 (в данном случае нулевой код), кроме того, по сигналу с выхода элемента ИЛИ 15 осуществляется запуск одновибратора 20. С выхода схемы 2 сравнения снимается единичный сигнал. С выхода регистра 1 код сигналов текущего состояния интерфейса поступает на вход дешифратора 3. Если код сигналов состояния интерфейса, поступающий с выхода регистра 1, соответствует нормальной последовательности обмена, то на выходе дешифратора 3 сохраняется нулевой сигнал, поступающий на вход элемента ИЛИ 16, на выходе которого также сохраняется нулевой сигнал. Установка триггера 21 при этом отсутствует. По сигналу с выхода одновибратора 20 осуществляется запись информации с выходов регистра 1 и регистра 8 по адресу, предложенному счетчиком 19, а на выходе элемента НЕ 11 появляется сигнал, блокирующий появление сигналов на выходе элемента И 12 на время цикла записи в блок 9 памяти. По заднему фронту сигнала с выхода одновибратора 20 осуществляется модификация счетчика 19 адреса и запись состояния триггера 21 в триггер 22. При отсутствии ошибки, зафиксированной триггером 21, триггер 22 подтверждает свое исходное нулевое состояние, а на его инверсном выходе сохраняется единичный сигнал. Кроме того, по переднему фронту сигнала с выхода одновибратора 20 уста-

навливается триггер 4. На его инверсном выходе появляется нулевой сигнал, подключающий вход сброса таймера 7 через элемент ИЛИ 5 к выходу одновибратора 20. Поскольку на выходе одновибратора 20 присутствует единичный сигнал, таймер 7 удерживается в исходном нулевом состоянии. После окончания сигнала на выходе одновибратора 20 снимается сигнал с входа сброса таймера 7. При последующем поступлении сигналов временных меток с выхода генератора 6 таймер 7 осуществляет отсчет временного интервала. Код текущего значения интервала времени с выхода таймера 7 поступает на вход схемы 10 сравнения, при помощи которой осуществляется сравнение его со значением константы на входе 24. При отсутствии сигнала на выходе схемы 10 сравнения, свидетельствующего об окончании допустимого интервала времени, и при изменении состояния сигналов на входе 23 устройства на выходе схемы 2 сравнения появляется единичный сигнал, поступающий на вход элемента И 12. Дальнейшая работа устройства осуществляется аналогично описанной.

Если в процессе обмена при помощи регистра 1 зафиксирована комбинация сигналов интерфейса, не соответствующая нормальной последовательности, на выходе дешифратора 3 формируется сигнал ошибки, поступающий на вход элемента ИЛИ 16. На выходе элемента ИЛИ 16 формируется сигнал, в соответствии с которым осуществляется установка триггера 21, а также фиксация в регистре 17 адреса ячейки блока 9 памяти, в которую записывается последнее состояние сигналов интерфейса, и фиксация в регистре 18 времени останова. По заднему фронту сигнала с выхода одновибратора 20 информация с выхода триггера 21 записывается в триггер 22. На инверсном выходе триггера 22 появляется нулевой сигнал останова, блокирующий появление сигналов на выходе элемента И 12.

Если в процессе обмена в течение интервала времени, заданного при помощи константы, изменение состояния сигналов интерфейса отсутствует, то после поступления очередного сигнала с выхода генератора 6 код на выходе таймера 7 становится равным значению константы на входе 24 и на выходе схемы 10 сравнения формируется единичный сигнал, поступающий на входы элементов ИЛИ 15 и 16. На выходах элементов ИЛИ 15 и 16 формируются сигналы, по которым в регистре 1 фиксируется состояние сигналов интерфейса на входе 23 устройства и осуществляется запуск одновибратора 2, а также установка триггера 21. Дальнейшая работа устройства осуществляется аналогично описанной.

В режиме «Вывод» в соответствии с сигналом на входе 26 устройства осуществляет-

ся подключение адресного входа 25 устройства к адресному входу блока 9 памяти. Далее осуществляется считывание ячеек блока 9 памяти по адресам, поступающим с адресного входа 25 устройства, для последующей обработки и регистрации.

Формула изобретения

Устройство для контроля интерфейса ввода-вывода, содержащее регистр состояния интерфейса, регистр адреса, регистр времени останова, блок памяти, два таймера, две схемы сравнения, счетчик адреса, коммутатор, генератор импульсов, регистр интервалов времени, элемент НЕ, элемент И, два элемента ИЛИ и три триггера, причем информационный вход регистра состояния интерфейса и первый вход первой схемы сравнения соединены с информационным входом устройства, который является входом для подключения к контролируемому интерфейсу, выход регистра состояния интерфейса подключен к первому информационному входу блока памяти и второму входу первой схемы сравнения, выход которой соединен с первым входом элемента И, второй вход которого подключен к выходу элемента НЕ, выход элемента И соединен с первым входом первого элемента ИЛИ, второй вход которого подключен к выходу второй схемы сравнения, выход первого элемента ИЛИ соединен с синхровходами регистра состояния интерфейса и регистра интервалов времени и входом одновибратора, выход которого подключен к синхровходу первого триггера, информационный вход которого соединен с выходом второго триггера, кроме того, выход одновибратора подключен к входу счетчика адреса, входу записи блока памяти, входу элемента НЕ, установочному входу третьего триггера и первому входу второго элемента ИЛИ, второй вход и выход которого соединены соответственно с инверсным выходом третьего триггера и входом

сброса первого таймера, выход генератора импульсов подключен к счетным входам первого и второго таймеров, выход первого таймера соединен с информационным входом регистра интервалов времени и первым входом второй схемы сравнения, второй вход которой подключен к входу константы времени устройства, инверсный выход первого триггера соединен с третьим входом элемента И, второй информационный вход, адресный вход и выход блока памяти подключены соответственно к выходу регистра интервалов времени, выходу коммутатора и первому информационному выходу устройства, выход счетчика адреса соединен с информационным входом регистра адреса и первым информационным входом коммутатора, второй информационный вход и управляющий вход которого подключены соответственно к адресному входу и входу признака коммутации устройства, выход второго таймера соединен с информационным входом регистра времени останова, выходы регистра адреса и регистра времени останова подключены соответственно к второму и третьему информационным выходам устройства, отличающееся тем, что, с целью расширения функциональных возможностей за счет обеспечения фиксации нарушения последовательности обмена, оно содержит дешифратор состояния интерфейса и третий элемент ИЛИ, при этом вход и выход дешифратора состояния интерфейса соединены соответственно с выходом регистра состояния интерфейса и первым входом третьего элемента ИЛИ, второй вход которого подключен к выходу второй схемы сравнения, выход третьего элемента ИЛИ соединен с синхровходами регистра адреса и регистра времени останова и установочным входом второго триггера, а входы сброса второго и третьего триггеров подключены к входу начальной установки устройства.

Редактор Н. Лазаренко
Заказ 915/49

Составитель Г. Виталиев
Техред И. Верес
Тираж 704

Корректор И. Муска
Подписное

ВНИИПИ Государственного комитета СССР по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4