

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 7 月 6 日 (06.07.2006)

PCT

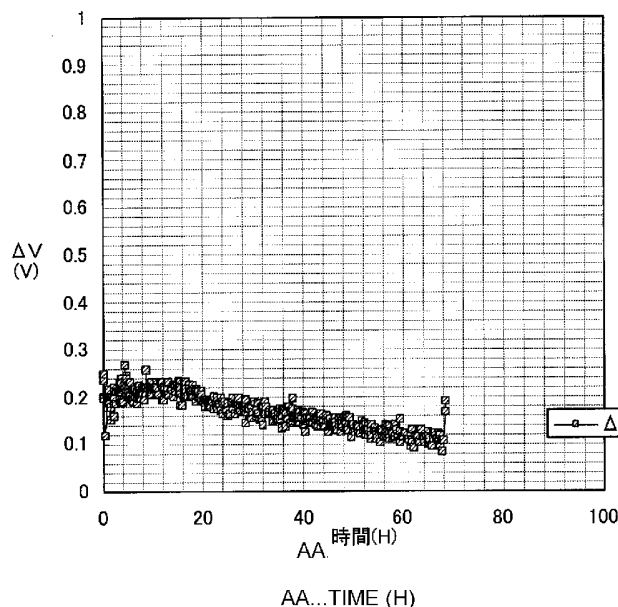
(10) 国際公開番号
WO 2006/070833 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2005/023967
- (22) 国際出願日: 2005 年 12 月 27 日 (27.12.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-377347
2004 年 12 月 27 日 (27.12.2004) JP
特願 2005-344987
2005 年 11 月 30 日 (30.11.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒
- (72) 発明者; および
- (73) 発明者/出願人 (米国についてのみのみ): 蓮見 太朗 (HASUMI, Taro) [JP/JP]; 〒2428502 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所内 Kanagawa (JP). 小林 芳直 (KOBAYASHI, Yoshinao) [JP/JP]; 〒2428502 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所内 Kanagawa (JP). 加納 圭吾 (KANO, Keigo) [JP/JP]; 〒2428502 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所内 Kanagawa (JP).
- (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006019 東京都千代田区霞が関三丁目 2 番 5 号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: IMAGE DISPLAY AND ITS DRIVING METHOD, AND DRIVING METHOD OF ELECTRONIC APPARATUS

(54) 発明の名称: 画像表示装置およびその駆動方法、並びに電子機器の駆動方法



(57) Abstract: An image display in which threshold voltage shift of a drive element is reduced or made uniform pixel by pixel. The image display comprises a light emitting element (D1) emitting light through conduction, and a drive element (Q1) connected in series with the light emitting element (D1) for controlling emission thereof wherein a reverse bias is applied to the drive element (Q1) when the light emitting element (D1) is not emitting light. The reverse bias is applied to the drive element (Q1) every frame period or when all light emitting elements are not emitting light (including a time when the entire frame is not emitting light).

(57) 要約: 画像表示装置において、駆動素子の閾値電圧のシフト量を低減し、あるいは駆動素子の閾値電圧のシフト量を画素ごとに均一化すること。通電により発光する発光素子 D 1 と、発光素子 D

[続葉有]



WO 2006/070833 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

画像表示装置およびその駆動方法、並びに電子機器の駆動方法

技術分野

[0001] 本発明は、発光素子を備えた画像表示装置およびその駆動方法、並びに電子機器の駆動方法に関するものであり、特に、発光素子の経時的劣化を抑制可能な画像表示装置に関するものである。

背景技術

[0002] 近時、エレクトロルミネッセンス発光素子(以下「発光素子」と呼称)に多くの研究者が注目しており、特に、この発光素子を画像表示装置や照明装置に適用しようとする研究が活発化している。

[0003] 上述のような発光素子を備えた画像表示装置では、この発光素子とともに、例えば、アモルファス・シリコンや多結晶シリコン等で形成された薄膜トランジスタ(Thin Film Transistor:以下「TFT」と略記)などが各画素を構成しており、このTFTの制御によって発光素子には適切な電流値が設定され、各画素の輝度、色相、あるいは彩度などが適切に制御される。

[0004] ところで、アモルファス・シリコンで形成されたTFT(以下「aSi-TFT」と略記)は、使用経過とともにゲート閾値が上昇して動作条件が変化することが知られている。この現象は、aSi-TFTの“Vthシフト”、または“劣化”と呼ばれている。また、aSi-TFTは、その用途や、動作条件などによってその劣化の進行が大きく変化することも知られている。

[0005] 例えば、液晶ディスプレイのようにaSi-TFTをスイッチとして使用し、ごく短時間だけパルス状の電流が流れるような用途の場合には劣化の進行が遅く、一方、有機発光素子のように、大きな定常電流を流すような用途であれば劣化の進行が速い。

[0006] aSi-TFTの劣化は、画像に対して2つの悪影響を与える。その一つは、劣化が画素ごとにばらばらに進むことにより画像の均一性が悪化することであり、もう一つは、劣化が大きく進んで画素が応答なくなり、寿命が尽きることにある。

[0007] 一方、Vth補正と呼ばれる回路技術があり、この技術はaSi-TFTのVthシフトを

回路的に取り出し、これにビデオ信号を重畳することにより、 V_{th} の劣化によらず均一な画像を得る技術である。 V_{th} 補正を行うと V_{th} のばらつきの影響を $1/5 \sim 1/10$ 程度に圧縮することができると言われている。

[0008] なお、 V_{th} 補正を行う従来技術として、例えば下記に示す非特許文献1などがある。この非特許文献1では、4つのTFTと4つの制御線とを用いた画像表示装置による V_{th} 補正技術が開示されている。

[0009] 非特許文献1: S. Ono et al., Proceedings of IDW '03, 255 (2003)
発明の開示

発明が解決しようとする課題

[0010] しかしながら、 V_{th} の補正範囲には限界があり、 V_{th} の変化が補正範囲を超えて進むと V_{th} 補正をすることが非常に困難となるという問題点があった。

[0011] 例えば、図13は、aSi-TFTのゲート・ソース間電圧に対する電流特性が、ストレスによって変動する一例を示す図である。同図において、各曲線が横軸と交わる点がaSi-TFTの閾値電圧(V_{th})となる。同図に示すように、印加ストレスとなる正のバイアス電圧(aSi-TFTをオンさせるためのバイアス電圧)をaSi-TFTのゲートに印加し続けることによって、aSi-TFTの電流特性が最も左の曲線(初期特性)から、右側に向かってシフトしている。

[0012] 例えば、右側から2番目の曲線の V_{th} は約10Vであるのに対して最も右側の曲線では V_{th} が約15Vであり、その差は約5Vあり、駆動素子の閾値電圧のシフトが急速に進展していることがわかる。したがって、このような駆動素子の閾値電圧のシフトが急速に進展するような領域では、 V_{th} の補正を行うことには限界があり、 V_{th} の補正範囲には自ずと限界があった。

[0013] また、上述のような駆動素子の閾値電圧のシフトが急速に進展するような領域に達していない場合であっても、駆動素子の閾値電圧のシフトが画素ごとにばらばらに進むようなときには、各画素において適切な V_{th} 補正をすることが非常に困難となるといった問題点があった。

[0014] 本発明は、上述した課題を解決するためになされたものであり、駆動素子の閾値電圧のシフト量を低減することで、信頼性を向上させた画像表示装置を提供することを

目的とする。また、駆動素子の閾値電圧のシフト量を画素ごとに均一化することで画像の均一性の改善した画像表示装置および画像表示装置を提供することを目的とする。

課題を解決するための手段

- [0015] 上述した課題を解決し、目的を達成するため、本発明の請求項1に記載の画像表示装置にあつては、通電により発光する発光素子と、前記発光素子に直列接続され、該発光素子を発光制御する駆動素子と、を備え、前記発光素子の非発光時に前記駆動素子に逆バイアスを印加することを特徴とする。
- [0016] また、本発明の請求項2に記載の画像表示装置にあつては、前記駆動素子は、フレーム周期ごとに逆バイアスが印加されることを特徴とする。
- [0017] また、本発明の請求項3に記載の画像表示装置にあつては、前記駆動素子に印加される逆バイアス電圧が、フレーム周期ごとに少なくとも1msec以上印加されることを特徴とする。
- [0018] また、本発明の請求項4に記載の画像表示装置にあつては、前記駆動素子に逆バイアスを印加する時間が、フレーム周期の5%以上であることを特徴とする。
- [0019] また、本発明の請求項5に記載の画像表示装置にあつては、前記駆動素子に逆バイアスを印加する時間が、前記発光素子のフレーム周期ごとの発光時間の平均値である平均発光時間の50%以上であることを特徴とする。
- [0020] また、本発明の請求項6に記載の画像表示装置にあつては、前記発光素子が複数の発光素子からなり、該複数の発光素子の全てが非発光時のときに、前記駆動素子に逆バイアスを印加することを特徴とする。
- [0021] また、本発明の請求項7に記載の画像表示装置にあつては、装置の非使用時に前記駆動素子に逆バイアスを印加することを特徴とする。
- [0022] また、本発明の請求項8に記載の画像表示装置にあつては、前記駆動素子に印加する逆バイアス電圧の絶対値が1V以上であることを特徴とする。
- [0023] また、本発明の請求項9に記載の画像表示装置にあつては、前記駆動素子に逆バイアスを印加する時間は、少なくともフレーム周期の時間以上であることを特徴とする。

- [0024] また、本発明の請求項10に記載の画像表示装置にあつては、前記駆動素子に逆バイアスを印加する時間は、装置の使用時間の20%以下であることを特徴とする。
- [0025] また、本発明の請求項11に記載の画像表示装置にあつては、前記駆動素子に印加される逆バイアスの電圧波形が、所定の周期を有する波形であることを特徴とする。
- [0026] また、本発明の請求項12に記載の画像表示装置にあつては、前記駆動素子に印加される逆バイアスの電圧波形は、減衰波であることを特徴とする。
- [0027] また、本発明の請求項13に記載の画像表示装置にあつては、前記駆動素子に印加される逆バイアスによって該駆動素子の印加電極間に生ずる電界強度が、1MV/cm以下であることを特徴とする。
- [0028] また、本発明の請求項14に記載の画像表示装置にあつては、前記発光素子が複数の発光素子からなり、前記駆動素子に印加される逆バイアス電圧が、全ての駆動素子に対して略等しいことを特徴とする。
- [0029] また、本発明の請求項15に記載の画像表示装置にあつては、前記駆動素子に印加される逆バイアスは、前記駆動素子がn型のトランジスタの場合、前記駆動素子のソース電極に対するゲート電極の電圧をトランジスタの閾値電圧よりも低く、前記駆動素子がp型のトランジスタの場合、前記駆動素子のソース電極に対するゲート電極の電圧をトランジスタの閾値電圧よりも高いことを特徴とする。
- [0030] また、本発明の請求項16に記載の画像表示装置にあつては、通電により発光する発光素子と、前記発光素子に接続され、該発光素子を駆動する駆動素子と、前記発光素子の非発光時に前記駆動素子に対して逆バイアスを印加する制御手段と、を有することを特徴とする。
- [0031] また、本発明の請求項17に記載の画像表示装置の駆動方法にあつては、発光素子を発光させるステップと、発光素子の非発光時に、駆動素子に対して逆バイアスを印加するステップと、を備えたことを特徴とする。
- [0032] また、本発明の請求項18に記載の画像表示装置の駆動方法にあつては、前記駆動素子に印加される逆バイアス電圧がフレーム周期毎に印加されることを特徴とする。

[0033] また、本発明の請求項19に記載の電子機器の駆動方法にあつては、前記画像表示装置に対して電源OFF情報を入力するステップと、前記電源OFF情報の入力後に、前記画像表示装置の前記駆動素子に対して逆バイアスを印加するステップと、前記駆動素子に対する逆バイアスの印加後に、前記画像表示装置の電源がOFFとなるステップと、を有する。

[0034] また、本発明の請求項20に記載の電子機器の駆動方法にあつては、前記画像表示装置に対して電源ON情報を入力するステップと、前記電源ON情報の入力後に、前記画像表示装置の前記駆動素子に対して逆バイアスを印加するステップと、前記駆動素子に対する逆バイアスの印加後に、前記画像表示装置の画像表示が行われるステップと、を有する。

[0035] また、本発明の請求項21に記載の電子機器の駆動方法にあつては、前記画像表示装置によって構成される表示画面を待機状態とするステップと、前記表示画面が待機状態中に前記画像表示装置の前記駆動素子に対して逆バイアスを印加するステップと、を有する。

発明の効果

[0036] 本発明によれば、駆動素子の閾値電圧のシフト量を低減し、長期にわたり閾値電圧の補償を容易に行うことができ、画像表示装置の画質の信頼性を向上させることができる。また、本発明によれば、各画素における駆動素子の閾値電圧のシフト量のばらつきを抑制できるため、画質の均一化を改善することもできる。

図面の簡単な説明

[0037] [図1]図1は、本発明にかかる画像表示装置の1画素に対応する画素回路の構成例を示す図である。

[図2]図2は、発光・非発光制御された有機発光素子の駆動波形の一例を示す図である。

[図3]図3は、TFTの V_{gs} の変化に対する I_{ds} および $(I_{ds})^{1/2}$ の特性を示すグラフである。

[図4]図4は、本発明にかかる図1とは異なる画素回路の構成例を示す図である。

[図5]図5は、本発明にかかる図1, 2とは異なる画素回路の構成例を示す図である。

[図6]図6は、本発明にかかる図1～図3とは異なる画素回路の構成例を示す図である。

[図7]図7は、図1に示す画素回路において駆動素子Q1に逆バイアスを印加しない場合の駆動素子Q1の点灯時間と閾値電圧シフトとの関係(連続点灯、逆バイアス:非印加)を示す図である。

[図8]図8は、図1に示す画素回路における駆動素子Q1の点灯時間と閾値電圧シフトとの関係(点灯:10分、非点灯:20分、非点灯時:逆バイアス(-1V)印加)を示す図である。

[図9]図9は、図1に示す画素回路における駆動素子Q1の点灯時間と閾値電圧シフトとの関係(点灯:10分、非点灯:20分、非点灯時:逆バイアス(-5V)印加)を示す図である。

[図10]図10は、図1に示す画素回路における駆動素子Q1の点灯時間と閾値電圧シフトとの関係(昼間16時間(点灯:3分、非点灯:17分)、夜間8時間(非点灯)、逆バイアス:非印加)を示す図である。

[図11]図11は、図1に示す画素回路における駆動素子Q1の点灯時間と閾値電圧シフトとの関係(昼間16時間(点灯:3分、非点灯:17分)、夜間8時間(非点灯)、非点灯時(当初1時間:逆バイアス(-5V)印加、その他:逆バイアス非印加)を示す図である。

[図12]図12は、図1に示す画素回路における駆動素子Q1の点灯時間と閾値電圧シフトとの関係(点灯:3分、非点灯:17分、非点灯時(当初5分間:逆バイアス(-5V)印加))を示す図である。

[図13]図13は、aSi-TFTのゲート・ソース間電圧に対する電流特性が、ストレスによって変動する一例を示す図である。

[図14]図14は、本発明の一実施形態にかかる電子機器の駆動方法を説明するためのフローチャートである。

[図15]図15は、本発明の他の実施形態にかかる電子機器の駆動方法を説明するためのフローチャートである。

[図16]図16は、本発明の他の実施形態にかかる電子機器の駆動方法を説明するた

めのフローチャートである。

[図17]図17は、実施例4にかかる画像表示装置を構成する画素回路の回路図である。

[図18]図18は、図17の画像表示装置の動作を説明するタイムチャートである。

符号の説明

- [0038] D1, D2, D3, D4 発光素子
Q1, Q2, Q3a, Q4 駆動素子
Q3b スwitchング素子
Qth スwitchングトランジスタ
U1, U2, U3, U4 コントローラ

発明を実施するための最良の形態

[0039] <画像表示装置>

従来技術では、駆動素子の V_{th} シフトに起因して、使用経過とともに駆動素子の劣化が急速に進展するという問題点と、劣化の程度が画素ごとにばらばらに進んで画像の均一性が悪化するといった問題点と、があった。本願発明者は、画像表示装置における発光素子および駆動素子の動作を詳細に分析することにより、これらの問題点を解決する本発明を導き出すに至ったものである。

- [0040] 以下、図面を参照して、本発明にかかる画像表示装置の実施の形態および実施例を図面に基づいて詳細に説明する。なお、以下の実施の形態および実施例により本発明が限定されるものではない。

- [0041] 本実施形態における画像表示装置は、複数の画素がマトリックス状に配置されており、各画素に発光素子および駆動素子が配置されている。

- [0042] 図1は、本発明にかかる画像表示装置の1画素に対応する画素回路の構成例を示す図である。同図に示す画素回路は、特に、駆動素子Q1の動作を中心に説明するための図であり、簡略化した回路構成として示している。

- [0043] 図1に示す画素回路は、発光素子D1と、発光素子D1に直列に接続される駆動素子Q1と、駆動素子Q1を制御するコントローラU1と、を備えている。発光素子D1は、例えば有機発光素子であり、自身のアノード端が印加電圧の高圧側の端子(以下「V

P端子」という)に接続され、自身のカソード端が例えばaSi-TFTである駆動素子Q1のドレイン端側に接続されている。一方、駆動素子Q1のソース端側は印加電圧の低圧側の端子(以下「VN端子」という)に接続されるとともに、ゲート端側はコントローラU1の出力端に接続されている。コントローラU1は、駆動素子Q1のゲート電圧を制御し、駆動素子Q1に逆バイアスを印加するための制御手段であり、例えば単数または複数のTFTや、コンデンサなどの容量素子、TFTを制御する制御線などで構成される。なお、同図に示すような接続構成は、発光素子D1を駆動素子Q1のドレイン側に接続するとともに、駆動素子Q1のゲート端を制御する「電圧制御型」の構成であり、特に「ゲート・コントロール/ドレイン・ドライブ」と呼ばれている。

[0044] つぎに、図1に示す画素回路の動作について説明する。発光素子を有する画素回路にあっては、一般的に、準備期間、閾値電圧検出期間、書き込み期間および発光期間という4つの期間を経て動作する。

[0045] まず、準備期間では、発光素子D1(より詳細には発光素子D1自身が有する寄生容量)に所定の電荷が蓄積される。この準備期間に発光素子D1に電荷を蓄積する理由は、駆動素子Q1の閾値電圧検出時に、駆動素子Q1のドレイン-ソース間電流が零となるまで電流を供給するためである。

[0046] つぎに、閾値電圧検出期間では、VP端子とVN端子とが略同電位に設定され、このときに生ずる駆動素子Q1のゲート-ソース間電圧である V_{th} が検出され、図示を省略した容量素子などに記憶/保持される。なお、この容量素子に閾値電圧が記憶/保持される動作は、準備期間に発光素子D1に蓄積した電荷を利用して行われる。

[0047] さらに、書き込み期間では、閾値電圧検出期間において検出された V_{th} にデータ信号が重畳された所定電圧が図示を省略した容量素子などに記憶/保持される。

[0048] 最後に、発光期間では、書き込み期間において記憶/保持された所定電圧が駆動素子Q1に印加され、発光素子D1が発光制御される。

[0049] コントローラU1は、これらの一連の動作を所定のシーケンスに基づいて発光素子D1に流す電流を制御する。この制御によって、画像表示装置の各画素の輝度(階調)、色相および彩度などが適切な値に設定される。

- [0050] つぎに、本発明にかかるコントローラU1の制御動作について説明する。まず、コントローラU1は、発光素子D1の非発光時に駆動素子Q1に逆バイアスを印加するように制御する。なお、この制御は、フレーム周期ごとに行ってもよい。また、画像表示装置の非使用時に逆バイアスを印加してもよい。
- [0051] ここで、フレーム周期とは、画像表示装置のディスプレイに表示される画像を書き換える周期として定義される。例えば、60Hzで駆動されるディスプレイであれば、1フレーム周期が16.67msとなる。一般的に、この16.67msの1フレーム周期の間に、階調レベルに応じて決定された駆動電圧に基づいて有機発光素子が発光するというシーケンスが繰り返される。
- [0052] 図2は、発光・非発光制御された有機発光素子の駆動波形の一例を示す図である。同図において、 V_{gs} は、駆動トランジスタのゲート・ソース間の電位差(ゲート・ソース間電圧)であり、 V_{oled} は、有機発光素子のアノード・カソード間の電位差である。同図に示すように、有機発光素子は16.67ms(60Hz)の周期で駆動されるとともに、この周期で非発光・発光の動作が繰り返し行われる。
- [0053] また、上記でいう画像表示装置の非使用時とは、画像データが各画素回路に供給されず、全ての発光素子に通電が行われていない状態を意味するものである。
- [0054] また、上記でいう逆バイアスとは、駆動素子Q1がN型トランジスタの場合には、一般的にトランジスタのゲート・ソース間電圧 V_{gs} ($V_{gs} = V_g$ (ゲート電位) - V_s (ソース電位))がトランジスタの閾値電圧 V_{th} よりも低いことを意味する。
- [0055] また、駆動素子Q1がP型トランジスタの場合、一般的にトランジスタのゲート・ソース間電圧 V_{gs} (定義はN型トランジスタの場合と同様)がトランジスタの閾値電圧よりも高いことを意味する。
- [0056] 例えば、N型トランジスタの場合に、閾値電圧 V_{th} が2V、ゲート電位 V_g が-3V、ドレイン電位 V_d が10V、ソース電位 V_s が0Vであれば、 $V_{gs} = V_g - V_s = -3V$ であり、 $V_{gs} < V_{th}$ であるため、逆バイアスに相当する。なお、逆バイアス電圧の値自体は V_{gs} の値で示される。
- [0057] 上記のような逆バイアスの定義によれば、駆動素子Q1に印加される電圧が逆バイアスか否かは閾値電圧 V_{th} の値が重要となってくる。そこで、TFTで構成される駆動

素子Q1の閾値電圧 V_{th} の求め方について、N型トランジスタを例にとり、以下に説明する。

[0058] 前述の表記のように、TFTのゲート・ソース間電圧を V_{gs} 、ドレイン・ソース間電圧を V_{ds} ($V_{ds} = V_d$ (ドレイン電位) $- V_s$ (ソース電位))、閾値電圧を V_{th} とする。また、TFTに流れるドレイン・ソース間電流を I_{ds} で表す。このとき、この I_{ds} は、飽和領域および線形領域のそれぞれにおいて、以下に示すような式で近似される。

(a) $V_{gs} - V_{th} < V_{ds}$ (飽和領域) のとき

[0059] $I_{ds} = \beta \times [(V_{gs} - V_{th})^2] \cdots (1)$

(b) $V_{gs} - V_{th} \geq V_{ds}$ (線形領域) のとき

[0060] $I_{ds} = 2 \times \beta \times [(V_{gs} - V_{th}) \times V_{ds} - (1/2 \times V_{ds}^2)] \cdots (2)$

[0061] ここで、式(1)および式(2)に表れる β はTFTの特性係数であり、TFTのチャネル幅(以下 W :単位cm)、チャネル長(L :単位cm)、絶縁膜の単位面積あたり容量(以下 C_{ox} :単位F/cm²)、移動度(以下 μ :単位cm²/Vs)と定義したときに、次式のよう表される。

[0062] $\beta = 1/2 \times W \times \mu / (L \times C_{ox}) \cdots (3)$

[0063] ここでは飽和領域について考える。式(1)において、 I_{ds} の平方根をとると、次式のよう表される。

[0064] $(I_{ds})^{1/2} = (\beta)^{1/2} \times (V_{gs} - V_{th}) \cdots (4)$

[0065] 式(4)に示されるように、 $(I_{ds})^{1/2}$ は $(V_{gs} - V_{th})$ に比例する。すなわち、TFTのドレイン電流 I_{ds} の平方根がゲート電圧(V_{gs})に対して線形であることを意味する。また、式(4)から明らかなように、 $(I_{ds})^{1/2} = 0$ となる V_{gs} が V_{th} と等しくなる。この関係を用いて、TFTの V_{th} を定義するのが、一般的に用いられる手法であり、本発明においても、この手法を用いてTFTの V_{th} を算出することができる。

[0066] 図3は、TFTの V_{gs} の変化に対する I_{ds} および $(I_{ds})^{1/2}$ の特性を示すグラフである。同図に示すグラフは、TFTにおいて、 V_{ds} を10V(固定)とし、 V_{gs} を-10Vから15Vまで変動させたときの I_{ds} と $(I_{ds})^{1/2}$ をプロットした一例である。縦軸の左側はドレイン電流 I_{ds} を対数プロットしたものであり、縦軸の右側はドレイン電流の平方根 $(I_{ds})^{1/2}$ を線形プロットしたものである。同図に示されるように、TFTがオン動作する飽和領域

のうちの $V_{gs}=3\sim 10V$ の範囲内において、 $(I_{ds})^{1/2}$ の直線性が保持されている。

[0067] なお、一般的な、アモルファス・シリコンのn型TFTであれば、 V_{th} は5V以下である。因みに、図3を用いて V_{th} を求めるとつぎのように算出することができる。同図の $(I_{ds})^{1/2}$ 特性曲線上の‘○’で示された点では、 $V_{gs}=6V$ および8Vであり、これらの2点を通る直線のX切片は、式(4)における $(I_{ds})^{1/2}=0$ 、つまり $(V_{gs}-V_{th})=0$ となるときの V_{gs} となるので、このX切片がTFTの閾値電圧 V_{th} となる。同図に示すグラフから読みとると、 $V_{th}=2.13V$ となる。

[0068] つぎに、駆動素子Q1に逆バイアスを印加する際の印加時間について説明する。より具体的な数値で示すと、フレーム周期内において、駆動素子Q1に逆バイアスを印加する際の印加時間は、フレーム周期の5%以上であることが好適であり、また、フレーム周期の10%以上であればより好適である。この理由は、つぎのとおりである。

[0069] 例えば、画像表示装置は、上述のように1フレーム周期が60Hzでスキャンされるのが一般的であり、フレーム周期は $1/60s=16.67ms$ となる。一方、発光素子が上述発光期間において発光する時間の平均値(フレーム周期内平均発光時間)は、5ms程度である。これはフレーム周期の略30%にあたる。駆動素子劣化の抑制には、逆バイアスの印加時間を発光期間(つまり駆動素子に正バイアスが印加されている期間)の略 $1/10(1ms)$ 以上に設定すれば十分に効果があることが解っている。つまり、フレーム周期の5%の逆バイアス印加でも劣化防止効果が得られる。逆バイアスの印加時間は発光時間に近いほど劣化抑制効果があるので、逆バイアスの印加時間はフレーム周期の10%以上あればさらに好適である。なお、逆バイアスの印加時間は、1ms以下であっても0.1ms以上であれば効果がある。

[0070] ところで、フレーム周期内において逆バイアスを印加するということは、早期の段階に駆動素子の V_{th} シフトを引き戻すという作用もある。例えば、図13に示すaSi-TFTのゲート・ソース間電圧に対する電流特性では、 V_{th} シフトが印加ストレスの蓄積によって急速に劣化する現象が現れている。つまり、早期の段階に V_{th} シフトを修正することは、印加ストレスを蓄積させないという効果がある。したがって、発光素子の発光時間に相当するフレーム周期の10%程度(フレーム周期内平均発光時間)以下の時間であっても、 V_{th} シフトを修正するという効果があり、このような効果を期待する場

合には、例えばフレーム周期の5%程度(フレーム周期内平均発光時間の50%程度)に設定してもよい。

- [0071] 上述の考え方とは異なり、例えば、全ての発光素子が非発光のとき(フレーム全体が非発光のときを含む、例えば、画像表示装置の非使用時)に、駆動素子に逆バイアスを印加することもできる。この場合の利点は、逆バイアスを印加する時間を集中的かつ確実に確保できる点にある。例えば、フレーム周期内の所定の時間に逆バイアスを印加する場合には、逆バイアスが印加可能な空き時間を確保する必要があり、画素回路の構成が複雑になるにしたがって、この空き時間の確保が困難となる。
- [0072] 一方、画像表示装置の非使用時に逆バイアスを印加するような場合には、このような問題点が生ずることはなく、逆に、逆バイアスの印加時間をより多く確保することができるので、 V_{th} シフトの修正効果を増大させることができる。例えば、駆動素子に印加される逆バイアスの印加時間をフレーム周期以上の時間印加することができる。
- [0073] 他方、全ての発光素子が非発光時(例えば画像表示装置の非使用時)のときに駆動素子に逆バイアスを印加する場合については、消費電力の観点から印加時間を極端に長くすることは得策ではない。具体的に、駆動素子に逆バイアスを印加する時間は、少なくともフレーム周期の時間以上であることが好ましく、また装置の使用時間の20%以下であることが好ましい。また逆バイアスの印加時間は30~60秒程度でも十分効果がある。
- [0074] また、これまで、画素回路のある一つの発光素子あるいは当該発光素子に接続されるTFTに着目して説明してきたが、画素回路を構成する複数の駆動素子に印加される逆バイアス電圧が、全ての駆動素子に対して略等しくなるように設定することで、逆バイアスを各駆動素子に印加する動作制御を簡略化できる。また画素間で駆動素子の閾値電圧のシフト量を均一化でき、画質の均一化を測ることができる。なお、駆動素子に印加される逆バイアス電圧の画素間でのばらつきの範囲は好ましくは $\pm 0.5V$ 、より好ましくは $\pm 0.3V$ 、更に好ましくは $\pm 0.1V$ 以内である。
- [0075] 以下に説明する実施例1~3ではいずれも駆動素子がN型トランジスタである場合について説明する。
- [0076] (実施例1)

図7は、図1に示す画像回路において駆動素子Q1に逆バイアスを印加しない場合の駆動素子Q1の点灯時間と閾値電圧シフト ΔV との関係を示す図であり、図8および図9は、図1に示す画素回路における駆動素子Q1に逆バイアスを印加した場合の駆動素子Q1の点灯時間と閾値電圧シフトとの関係を示す図である。なお、図8および図9は、点灯時間10分、非点灯時間20分の繰り返しで稼働し、特に、図8は逆バイアス電圧が“ $-1V$ ”の場合を示し、図9は逆バイアス電圧が“ $-5V$ ”の場合を示している。

[0077] 図7に示すように、逆バイアスを印加しない場合には、約60時間の連続稼働で0.8V程度の閾値電圧シフトが観測されている。一方、図8では、閾値電圧シフトは0.45V程度に低減され、逆バイアス印加の効果が現れている。他方、閾値電圧シフトのバラツキは若干増大しており、零バイアス付近の電圧の場合には、多少のバラツキが生ずる傾向にあることが伺われる。しかしながら、閾値電圧シフトの最悪値が0.54V程度であり、 $-1V$ 程度の低い逆バイアス電圧であっても、閾値電圧シフトを低減させる効果が存在することが明らかである。

[0078] これとは逆に、図9では、閾値電圧シフトのバラツキは小さく、また、自身の大きさも緩やかに減少している。この後半の事実は、逆バイアスの印加電圧の大きさによっては、閾値電圧の劣化を防止する効果に加え、閾値電圧の劣化を回復させる効果もあることが推察される。なお、後述する実施例2の結果と比較すれば明らかとなるが、逆バイアスを印加する周期を短くした方が、閾値電圧の劣化を回復させる効果が高くなる。

[0079] なお、逆バイアスを印加することにより、閾値電圧シフトが抑制される要因としては、aSi-TFTの場合、以下の2点が考えられる。

[0080] 1. a-Si:Hからなるチャネル層は熱的に不安定な状態となりやすいが、この不安定な状態が逆バイアスを印加することにより安定化する。

2. SiN等からなるゲート絶縁膜に補足された電荷が、逆バイアスを印加することにより除去される。

[0081] このうち、1. については、 $230^{\circ}C$ でアニールすることにより閾値電圧シフトが抑制される現象が確認されている。この現象は、閾値電圧シフトの抑制がチャネル層の熱的

に不安定状態が安定化された結果であることを示すものと思われる。

[0082] (実施例2)

図10および図11は、それぞれ図7または図9と同様な位置づけの特性を示す図である。ただし、図10に示す特性は、点灯時間3分、非点灯時間17分の繰り返しで、日中の16時間継続使用し、夜間の8時間は非点灯にし、かつ、夜間の非点灯時に単純に駆動素子のゲート・ソース・ドレインの電圧を開放した場合を示している。一方、図11は、点灯時間3分、非点灯時間17分の繰り返しで、日中の16時間継続使用し、夜間の8時間は非点灯にし、かつ、夜間の非点灯時にドレイン・ソース間電圧を同電位に保持するとともに、非点灯時の初期1時間だけゲート・ソース間電圧に $-5V$ の逆バイアスを印加し、その他の時間帯は $0V$ を維持した場合を示している。

[0083] 図10に示すように、夜間の非点灯時に単純に駆動素子のゲート・ソース・ドレインの電圧を開放した場合では、閾値電圧シフトがリニアに増加しており、閾値電圧の劣化が観測される。また、図7に示す連続点灯の場合と比較した場合に、閾値電圧シフトのバラツキが極端に大きくなっているのが分かる。このことは、点灯と非点灯とを繰り返すような現実的な運用では、閾値電圧シフトのバラツキが大きくなるものと推察される。

[0084] 一方、図11に示すように、夜間の非点灯時の初期1時間だけゲート・ソース間電圧に $-5V$ の逆バイアスを印加した場合には、閾値電圧シフトの増加率が減少するとともに、閾値電圧シフトのバラツキも小さくなっている。このことは、比較的長時間運用した場合であっても、稼働後の非稼働時間に、所定の逆バイアスを印加することによって、閾値電圧の劣化を改善できることが分かる。また、このような場合、逆バイアスの印加時間が稼働時間に比して極端に少ない場合であっても、所定の改善効果が得られることが分かる。

[0085] (実施例3)

図12は、点灯時間3分、非点灯時間17分の繰り返しで動作させ、非点灯時の初期5分間だけゲート・ソース間に $-5V$ の逆バイアスを印加した場合の特性を示す図である。同図に示すように、非点灯時の17分のうち、当初5分間のみの逆バイアスの印加であっても、閾値電圧の経時的劣化を防止できることがわかる。

- [0086] なお、図12に示す特性と図9に示す特性とを比較すると、同じ -5V の逆バイアス電圧であっても、逆バイアスの印加時間の長い図9(図9:20分間、図12:5分間)の方が、閾値電圧シフトのバラツキが小さくなっている。また、図11に示す特性と図9に示す特性とを比較すると、逆バイアスの連続印加時間の短い図9(図9:連続20分間、図11:連続1時間)の方が、閾値電圧シフトのバラツキが小さくなっている。このことから、閾値電圧シフトのバラツキを効果的に小さくするためには、消費電力の観点をも併せて考慮し、駆動素子に印加する逆バイアス電圧の波形を断続的に変化させることもできる。
- [0087] 例えば、駆動素子に印加する逆バイアスの電圧波形を逆バイアスとなる所定電圧を中心とする減衰正弦波することができる。この場合には、駆動素子に対する逆バイアスの程度徐々に緩めていくことができ、消費電力を低減させつつ、駆動素子の劣化と駆動素子の劣化のバラツキとを効果的に低減させることができる。また、逆バイアスとなる所定電圧や、正弦波の振幅を好適な値に設定することにより、逆バイアスの印加を断続的に行うこともできる。
- [0088] また、例えば、駆動素子に印加する逆バイアスの電圧波形を逆バイアスとなる所定電圧を中心とする矩形波とすることもできる。この場合にも、上記の減衰正弦波の場合と同様な効果が得られる。また減衰正弦波、矩形波以外にも正弦波、三角波等、所定の周期をもって変化する波形であってもよい。
- [0089] ところで、上述の説明の中では、駆動素子に印加する逆バイアス電圧の上限(絶対値)については、特に触れていなかった。そこで、つぎに、駆動素子に印加する逆バイアス電圧の上限(絶対値)について説明する。この逆バイアス電圧の絶対値上限として、例えば、駆動素子に印加される逆バイアスによって該駆動素子の印加電極間に生ずる電界強度が、 $1\text{MV}/\text{cm}$ 以下となるような値に設定することができる。この $1\text{MV}/\text{cm}$ という電界強度では、例えば、ゲート絶縁膜の厚さが $4000\text{\AA}$ 程度の一般的なaSi-TFTの場合、この絶縁膜に -40V 程度の逆バイアスが印加されることになる。一般的なaSi-TFTであれば、 -40V 以上の電圧が印加された場合には絶縁膜が破壊される可能性がある。したがって、駆動素子に印加される逆バイアスによって該駆動素子の印加電極間に生ずる電界強度を $1\text{MV}/\text{cm}$ 以下に設定することで

、画像表示装置のTFTとして一般的に用いられるaSi-TFTの危険領域を回避することができる。

[0090] また、例えば、駆動素子に印加される逆バイアスによって該駆動素子の印加電極間に生ずる電界強度が、 0.1MV/cm 以下となるような値に設定することもできる。この場合には、上述のaSi-TFT以外の他のTFTに対しても、現実的な使用範囲の値として幅広く適用することができる。

[0091] (実施例4)

図17は、本発明の実施形態1にかかる画像表示装置を構成する画素回路の回路図であり、本実施例4の画像表示装置は同図に示す画素回路をマトリクス状に配置した構成を有している。また同図に示す画素回路は、有機発光素子D1と、有機発光素子D1の発光を制御する駆動トランジスタQ1と、第1電極および第2電極を有し、第1電極が駆動トランジスタQ1のゲートに接続される容量素子Csと、駆動トランジスタQ1のゲートとドレインとを選択的に短絡するスイッチングトランジスタQthと、を備えた構成を有している。また同図に示す画素回路は、有機発光素子D1のアノード側に接続される電源線VPと、駆動トランジスタQ1のソース側に接続される電源線VNと、スイッチングトランジスタQthの駆動を制御する走査線Sと、容量素子Csの第2電極に接続され、画素回路に対して画像信号を供給する画像信号線VDと、を備えている。これらの配線のうち、電源線VP、電源線VN、走査線Sは行方向に配列される画素回路に対して共通に接続され、画像信号線VDは列方向に配列される画素回路に対して共通に接続されている。

[0092] 図18は、動作時における本実施例4にかかる画像表示装置の電源線VP、電源線VN、走査線S、画像信号線VDの電位の変動、および駆動トランジスタの V_{gs} の変動を示すタイムチャートである。

[0093] (第1リセット工程)

まず、過去の発光の際に駆動トランジスタQ1のゲートに印加された電位をリセットする第1リセット工程が行われる。具体的には、図18に示す通り、電源線VP、VNの電位が V_{DD} に、画像信号線VDが0電位に、走査線Sがハイレベルの電位(オン電位: V_{gH})にそれぞれ保持される。これにより、駆動トランジスタQ1はソース側およびドレイン側

の電位が略等しくなるため、実質的にオフ状態となる。またスイッチングトランジスタ Q_{th} はオン状態であるため、駆動トランジスタ Q_1 のゲート電位は $V_{DD} - V_{OLED}$ となる。したがって、駆動トランジスタ Q_1 の V_{gs} は $-V_{OLED}$ となる。なお、有機発光素子 D_1 に蓄積した電荷は徐々に減少していくので、結局、 $V_{OLED} \doteq 0$ (ただし、 $V_{OLED} < 0$)、すなわち $V_{gs} \doteq 0$ (ただし、 $V_{gs} < 0$)となる。

[0094] (準備工程)

つぎに、準備工程において、電源線 VP が $-V_p$ ($V_p < V_{th}$)、画像信号線が V_{DH} に、走査線 S がオフ電位 (V_{gL}) に、それぞれ保持される。また電源線 VN の電位が $V_{DD} \rightarrow 0V$ に変動される。その結果、駆動トランジスタ Q_1 のゲート電位は $V_{DD} + V_{DH}$ となる。一方、電源線 VN は $V_{DD} \rightarrow 0V$ と変動するから、駆動トランジスタ Q_1 の V_{gs} は、 $V_{DH} \rightarrow V_{DD} + V_{DH}$ となる。

[0095] (閾値電圧検出工程)

続いて、電源線 VP, VN が $0V$ に、走査線 S がオン電位 (V_{gH}) に、画像信号線が V_{DH} に、それぞれ保持される。その結果、スイッチングトランジスタがON状態となり、駆動トランジスタ Q_1 のゲートからドレインを介してソースに電流が流れる。この電流は、駆動トランジスタ Q_1 の V_{gs} が実質的に V_{th} となるまで流れ、最終的に駆動トランジスタ Q_1 のゲート電位は V_{th} となる。それ故、駆動トランジスタ Q_1 の V_{gs} は V_{th} となる。

[0096] (逆バイアス印加工程)

つぎに、逆バイアスを駆動トランジスタ Q_1 に印加する。具体的には、電源線 VP, VN が $0V$ に、走査線 S がオフ電位 (V_{gL}) に、画像信号線が $0V$ に、それぞれ保持される。容量素子 C_s には大きな電荷が蓄積されており、画像信号線の電位の変化に応じて駆動トランジスタ Q_1 のゲート電位が $V_{th} + V_{DATA} - V_{DH}$ に変化し、 V_{gs} が $V_{th} + V_{DATA} - V_{DH}$ となる。

[0097] (書き込み工程)

つぎに、電源線 VP, VN が $0V$ に、それぞれ保持された状態で、走査線 S がオン電位 (V_{gH}) に設定されるタイミングで画像信号線 V_D が V_{DATA} ($0 \leq V_{DATA} \leq V_{DH}$) に設定され、 V_{DATA} が書き込まれる。ここで、有機発光素子 D_1 の容量を C_{OLED} とすると、駆動トランジスタ Q_1 のゲート電位は $\alpha (V_{DH} - V_{DATA}) + V_{th}$ となる。なお、 $\alpha = C_{OLED} / (C_s + C_{OLE})$

)である。一方、電源線VN=0Vであるから、駆動トランジスタQ1のVgsは $\alpha (V_{DH} - V_{DATA}) + V_{th}$ となる。

[0098] (第2リセット工程)

つぎに、有機発光素子D1に蓄積した電荷をリセットするための第2リセット工程が行われる。具体的には、電源線VPが $-V_p$ に、走査線Sがオフ電位(V_{gL})に、画像信号線が V_{DH} に、それぞれ保持される。また電源線VNは $-V_p \rightarrow 0$ に電位が変動される。電源線VN= $-V_p$ の時、駆動トランジスタQ1はソース側およびドレイン側の電位が略等しくなるため、実質的にオフ状態となる。このため、駆動トランジスタQ1のゲート電位は $\alpha (V_{DH} - V_{DATA}) + V_{th}$ となり、Vgsは $\alpha (V_{DH} - V_{DATA}) + V_{th} + V_p \rightarrow \alpha (V_{DH} - V_{DATA}) + V_{th}$ となる。

[0099] (発光工程)

続いて、電源線VPが V_{DD} に、VNが0Vに、走査線Sがオフ電位(V_{gL})に、画像信号線が V_{DH} に、それぞれ保持される。その結果、有機発光素子D1に電流 $I_d = (\beta / 2) [(1 - \alpha) (V_{DH} - V_{DATA})]^2$ が流れ、有機発光素子D1が発光する。

[0100] (逆バイアス印加工程)

そして、逆バイアスを駆動トランジスタQ1に印加する。具体的には、電源線VP,VNが V_{DD} に、走査線Sがオフ電位(V_{gL})に、画像信号線が0Vに、それぞれ保持される。その結果、駆動トランジスタQ1のゲート電位が $V_{th} + \alpha (V_{DH} - V_{DATA}) - V_{DH}$ となり、Vgsが $V_{th} + \alpha (V_{DH} - V_{DATA}) - V_{DD} - V_{DH}$ となる。

[0101] その後、上述した各工程を繰り返すことにより、順次、1フレーム毎に駆動トランジスタQ1に逆バイアスを印加した駆動が行われる。なお、1フレーム毎に逆バイアスを印加する場合、逆バイアス(Vgs)は、 $-3V \sim -10V$ であることが好ましい。

[0102] (他の実施の形態(その1))

図4は、本発明にかかる図1とは異なる画素回路の構成例を示す図である。図4に示す画素回路は、発光素子D2が駆動素子Q2のソース側に接続されている点を除いて、図1に示した画像表示装置と同一、あるいは同等な構成である。なお、図4に示す画像表示装置は、駆動素子Q2のゲート端を制御する「電圧制御型」の構成である点は図1と同一であり、「ゲート・コントロール/ソース・ドライブ」と呼ばれている。

[0103] 図4に示す画素回路の特徴は、図1の画素回路と比較して、書き込み電圧が高くなるという短所が存在するが、画素間の劣化のバラツキの進行が若干遅いという長所も存在する。しかしながら、図1の画素回路と同様に、駆動素子の V_{th} シフトに起因する急速な劣化や、劣化のバラツキによる画像の均一性の悪化の問題を回避することはできない。したがって、図4に示す画素回路に対しても、上述の技術を適用することができ、図1の画素回路と同様な効果が得られる。なお、コントローラU2としては、単数または複数のTFTや、コンデンサなどの容量素子、TFTを制御する制御線などで構成される。

[0104] (他の実施の形態(その2))

図5は、本発明にかかる図1、図4とは異なる画素回路の構成例を示す図である。図5に示す画素回路は、発光素子D3が駆動素子Q3aのソース側に接続されている点は図4と同様であるが、駆動素子Q3aのゲート端が接地されるとともに、駆動素子Q3aのソース端側の電流をコントローラU3で制御するところが相違している。なお、スイッチング素子Q3bは、駆動素子Q3aのゲートソース間電圧を書き込む際に、駆動素子Q3aと発光素子D3とを切り離すためのスイッチング素子である。また、図5に示す画像表示装置は、駆動素子Q3aのソース端を制御する「電流制御型」の構成であり、特に「ソース・コントロール/ソース・ドライブ」と呼ばれている。なお、コントローラU3としては、単数または複数のTFTや、コンデンサなどの容量素子、TFTを制御する制御線、電源線などで構成される。

[0105] 図5に示す画素回路も、図1、図4の画素回路と同様に、駆動素子の V_{th} シフトに起因する劣化や、劣化のバラツキによる画像の均一性の悪化の問題を回避することはできない。したがって、図5に示す画素回路に対しても、上述の技術を適用することができ、図1、図4の画素回路と同様な効果が得られる。

[0106] (他の実施の形態(その3))

図6は、本発明にかかる図1、図4および図5とは異なる画素回路の構成例を示す図である。図6に示す画素回路は、発光素子D4が駆動素子Q4のドレイン側に接続されている点は図1と同様であるが、駆動素子Q4のゲート端が接地されるとともに、駆動素子Q4のソース端側の電流をコントローラU4で制御するところが相違している。

。なお、図6に示す画像表示装置は、駆動素子Q4のソース端を制御する「電流制御型」の構成であり、特に「ソース・コントロール／ドレイン・ドライブ」と呼ばれている。なお、コントローラU4としては、単数または複数のTFTや、コンデンサなどの容量素子、TFTを制御する制御線、電源線などで構成される。

[0107] 図6に示す画素回路も、図1～図3の画素回路と同様に、駆動素子の V_{th} シフトに起因する劣化や、劣化のバラツキによる画像の均一性の悪化の問題を回避することはできない。したがって、図6に示す画素回路に対しても、上述の技術を適用することができ、図1～図3の画素回路と同様な効果を得ることができる。

[0108] <電子機器の駆動方法>

つぎに、上述の画像表示装置を有する電子機器の駆動方法について説明する。ここではフレーム周期毎に駆動素子に対して逆バイアスを印加する方法とは異なる駆動方法について説明する。なお、ここでいう電子機器とは、携帯電話、パーソナルコンピュータ、デジタルカメラ、カーナビゲーション、PDA、POS端末、計測機器、複写機等を当然に含むものとする。

[0109] (例1):画像表示装置の電源をONからOFFにする際に駆動素子に逆バイアスを印加する場合(図14参照)

(1)まず、画像表示装置が稼動状態にあり、画像表示が行われている(ステップS101)。

(2)つぎに、画像表示装置に対して電源OFFの情報が入力され、画像表示装置が電源OFFモードとなる(ステップS102)。電源OFFモードとは電源OFFの情報が入力されているが、実際には電源OFFとはなっていない状態をいう。

(3)ここで、画像表示装置が電源OFFモードである状態で、画像表示装置の駆動素子に対して逆バイアス印加の情報が入力され、コントローラによって駆動素子に逆バイアスが印加される(ステップS103)。

(4)そして、駆動素子に対する逆バイアスの印加が終了し、画像表示装置の電源がOFFとなり、非稼動の状態となる(ステップS104)。

[0110] このように、画像表示装置の電源OFFとするための期間内に、駆動素子に対して逆バイアスを印加するようにすれば、逆バイアスを印加する場合であっても、電子機

器のユーザーが違和感なく電子機器を使用できる。

[0111] (例2):画像表示装置の電源がOFFの状態から画像表示を行うまでの間に駆動素子に逆バイアスを印加する場合(図15参照)

(1)まず、画像表示装置が非稼動状態にあり、画像表示装置の電源がOFFとなっている(ステップS201)。電源がOFFでは、発光素子に電氣的に接続される電源線に対して電圧が供給されていない状態である。

(2)つぎに、画像表示装置に対して電源ONの情報が入力され、画像表示装置が電源ONモードとなる(ステップS202)。電源ONモードとは電源ONの情報が入力されているが、実際には画像表示装置において画像表示が行われていない状態をいう。

(3)ここで、画像表示装置が電源ONモードの状態、画像表示装置の駆動素子に対して逆バイアス印加の情報が入力され、コントローラによって駆動素子に逆バイアスが印加される(ステップS203)。

(4)そして、駆動素子に対する逆バイアスの印加が終了し、画像表示装置の画像表示が行われる(ステップS204)。

[0112] このように、画像表示装置を電源ON状態とするための期間内に、駆動素子に対して逆バイアスを印加するようにすれば、逆バイアスを印加する場合であっても、電子機器のユーザーが違和感なく電子機器を使用できる。

[0113] (例3):画像表示装置の電源はONであるが、表示画面が待機状態である期間に駆動素子に逆バイアスを印加する場合(図16参照)

(1)まず、画像表示装置が稼動状態にあり、画像表示装置によって第1画像の表示が行われている(ステップS301)。

(2)つぎに、画像表示装置の表示画面が待機状態となる(ステップS302)。ここで、待機状態とは、例えば、表示画面に画像表示が行われていない場合、スクリーンセーバーが起動している場合、表示画面に画像表示が行われているが、第1画像よりも低い輝度で表示が行われている場合、表示画面に画像表示が行われているが、その画像を外部より視認できない状態(画像が隠された状態)にある場合(例えば、折り畳み式携帯電話において、筐体が折り畳まれることで画面が筐体によって隠されて

いる場合)等をいう。

(3)ここで、画像表示装置の駆動素子に対して逆バイアス印加の情報が入力され、コントローラによって駆動素子に逆バイアスが印加される(ステップS303)。

(4)そして、駆動素子に対する逆バイアスの印加が終了し、表示画面の待機状態が解除され(ステップS304)、画像表示装置に画像表示が行われる(ステップS305)。なお、逆バイアスの印加が終了しても、表示画面が待機状態であってもよい。

[0114] このように、画像表示装置の表示画面が待機状態である期間に駆動素子に対して逆バイアスを印加するようにすれば、逆バイアスを印加する場合であっても、電子機器のユーザーが違和感なく電子機器を使用できる。

[0115] なお、本発明は上述の実施形態に限定されるものではなく、本発明の範囲内において種々の改良、変更が可能である。

請求の範囲

- [1] 通電により発光する発光素子と、
前記発光素子に接続され、該発光素子を発光制御する駆動素子と、
を備え、
前記発光素子の非発光時に前記駆動素子に逆バイアスを印加することを特徴とする画像表示装置。
- [2] 前記駆動素子は、フレーム周期ごとに逆バイアスが印加されることを特徴とする請求項1に記載の画像表示装置。
- [3] 前記駆動素子に印加される逆バイアス電圧が、フレーム周期ごとに少なくとも1msec以上印加されることを特徴とする請求項2に記載の画像表示装置。
- [4] 前記駆動素子に逆バイアスを印加する時間が、フレーム周期の5%以上であることを特徴とする請求項2または3に記載の画像表示装置。
- [5] 前記駆動素子に逆バイアスを印加する時間が、前記発光素子のフレーム周期ごとの発光時間の平均値である平均発光時間の50%以上であることを特徴とする請求項2または3に記載の画像表示装置。
- [6] 請求項1に記載の画像表示装置において、
前記発光素子および前記駆動素子を有する画素が複数個配列され、
全ての前記発光素子が非発光時のときに、前記駆動素子に逆バイアスが印加されることを特徴とする画像表示装置。
- [7] 装置の非使用時に前記駆動素子に逆バイアスを印加することを特徴とする請求項1に記載の画像表示装置。
- [8] 前記駆動素子に印加する逆バイアス電圧の絶対値が1V以上であることを特徴とする請求項1、2、6または7のいずれか一つに記載の画像表示装置。
- [9] 前記駆動素子に逆バイアスを印加する時間は、少なくともフレーム周期の時間以上であることを特徴とする請求項6または7に記載の画像表示装置。
- [10] 前記駆動素子に逆バイアスを印加する時間は、装置の使用時間の20%以下であることを特徴とする請求項6または7に記載の画像表示装置。
- [11] 前記駆動素子に印加される逆バイアスの電圧波形が、所定の周期を有する波形で

あることを特徴とする請求項1～10のいずれか一つに記載の画像表示装置。

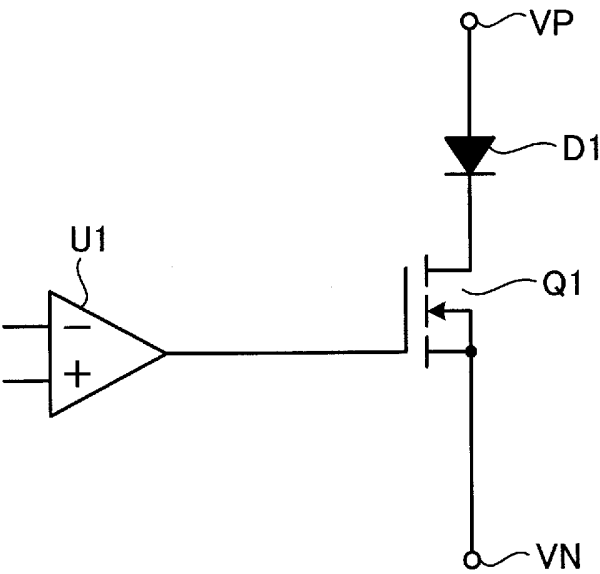
- [12] 前記駆動素子に印加される逆バイアスの電圧波形は、減衰波であることを特徴とする請求項11に記載の画像表示装置。
- [13] 前記駆動素子に印加される逆バイアスによって該駆動素子の印加電極間に生ずる電界強度が、1MV/cm以下であることを特徴とする請求項1～12のいずれか一つに記載の画像表示装置。
- [14] 前記発光素子および前記駆動素子を有する画素が複数個配列され、前記駆動素子に印加される逆バイアス電圧が、全ての駆動素子に対して略等しいことを特徴とする請求項1に記載の画像表示装置。
- [15] 前記駆動素子に印加される逆バイアスは、前記駆動素子がn型のトランジスタの場合、前記駆動素子のソース電極に対するゲート電極の電圧をトランジスタの閾値電圧よりも低く、前記駆動素子がp型のトランジスタの場合、前記駆動素子のソース電極に対するゲート電極の電圧をトランジスタの閾値電圧よりも高いことを特徴とする請求項1～14に記載の画像表示装置。
- [16] 通電により発光する発光素子と、
前記発光素子に接続され、該発光素子を駆動する駆動素子と、
前記発光素子の非発光時に前記駆動素子に対して逆バイアスを印加する制御手段と、を有することを特徴とする画像表示装置。
- [17] 通電により発光する発光素子と、
前記発光素子に接続され、該発光素子を発光制御する駆動素子と、を有する画像表示装置の駆動方法において、
前記発光素子を発光させるステップと、
前記発光素子の非発光時に、前記駆動素子に対して逆バイアスを印加するステップと、を備えたことを特徴とする画像表示装置の駆動方法。
- [18] 前記駆動素子に印加される逆バイアス電圧がフレーム周期毎に印加されることを特徴とする請求項17に記載の画像表示装置の駆動方法。
- [19] 請求項1に記載の画像表示装置を有する電子機器の駆動方法において、前記画像表示装置に対して電源OFF情報を入力するステップと、

前記電源OFF情報の入力後に、前記画像表示装置の前記駆動素子に対して逆バイアスを印加するステップと、
前記駆動素子に対する逆バイアスの印加後に、前記画像表示装置の電源がOFFとなるステップと、
を有する電子機器の駆動方法。

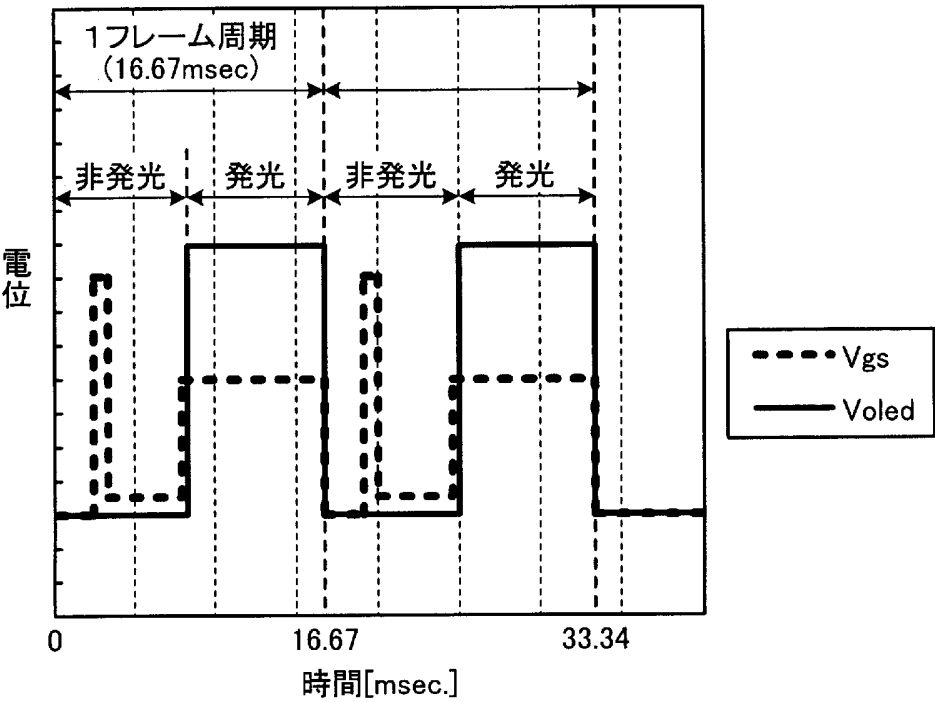
- [20] 請求項1に記載の画像表示装置を有する電子機器の駆動方法において、
前記画像表示装置に対して電源ON情報を入力するステップと、
前記電源ON情報の入力後に、前記画像表示装置の前記駆動素子に対して逆バイアスを印加するステップと、
前記駆動素子に対する逆バイアスの印加後に、前記画像表示装置の画像表示が行われるステップと、
を有する電子機器の駆動方法。

- [21] 請求項1に記載の画像表示装置を有する電子機器の駆動方法において、
前記画像表示装置によって構成される表示画面を待機状態とするステップと、
前記表示画面が待機状態中に前記画像表示装置の前記駆動素子に対して逆バイアスを印加するステップと、
を有する電子機器の駆動方法。

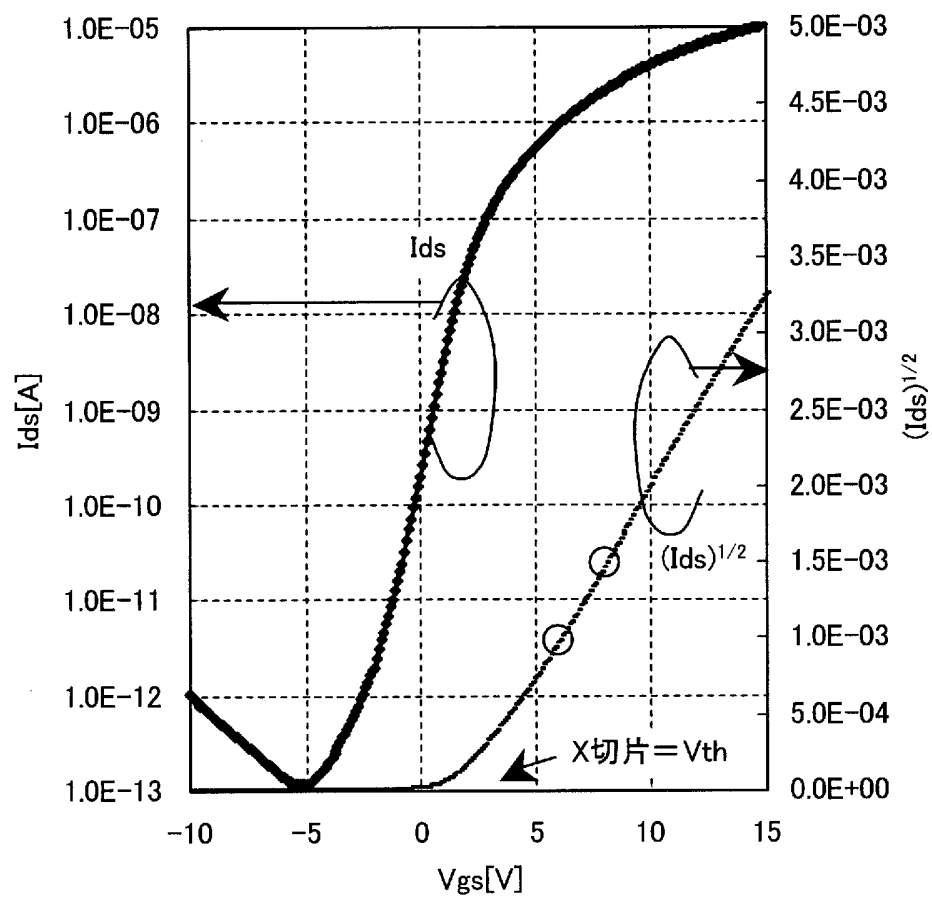
[図1]



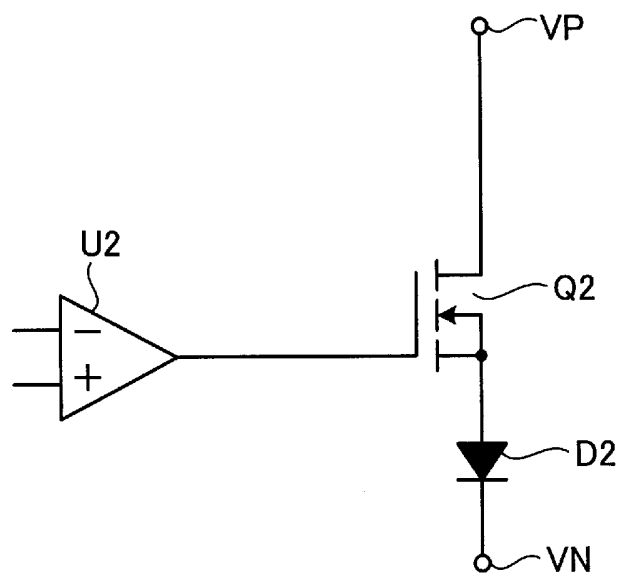
[図2]



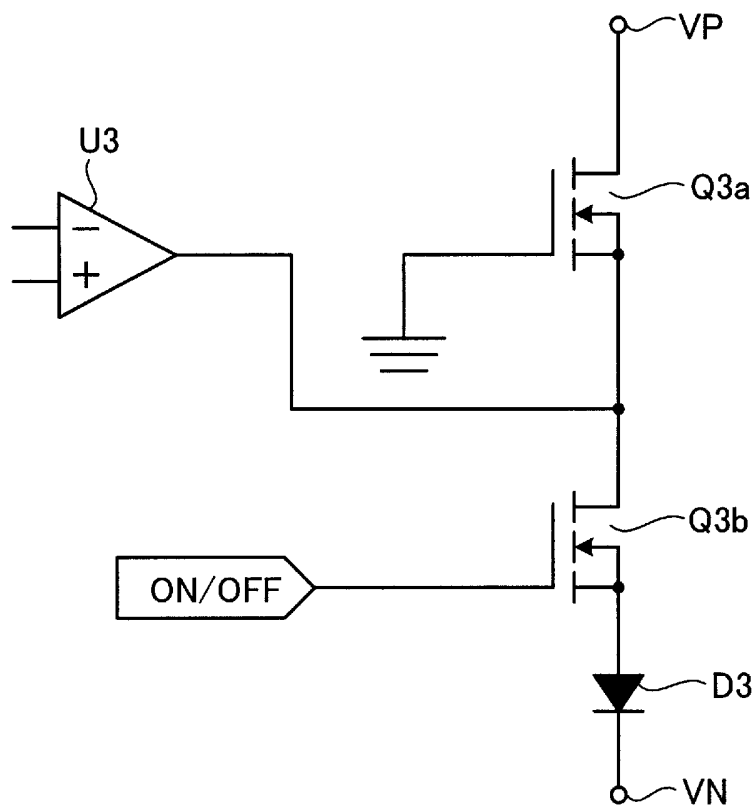
[図3]



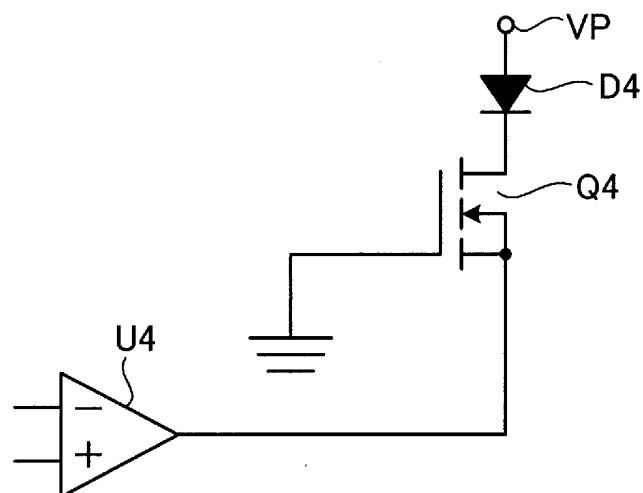
[図4]



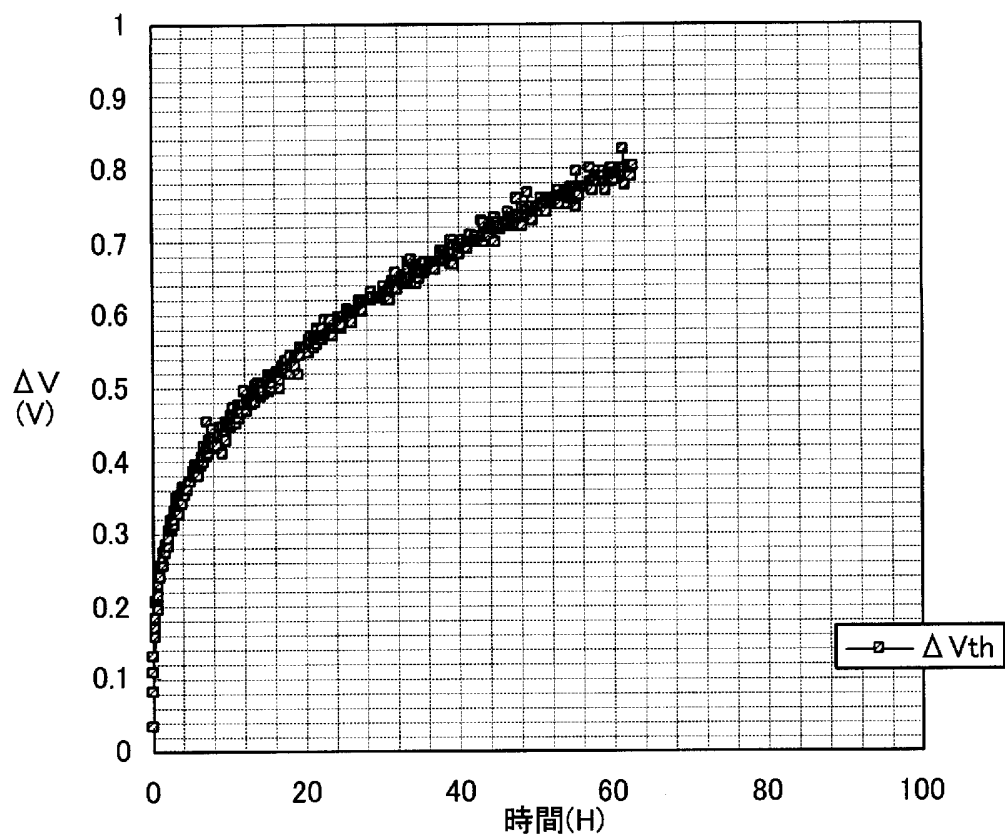
[図5]



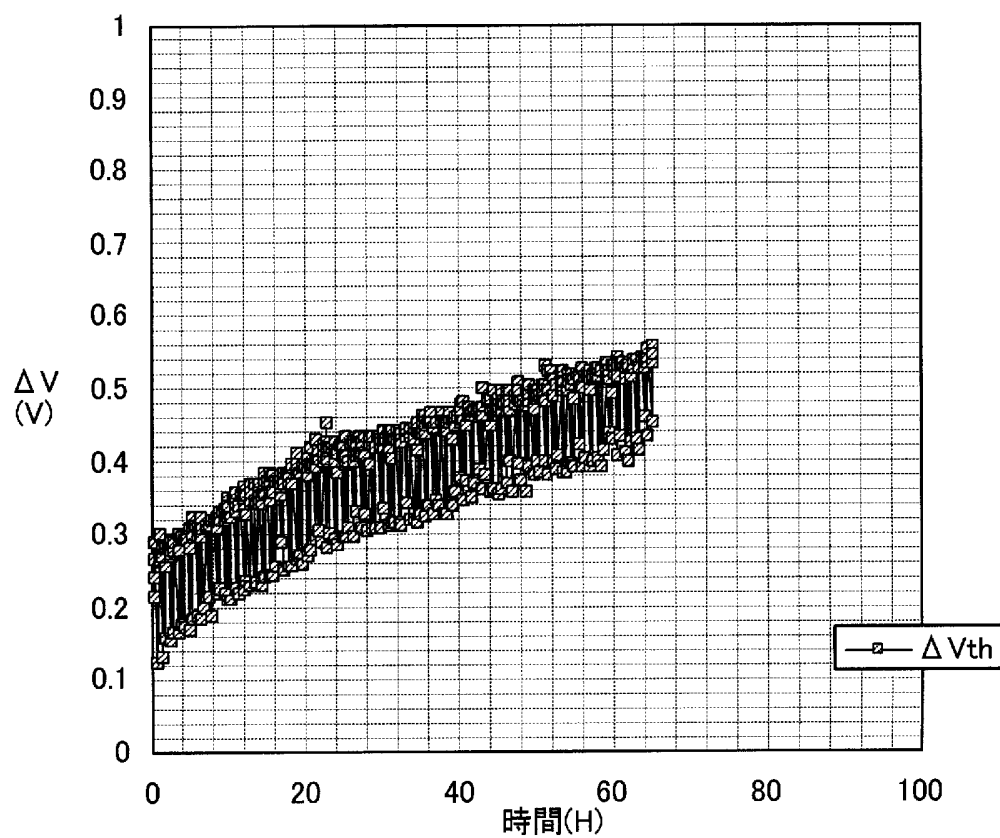
[図6]



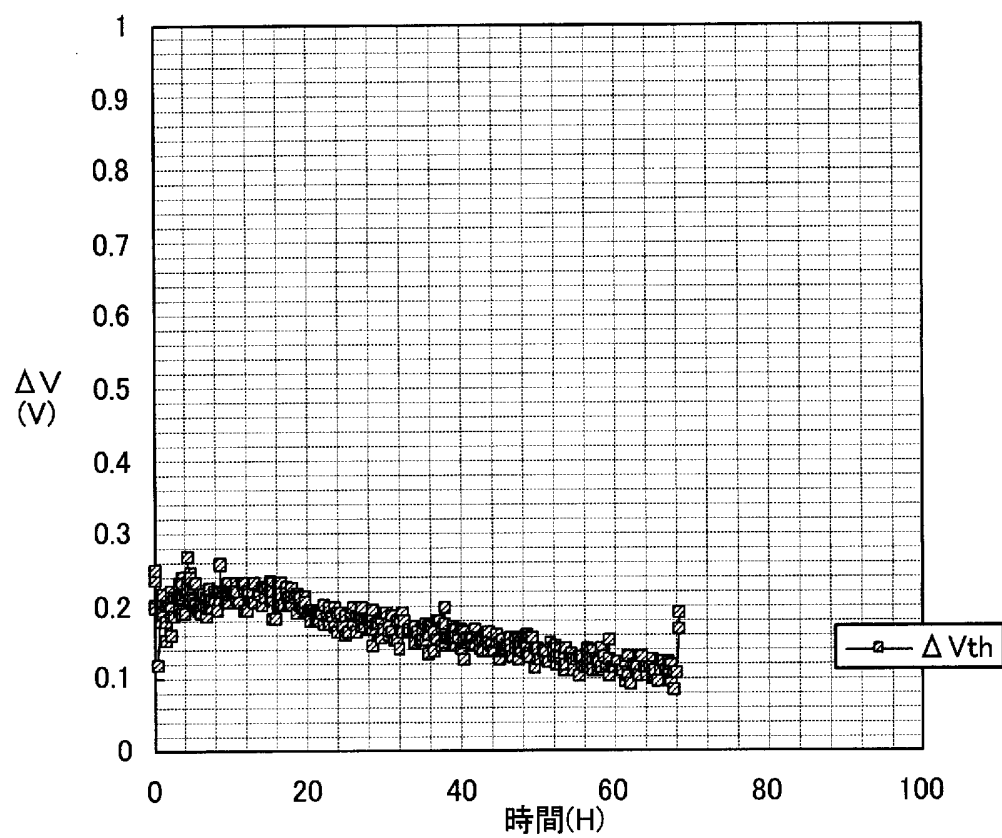
[図7]



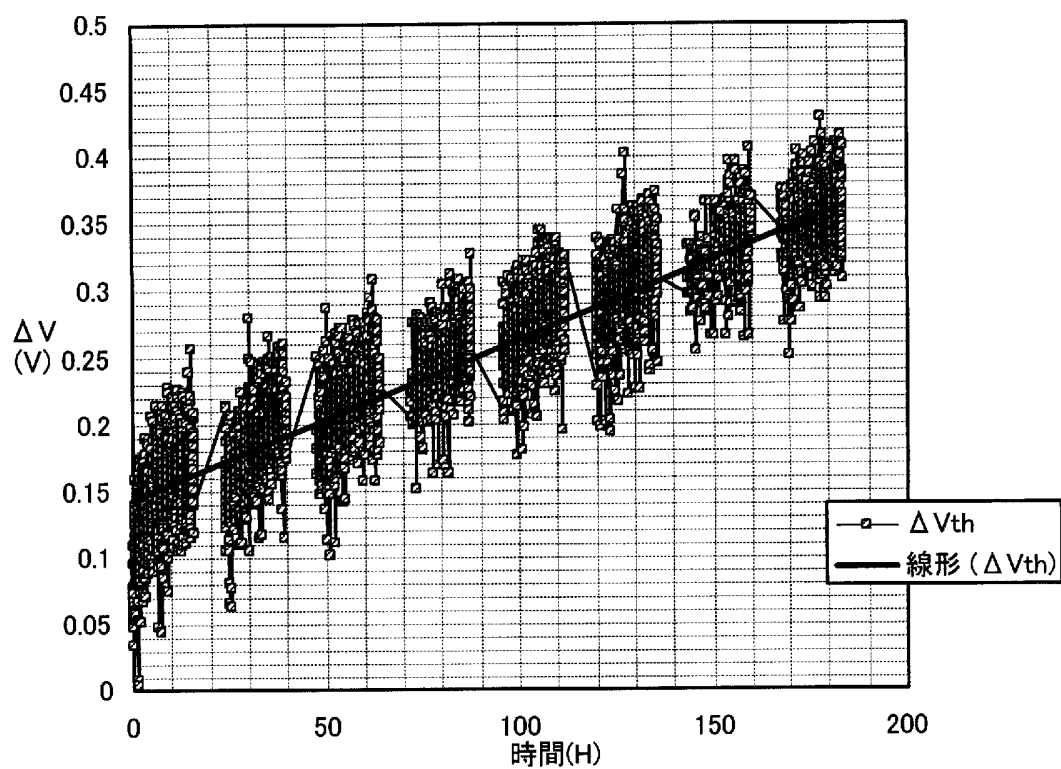
[図8]



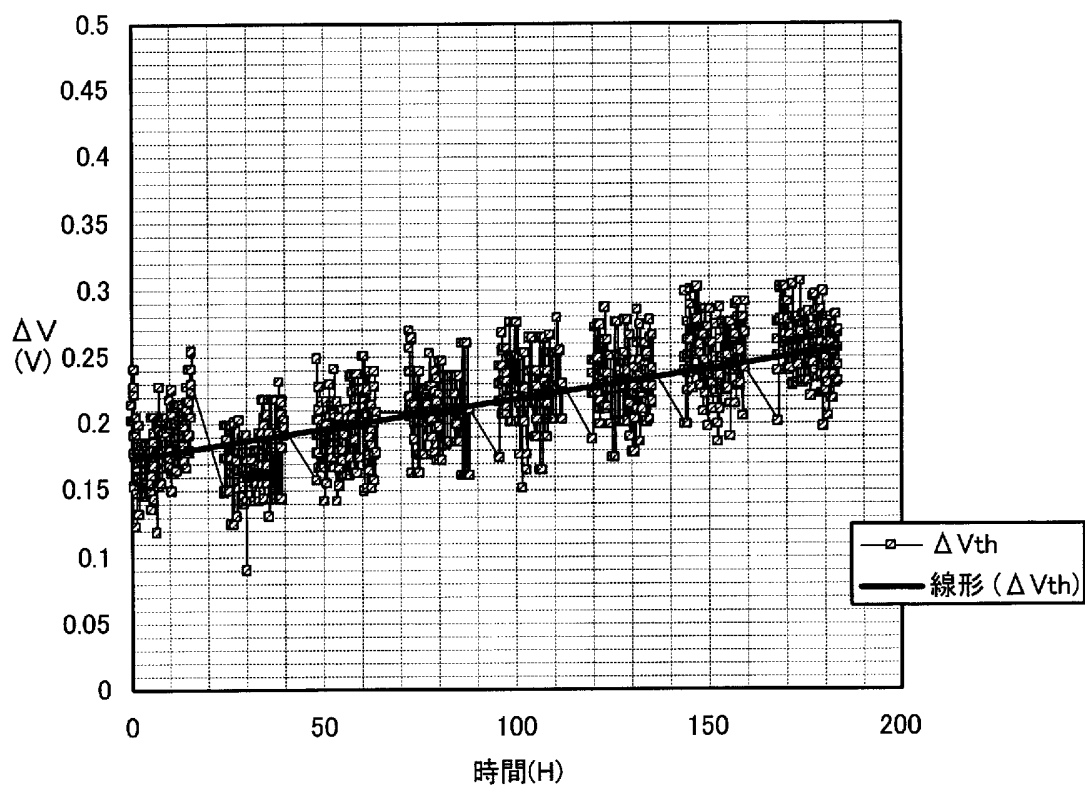
[図9]



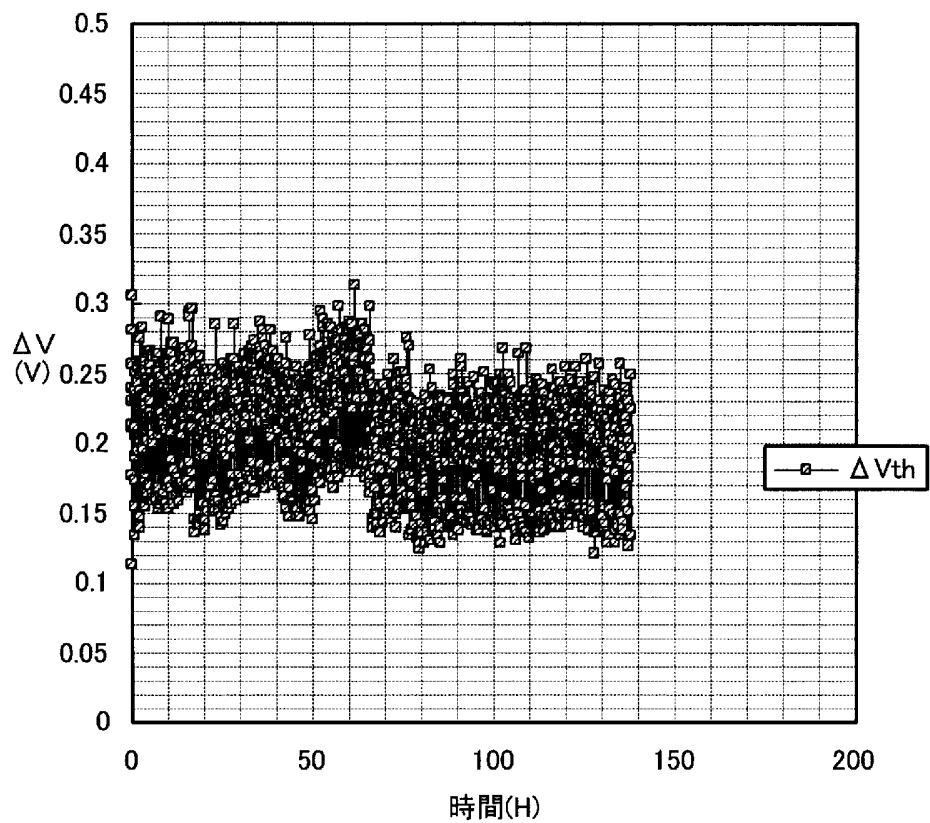
[図10]



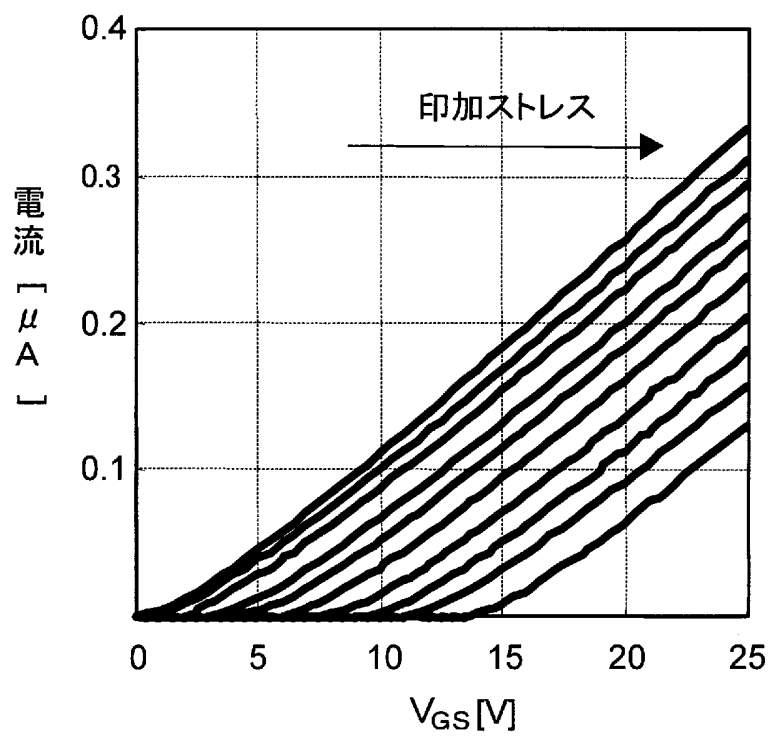
[図11]



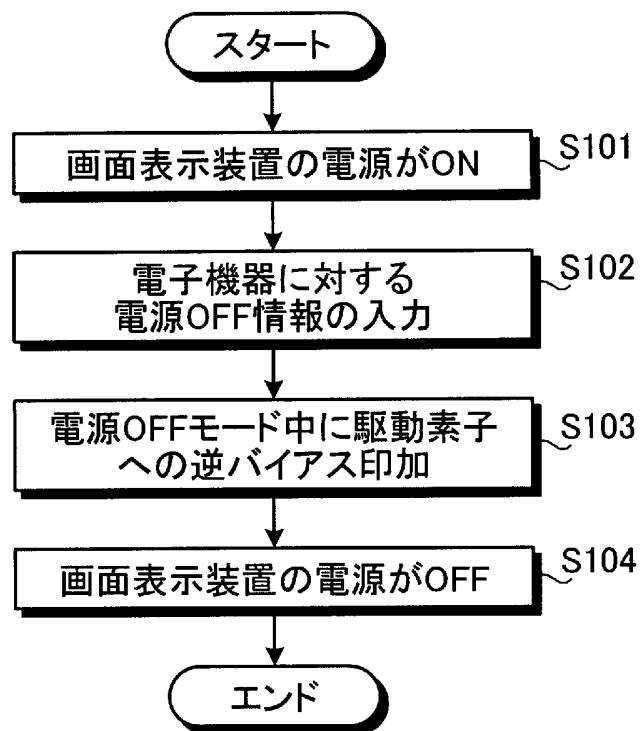
[図12]



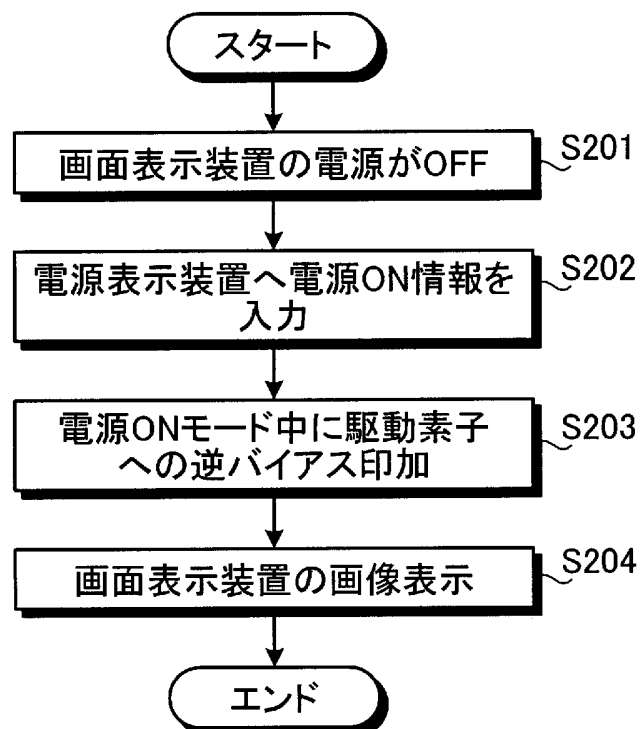
[図13]



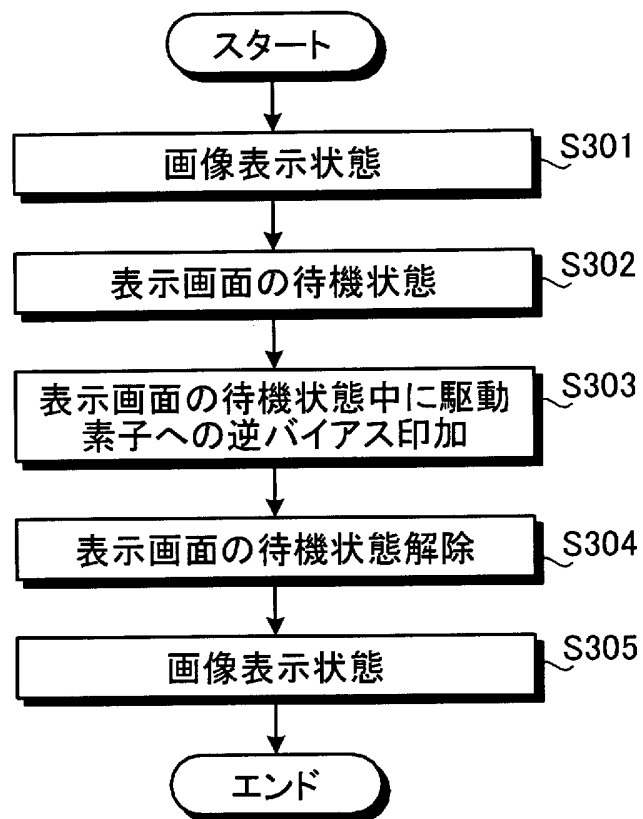
[図14]



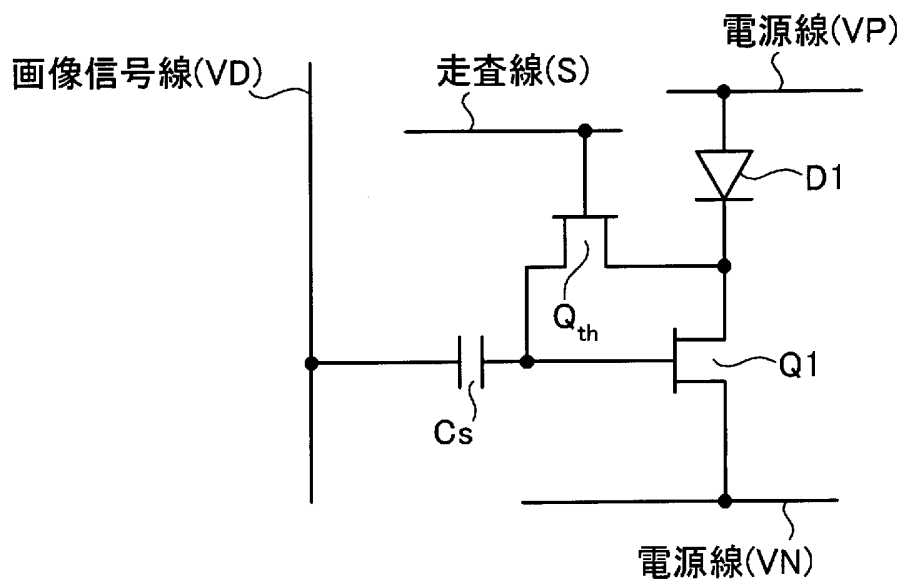
[図15]



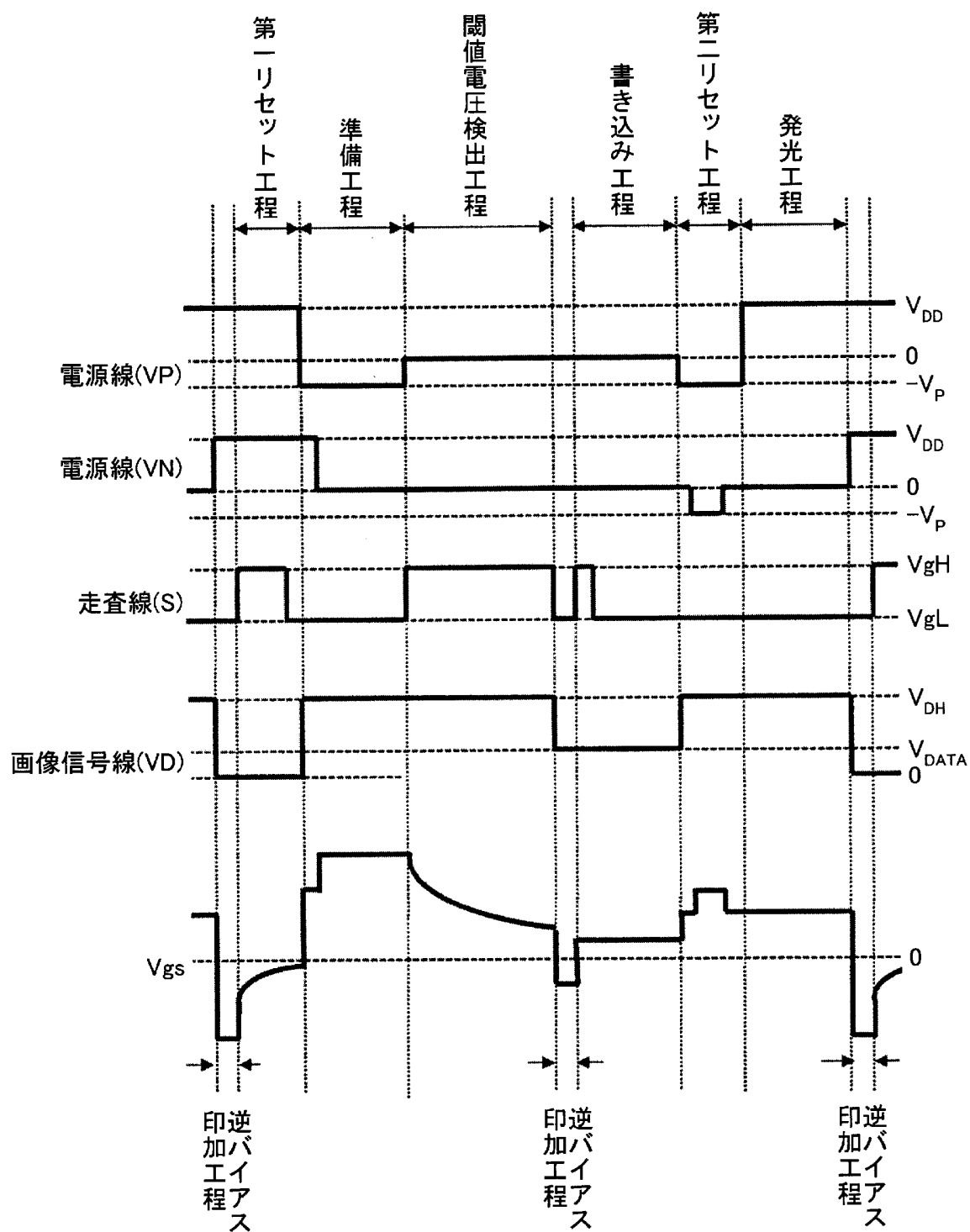
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023967

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30 (2006.01), G09G3/20 (2006.01), H01L51/50 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20, G09G3/30, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-169510 A (Seiko Epson Corp.), 14 June, 2002 (14.06.02), Par. Nos. [0035] to [0051]; Figs. 1 to 7	1, 6, 8, 14, 16, 17
Y	& US 2002/0047839 A1 & US 2004/0233143 A	2, 11, 12, 18
A	& EP 001191512 A2 & CN 001345021 A	3-5, 7, 9, 10, 13, 15, 19-21
	& TW 000508553 B	
Y	JP 11-305727 A (Pioneer Electronic Corp.), 05 November, 1999 (05.11.99), Par. Nos. [0019] to [0043]; Fig. 5	2, 18
Y	JP 4-328791 A (Fuji Xerox Co., Ltd.), 17 November, 1992 (17.11.92), Par. Nos. [0003], [0010] to [0026]; Figs. 1 to 3 (Family: none)	11, 12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 January, 2006 (30.01.06)

Date of mailing of the international search report
07 February, 2006 (07.02.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023967

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-138659 A (Motorola, Inc.), 27 May, 1997 (27.05.97), Par. No. [0025]; all drawings & US 005748160 A1 & EP 000762374 A1	1-21
A	JP 2003-216104 A (Semiconductor Energy Laboratory Co., Ltd.), 30 July, 2003 (30.07.03), Full text; all drawings & US 2003/0062545 A1 & US 2005/0093804 A & CN 001409402 A & TW 000571275 B	1-21

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30 (2006.01), G09G3/20 (2006.01), H01L51/50 (2006.01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G 3/20, G09G 3/30, H01L 51/50			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	J P 2002-169510 A (セイコーエプソン株式会社) 2002.06.14 段落0035-0051、図1-7 & US 2002/0047839 A1 & US 2004/0233143 A	1, 6, 8, 14, 16, 17	
Y	& EP 001191512 A2 & CN 001345021 A & TW 000508553 B	2, 11, 12, 18	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 30.01.2006		国際調査報告の発送日 07.02.2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 福村 拓	2G 3308
		電話番号 03-3581-1101 内線 3226	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A		3-5, 7, 9, 10, 13, 15, 19-21
Y	JP 11-305727 A (パイオニア株式会社) 1999. 11.05 段落0019-0043、図5 & US 006429837 B1	2, 18
Y	JP 4-328791 A (富士ゼロックス株式会社) 1992. 11.17 段落0003, 0010-0026、図1-3 (ファミリーなし)	11, 12
A	JP 9-138659 A (モトローラ・インコーポレイテッド) 1997.05.27 段落0025、全図 & US 005748160 A1 & EP 000762374 A1	1-21
A	JP 2003-216104 A (株式会社半導体エネルギー研 究所) 2003.07.30 全文、全図 & US 2003/0062545 A1 & US 2005/0093804 A & CN 001409402 A & TW 000571275 B	1-21