



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 21/60 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월26일 10-0699552 2007년03월19일
---------------------------------------	-------------------------------------	--

(21) 출원번호	10-2002-7010402	(65) 공개번호	10-2002-0073547
(22) 출원일자	2002년08월10일	(43) 공개일자	2002년09월26일
심사청구일자	2005년06월28일		
번역문 제출일자	2002년08월10일		
(86) 국제출원번호	PCT/US2001/004164	(87) 국제공개번호	WO 2001/59842
국제출원일자	2001년02월09일	국제공개일자	2001년08월16일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기스스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 남아프리카, 벨리제, 모잠비크, 그라나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 세르비아 앤 몬테네그로, 짐바브웨,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기스스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터어키,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(30) 우선권주장

60/181,504	2000년02월10일	미국(US)
60/224,062	2000년08월09일	미국(US)

(73) 특허권자

인터내셔널 렉티파이어 코퍼레이션
미국 캘리포니아 90245 엘 세군도 캔사스 스트리트 233

(72) 발명자

킨저다니엘엠.
미국캘리포니아90245엘세군도센터스트리트760

아쭌안안아람
미국캘리포니아91504버뱅크캠브리지드라이브412

사문팀
영국헬렌스버그지848큐에이키드스톤드라이브10

(74) 대리인 박장원

(56) 선행기술조사문헌
US 5077229 A US 5578841 A
JP 08-316467 A JP 2000-022140 A
JP 11-067769 A
* 심사관에 의하여 인용된 문헌

심사관 : 박준영

전체 청구항 수 : 총 30 항

(54) 단일면 상에 돌출 접촉부를 갖는 수직 전도성의 플립칩다이바이스

(57) 요약

플립칩(flip-chip) MOSFET 구조는 수직 전도성 반도체다이(30)를 갖고 있다. 다이(30)의 하층은 확산싱커 또는 전도성 전극에 의해 다이 위에 있는 드레인 전극(32)과 접촉된다. 소스(31) 및 게이트(33, 9) 전극은 또한 다이 위에 형성되고 회로기판과의 접속을 위해 공통평면에 놓이는 솔더볼(solder ball)(40, 41, 43)를 갖는다. 이 구조는 칩규모 패키지 크기를 갖는다. 다이가 실장될 때 반전되는 다이의 하부는 다이로부터의 열제거를 향상시키기 위해 거칠게 하거나 금속화할 수 있다. 솔더볼 접촉부를 갖는 상면에 각각의 소스 및 게이트전극을 갖는 일련의 MOSFET 접속을 형성하기 위해 여러 분리된 MOSFET가 다이에 나란히 집적될 수 있다. 복수의 솔더볼 접촉부가 상부 전극에 제공될 수 있고 각각 평행하게 배치될 수 있다. 다이는 직사각형의 대각선에 대칭적으로 배치된 솔더볼을 갖는 긴 직사각형의 형태를 갖는다.

대표도

도 2

특허청구의 범위

청구항 1.

플립칩 반도체 디바이스에 있어서,

평행한 제 1 및 제 2주표면을 갖는 실리콘웨이퍼와,

상기 실리콘웨이퍼 내의 PN접합에서 만나는, 상기 실리콘웨이퍼에 있는 적어도 하나의 P영역 및 적어도 하나의 N영역과,

상기 제 1주표면에 형성되고 서로 절연되어 있으며 상기 P영역 및 상기 N영역에 각각 접속하는, 공통 평면의 측면 이격된 제 1 및 제 2금속층과, 그리고

상기 제 1 및 제 2금속층의 각각에 접속되는 복수의 접촉돌출부를 포함하며,

상기 제 1금속층에 접속된 상기 복수의 접촉돌출부는 제 1직선열을 따라 정렬되고 상기 제 2금속층에 접속된 상기 복수의 접촉돌출부는 제 2직선열을 따라 정렬되는 것을 특징으로 하는 플립칩 반도체 디바이스.

청구항 2.

제 1항에 있어서,

상기 제 1 및 제 2금속층과 공통 평면이며, 이들 층으로부터 측면 이격된 상기 제 1 주표면 위에 제 3금속층을 포함하고, 상기 제 1, 제 2 및 제 3금속층은 MOS 게이트 디바이스의 소스, 드레인 및 게이트전극을 각각 포함하는 것을 특징으로 하는 플립칩 반도체 디바이스.

청구항 3.

제 1항에 있어서,

상기 제 2주표면을 가로지르는 하부 금속층을 더 포함하는 것을 특징으로 하는 플립칩 반도체 디바이스.

청구항 4.

제 3항에 있어서,

상기 하부 금속층이 상기 제 1 및 제 2금속층 모두보다 더 두꺼운 것을 특징으로 하는 플립칩 반도체 디바이스.

청구항 5.

제 1항에 있어서,

상기 제 1 및 제 2열이 서로 평행한 것을 특징으로 하는 플립칩 반도체 디바이스.

청구항 6.

제 1항에 있어서,

상기 실리콘웨이퍼는 소정의 길이 및 너비로 정의된 영역을 갖는 직사각형의 웨이퍼이고, 상기 길이는 상기 너비보다 크고, 상기 돌출부의 제 1열 및 제 2열이 서로 평행하고 상기 웨이퍼를 가로지르는 대각선에 대하여 대칭인 것을 특징으로 하는 플립칩 반도체 디바이스.

청구항 7.

제 6항에 있어서,

상기 제 1 및 제 2금속층과 공통 평면이며, 이들 층으로부터 측면 이격된 상기 제 1 주표면 위에 제 3금속층을 포함하고, 상기 제 1, 제 2 및 제 3금속층은 MOS 게이트 디바이스의 소스, 드레인 및 게이트전극을 각각 포함하는 것을 특징으로 하는 플립칩 반도체 디바이스.

청구항 8.

제 3항에 있어서,

상기 실리콘웨이퍼는 소정의 길이 및 너비로 정의된 영역을 갖는 직사각형의 웨이퍼이고, 상기 길이는 상기 너비보다 크고, 상기 돌출부의 제 1열 및 제 2열이 서로 평행하고 상기 웨이퍼를 가로지르는 대각선에 대하여 대칭인 것을 특징으로 하는 플립칩 반도체 디바이스.

청구항 9.

반도체 디바이스에 있어서,

평행한 제 1 및 제 2표면을 갖는 실리콘 다이와,

상기 제 1표면에서 상기 다이의 본체로 확장되는 제 1전도형 영역과,

측면 이격된 다른 전도형의 복수의 확산부에 의해 상기 제 1전도형 영역으로 형성되는 상기 디바이스에서 정의되는 접합 패턴부와,

상기 복수의 확산부와 접촉하고 상기 제 1표면 위에 형성된 제 1전도전극과,

상기 제 1전도형 영역과 접촉하고 상기 제 1전도전극과 공통평면을 이루고, 이로부터 측면 이격되어 절연된 상기 제 1표면 위에 형성된 제 2전도전극과, 그리고

상기 제 1 및 제 2전도전극 위에 형성된 적어도 하나의 솔더볼 접속부를 포함하며,

상기 제 1전도전극에서부터 상기 제 2전도전극으로의 전류 경로가 상기 제 1표면에 일반적으로 수직하는 수직성분을 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 10.

제 9항에 있어서,

상기 디바이스는 전력 MOS 게이트 디바이스이고, 상기 제 1 및 제 2전도전극은 상기 디바이스의 주전력 전극인 것을 특징으로 하는 반도체 디바이스.

청구항 11.

제 10에 있어서,

상기 디바이스는 상기 복수의 확산부에 인접하여 형성되고 상기 디바이스를 온오프하도록 작동할 수 있는 폴리실리콘 게이트구조와,

상기 제 1실리콘 게이트영역과 접촉하고 상기 제 1 및 제 2전도전극과 공통 평면에 있으며, 이들로부터 측면 이격되고 절연된 상기 제 1표면 위에 형성된 제 3전도전극과, 그리고

상기 제 3전도전극에 접촉된 솔더볼 접속부를 포함하며,

상기 솔더볼 접속부 모두는 서로 공통 평면에 있는 것을 특징으로 하는 반도체 디바이스.

청구항 12.

제 11항에 있어서,

상기 디바이스는 플립칩 전력 MOSFET인 것을 특징으로 하는 반도체 디바이스.

청구항 13.

제 9항에 있어서,

상기 제 1전도형은 P형인 것을 특징으로 하는 반도체 디바이스.

청구항 14.

제 11항에 있어서,

상기 제 1전도형은 P형인 것을 특징으로 하는 반도체 디바이스.

청구항 15.

제 9항에 있어서,

상기 제 1전도형 영역은 비교적 낮은 농도의 에피텍셜 실리콘의 상층 및 높은 농도의 비에피텍셜 실리콘의 하층을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 16.

제 11항에 있어서,

상기 제 1전도형 영역은 비교적 낮은 농도의 에피텍셜 실리콘의 상층 및 높은 농도의 비에피텍셜 실리콘의 하층을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 17.

제 15항에 있어서,

상기 제 2전도전극에 접촉되고 상기 제 2전도전극에서 상기 영역의 상기 하층으로 확장된 비교적 높은 농도의 싱커 확산부를 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 18.

제 16항에 있어서,

상기 제 2전도전극에 접촉되고 상기 제 2전도전극에서 상기 영역의 상기 하층으로 확장된 비교적 높은 농도의 싱커 확산부를 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 19.

제 15항에 있어서,

상기 제 1전도형 영역의 상기 상층을 통해 확장된 트렌치 및 상기 트렌치의 측벽에 적어도 선을 긋는 전도체를 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 20.

제 19항에 있어서,

상기 디바이스는 상기 복수의 확산부에 인접하여 형성되고 상기 디바이스를 온오프하도록 작동할 수 있는 폴리실리콘 게이트구조와, 상기 제 1실리콘 게이트영역과 접촉하고 상기 제 1 및 제 2전도전극과 공통 평면에 있으며 이들로부터 측면 이격되고 절연된 상기 제 1표면 위에 형성된 제 3전도전극과, 상기 제 3전도전극에 접속된 솔더볼 접속부를 포함하며, 상기 솔더볼 접속부들 모두는 서로 공통 평면에 있는 것을 특징으로 하는 반도체 디바이스.

청구항 21.

제 18항에 있어서,

상기 디바이스는 플립칩 전력 MOSFET인 것을 특징으로 하는 반도체 디바이스.

청구항 22.

제 20항에 있어서,

상기 디바이스는 플립칩 전력 MOSFET인 것을 특징으로 하는 반도체 디바이스.

청구항 23.

제 21항에 있어서,

상기 제 1전도형은 P인 것을 특징으로 하는 반도체 디바이스.

청구항 24.

제 22항에 있어서,

상기 제 1전도형은 P인 것을 특징으로 하는 반도체 디바이스.

청구항 25.

제 11항에 있어서,

상기 제 2표면은 상기 디바이스의 향상된 냉각을 위한 확장영역을 정의하도록 거칠게 한 것을 특징으로 하는 반도체 디바이스.

청구항 26.

제 11항에 있어서,

상기 제 2표면을 가로지르고 상기 제 2표면에 확장된 금속층을 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 27.

제 9항에 있어서,

상기 디바이스는 MOSFET, 쇼트키 다이오드, 바이폴라 트랜지스터와 PN 다이오드로 구성된 그룹 중의 어느 하나인 것을 특징으로 하는 반도체 디바이스.

청구항 28.

제 9항에 있어서,

상기 솔더볼은 약 0.8mm보다 큰 피치로 정렬되고 약 200 μ 보다 큰 직경을 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 29.

제 27항에 있어서,

상기 솔더볼은 약 0.8mm보다 큰 피치로 정렬되고 약 200 μ 보다 큰 직경을 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 30.

제 1항에 있어서,

상기 제 2주표면은 상기 반도체 디바이스의 향상된 대류냉각을 위한 노출된 확장영역을 정의하도록 의도적으로 거칠게 한 것을 특징으로 하는 플립칩 반도체 디바이스.

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

청구항 39.

삭제

청구항 40.

삭제

청구항 41.

삭제

청구항 42.

삭제

청구항 43.

삭제

청구항 44.

삭제

청구항 45.

삭제

청구항 46.

삭제

청구항 47.

삭제

청구항 48.

삭제

청구항 49.

삭제

청구항 50.

삭제

청구항 51.

삭제

청구항 52.

삭제

청구항 53.

삭제

청구항 54.

삭제

명세서

기술분야

본 발명은 반도체디바이스 패키지 및 그 패키지를 만드는 방법에 관한 것으로서, 특히 칩규모의 패키지 및 그 제조방법에 관한 것이다.

배경기술

반도체디바이스 패키지는 반도체다이를 하우징 및 보호하고 출력접촉부를 전극에 제공하는 것으로 잘 알려져 있다. 일반적으로, 반도체다이는 웨이퍼를 작은 사각형으로 자른 것이며, 종래의 웨이퍼처리장치에서 다이 확산 및 금속접합이 수행된다. 이러한 다이는 다이오드, 전계효과트랜지스터, 트라이스터 등이 될 수 있다. 다이는 파손되기 쉽고 다이 표면은 외부환경으로부터 보호되어야 한다. 또한, 전기회로에서 다이의 연결을 위해 간편한 리드선이 다이 전극에 접속되어야 한다.

일반적으로, 다이는 웨이퍼에서 잘려져 분리된 것으로서 다이의 하부는 각 다이를 수용할 수 있는 부분을 확보하고 있는 회로기판의 일부분에 실장되어 연결된다. 다음 다이의 상부 전극은 회로기판의 다른 부분에 공통으로 와이어 접속되어, 외부접속을 위해 사용된다. 그러한 와이어 접속은 세밀하기 때문에 실장공정을 더디게 한다. 또한 비교적 높은 저항 및 인덕턴스를 제공한다.

패키지 반도체디바이스는 많은 응용에서 낮은 저항 접속뿐만 아니라 회로기판에 신속하고 신뢰성있게 실장될 수 있도록 패키지의 일면에서 실장할 수 있는 것이 바람직하다.

발명의 상세한 설명

본 발명은 칩의 일면을 이용하는 회로기판 또는 다른 전자적 인터페이스에 실장될 수 있는 "플립칩(flip-chip)"을 구성하는 새로운 반도체 다이 패키지를 제공한다. 특히, 패키지는 패키지의 동일측부에 접촉부(contacts) 예를 들어, MOSFET용 게이트, 소스 및 드레인 접촉부를 갖고 있고, 회로기판 상에서 외부게이트, 소스 및 드레인 접촉부와 각각 인터페이스하는 솔더볼(solder ball)을 칩의 표면에 형성하여 실장될 수 있다.

칩에의 소스접속은 칩의 소스전극 상의 솔더볼에 의해 이루어지며, 솔더볼은 회로기판 상의 적절한 소스 전기접속부와 인터페이스할 수 있게 위치된다. 패키지는 동일한 면에 드레인전극이 놓이도록 구성된다.

일 실시예에서, 활성접합부(active junction)는 소스전극 아래와 비교적 높은 캐리어농도(예를 들어, P+)의 기판 위에 있는, 비교적 낮은 캐리어농도(예를 들어, P-)를 갖는 층에 놓인다. 적어도 하나의 드레인전극은 소스전극에서 분리된 영역에서 동일면에 위치한다. 확산영역 또는 "싱커(sinker)"가 상부 드레인전극에서 아래로 비교적 낮은 캐리어농도를 갖는 층을 통해 기판까지 이어져 있다. 확산영역은 기판과 동일한 캐리어농도와 타입(예를 들어 P+)을 갖고 있다. 따라서, 전기적 경로가 소스전극에서 능동소자를 통해 기판으로, 그리고 확산영역을 통해 상부 드레인전극으로 설정된다.

언급한 바와 같이, 드레인전극은 소스 및 게이트전극과 동일한 면에 놓이므로 적절한 외부 드레인접속부들의 위치에 대응하는 솔더볼을 사용하여 회로기판에 실장될 수 있다.

다른 실시예에서, 드레인접촉부 아래의 확산영역을 사용하는 대신에 비교적 낮은 캐리어농도를 갖는 층을 기판에 에칭하여 드레인전극으로 채울 수 있다. 이것은 예를 들어 수직 전도성 트렌치형 디바이스를 위해 트렌치들을 에칭하는 단계와 함께 동시에 수행된다.

또 다른 실시예에서, 두 개의 수직 전도성 디바이스가 공통칩에 형성되는 바, 그 소스영역은 측면이 맞물려 배치되고 (laterally interdigitated) 공통 드레인 기판을 갖는다. 이 구조는 본래의 양방향 스위치를 형성한다. 모든 접촉부는 상면에서 이용가능할 수 있으며 접촉볼은 직선열(회로기판 지지부로의 접속을 간단히 하기 위해 직사각형 칩의 대각선에 대해 대칭임)을 따라 위치할 수 있다. 칩의 하부는 공통 드레인을 갖는 인접 디바이스 간에 낮은 저항 전류경로를 제공하는 두꺼운 금속층을 갖고 있을 수 있다. 이는 또한 프린트회로기판 지지부와 마주하는 그 상면이 칩에 실장될 때 열전도성을 향상시킬 수 있다.

본 발명의 다른 특성 및 이점은 첨부된 도면을 참조하여 다음의 설명으로부터 명백해질 것이다.

실시예

도 1 내지 도 6은 플립칩(flip-chip) 전원 MOSFET형(일평면에 모든 전극을 갖고 있고 프린트회로기판(PCB)과 같은 지지구조의 다른 전기적 전도체 또는 트레이스(trace)와의 접촉을 가능하게 하는 접촉돌출부(contact bump)를 갖고 있음)으로서 본 발명의 제 1 실시예를 나타낸다. 설명할 디바이스는 P/N 또는 쇼트키 다이오드, IGBT, 사이리스터, 복수의 구성요소로 갖는 집적회로다이 등과 같은 다른 형태의 디바이스가 될 수 있다. 전도형(conductivity type)은 N채널 디바이스를 만들어 바꿀 수 있다. 또한, 도 1 내지 도 6의 디바이스는 트렌치형 디바이스로서 도시되어 있으나, 후술하는 바와 같이 평면셀 또는 줄무늬 구조일 수 있다.

실장을 위한 완성된 디바이스가 도 1에 도시되어 있으며, 이것은 상부 소스전극 금속부(31)(일반적으로 2-8 마이크론 두께의 알루미늄)를 갖는 실리콘 다이(30), 드레인전극 금속부(32), 게이트전극 금속패드(33)(도 2) 및 게이트버스(9)로 구성되어 있다.

다이는 도 2 및 도 3에서 부분적으로 도시된 바와 같이 웨이퍼형으로 처리된다. 도 1, 3 및 4에서 도시된 것처럼 접촉볼(contact ball)들이 웨이퍼 상에 형성된다. 즉, 소스금속(31) 위에 소스접촉볼(40), 드레인 접촉 금속부(32) 위에 드레인접촉볼(41, 42), 게이트 패드 금속부(33) 위에 게이트 접촉볼(43)이 형성된다. 웨이퍼 내의 다이는 분리되어 회로기판 상에 조립할 준비에 놓이게 된다.

도 4 및 도 6은 도 1 및 도 3의 디바이스에 대한 트렌치형 전원 MOSFET 기하구조를 나타낸다. 따라서, P 채널 디바이스에 대하여 P+ 실리콘기판(50)이 사용되고 저농도 P형 접합수용층(51)이 P+ 기판(50) 위에 에피텍셜 성장을 한다. 다음 N형 베이스 또는 채널 확산부(52)(도 4 및 도 5)가 형성된다.

그 후, 종래 방법 즉 복수의 병렬 트렌치(60, 61)(도 4) 또는 교차 트렌치 열을 이용하여 분리 메사 영역(isolated mesa region)을 형성한다. 다음 실리콘 산화물(silicon dioxide)과 같은 얇은 절연층이, 각 게이트 절연층(70-74)과 같이, 각 트렌치(60-64)의 벽에 성장된다. 전도성 폴리실리콘 게이트(75)는 각 트렌치 속으로 그리고 게이트산화물층 위에 증착된 다음 트렌치, 게이트버스 및 패드영역에만 폴리실리콘을 남기고 에칭된다. 그 후, TEOS층(80)이 증착되고 패턴화되어 트렌치(60, 61)의 폴리실리콘(75) 위에 절연캡(insulation cap)(76,77)(TEOS일 수 있음)을 남겨둔다(도 4).

P+ 소스확산부(53)는 N 확산부(52) 위에 형성되고 층(52, 53)을 통해 에칭된다. 다음 접촉개구부(81, 82)(도 4)가 P+ 소스층(53)을 통해 채널층(52)으로 에칭되고 N+ 접촉 확산부가 개구부(81, 82)의 하부에 형성된다. 다음 유전체가 측면으로 에칭되어 접촉을 위해 다이표면의 소스영역의 일부분을 노출한다. 다음, 연속적인 알루미늄층이 디바이스의 표면 위에 증착되며, 이 알루미늄은 P+ 소스확산부(53)와 N형 채널영역(52)을 접촉시킨다. 이 알루미늄층은 에칭에 의해 소스접촉부(31), 드레인접촉부(32) 및 게이트패드(33)로 분리된다.

도 5는 접촉볼(40, 41)의 새로운 구성을 나타낸다. 이 솔더볼(solder ball)은 니켈-금 도금(이어서 솔더의 스텐실 프린팅이 수행됨)을 이용하고, 솔더를 발라 볼(ball)을 형성하는 공지의 처리방법에 의해 형성된다. 따라서, 솔더볼 또는 돌출부(bump)는 종래 사용되는 것보다 더 넓은 피치인 0.8mm의 중앙에 있다. 0.8mm 또는 그 보다 큰 피치를 사용함으로써, 본 발명의 플립칩구조는 종래의 표면실장기법을 사용하면서 기존의 트레이스(trace)를 갖는 회로기판에 기존 칩규모 패키지의 부착 및 응용을 수행할 수 있다. 솔더볼(40, 41)은 종래 열음향적으로(thermosonically) 표면에 용착되지만 이전에 사용된 것보다 더 큰 직경(표준 150 μ 과 비교하여 예를 들어 200 μ 이상)를 갖고 있다. 더 큰 직경을 사용함으로써, 열전도성이 향상되고 열적피곤(thermal fatigue)에 대한 저항성이 향상된다.

도 4에서, 드레인 금속부(32)가 P+ 기판(50)의 위쪽으로의 확장부분을 접촉하는 것으로 도시되어 있다. 이것은 개략적인 도시로서, 실제 소스드레인(32)에서 P+ 기판(50)으로의 접촉은 도 7 및 도 8에서와 같이 된다. 따라서, 도 7에서 P+ "싱커(sinker)" 확산부(90)를 사용하여 접촉한다. 도 8에서, 활성영역을 만드는 트렌치에칭동안 트렌치(91)가 형성되어 금속 또는 전도성 폴리실리콘(92)이 채워진다.

도 1 내지 도 8의 디바이스의 동작은 당업자에게 명백하다. 따라서, 디바이스를 온시키고, 소스 및 드레인전극(31, 32)에 인가된 적절한 전위로서, 게이트(75)에 게이트전위를 인가함으로써 게이트산화물층(70-74)에 인접한 N형 실리콘이 P형으로 바뀌도록 하여, 소스전극(31)에서부터, 소스영역(53)을 거쳐, 반전영역을 통해 P영역(51), P+ 기판(50)으로 다음 P+ 기판(50)을 통해 측면으로 그리고 영역(90 또는 92)을 통해 위쪽으로 하여 드레인전극(32)으로 회로를 완성한다.

도 1 내지 도 8의 새로운 디바이스는 최소한으로 실장할 수 있는 디바이스의 크기(즉 다이크기)를 제공한다. 다이는 그 자체가 수직구조, 셀 트렌치 기술을 이용하여 매우 낮은 RDSON을 갖는다. 예를 들어, 설계에서 in^2 당 110×10^6 이상의 셀을 사용한다. 그러나, 표준 트렌치 FET 설계와 달리, 드레인접속은 다이의 앞 또는 위에서 이루어진다. 다이의 하부를 백그라인딩(back grinding)하거나 다이의 하부에 금속증착을 할 필요가 없다. 백그라인딩을 하지 않음으로써, 더 두꺼운 P+ 기판은 드레인전류의 흐름에 낮은 측면 저항을 허용한다. 다이의 하부는 칩에서의 열을 제거하는데 도움을 주는 표면영역을 증가시키기 위해 거칠고 연마되지 않을 수 있다.

금속 다음에, 질화실리콘(또는 다른 유전체) 불활성화층(passivation layer)이 증착된다. 질화실리콘 불활성화층은 예를 들어 0.8mm 피치를 갖는 다이마다 4개의 개구부를 남기도록 패터닝된다. 다이 크기는 전형적으로 약 "0.060x0.060"이다. 더 큰 디바이스(0.123x0.123) 또한 전형적인 것이다. 실리콘이 20V P채널 디바이스에 4.5V의 V_{gs} 에서 $46.8 \Omega\text{-mm}^2$ 의 R^*A 를 제공하도록 설계된다.

금속층이 기판(50)의 하부 상에 요구되지 않지만, 금속층을 전류 전도체로 사용하거나 열싱크(thermal sink)로의 열접촉을 하는데 유용할 수 있다.

더 높은 전류용량을 위한 많은 수의 솔더볼을 갖고 있는 다른 표면기하를 또한 사용할 수 있다. 따라서, 도 9 및 도 10에서 도시된 바와 같이, 더 큰 다이(100)가, 그 상면이 소스전극(101), 다이(100)의 대향 에지를 경계짓는 두 개의 드레인전극(102, 103) 및 러너(runner) 또는 버스(105, 106)를 갖는 게이트패드(104)를 제공하도록 배치(레이아웃)될 수 있다. 도 10에서 도시된 바와 같이, 드레인전극(102, 103)의 각각은 5개의 솔더볼(각 열에 정렬되어 있음)을 수용하고, 소스(101)는 8개의 솔더볼(병렬로 정렬되어 있음)을 수용한다. 각 병렬로 솔더볼을 정렬함으로써, 디바이스를 수용하는 프린트회로 기판 상의 각 전도성 트레이스가 단순한 직선으로 배치될 수 있다.

도 11은 도 9의 디바이스가 N채널 디바이스로서 평면화기법에 의해 어떻게 실행되는지를 나타낸다. 따라서, 도 11에서 다이(100)는 N+ 기판(110), N형 에피택셜층(111), 간격을 갖는 다각형의 P채널 확산부(112, 113, 114)와 함께 형성된다. 각각의 확산부(112, 113, 114)는 N+ 소스확산부(115, 116, 117) 및 P+ 접촉확산부(118, 119, 120)를 수용한다. 폴리실리콘 게이트 격자(121)를 포함하는 적절한 게이트구조는 종래의 게이트산화물 위에 놓이고 절연층(122)에 의해 싸여서 위에 있는 소스전극(101)(소스영역과 채널영역을 통상적인 방법으로 접촉시킴)으로부터 게이트격자를 절연시킨다. N+ 싱커는 N+ 기판에서 드레인전극(103)으로 전도성 경로를 제공한다.

두 개가 직렬로 접속된 MOSFET가 단일칩으로 집적된 양방향성 전도특성을 갖는 다이를 만드는 것이 또한 가능하다. 따라서, 도 12에서 도시된 바와 같이, 다이는 P채널 트렌치 구현을 위해 도 1 내지 도 8의 방법으로 형성될 수 있다. 따라서, 도 1 내지 도 8에서 사용한 도면부호를 사용하여, 도 12의 양방향성 다이(130)가 단일 다이의 두 디바이스를 집적한다. 두 개의 디바이스는 도 4의 도면부호와 일치하며, 각각 A 및 B가 붙어 있으나 공통의 기판(50) 상에 있다. 두 개의 각 게이트 구조가 또한 제공되어, 각각은 도 5 및 도 6의 구조를 갖는다. 기판 금속부(131)가 또한 도시되어 있다.

양방향성 디바이스의 회로도가 도 13에 나타나 있고 두 개의 MOSFET(140, 141)로 구성되어 있다. 두 개의 MOSFET(140, 141)는 각각 소스단자(S_1, S_2), 게이트단자(G_1, G_2), 공통 드레인(50, 131)를 가지고 있어서 양방향성 전도회로를 형성한다. MOSFET(140, 141)는 다른 MOSFET가 턴오프될 때 도전하는 각 바디 다이오드(body diode)(도 13에서 도시하지 않음)를 갖는 수직 전도성 디바이스이다.

도 14 및 도 15는 도 12의 다이(130) 또는 칩의 평면도이다. 칩(130)은 전도성 드레인전극(131)의 하부를 갖을 수 있고(도 15), 각 게이트 러너 또는 버스(142, 143)을 갖는 게이트구 전극(G_1, G_2)을 갖는다. 드레인전극(131)은 두껍고(종래의 소스전극 두께와 비교할 때) 낮은 저항을 갖는 금속층이다. 하부 전도체(131)는 P+ 기판(50)이 충분히 높은 전도성을 갖으면 제거될 수 있고 열싱크로서 유용할 수 있다.

각 FET(140, 141)의 소스전극은 도 14에서 도시된 바와 같이 두 개 이상의 전극 돌출부(S_1, S_2)를 갖는다. S_1 돌출부와 G_1 돌출부 간의 거리는 S_2 돌출부와 G_2 돌출부 간의 거리와 동일하다.

본 발명의 다른 특성에 의하면, 칩 또는 다이(130)의 높이는 너비보다 크다. 따라서 정사각형이 아니라 긴 직사각형이다. 또한, 다이 돌출부(S_1, S_2, G_1, G_2)는 다이(130)의 대각선(도 14에서 점선으로 된 대각선(150))에 대하여 대칭이다. 따라서, 소스 및 게이트전극은 칩의 위/아래 방향에 관계없이 동일한 위치에 있다. 다이가 회전대칭을 갖고 있기 때문에, 핀포시가 필요없고 단순한 패턴인식 장치가 표면부착식 다이방향 또는 위치를 결정할 수 있다.

앞서 지적한 바와 같이, 본 발명에 의하면, 소스볼(source ball)(S_1)가 소스볼(S_2)의 선과 평행하게 떨어져 있는 선 또는 열에 있다.

도 16, 17, 18 및 19는 도 13, 14 및 15의 FET1(FET(140)) 및 FET2(FET(141))과 대체될 수 있는 배열을 나타낸다. 여기서 동일한 번호는 동일한 부분을 나타낸다. 도 16 내지 도 19의 실리콘다이는 약 0.120"x0.120"의 영역을 가질 수 있다. 각 경우에, 소스볼(S_1, S_2)은 각 수직 및 병렬로 위치해 있어서 프린트회로기판 상에 직선의 금속 스트립 또는 직선의 금속선에 의해 병렬접속하기 위한 직선의 전도체를 사용하기 쉽게 한다는 것에 주목한다. 또한 FET(140, 141)의 소스가 도 17, 18 및 19에서 교대로 배치되어 있어서 그들의 접속영역을 늘리고 있다. 도 19의 배열은 특히 이점이 있는데 그것은 기판에서 전류가 이동하는 거리를 최소로 하는 한편 두 소스 금속 돌출부를 함께 유지하기 때문이다. 이러한 방법으로 양쪽의 기판 및 금속저항이 매우 낮아지는 한편 기판에서의 접속이 매우 용이해진다.

본 발명은 특정 실시예와 관련하여 설명하였지만, 많은 다른 변경, 수정 및 다른 사용은 당업자에게 명백하다. 따라서, 본 발명은 여기서의 특정된 개시에 한정되는 것이 아니라 첨부된 청구범위에 의해서만 한정된다.

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예의 사시도이다.

도 2는 접촉돌출부의 형성 전에 도 1의 디바이스의 금속패턴의 평면도이다.

도 3은 솔더 돌출부(solder bump)의 형성 후에 도 2의 웨이퍼를 나타낸다.

도 4는 도 2에서 4-4 구분선 영역에 대응하는 작은 영역에 대한 단면도로서, 소스 및 드레인 상부 금속부를 나타낸다.

도 5는 도 1 및 도 3의 접촉볼의 크기 및 간격을 나타내는 배치도이다.

도 6은 도 2에서 6-6 구분선 및 게이트버스를 자른 단면도이다.

도 7은 드레인금속의 상부접촉부를 P+ 기판에 연결가능하게 하는 P+ 싱커 확산부의 사용을 나타낸다.

도 8은 도 4의 상면 드레인에서 P+ 기판으로의 접촉을 위한 변형된 접촉구조를 나타낸다.

도 9는 본 발명의 다른 실시예의 금속화된 상면의 평면도를 나타낸다.

도 10은 일정위치에 접촉볼의 열을 갖는 도 9를 나타낸다.

도 11은 도 4의 트렌치구조 대신에 평면접합패턴에 대한 도 9의 단면도이다.

도 12는 도 4와 유사한 본 발명의 다른 실시예의 단면도이나, 공통칩에 두 개의 MOSFET를 사용하여 양방향 전도성 디바이스를 생성하는 도 14의 12-12 구분선에 대한 단면도이다.

도 13은 도 12의 디바이스의 회로도이다.

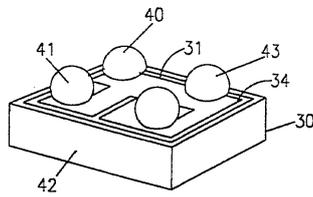
도 14는 도 12 및 도 13과 같은 디바이스의 평면도이다.

도 15는 도 14의 디바이스의 정면도이다.

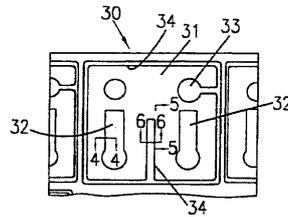
도 16 내지 도 19는 도 14의 디바이스의 다른 변형을 나타낸다.

도면

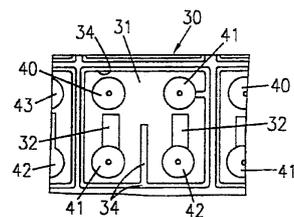
도면1



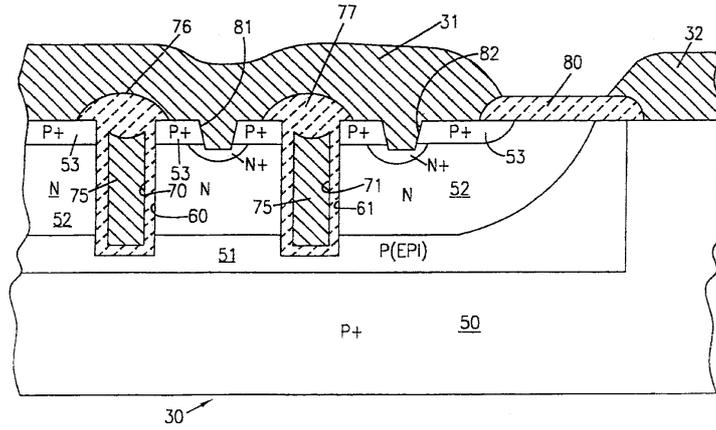
도면2



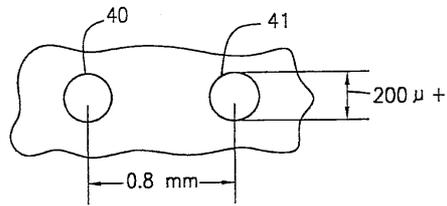
도면3



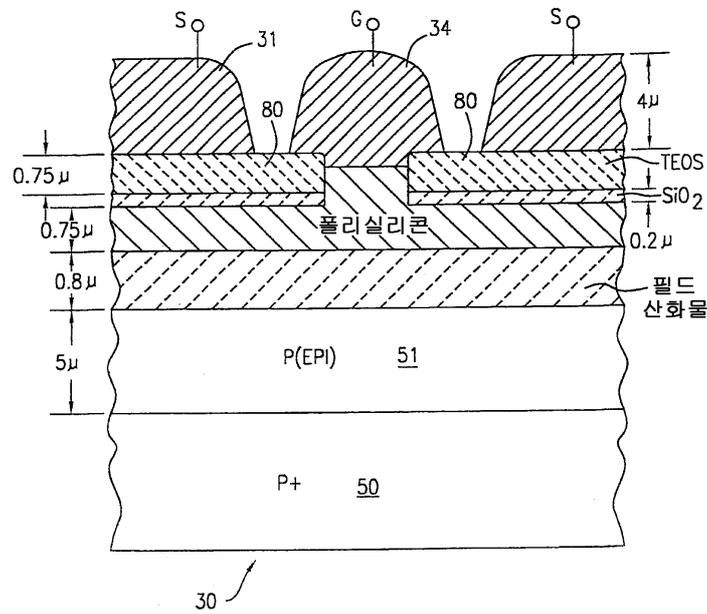
도면4



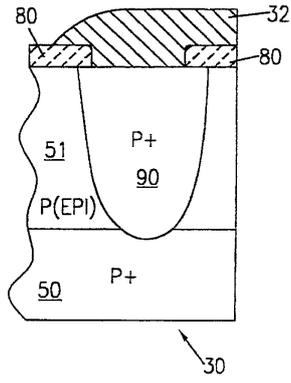
도면5



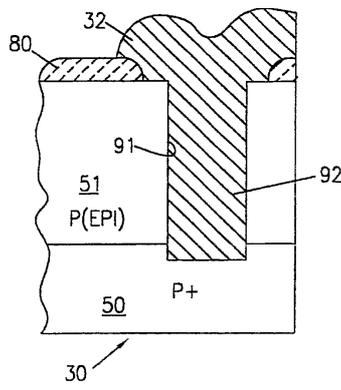
도면6



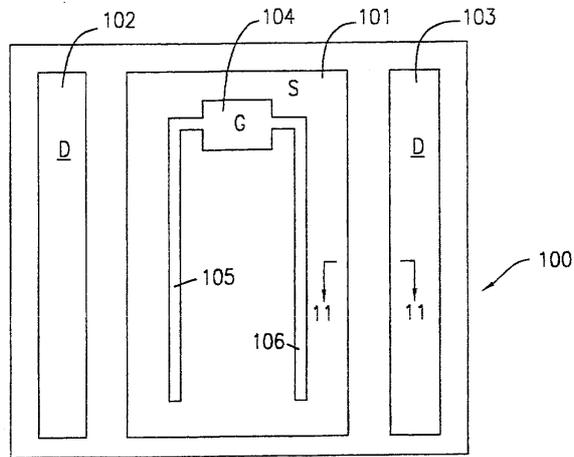
도면7



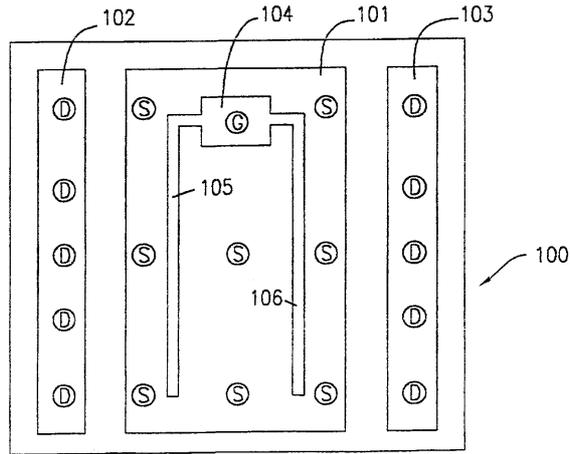
도면8



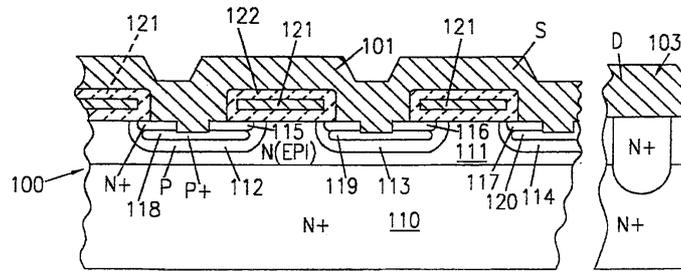
도면9



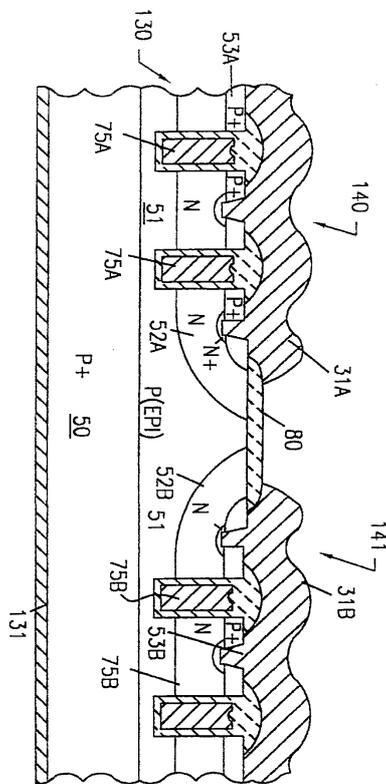
도면10



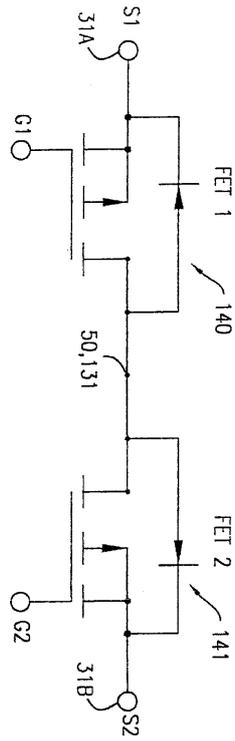
도면11



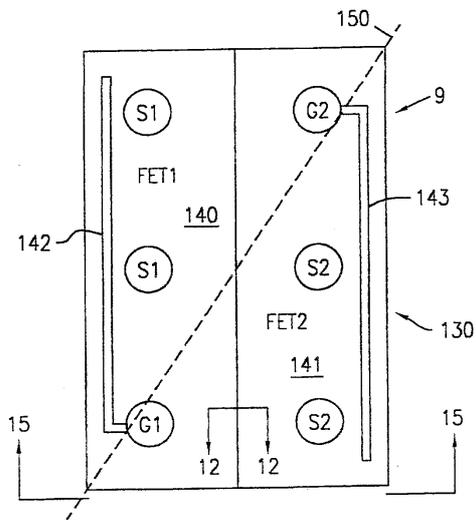
도면12



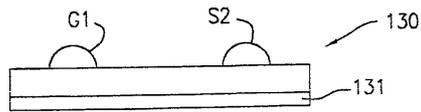
도면13



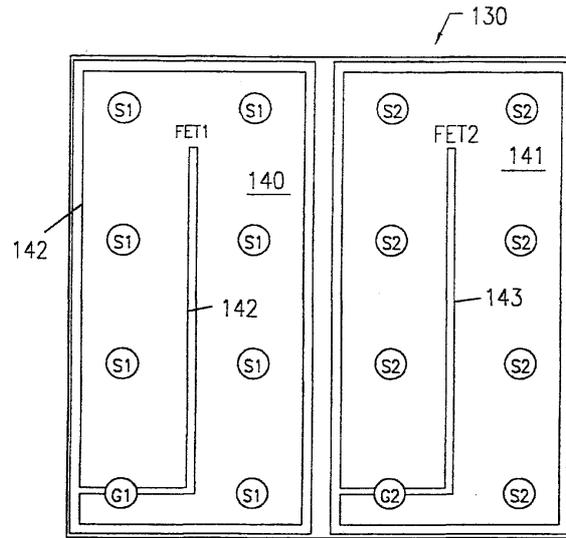
도면14



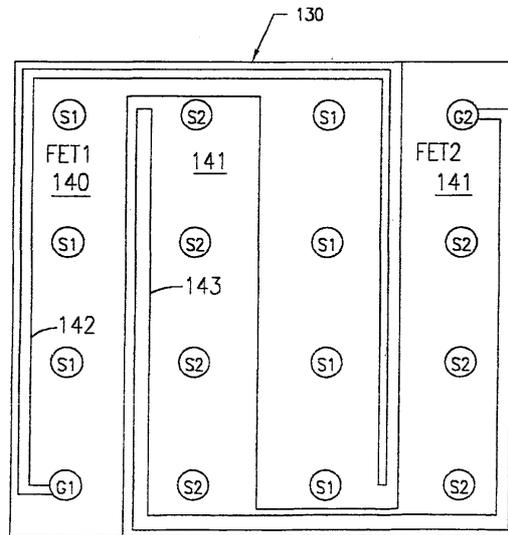
도면15



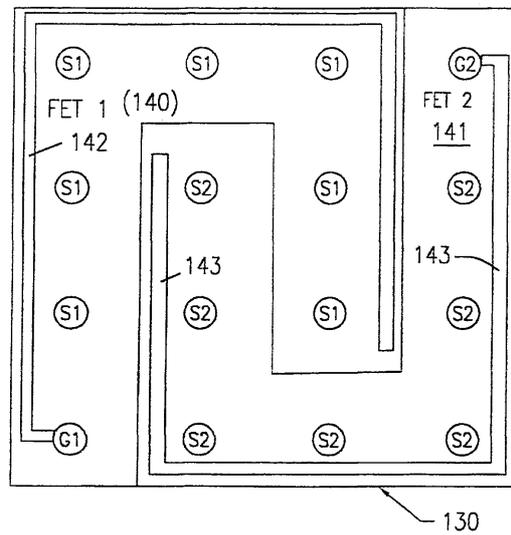
도면16



도면17



도면18



도면19

