



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

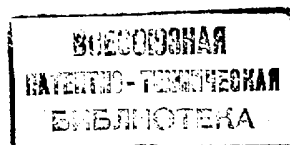
(19) SU (11) 1662012 A1

(51)5 Н 03 М 13/12

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4471959/24

(22) 07.07.88

(46) 07.07.91. Бюл. № 25

(72) Б.М.Злотник

(53) 621.391.256 (088.8)

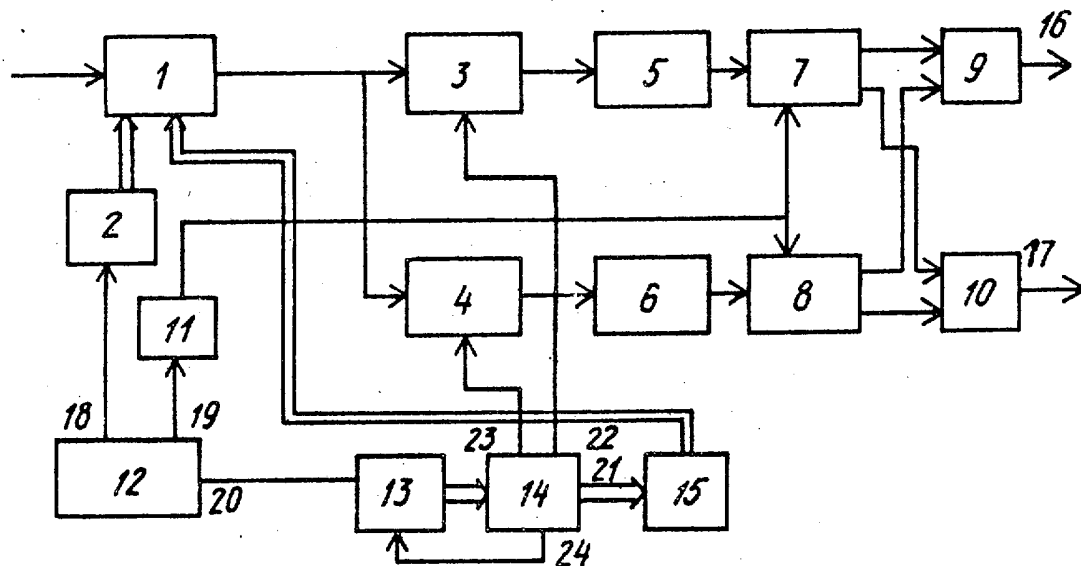
(56) Авторское свидетельство СССР
№ 1580567, кл. Н 03 М 13/12, 29.03.89.

Авторское свидетельство СССР
№ 1443180, кл. Н 03 М 13/12, 1987.

(54) УСТРОЙСТВО ДЛЯ ОБНАРУЖЕНИЯ
ОШИБОК В НЕСИСТЕМАТИЧЕСКОМ
СВЕРТОЧНОМ КОДЕ

(57) Изобретение относится к вычислитель-
ной технике и технике связи. Его использо-

вание в системах передачи данных позволя-
ет повысить достоверность декодирования
и упростить устройство за счет сокращения
числа операций. Устройство содержит
блок 1 оперативной памяти, коммутирую-
щий элемент 7, элемент ИСКЛЮЧАЮЩЕЕ
ИЛИ 9, элемент И 10, блок 12 синхрониза-
ции и счетчик 13 импульсов. Благодаря
введению формирователя 2 адресов запи-
си, ключевых элементов 3, 4, счетных триг-
геров 5, 6, коммутирующего элемента 8,
элемента 11 задержки, дешифратора 14 и
блока 15 постоянной памяти в устройстве
реализуется новый алгоритм. 3 ил.



Фиг. 1

(19) SU (11) 1662012 A1

Изобретение относится к вычислительной технике и технике связи и может быть использовано в системах передачи данных.

Цель изобретения – повышение достоверности декодирования и упрощение устройства за счет сокращения числа операций.

На фиг.1 приведена функциональная схема устройства; на фиг.2 – выходные сигналы блока синхронизации; на фиг.3 – алгоритм работы устройства.

Устройство содержит блок 1 оперативной памяти, формирователь 2 адресов записи, первый 3 и второй 4 ключевые элементы, первый 5 и второй 6 счетные триггеры, первый 7 и второй 8 коммутирующие элементы, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 9, элемент И 10, элемент 11 задержки, блок 12 синхронизации, счетчик 13 импульсов, дешифратор 14 и блок 15 постоянной памяти. На фиг.1 обозначены выход 16 ошибки, информационный выход 17, а также первый – третий выходы 18–20 блока 12 синхронизации, первые 21, второй 22, третий 23 и четвертый 24 выходы дешифратора 14.

На фиг.2а–в показаны сигналы на выходах 18–20 блока 12 синхронизации соответственно.

В основе работы устройства лежит новый принцип аналитического представления любого информационного сигнала x_j несистематического сверточного кода системой нелинейных уравнений $x_j = f(y_k)$, где y_k, y_{k+1} – сигналы, образующие элементарный блок кода при скорости кода $1/2$. В общем случае информация передается последовательностью элементарных блоков с длиной кодового ограничения ν , причем каждый элементарный блок состоит из n сигналов $y_1, \dots, y_{n-1}$. Из полной системы уравнений для цели обнаружения ошибки и дешифрации кода выбирают два уравнения с наименьшим числом l элементарных блоков, причем $l = \nu, \dots, 2\nu - 3$. Для кодов со скоростью передачи $1/2$, в которых элементарный блок образуют два сигнала y_k, y_{k+1} с длиной кодового ограничения $\nu = 3$ и 5, системы уравнений имеют вид

$$x_j = \begin{cases} y_k + y_{k+1} + y_{k+3} = \beta_1; \\ y_{k+4} + y_{k+5} = \beta_2; \\ y_{k+2} + y_{k+3} + y_{k+4} + y_{k+6} + y_{k+7} = \beta_3; \\ y_{k+7} + y_{k+8} + y_{k+9} = \beta_4, \end{cases}$$

5

10

 $\nu=5$

15

20

25

30

35

40

45

50

55

$$\begin{aligned} & y_k + y_{k+1} + y_{k+2} + y_{k+4} + y_{k+5} + \\ & + y_{k+6} + y_{k+7} + y_{k+8} + y_{k+9} = \beta_1; \\ & y_k + y_{k+1} + y_{k+3} + y_{k+5} + y_{k+8} + \\ & + y_{k+9} + y_{k+11} + y_{k+12} + y_{k+13} = \beta_2; \\ & y_{k+4} + y_{k+5} + y_{k+7} + y_{k+8} + y_{k+11} + \\ & + y_{k+12} + y_{k+14} + y_{k+15} + y_{k+17} + y_{k+18} + \\ & + y_{k+19} = \beta_3; \\ & y_{k+6} + y_{k+7} + y_{k+9} + y_{k+10} + y_{k+13} + \\ & + y_{k+14} + y_{k+15} + y_{k+17} + y_{k+18} + y_{k+20} + \\ & + y_{k+21} = \beta_4; \\ & y_{k+8} + y_{k+9} + y_{k+11} + y_{k+12} + y_{k+14} + \\ & + y_{k+15} = \beta_5; \\ & y_{k+8} + y_{k+9} + y_{k+10} + y_{k+12} + y_{k+13} + \\ & + y_{k+15} + y_{k+16} + y_{k+18} + y_{k+19} = \beta_6; \\ & y_{k+10} + y_{k+11} + y_{k+13} + y_{k+19} + y_{k+20} + \\ & + y_{k+22} + y_{k+23} = \beta_7; \\ & y_{k+12} + y_{k+13} + y_{k+14} + y_{k+15} + y_{k+21} + \\ & + y_{k+22} + y_{k+23} = \beta_8. \end{aligned}$$

Наименьшее число l элементарных блоков охватывают пары уравнений: при $\nu = 3, \beta_1, \beta_2$ и $l = 3$, при $\nu = 5, \beta_5, \beta_6$ $l = 6$. Если $\nu = 7$, то $l = 11$, если $\nu = 12$, то $l = 19$. Два отобранных уравнения называют проверками и обозначают S_1, S_2 . На фиг.3 для сверточного кода с длиной кодового ограничения $\nu = 3$ приведены последовательности информационных сигналов и соответствующих им элементарных блоков: без ошибок y и с ошибками y^* , а также показаны операции обнаружения ошибок и дешифрации кода, x^* – последовательность дешифрованных символов. Последовательность y определяется двумя порождающими многочленами:

$$g_1 = x_j + x_{j+1} + x_{j+2}; \quad g_2 = x_j + x_{j+2}.$$

Операции обнаружения ошибок и дешифрации кода выполняют следующим образом: запоминают l последовательных элементарных блоков принятой последовательности y^* ; выбирают из них путем последовательного считывания сигналы $y_k, \dots, y_p$, входящие в проверки S_1, S_2 ; проверяют на четность число единиц в сигналах y^* , входящих в каждую проверку; если число единиц четно, значение S_1 или S_2 устанавливают равным 0, если число единиц нечетно, значение S_1 или S_2 устанавливают равным 1; после получения значений S_1, S_2 проверяют выполнение равенства $S_1 = S_2 = S$; если равенство имеет место на ν -последовательных элементарных блоках, ошибок нет и значение информационного сигнала x^* устанавливают равным значению S ; если $S_1 \neq S_2$, сигнал x^* заменяют символом стирания ϵ , фиксируя наличие ошибок. Выполнение $(\nu - 1)$ -кратного равенства необходимого для повышения надежности дешифрации кода.

Устройство работает следующим образом.

Принимаемая последовательность y^* элементарных блоков сигналов поступает в блок 1 оперативной памяти. Два проверочных уравнения в виде номеров позиций, в которых расположены ненулевые проверяемые сигналы, хранятся в блоке 15 постоянной памяти. Проверочные уравнения хранятся в виде прошивок ПЗУ по адресам, соответствующим номерам позиций проверок. Все адреса считываются последовательно в течение каждого интервала элементарного блока и начало считывания (проверки) определяется импульсом частоты следования элементарных блоков. Блок 12 синхронизации обеспечивает синфазное считывание сигналов с блока 1 памяти и дешифратора 14 для формирования проверок S_1, S_2 .

Блок 12 синхронизации выдает последовательности тактовых импульсов на первый выход 18, импульсы с частотой следования элементарных блоков – на второй выход 19, импульсы адресов считывания – на третий выход 20 (фиг.2). Импульсы на выходе 19 обеспечивают запись входных данных в блок 1. Счетчик 13 ведет последовательный счет импульсов с выхода 20 до тех пор, пока дешифратор 14 после формирования последнего адреса считывания сбросит счетчик 13 в исходное состояние сигналом на четвертом выходе 24. Дешифратор 14 выдает на первые выходы 21 последовательность чисел-адресов считывания блока 15. Блок 15 выдает адреса считывания блока 1. Одновременно дешифратор 14 по выходам 22 и 23 управляет ключевыми элементами 3 и 4, которые направляют выходные данные блока 1 в триггеры 5 и 6, соответствующие двум проверкам S_1, S_2 . Выходы триггеров 5 и 6 соединены через коммутирующие элементы 7 и 8 с элементами 9 и 10. При $S_1 \neq S_2$ элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 9 возбуждает выход 16, формируя сигнал ошибки; если $S_1 = S_2$, элемент И 10 возбуждает выход 17. Элементами 7 и 8 управляют импульсы, подфазированные в элементе 11 задержки.

Работу устройства рассмотрим на примере несистематического сверточного кода с длиной кодового ограничения $\nu = 5$ и скоростью кода $1/2$. Предполагают, что передана последовательность

$Y = 000001101011011000000000...$

а принята последовательность

$Y^* = 00000010100010000000000000...$

Π -элементарный блок (ЭБ)

Символы Y^* поступают в блок 1 в ячейки памяти с адресами 0, 1, 2, ..., 11, причем левые символы ЭБ поступают раньше, чем правые. За интервал каждого ЭБ блока 12 синхронизации выдает 12 импульсов для формирования адресов считывания, которые в процессе работы счетчика 13 и дешифратора 14, а также блока 15 выдают в следующем порядке адреса считывания блока 1 и сигналы пропуска (П) и пропуска (Н) ключевых элементов 3 и 4.

Адреса считывания блока 1

0 1 2 3 4 5 6 7 8 9 10 11

Ключевые элементы 3

П П П П П П П П П П П П

4

П П П П П П П П П П П П

К концу интервала ЭБ триггеры 5 и 6 хранят результаты проверок S_1, S_2 . До записи в блок 1 ЭБ, содержащего первую единицу в последовательности Y^* , триггеры 5 и 6 в конце каждого ЭБ хранят сигналы $S_1 = S_2 = 0$. Импульс ЭБ на выходе 19 блока 12 считывает сигналы S_1, S_2 через элементы 7 и 8 и, так как $S_1 = S_2 = 0$, то на выходах 16 и 17 на интервале ЭБ появляются сигналы со значением 0.

После записи сигналов ЭБ, содержащего первую единицу в последовательности Y^* , по адресам элементов 10 и 11 блока 1 к концу интервала ЭБ в триггере 5 хранится сигнал со значением 0, в триггере 6 – сигнал со значением 1, на выходе 17 – сигнал со значением 0. Единичный сигнал на выходе 16 фиксирует обнаружение ошибки.

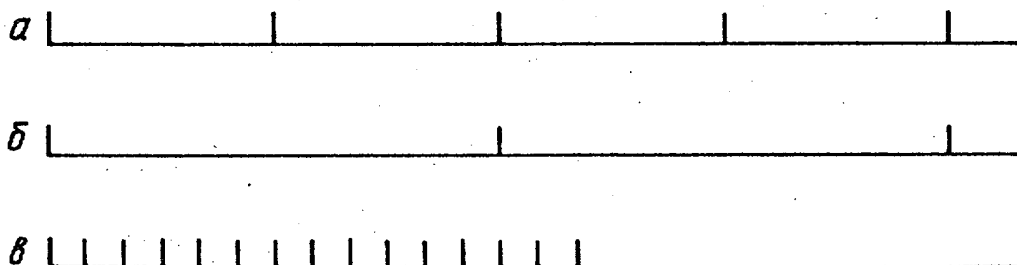
Высокая эффективность рассмотренного алгоритма проверена и подтверждена на сверточном коде со скоростью $1/2$ и с длиной кодового ограничения $\nu = 12$, в котором две проверки S_1, S_2 , охватывающие 19 элементарных блоков сигналов y , обнаруживали ошибки кратностью, превышающей гарантированную кратность в 14 ошибок. Для того же, чтобы обнаружить ошибки любой, даже небольшой кратности по алгоритму Витерби, необходимо в этом коде последовательно генерировать 2046 элементарных блоков для того, чтобы произвести сравнение только с одним принятым элементарным блоком.

Ф о р м у л а и з о б р е т е н и я

Устройство для обнаружения ошибок в несистематическом сверточном коде, содержащее блок оперативной памяти, блок синхронизации, счетчик импульсов, первый коммутирующий элемент, элемент И и элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого является выходом ошибки устрой-

ва, отличающееся тем, что, с целью повышения достоверности декодирования и упрощения устройства за счет сокращения числа операций, в устройство введены ключевые элементы, элемент задержки, второй коммутирующий элемент, счетные триггеры, дешифратор, блок постоянной памяти и формирователь адресов записи, выходы которого соединены с первыми адресными входами блока оперативной памяти, информационный вход которого является входом устройства, первый – третий выходы блока синхронизации подключены соответственно к входу формирователя адресов записи, входу элемента задержки и счетному входу счетчика импульсов, выходы которого соединены с входами дешифратора, первые, второй, третий и четвертый выходы которого подключены соответственно к входам блока постоянной памяти,

управляющим входам первого и второго ключевых элементов и входу обнуления счетчика импульсов, выходы блока постоянной памяти соединены с вторыми адресными входами блока оперативной памяти, выход которого подключен к информационным входам первого и второго ключевых элементов, выходы которых соединены с входами одноименных счетных триггеров, выходы которых подключены к информационным входам одноименных коммутирующих элементов, выход элемента задержки соединен с управляющими входами коммутирующих элементов, первые и вторые выходы первого и второго коммутирующих элементов подключены соответственно к первым и вторым входам элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и элемента И, выход которого является информационным выходом устройства.



Фиг.2

x	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	
y	00	00	00	00	00	00	00	11	10	11	00	00	00	00	00	$\nu=3$
s_1								0	1	0	0	0	0	0	0	Без
s_2								0	1	0	0	0	0	0	0	ошибок
y^*	00	00	00	00	00	00	00	10	01	00	00	00	00	00	00	
s_1				0	0	0	0	1	1	0	0	0	0	0	0	5
s_2				0	0	0	0	0	0	0	1	0	0	0	0	ошибок
Обнаружена ошибка																
x^*			0	0	0	0	0	ε	ε	ε	ε	0	0	0	0	
Неопределенные значения x																
	36	36	36	...	...											

Фиг.3

Редактор Н. Рогулич

Составитель О. Ревинский

Техред М. Моргентал

Корректор С. Черни

Заказ 2137

Тираж 458

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101