



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년04월30일  
 (11) 등록번호 10-1259727  
 (24) 등록일자 2013년04월24일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/786 (2006.01) G02F 1/136 (2006.01)  
 (21) 출원번호 10-2011-7031021(분할)  
 (22) 출원일자(국제) 2009년09월28일  
 심사청구일자 2011년12월26일  
 (85) 번역문제출일자 2011년12월26일  
 (65) 공개번호 10-2012-0005055  
 (43) 공개일자 2012년01월13일  
 (62) 원출원 특허 10-2011-7011663  
 원출원일자(국제) 2009년09월28일  
 (86) 국제출원번호 PCT/JP2009/067289  
 (87) 국제공개번호 WO 2010/047217  
 국제공개일자 2010년04월29일  
 (30) 우선권주장 JP-P-2008-274540 2008년10월24일 일본(JP)  
 (56) 선행기술조사문헌 JP2005057167 A  
 JP2006080494 A  
 KR1019920008944 A  
 KR1020060052371 A

(73) 특허권자 가부시킴가이샤 한도오파이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398  
 (72) 발명자 미야이리 히데카즈  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시킴가이샤 한도오파이 에네루기 켄큐쇼 내  
 오사다 다케시  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시킴가이샤 한도오파이 에네루기 켄큐쇼 내  
 아마자키 슌페이  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시킴가이샤 한도오파이 에네루기 켄큐쇼 내  
 (74) 대리인 이중희, 장수길, 박충범

전체 청구항 수 : 총 20 항

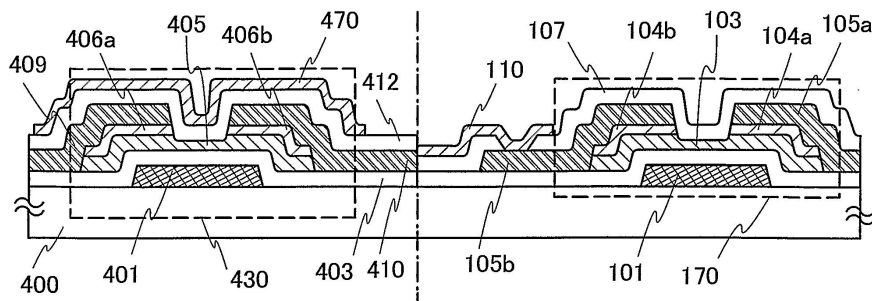
심사관 : 설관식

(54) 발명의 명칭 **반도체 장치**

**(57) 요약**

표시 장치의 해상도가 높아짐에 따라, 화소 수, 게이트선 수 및 신호선 수가 증가한다. 게이트선 수 및 신호선 수가 증가하면, 게이트선과 신호선을 구동하기 위한 구동 회로를 포함하는 IC 칩을 본딩 등에 의해 실장하는 것이 어렵기 때문에, 제조 비용이 증가하는 문제가 있다. 동일 기판 위에 화소부와 화소부를 구동하는 구동 회로를 배치하고, 구동 회로의 적어도 일부는, 산화물 반도체의 아래와 위에 게이트 전극이 배치된 그 산화물 반도체를 이용하는 박막 트랜지스터를 포함한다. 따라서, 화소부와 구동부를 동일 기판 위에 설치하면, 제조 비용을 줄일 수 있다.

**대표도** - 도1a



## 특허청구의 범위

### 청구항 1

반도체 장치로서,

제1 게이트 전극, 상기 제1 게이트 전극 위의 산화물 반도체층, 및 상기 산화물 반도체층 위의 제2 게이트 전극을 포함하는 박막 트랜지스터를 포함하고,

상기 제2 게이트 전극의 폭은 상기 산화물 반도체층의 채널 형성 영역의 폭보다 크고, 상기 제2 게이트 전극은 상기 채널 형성 영역을 덮고,

상기 산화물 반도체층은 인듐, 갈륨, 아연 및 금속을 포함하는 산화물 반도체 재료를 포함하고, 상기 금속은 인듐, 갈륨 및 아연과는 다른, 반도체 장치.

### 청구항 2

반도체 장치로서,

제1 게이트 전극, 상기 제1 게이트 전극 위의 산화물 반도체층, 및 상기 산화물 반도체층 위의 제2 게이트 전극을 포함하는 박막 트랜지스터를 포함하고,

상기 제2 게이트 전극의 폭은 상기 제1 게이트 전극의 폭보다 크고, 상기 제2 게이트 전극은 상기 제1 게이트 전극을 덮고,

상기 산화물 반도체층은 인듐, 갈륨, 아연 및 금속을 포함하는 산화물 반도체 재료를 포함하고, 상기 금속은 인듐, 갈륨 및 아연과는 다른, 반도체 장치.

### 청구항 3

반도체 장치로서,

제1 박막 트랜지스터; 및

제2 박막 트랜지스터를 포함하고,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터의 각각은, 서로 겹치는 산화물 반도체층과 제1 게이트 전극을 포함하고,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 하나만이 제2 게이트 전극을 더 포함하고,

상기 제1 박막 트랜지스터의 소스 전극과 드레인 전극 중 하나는 상기 제2 박막 트랜지스터의 소스 전극과 드레인 전극 중 하나에 전기적으로 접속되고,

상기 제1 박막 트랜지스터의 상기 제1 게이트 전극은 상기 제1 박막 트랜지스터의 상기 소스 전극과 상기 드레인 전극 중 상기 하나에 전기적으로 접속되고,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 상기 하나만에서, 상기 제2 게이트 전극의 폭은 상기 산화물 반도체층의 채널 형성 영역의 폭보다 크고, 상기 제2 게이트 전극은 상기 산화물 반도체층을 개재하여 상기 제1 게이트 전극 위에 위치하고, 상기 제2 게이트 전극은 상기 채널 형성 영역을 덮는, 반도체 장치.

### 청구항 4

반도체 장치로서,

제1 박막 트랜지스터; 및

제2 박막 트랜지스터를 포함하고,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터의 각각은, 서로 겹치는 산화물 반도체층과 제1 게이트 전극을 포함하고,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 하나만이 제2 게이트 전극을 더 포함하고,  
 상기 제1 박막 트랜지스터의 소스 전극과 드레인 전극 중 하나는 상기 제2 박막 트랜지스터의 소스 전극과 드레인 전극 중 하나에 전기적으로 접속되고,  
 상기 제1 박막 트랜지스터의 상기 제1 게이트 전극은 상기 제1 박막 트랜지스터의 상기 소스 전극과 상기 드레인 전극 중 상기 하나에 전기적으로 접속되고,  
 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 상기 하나만에서, 상기 제2 게이트 전극의 폭은 상기 제1 게이트 전극의 폭보다 크고, 상기 제2 게이트 전극은 상기 산화물 반도체층을 개재하여 상기 제1 게이트 전극 위에 위치하고, 상기 제2 게이트 전극은 상기 제1 게이트 전극을 덮는, 반도체 장치.

**청구항 5**

제1항에 있어서,  
 상기 제2 게이트 전극은 상기 채널 형성 영역을 완전히 덮는, 반도체 장치.

**청구항 6**

제3항에 있어서,  
 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 상기 하나만에서, 상기 제2 게이트 전극은 상기 채널 형성 영역을 완전히 덮는, 반도체 장치.

**청구항 7**

제1항에 있어서,  
 상기 제2 게이트 전극은 상기 산화물 반도체층을 완전히 덮는, 반도체 장치.

**청구항 8**

제3항에 있어서,  
 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 상기 하나만에서, 상기 제2 게이트 전극은 상기 산화물 반도체층을 완전히 덮는, 반도체 장치.

**청구항 9**

제2항에 있어서,  
 상기 제2 게이트 전극은 상기 제1 게이트 전극을 완전히 덮는, 반도체 장치.

**청구항 10**

제4항에 있어서,  
 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 상기 하나만에서, 상기 제2 게이트 전극은 상기 제1 게이트 전극을 완전히 덮는, 반도체 장치.

**청구항 11**

제1항 또는 제2항에 있어서,  
 상기 산화물 반도체층은 제1 영역과 제2 영역을 갖고,  
 상기 제1 박막 트랜지스터의 소스 전극 또는 드레인 전극은 상기 제2 영역과 겹치고,  
 상기 제1 영역의 두께는 상기 제2 영역의 두께보다 작은, 반도체 장치.

**청구항 12**

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 게이트 전극과 상기 제2 게이트 전극은 동일한 전위를 갖는, 반도체 장치.

**청구항 13**

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 게이트 전극과 상기 제2 게이트 전극은 서로 다른 전위를 갖는, 반도체 장치.

**청구항 14**

제3항 또는 제4항에 있어서,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 상기 하나만은 상기 제2 박막 트랜지스터인, 반도체 장치.

**청구항 15**

제3항 또는 제4항에 있어서,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 상기 하나만의 상기 소스 전극과 상기 드레인 전극 중 나머지는  $V_{SS}$ 에 전기적으로 접속되고, 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 나머지의 상기 소스 전극과 상기 드레인 전극 중 나머지는  $V_{DD}$ 에 전기적으로 접속되는, 반도체 장치.

**청구항 16**

제3항 또는 제4항에 있어서,

상기 산화물 반도체층은 제1 영역과 제2 영역을 갖고,

상기 소스 전극 또는 상기 드레인 전극은 상기 제2 영역과 겹치고,

상기 제1 영역의 두께는 상기 제2 영역의 두께보다 작은, 반도체 장치.

**청구항 17**

제3항 또는 제4항에 있어서,

상기 반도체 장치는 표시 장치인, 반도체 장치.

**청구항 18**

제16항에 있어서,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 상기 하나만은 상기 제2 박막 트랜지스터이고,

상기 제2 박막 트랜지스터의 상기 산화물 반도체층은, 제1 절연층을 개재하여 상기 제2 박막 트랜지스터의 상기 제1 게이트 전극과 겹치고, 제2 절연층을 개재하여 상기 제2 게이트 전극과 겹치고,

상기 제2 절연층은 상기 제2 박막 트랜지스터의 상기 산화물 반도체층의 상기 제1 영역과 접하는, 반도체 장치.

**청구항 19**

제3항 또는 제4항에 있어서,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터의 상기 산화물 반도체층은 인듐, 갈륨 및 아연으로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함하는, 반도체 장치.

**청구항 20**

제3항 또는 제4항에 있어서,

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터는 n채널 박막 트랜지스터들인, 반도체 장치.

**명세서**

**기술분야**

[0001] 본 발명은 산화물 반도체를 사용하는 반도체 장치 및 그 반도체 장치를 제조하는 방법에 관한 것이다.

**배경기술**

[0002] 통상적으로 액정 표시 장치에서 알 수 있듯이, 유리 기판 등의 평판 위에 형성되는 박막 트랜지스터는, 비정질 실리콘 또는 다결정 실리콘을 이용하여 제조된다. 비정질 실리콘을 이용하여 형성된 박막 트랜지스터는, 전계 효과 이동도가 낮지만 유리 기판 위에 넓은 면적으로 형성될 수 있다. 한편, 다결정 실리콘을 이용하여 형성된 박막 트랜지스터는, 전계 효과 이동도가 높지만 레이저 어닐링 등의 결정화 공정을 필요로 하며 넓은 유리 기판에 항상 적합한 것은 아니다.

[0003] 이러한 점을 고려하여, 산화물 반도체를 이용하여 박막 트랜지스터를 제조하고, 이러한 박막 트랜지스터를 전자 장치나 광학 장치에 응용하는 기술이 주목받고 있다. 예를 들어, 산화물 반도체막으로서 산화아연 또는 In-Ga-Zn-O계 산화물 반도체를 이용하여 박막 트랜지스터를 제조하고, 이러한 박막 트랜지스터를 화상 표시 장치의 스위칭 소자 등으로서 사용하는 기술이 특허문헌 1 및 특허문헌 2에 개시되어 있다.

**선행기술문헌**

**특허문헌**

[0004] (특허문헌 0001) 일본 특허공개 제2007-123861호 공보  
 (특허문헌 0002) 일본 특허공개 제2007-096055호 공보

**발명의 내용**

[0005] 산화물 반도체에 채널 형성 영역을 형성하는 박막 트랜지스터의 전계 효과 이동도는, 비정질 실리콘을 사용한 박막 트랜지스터의 전계 효과 이동도보다 높다. 산화물 반도체막은 스퍼터링법 등에 의해 300℃ 이하의 온도에서 형성될 수 있다. 그 제조 공정은 다결정 실리콘을 사용한 박막 트랜지스터의 제조 공정보다 쉽다.

[0006] 이러한 산화물 반도체는, 유리 기판, 플라스틱 기판 등의 위에 박막 트랜지스터를 형성하도록 사용되며, 액정 표시 장치, 일렉트로루미네센스 표시 장치 또는 전자 페이퍼 등의 표시 장치에 적용될 것으로 예상된다.

[0007] 표시 장치의 표시 영역을 대형화하면, 화소 수가 증가하고, 게이트선 수 및 신호선 수가 증가한다. 또한, 표시 장치가 더욱 높은 해상도를 가짐에 따라, 화소 수가 증가하고 이에 따라 게이트선 수 및 신호선 수가 증가한다. 게이트선 수 및 신호선 수가 증가하면, 게이트선과 신호선을 구동하기 위한 구동 회로들을 포함하는 IC 칩들을 본딩 등에 의해 실장하는 것이 곤란해져, 제조 비용이 증가한다.

[0008] 따라서, 화소부를 구동하는 구동 회로의 적어도 일부에 산화물 반도체를 사용하는 박막 트랜지스터를 채용함으로써 제조 비용을 저감하는 것을 목적으로 한다.

[0009] 화소부를 구동하는 구동 회로의 적어도 일부에 산화물 반도체를 사용하는 박막 트랜지스터를 채용하는 경우에, 그 박막 트랜지스터에는 높은 동적 특성(온 특성이거나 주파수 특성(f 특성이거나 칭함))이 요구된다. 높은 동적 특성(온 특성)을 갖는 박막 트랜지스터를 제공하고 고속 동작을 가능하게 하는 구동 회로를 제공하는 것을 또 다른 목적으로 한다.

[0010] 또한, 본 발명의 일 실시예의 목적은 채널을 위해 산화물 반도체층을 사용하고 신뢰성이 높은 박막 트랜지스터를 구비한 반도체 장치를 제공하는 것이다.

[0011] 산화물 반도체층의 상하에 게이트 전극을 설치하여 박막 트랜지스터의 온 특성 및 신뢰성의 향상을 실현한다.

[0012] 또한, 상하의 게이트 전극들에 인가되는 게이트 전압을 제어함으로써, 임계 전압을 제어할 수 있다. 동 전위를 갖도록 상하의 게이트 전극들을 서로 전기적으로 접속해도 되고, 또는 서로 다른 전위를 갖도록 상하의 게이트 전극들을 서로 다른 배선들에 접속해도 된다. 예를 들어, 임계 전압을 0 또는 0에 근접하게 설정하여 구동 전압을 저감하면, 소비 전력의 저하를 달성할 수 있다. 대안으로, 임계 전압을 양의 값으로 설정하면, 박막 트랜지스터를 인헨스먼트형 트랜지스터로서 기능시킬 수 있다. 다른 대안으로, 임계 전압을 음의 값으로 설정하면,

박막 트랜지스터를 디플리션형 트랜지스터로서 기능시킬 수 있다.

- [0013] 예를 들어, 인헨스먼트형 트랜지스터와 디플리션형 트랜지스터의 조합을 포함하는 인버터 회로(이하, 이러한 회로를 EDMOS 회로라 칭함)를 구동 회로를 위해 사용할 수 있다. 구동 회로는 논리 회로부와, 스위치부 또는 버퍼부를 적어도 포함한다. 논리 회로부는 EDMOS 회로를 포함하는 회로 구조를 갖는다. 또한, 스위치부 또는 버퍼부로는 온 전류를 많이 흘릴 수 있는 박막 트랜지스터를 사용하는 것이 바람직하다. 디플리션형 트랜지스터 또는 산화물 반도체층의 상하에 게이트 전극들을 갖는 박막 트랜지스터를 사용한다.
- [0014] 공정 수를 크게 증가시키지 않고 동일 기판 위에 서로 다른 구조의 박막 트랜지스터들을 형성할 수 있다. 예를 들어, 고속 구동을 위한 구동 회로에는, 산화물 반도체층의 상하에 게이트 전극들을 포함하는 박막 트랜지스터를 사용하여 EDMOS 회로를 형성해도 되고, 화소부에는 산화물 반도체층 아래에만 게이트 전극을 포함하는 박막 트랜지스터를 사용해도 된다.
- [0015] 본 명세서에서는, n채널 TFT의 임계 전압이 양인 경우를 인헨스먼트형(enhancement type) 트랜지스터라 칭하고, n채널 TFT의 임계 전압이 음인 경우를 디플리션형(depletion type) 트랜지스터라 칭한다는 점에 주목한다.
- [0016] 또한, 산화물 반도체층 위에 설치하는 게이트 전극의 재료로는, 자신의 성분으로서, 예를 들어, 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐) 중에서 선택된 원소 또는 상술한 원소들 중 임의의 것을 포함하는 합금이 있으며, 특별한 제한 없이 어떠한 도전막이라도 사용할 수 있다. 또한, 게이트 전극은 상술한 원소들 중 임의의 것을 포함하는 단층 구조로 한정되지 않고, 2층 이상의 적층 구조를 가질 수 있다.
- [0017] 또한, 산화물 반도체층 위에 설치하는 게이트 전극의 재료로는, 화소 전극과 같은 재료를 사용할 수 있다(투과형 표시 장치의 경우에는 투명 도전막 등을 사용할 수 있다). 예를 들어, 화소부에는, 박막 트랜지스터에 전기적으로 접속하는 화소 전극을 형성하는 단계와 동일한 단계에서 산화물 반도체층 위에 게이트 전극을 형성할 수 있다. 이에 따라, 공정 수를 크게 증가시키지 않고 산화물 반도체층의 상하에 게이트 전극들을 설치한 박막 트랜지스터를 형성할 수 있다. 또한, 산화물 반도체층 위에 게이트 전극을 설치함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-온도 스트레스 시험(이하, BT 시험이라 칭함)에서, BT 시험 전후에서의 박막 트랜지스터의 임계 전압의 변화량을 저감할 수 있다. 즉, 산화물 반도체층 위에 게이트 전극을 설치함으로써, 신뢰성을 향상시킬 수 있다.
- [0018] 본 명세서에서 개시하는 본 발명의 일 실시예는, 절연 표면 위의 제1 게이트 전극과, 제1 게이트 전극 위의 제1 절연층과, 제1 절연층 위의 산화물 반도체층과, 산화물 반도체층 위의 소스 전극과 드레인 전극과, 소스 전극과 드레인 전극을 덮는 제2 절연층과, 제2 절연층 위의 제2 게이트 전극을 포함하고, 산화물 반도체층은 소스 전극 또는 드레인 전극과 겹치는 영역의 두께보다 얇은 두께의 영역을 갖고, 제2 절연층은 산화물 반도체층의 얇은 두께의 영역과 접하는, 반도체 장치이다.
- [0019] 전술한 구조는 전술한 목적들 중 적어도 하나를 달성할 수 있다.
- [0020] 전술한 구조에서, 제2 게이트 전극의 폭을 제1 게이트 전극의 폭보다 넓게 함으로써, 산화물 반도체층 전체에 제2 게이트 전극으로부터 게이트 전압을 인가할 수 있다.
- [0021] 대안으로, 전술한 구조에서, 제1 게이트 전극의 폭을 제2 게이트 전극의 폭보다 좁게 하면, 소스 전극 또는 드레인 전극과 겹치는 제1 게이트 전극의 면적을 축소하여, 기생 용량을 작게 할 수 있다. 다른 대안으로, 제1 게이트 전극의 폭을 산화물 반도체층의 두께가 얇은 영역의 폭보다 넓게 하는 한편 제2 게이트 전극의 폭을 산화물 반도체층의 두께가 얇은 영역의 폭보다 좁게 함으로써, 제2 게이트 전극이 소스 전극 또는 드레인 전극과 겹치지 않도록 하여 기생 용량을 더욱 저감시켜도 된다.
- [0022] 본 발명의 다른 일 실시예는, 화소부와 구동 회로를 포함하고, 화소부는 적어도 제1 산화물 반도체층을 갖는 제1 박막 트랜지스터를 포함하고, 구동 회로는 적어도 제2 산화물 반도체층을 갖는 제2 박막 트랜지스터와 제3 산화물 반도체층을 갖는 제3 박막 트랜지스터를 포함하는 EDMOS 회로를 포함하고, 제3 박막 트랜지스터는 제3 산화물 반도체층 아래의 제1 게이트 전극과 제3 산화물 반도체층 위의 제2 게이트 전극을 포함하는, 반도체 장치이다.
- [0023] 전술한 구조에서, 화소부의 제1 박막 트랜지스터가 화소 전극에 전기적으로 접속되고 화소 전극이 구동 회로의 제2 게이트 전극과 같은 재료로 형성되면, 공정 수를 증가시키지 않고 반도체 장치를 제조할 수 있다.
- [0024] 전술한 구조에서, 화소부의 제1 박막 트랜지스터가 화소 전극에 전기적으로 접속되고 화소 전극이 구동 회로의

제2 게이트 전극과 다른 재료로 형성되면, 예를 들어, 화소 전극이 투명 도전막으로 형성되고 제2 게이트 전극이 알루미늄막으로 형성되면, 구동 회로의 제2 게이트 전극의 저항을 저감시킬 수 있다.

[0025] 또한, 구동 회로의 제3 산화물 반도체층이 제1 절연층을 개재하여 제1 게이트 전극과 겹치고 또한 제2 절연층을 개재하여 제2 게이트 전극과 겹치는, 소위, 듀얼 게이트 구조를 제공한다.

[0026] 또한, 구동 회로를 갖는 반도체 장치로서, 액정 표시 장치 이외에, 발광 소자를 사용한 발광 표시 장치 및 전기 영동 표시 소자를 사용한 전자 페이퍼라고도 칭하는 표시 장치를 들 수 있다.

[0027] 또한, 본 명세서에서의 "표시 장치"라는 용어는 화상 표시 장치, 발광 장치, 또는 (조명 장치를 포함한) 광원을 의미한다. 또한, "표시 장치"는, 자신의 카테고리에 다음과 같은 모듈들을 포함하는데, 예를 들어, FPC(flexible printed circuit)와 같은 커넥터, TAB(tape automated bonding) 테이프, 또는 TCP(tape carrier package)와 같은 커넥터를 포함하는 모듈, TAB 테이프나 TCP의 끝에 인쇄 배선 판이 설치된 모듈, 및 COG(Chip On Glass) 방식에 의해 표시 소자 위에 IC(집적 회로)가 직접 실장된 모듈을 포함한다.

[0028] 발광 소자를 사용한 발광 표시 장치에서는, 화소부에 복수의 박막 트랜지스터를 포함하고, 화소부에는 박막 트랜지스터의 게이트 전극이 다른 트랜지스터의 소스 배선이나 드레인 배선에 전기적으로 접속된 부분이 포함된다.

[0029] 박막 트랜지스터는 정전기 등으로 인해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여 구동 회로 보호용의 보호 회로를 동일 기판 위에 설치하는 것이 바람직하다. 보호 회로는 산화물 반도체를 포함하는 비선형 소자로 형성하는 것이 바람직하다.

[0030] 본 명세서에서 사용되는 산화물 반도체는  $InMO_3(ZnO)_m(m>0)$ 으로 표현되는 박막이며, 그 박막을 반도체층으로서 사용하여 박막 트랜지스터를 형성한다. M은 Ga, Fe, Ni, Mn 및 Co 중에서 선택되는 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다는 점에 주목한다. 예를 들어, M은 일부 경우에 Ga를 나타내지만, 한편으로, M은 다른 경우에 Ga(Ga와 Ni 또는 Ga와 Fe) 이외에 Ni나 Fe 등의 상기한 금속 원소를 나타낸다. 또한, 상기 산화물 반도체는, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서, Fe 또는 Ni, 기타 전이 금속 원소, 또는 상기 전이 금속의 산화물을 포함해도 된다. 본 명세서에서는, 이 박막을 In-Ga-Zn-O계 비 단결정막(non-single-crystal film)이라고도 칭한다.

[0031] In-Ga-Zn-O계 비 단결정막은, 스퍼터링법에 의해 형성되고, 200℃ 내지 500℃, 통상적으로는 300℃ 내지 400℃에서 10분 내지 100분 동안 가열된다. 분석한 In-Ga-Zn-O계 비 단결정막의 결정 구조로서 비정질 구조를 XRD 분석에 의해 관찰한다는 점에 주목한다.

[0032] In-Ga-Zn-O계 비 단결정막에 의해 대표되는 산화물 반도체는, 에너지 갭( $E_g$ )이 넓은 재료이기 때문에, 산화물 반도체층의 상하에 2개의 게이트 전극을 설치해도, 오프 전류의 증가를 억제할 수 있다.

[0033] 본 명세서에서 "제1" 및 "제2"와 같은 서수는 편의상 사용하는 것이며 공정 순 및 적층 순을 나타내는 것이 아니라 점에 주목한다. 또한, 본 명세서에서의 서수는 발명을 특징하는 구체적 명칭을 나타내는 것이 아니다.

[0034] 게이트선 구동 회로 또는 소스선 구동 회로 등의 주변 회로 또는 화소부에, 2개의 게이트 전극이 상하에 배치된 산화물 반도체를 사용한 박막 트랜지스터를 형성함으로써, 제조 비용을 저감한다.

[0035] 2개의 게이트 전극이 상하에 배치된 산화물 반도체를 사용한 박막 트랜지스터를 이용함으로써, BT 시험에서, BT 시험 전후에서의 박막 트랜지스터의 임계 전압의 변화량을 저감할 수 있다. 즉, 박막 트랜지스터는 2개의 게이트 전극이 상하에 배치된 산화물 반도체를 포함함으로써, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

[0036] 도 1a, 도 1b 및 도 1c는 각각 제1 실시예의 표시 장치의 일례를 도시하는 단면도, 제1 실시예의 표시 장치의 다른 일례를 나타내는 단면도, 제1 실시예의 표시 장치의 또 다른 일례를 나타내는 단면도이다.

도 2a, 도 2b 및 도 2c는 각각 제2 실시예의 반도체 장치의, 단면도, 등가 회로도, 상면도이다.

도 3a와 도 3b는 제3 실시예의 표시 장치의 전체를 도시하는 블록도이다.

도 4는 제3 실시예의 표시 장치에서의 배선, 입력 단자 등의 배치를 도시하는 도면이다.

도 5는 시프트 레지스터 회로의 구성을 도시하는 블록도이다.

- 도 6은 플립플롭 회로의 일례를 도시하는 도면이다.
- 도 7은 플립플롭 회로의 레이아웃 도(상면도)를 도시하는 도면이다.
- 도 8은 시프트 레지스터 회로의 동작을 나타내기 위한 타이밍 차트를 도시하는 도면이다.
- 도 9의 (a) 내지 (c)는 제4 실시예의 반도체 장치의 제조 방법을 도시하는 도면이다.
- 도 10의 (a) 내지 (c)는 제4 실시예의 반도체 장치의 제조 방법을 도시하는 도면이다.
- 도 11은 제4 실시예의 반도체 장치의 제조 방법을 도시하는 도면이다.
- 도 12는 제4 실시예의 반도체 장치의 제조 방법을 도시하는 도면이다.
- 도 13은 제4 실시예의 반도체 장치의 제조 방법을 도시하는 도면이다.
- 도 14는 제4 실시예의 반도체 장치를 도시하는 도면이다.
- 도 15a 내지 도 15d는 제4 실시예의 반도체 장치를 도시하는 도면이다.
- 도 16은 제4 실시예의 반도체 장치를 도시하는 도면이다.
- 도 17은 제5 실시예의 반도체 장치를 도시하는 단면도이다.
- 도 18은 제6 실시예의 반도체 장치의 화소 등가 회로를 도시하는 도면이다.
- 도 19a 내지 도 19c는 제6 실시예의 반도체 장치를 도시하는 단면도이다.
- 도 20a와 도 20b는 각각 제6 실시예의 반도체 장치를 도시하는 상면도 및 단면도이다.
- 도 21a, 도 21b 및 도 21c는 제7 실시예의 반도체 장치를 도시하는 상면도 및 단면도이다.
- 도 22는 제7 실시예의 반도체 장치를 도시하는 단면도이다.
- 도 23a 내지 도 23d는 전자 장치들의 예를 도시하는 외관도이다.
- 도 24a와 도 24b는 텔레비전 장치 및 디지털 포토 프레임의 예를 각각 도시하는 외관도이다.
- 도 25a와 도 25b는 휴대 전화의 예를 도시하는 외관도이다.
- 도 26은 제9 실시예의 반도체 장치를 도시하는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0037] 이하, 실시예들을 설명한다. 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 사상 및 범위로부터 이탈하지 않고 모드와 상세를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해한다. 따라서, 본 발명은 후술하는 실시예들의 기재 내용으로 한정해서 해석되지 않는다.
- [0038] 제1 실시예
- [0039] 도 1a는 구동 회로를 위해 사용되는 제1 박막 트랜지스터(430) 및 화소부를 위해 사용되는 제2 박막 트랜지스터(170)를 동일 기판 위에 배치하는 일례를 도시한다. 또한, 도 1a은 표시 장치의 단면도의 일례라는 점에 주목한다.
- [0040] 화소부와 구동 회로는 동일 기판 위에 형성된다. 화소부에서는, 매트릭스 형상으로 배치된 인헨스먼트형 트랜지스터인 제2 박막 트랜지스터(170)를 사용해서 화소 전극(110)에 인가되는 전압의 온/오프를 전환한다. 이 화소부에 배치된 제2 박막 트랜지스터(170)는 산화물 반도체층(103)을 사용하여 형성된다. 제2 박막 트랜지스터의 전기적 특성은, 게이트 전압  $\pm 20V$ 에서 온/오프 비가  $10^9$  이상이기 때문에, 표시 콘트라스트를 개선할 수 있고, 또한 누설 전류가 적기 때문에, 저소비 전력 구동을 실현할 수 있다. 온/오프 비는 오프 전류에 대한 온 전류의 비( $I_{ON}/I_{OFF}$ )이며,  $I_{ON}/I_{OFF}$ 의 값이 클수록, 스위칭 특성이 우수하다. 따라서, 높은 온/오프 비는 표시 콘트라스트의 개선에 기여한다. 온 전류는 트랜지스터가 온 상태에 있을 때 소스 전극과 드레인 전극 사이에 흐르는 전류라는 점에 주목한다. 한편, 오프 전류는 트랜지스터가 오프 상태에 있을 때 소스 전극과 드레인 전극 사이에 흐르는 전류라는 점에 주목한다. 예를 들어, n채널 트랜지스터에서, 오프 전류는 게이트 전압이 트랜지스터의 임계 전압보다 낮을 때 소스 전극과 드레인 전극 사이에 흐르는 전류이다. 따라서, 고 콘트라스트 및

저소비 전력 구동을 실현하기 위해서는 화소부에 인헨스먼트형 트랜지스터를 사용하는 것이 바람직하다.

- [0041] 구동 회로에서는, 산화물 반도체층(405) 아래에 제1 게이트 전극(401)과 산화물 반도체층(405) 위에 제2 게이트 전극(470)을 갖는 박막 트랜지스터(430)를 적어도 하나 사용한다. 제2 게이트 전극(470)을 백 게이트 전극이라고도 칭할 수 있다. 백 게이트 전극을 형성함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(이하, BT 시험이라 함)에서, BT 시험 전후 사이의 박막 트랜지스터의 임계 전압의 변화량을 저감할 수 있다.
- [0042] 박막 트랜지스터(430)의 구조를 도 1a를 참조하여 설명한다. 절연 표면을 갖는 기판(400) 위에 설치된 제1 게이트 전극(401)은 제1 게이트 절연층(403)으로 덮히고, 제1 게이트 전극(401)과 겹치는 제1 게이트 절연층(403) 위에는 산화물 반도체층(405)이 설치된다. 산화물 반도체층(405) 위에는, 제1 배선(409)과 제2 배선(410)이 설치된다. 산화물 반도체층(405)은, 소스 전극 또는 드레인 전극으로서 기능하며 제1 배선(409) 및 제2 배선(410)과 겹치는 영역의 두께보다 얇은 두께의 영역을 포함한다. 산화물 반도체층(405)에서의 얇은 두께의 영역 위에 그리고 그 영역과 접하도록 제2 게이트 절연층(412)이 설치된다. 또한, 제2 게이트 절연층(412) 위에 제2 게이트 전극(470)이 설치된다.
- [0043] 산화물 반도체층(405)은, 예를 들어,  $In_2O_3:Ga_2O_3:ZnO = 1:1:1$  ( $In:Ga:Zn = 1:1:0.5$ )인 타겟을 사용하는 스퍼터링 법에 의해 아르곤 가스 유량을 10sccm으로 하고 산소 유량을 5sccm으로 하여 형성된다. 또한, 산화물 반도체층(405)과 제1 배선(409) 사이에는  $n^+$ 층(406a)을 설치하고, 산화물 반도체층(405)과 제2 배선(410) 사이에는  $n^+$ 층(406b)을 설치한다.
- [0044] 본 실시예에서, 소스 영역 및 드레인 영역으로서 기능하는  $n^+$ 층(406a, 406b)은 In-Ga-Zn-O계 비 단결정막이며, 이는 산화물 반도체층(405)의 형성 조건과는 다른 형성 조건에서 형성되고 저 저항의 산화물 반도체층이다. 예를 들어, 아르곤 가스 유량을 40sccm으로 한 조건에서 얻어지는 산화물 반도체층으로 형성된  $n^+$ 층(406a, 406b)은 n형의 도전성 및 0.01eV 내지 0.1eV의 활성화 에너지( $\Delta E$ )를 갖는다. 본 실시예에서,  $n^+$ 층(406a, 406b)은 In-Ga-Zn-O계 비 단결정막이며, 적어도 비정질 성분을 포함한다는 점에 주목한다.  $n^+$ 층(406a, 406b)은 비정질 성분에 결정립(나노 결정)을 포함하는 경우가 있다.  $n^+$ 층(406a, 406b)에 포함된 결정립(나노 결정)의 직경은 1nm 내지 10nm, 통상적으로는 2nm 내지 4nm 정도이다.
- [0045] 또한, 제1 게이트 전극(401)과 제2 게이트 전극(470)은 동 전위를 갖도록 전기적으로 접속되어도 된다. 제1 게이트 전극(401)과 제2 게이트 전극(470)이 동 전위를 가지면, 산화물 반도체층의 상하층으로부터 게이트 전압을 인가할 수 있어서, 온 상태에서 흐르는 전류의 양을 증가시킬 수 있다.
- [0046] 또한, 임계 전압을 음의 값으로 시프트하기 위한 제어 신호선을 제1 게이트 전극(401) 또는 제2 게이트 전극(470)에 전기적으로 접속함으로써, 디플리션형 TFT를 형성할 수 있다.
- [0047] 대안으로, 임계 전압을 양의 값으로 시프트하기 위한 제어 신호선을 제1 게이트 전극(401) 또는 제2 게이트 전극(470)에 전기적으로 접속함으로써, 인헨스먼트형 TFT를 형성해도 된다.
- [0048] 또한, 구동 회로에 사용하는 2개의 박막 트랜지스터의 조합은 특별히 한정되지 않으며, 1개의 게이트 전극을 갖는 박막 트랜지스터를 디플리션형 TFT로서 사용하고 2개의 게이트 전극을 갖는 박막 트랜지스터를 인헨스먼트형 TFT로서 사용하는 조합을 이용해도 된다. 그 경우에, 화소부의 박막 트랜지스터는 게이트 전극이 산화물 반도체층의 상하에 각각 배치된 구조를 갖는다.
- [0049] 대안으로, 화소부의 박막 트랜지스터는 게이트 전극이 산화물 반도체층의 상하에 각각 배치된 구조를 가져도 되고, 구동 회로의 인헨스먼트형 TFT와 디플리션형 TFT의 각각은 게이트 전극이 산화물 반도체층의 상하에 각각 배치된 구조를 가져도 된다. 그 경우에는, 임계 전압을 제어하기 위한 제어 신호선을 상측 게이트 전극과 하측 게이트 전극 중 어느 하나에 전기적으로 접속시키고 접속된 게이트 전극이 임계 전압을 제어하는 구성을 채용한다.
- [0050] 도 1a에서, 제2 게이트 전극(470)은 공정 수를 줄이기 위해 예를 들어 투과형의 액정 표시 장치의 경우 투명 도전막을 사용하여 화소부의 화소 전극(110)과 동일한 재료로 형성된다는 점에 주목한다. 그러나, 제2 게이트 전극(470)이 이러한 예로 특별히 한정되지는 않는다. 또한, 제2 게이트 전극(470)의 폭은 제1 게이트 전극(401)의 폭보다 넓고 또한 산화물 반도체층의 폭보다 넓은 예를 도시하고 있지만, 제2 게이트 전극(470)의 폭이 이러

한 예로 특별히 한정되지는 않는다. 제1 게이트 전극(401)의 폭은 산화물 반도체층의 두께가 얇은 영역의 폭보다 넓다는 점에 주목한다.

[0051] 도 1b는 제2 게이트 전극의 재료 및 폭이 도 1a와는 다른 예를 도시한다. 또한, 도 1b는 유기 발광 소자 또는 무기 발광 소자에 접속되는 제2 박막 트랜지스터(170)가 화소부에 포함된 표시 장치의 일례이다.

[0052] 도 1b에서, 박막 트랜지스터(432)의 제2 게이트 전극으로서 기능하는 전극(471)의 재료로는, 금속 재료(알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택되는 원소 또는 상술한 원소들 중 임의의 것을 성분으로 하는 합금)를 사용한다. 단면에서의 전극(471)의 폭은 도 1a의 제2 게이트 전극(470)의 폭보다 작다. 또한, 전극(471)의 폭은 산화물 반도체층의 폭보다 작다. 전극(471)의 폭을 좁게 함으로써, 전극(471)이 제2 게이트 절연층(412)을 개재하여 제1 배선(409) 및 제2 배선(410)과 겹치는 면적을 저감할 수 있어서, 기생 용량을 작게 할 수 있다. 도 1b에서, 전극(471)의 폭은 산화물 반도체층의 두께가 얇은 영역의 폭보다 넓다는 점에 주목한다.

[0053] 발광 소자는 적어도 제1 전극(472), 발광층(475), 제2 전극(474)을 포함한다. 도 1b에서, 전극(471)은 공정 수를 줄이기 위해 화소부의 제1 전극(472)과 동일한 재료, 예를 들어, 알루미늄 등을 사용하여 형성되지만, 전극(471)이 이러한 예로 특별히 한정되지는 않는다. 또한, 도 1b에서, 절연층(473)은 서로 인접하는 화소들의 제1 전극과의 절연을 도모하기 위한 격벽으로서 기능한다.

[0054] 또한, 도 1c는 제2 게이트 전극의 재료 및 폭이 도 1a와는 다른 일례를 도시한다. 도 1c에서, 박막 트랜지스터(433)의 제2 게이트 전극으로서 기능하는 전극(476)의 재료로는, 금속 재료(알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택되는 원소 또는 상술한 원소들 중 임의의 것을 성분으로 하는 합금)을 사용한다. 단면에서의 제2 게이트 전극의 폭은 도 1b의 경우보다 좁다. 그 폭을 도 1b의 경우보다 좁게 함으로써, 제2 게이트 절연층(412)을 개재하여 제1 배선(409) 및 제2 배선(410)과 겹치지 않도록 제2 게이트 전극을 형성할 수 있고, 이에 따라 기생 용량을 더욱 줄일 수 있다. 도 1c에 도시한 전극(476)의 폭은 산화물 반도체층의 두께가 얇은 영역의 폭보다 좁다. 이렇게 좁은 폭의 전극(476)을 형성하는 경우에는, 레지스트 마스크의 단부보다 내측에 전극(476)의 양단이 위치하도록 습식 에칭 등을 사용하는 공정을 수행하는 것이 바람직하다. 그러나, 도 1c에서는, 화소 전극(110)의 금속 재료와는 다른 금속 재료를 사용하므로, 전극(476)을 형성하기 위해 하나 이상의 포토리소그래피 공정이 추가되고, 마스크 수도 1장 더 필요하다.

[0055] 게이트선 구동 회로나 소스선 구동 회로 등의 주변 회로, 또는 액정 표시 장치, 발광 표시 장치 또는 전자 페이퍼를 위해 사용되는 화소부에 대하여, 상하의 2개의 게이트 전극 사이에 끼워진 산화물 반도체를 포함하는 박막 트랜지스터를 사용함으로써, 고속 구동이나 저 전력 소비를 도모할 수 있다. 또한, 공정 수를 대폭 증가시키지 않고 동일 기판 위에 화소부와 구동 회로 모두를 설치할 수 있다. 동일 기판 위에 화소부 외에도 다양한 회로들을 설치함으로써, 표시 장치의 제조 비용을 저감할 수 있다.

[0056] 제2 실시예

[0057] 제1 실시예에서는 구동 회로의 박막 트랜지스터로서 하나의 박막 트랜지스터를 설명하였지만, 제2 실시예에서는 2개의 n채널형 박막 트랜지스터를 사용해서 구동 회로의 인버터 회로를 형성하는 일례를 이하에서 설명한다. 도 2a에 도시한 박막 트랜지스터는 제1 실시예의 도 1a에 도시한 박막 트랜지스터(430)와 동일하기 때문에, 동일한 부분에는 동일한 참조 부호를 사용해서 설명한다.

[0058] 화소부를 구동하기 위한 구동 회로는 인버터 회로, 커패시터, 저항 등을 사용해서 형성된다. 2개의 n채널 TFT를 조합해서 인버터 회로를 형성하는 경우, 인헨스먼트형 트랜지스터와 디플리션형 트랜지스터를 조합한 인버터 회로(이하, EDMOS 회로라고 칭함) 및 2개의 인헨스먼트형 TFT를 조합한 인버터 회로(이하, EEMOS 회로라 칭함)가 있다.

[0059] 구동 회로의 인버터 회로의 단면 구조를 도 2a에 도시한다. 도 2a 내지 도 2c에 도시한 박막 트랜지스터(430)와 제2 박막 트랜지스터(431)는 보텀 게이트형 박막 트랜지스터이며, 반도체층 위로 소스 영역과 드레인 영역을 개재하여 배선이 설치되어 있는 박막 트랜지스터의 예라는 점에 주목한다.

[0060] 도 2a에서는, 기판(400) 위로 제1 게이트 전극(401) 및 게이트 전극(402)을 설치한다. 제1 게이트 전극(401) 및 게이트 전극(402)은, 몰리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이러한 금속 재료들 중 임의의 것을 주성분으로 하는 합금 재료를 사용하여 단층 구조 또는 적층

구조를 갖도록 형성될 수 있다.

- [0061] 예를 들어, 제1 게이트 전극(401) 및 게이트 전극(402)의 2층 적층 구조로는, 알루미늄층 위에 몰리브덴층이 적층된 2층 적층 구조, 구리층 위에 몰리브덴층이 적층된 2층 적층 구조, 구리층 위에 질화 티타늄층 혹은 질화 탄탈륨층이 적층된 2층 적층 구조, 또는 질화 티타늄층과 몰리브덴층이 적층된 2층 적층 구조가 바람직하다. 3층 적층 구조로는, 텅스텐층 또는 질화 텅스텐층의 적층, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금, 질화 티타늄층 또는 티타늄층을 적층한 적층이 바람직하다.
- [0062] 또한, 제1 게이트 전극(401) 및 게이트 전극(402)을 덮는 제1 게이트 절연층(403) 위에는 산화물 반도체층(405)과 제2 산화물 반도체층(407)을 설치한다.
- [0063] 산화물 반도체층(405) 위로는 제1 배선(409) 및 제2 배선(410)을 설치하고, 제2 배선(410)은 제1 게이트 절연층(403)에 형성된 콘택트 홀(404)을 통해 게이트 전극(402)에 직접 접속된다. 또한, 제2 산화물 반도체층(407) 위로는 제3 배선(411)을 설치한다.
- [0064] 박막 트랜지스터(430)은, 제1 게이트 전극(401), 및 제1 게이트 절연층(403)을 개재하여 제1 게이트 전극(401)과 겹치는 산화물 반도체층(405)을 포함한다. 제1 배선(409)은 음의 전압 VDL이 인가되는 전원선(음의 전원선)이다. 이 전원선은 접지 전위의 전원선(접지 전원선)이어도 된다.
- [0065] 또한, 제2 박막 트랜지스터(431)는, 게이트 전극(402), 및 제1 게이트 절연층(403)을 개재하여 게이트 전극(402)과 겹치는 제2 산화물 반도체층(407)을 포함한다. 제3 배선(411)은 양의 전압 VDH가 인가되는 전원선(양의 전원선)이다.
- [0066] 또한, 제2 산화물 반도체층(407)과 제2 배선(410) 사이에는  $n^+$ 층(408a)을 설치하고, 제2 산화물 반도체층(407)과 제3 배선(411) 사이에는  $n^+$ 층(408b)을 설치한다.
- [0067] 또한, 구동 회로의 인버터 회로의 상면도를 도 2c에 도시한다. 도 2c에서, 쇄선 Z1-Z2를 따라 절단한 단면이 도 2a에 해당한다.
- [0068] 또한, EDMOS 회로의 등가 회로를 도 2b에 도시한다. 도 2a에 도시한 회로 접속은, 도 2b에 해당하고, 박막 트랜지스터(430)가 인헨스먼트형 n채널 트랜지스터이며 제2 박막 트랜지스터(431)가 디플리션형 n채널 트랜지스터인 일례이다.
- [0069] 본 실시예에서는, 박막 트랜지스터(430)가 인헨스먼트형의 n채널 트랜지스터로서 기능할 수 있도록, 산화물 반도체층(405) 위로 제2 게이트 절연층(412)을 설치하고, 제2 게이트 절연층(412) 위로 제2 게이트 전극(470)을 설치하여, 제2 게이트 전극(470)에 인가하는 전압에 의해 박막 트랜지스터(430)의 임계값을 제어한다.
- [0070] 또한, 제2 게이트 절연층(412)은 제2 산화물 반도체층(407)을 덮는 보호층으로서 기능한다.
- [0071] 도 2a 및 도 2c에서는, 제1 게이트 절연층(403)에 형성된 콘택트 홀(404)을 통해 제2 배선(410)이 게이트 전극(402)에 직접 접속되는 예를 도시하고 있지만, 특별히 한정되지 않고, 접속 전극을 별도 설치하여 제2 배선(410)과 게이트 전극(402)을 전기적으로 접속시켜도 된다는 점에 주목한다.
- [0072] 또한, 본 실시예는 제1 실시예와 자유롭게 조합할 수 있다.
- [0073] 제3 실시예
- [0074] 제3 실시예에서는, 표시 장치를 블록도 등을 참조하여 설명한다.
- [0075] 도 3a는 액티브 매트릭스 액정 표시 장치의 블록도의 일례를 도시한다. 도 3a에 도시한 액정 표시 장치는, 기관(300) 위에, 표시 소자를 구비한 화소를 복수 갖는 화소부(301), 각 화소의 게이트 전극에 접속된 주사선을 각각 제어하는 주사선 구동 회로(302), 및 선택된 화소에 입력되는 비디오 신호를 제어하는 신호선 구동 회로(303)를 포함한다.
- [0076] 도 3b는 액티브 매트릭스 발광 표시 장치의 블록도의 일례를 도시한다. 도 3b에 도시한 발광 표시 장치는, 기관(310) 위에, 표시 소자를 구비한 화소를 복수 갖는 화소부(311), 화소의 게이트 전극에 접속된 주사선을 제어하는 제1 주사선 구동 회로(312)와 제2 주사선 구동 회로(313), 및 선택된 화소에 입력되는 비디오 신호를 제어하는 신호선 구동 회로(314)를 포함한다. 하나의 화소에 스위칭용 TFT(Thin Film Transistor)와 전류 제어용 TFT인 2개의 TFT를 배치하는 경우, 도 3b에 도시한 발광 표시 장치에서는, 스위칭용 TFT의 게이트 전극에 접속

된 제1 주사선에 입력되는 신호를 제1 주사선 구동 회로(312)에서 생성하고, 전류 제어용 TFT의 게이트 전극에 접속된 제2 주사선에 입력되는 신호를 제2 주사선 구동 회로(313)에서 생성한다. 제1 주사선에 입력되는 신호 및 제2 주사선에 입력되는 신호를 하나의 주사선 구동 회로에서 생성하는 구조를 채용해도 된다는 점에 주목한다. 대안으로, 예를 들어, 스위칭 소자에 포함된 TFT의 수에 따라, 스위칭 소자의 동작을 제어하는 데 사용되는 복수의 제1 주사선이 각 화소에 설치되어 있어도 된다. 이 경우, 복수의 제1 주사선에 입력되는 모든 신호를, 하나의 주사선 구동 회로에서 생성해도 되고, 또는 복수의 주사선 구동 회로에 의해 개별적으로 생성해도 된다.

[0077] 또한, 여기에서는, 주사선 구동 회로(302), 제1 주사선 구동 회로(312), 제2 주사선 구동 회로(313) 및 신호선 구동 회로(303, 314)를 표시 장치에 형성하는 형태를 설명하고 있지만, 주사선 구동 회로(302), 제1 주사선 구동 회로(312) 또는 제2 주사선 구동 회로(313)의 일부를 IC 등의 반도체 장치를 이용하여 실장해도 된다는 점에 주목한다. 대안으로, 신호선 구동 회로(303 또는 314)의 일부를 IC 등의 반도체 장치를 이용하여 실장해도 된다.

[0078] 도 4는, 표시 장치를 구성하는, 신호 입력 단자(321), 주사선(323), 신호선(324), 비선형 소자를 포함하는 보호 회로 및 화소부 간의 위치 관계를 도시하는 도면이다. 화소부(327)는, 절연 표면을 갖는 기판(320) 위로 서로 교차 배치된 주사선(323)과 신호선(324)을 포함한다. 화소부(327)는 도 3a와 도 3b에 도시한 화소부(301)와 화소부(311)에 해당한다는 점에 주목한다.

[0079] 화소부(301)는, 열 방향으로 배치되고 신호선 구동 회로(303)로부터 연장되는 복수의 신호선 S1 내지 Sm(도시하지 않음)에 의해 신호선 구동 회로(303)에 접속되고, 행 방향으로 배치되고 주사선 구동 회로(302)로부터 연장되는 복수의 주사선 G1 내지 Gn(도시하지 않음)에 의해 주사선 구동 회로(302)에 접속된다. 화소부(301)는 신호선 S1 내지 Sm 및 주사선 G1 내지 Gn에 의해 매트릭스 형상으로 배치된 복수의 화소(도시하지 않음)를 포함한다. 이어서, 각 화소는 신호선 Sj(신호선 S1 내지 Sm 중 임의의 하나) 및 주사선 Gi(주사선 G1 내지 Gn 중 임의의 하나)에 접속된다.

[0080] 화소부(327)는 매트릭스 형상으로 배치된 복수의 화소(328)를 포함한다. 화소(328)는 주사선(323)과 신호선(324)에 접속된 화소 TFT(329), 축적 용량(330) 및 화소 전극(331)을 포함한다.

[0081] 여기서 예시한 화소 구성은 축적 용량(330)의 하나의 전극이 화소 TFT(329)에 접속되고 다른 전극이 용량선(332)에 접속되는 경우이다. 또한, 화소 전극(331)은 표시 소자(액정 소자, 발광 소자, 콘트라스트 매체(전자잉크) 등)를 구동하는 한 전극으로서 기능한다. 이러한 표시 소자의 다른 전극은 공통 단자(333)에 접속된다.

[0082] 일부 보호 회로는 화소부(327)와 신호선 입력 단자(322) 사이에 배치되어 있다. 또한, 다른 보호 회로는 주사선 구동 회로와 화소부(327) 사이에 배치되어 있다. 본 실시예에서는, 복수의 보호 회로를 배치하여, 정전기 등으로 인해 서지 전압이 주사선(323), 신호선(324), 용량 버스선(337)에 인가될 때 화소 TFT(329) 등이 파괴되지 않는다. 따라서, 보호 회로는 서지 전압이 인가될 때 공통 배선에 전하가 방출한다.

[0083] 본 실시예에서는, 주사선(323) 측, 신호선(324) 측, 용량 버스선(337) 측에 보호 회로(334), 보호 회로(335), 보호 회로(336)를 각각 배치한 예를 나타내고 있다. 보호 회로의 배치 위치는 이에 한정되지 않는다는 점에 주목한다. 또한, IC 등의 반도체 장치를 이용하여 주사선 구동 회로를 실장하지 않는 경우에는, 주사선(323) 측에 보호 회로(334)를 설치하지 않아도 된다.

[0084] 이러한 회로들에 대하여 제1 실시예 또는 제2 실시예에서 설명한 TFT를 사용함으로써, 이하와 같은 이점들을 얻을 수 있다.

[0085] 구동 회로는 논리 회로부 및 스위치부 또는 버퍼부로 크게 구별된다. 논리 회로부에 설치되는 TFT는 임계 전압을 제어할 수 있는 구조를 갖는 것이 바람직하다. 반면, 스위치부 또는 버퍼부에 설치되는 TFT는 큰 온 전류를 갖는 것이 바람직하다. 제1 실시예 또는 제2 실시예에서 설명한 TFT를 갖는 구동 회로를 설치함으로써, 논리 회로부에 설치되는 TFT의 임계 전압을 제어할 수 있고, 스위치부 또는 버퍼부에 설치되는 TFT의 온 전류를 증가시킬 수 있다. 또한, 제1 실시예 또는 제2 실시예에서 설명한 TFT는 구동 회로가 점유하는 면적을 작게 하고 프레임율을 높게 하는 데 기여한다.

[0086] 이하, 주사선 구동 회로에 포함된 시프트 레지스터 회로를 설명한다. 도 5에 도시한 시프트 레지스터 회로는, 복수의 플립플롭 회로(351), 제어 신호선(352), 제어 신호선(353), 제어 신호선(354), 제어 신호선(355), 제어 신호선(356) 및 리셋선(357)을 포함한다.

- [0087] 도 5의 시프트 레지스터 회로에 도시한 바와 같이, 플립플롭 회로(351)에서는, 제1 단의 입력 단자 IN에 제어 신호선(352)을 통해 스타트 펄스 SSP가 입력되고, 다음 단의 입력 단자 IN에 이전 단의 플립플롭 회로(351)의 출력 신호 단자 S<sub>OUT</sub>이 접속되어 있다. 또한, N번째 단(N은 자연수)의 리셋 단자 RES는 리셋선(357)을 통해 (N+3)번째 단의 플립플롭 회로의 출력 신호 단자 S<sub>OUT</sub>에 접속되어 있다. 제어 신호선(353)을 통해 N번째 단의 플립플롭 회로(351)의 클록 단자 CLK에 제1 클록 신호 CLK1이 입력된다고 가정하면, (N+1)번째 단의 플립플롭 회로(351)의 클록 단자 CLK에는 제어 신호선(354)을 통해 제2 클록 신호 CLK2가 입력된다. (N+2)번째 단의 플립플롭 회로(351)의 클록 단자 CLK에는 제어 신호선(355)을 통해 제3 클록 신호 CLK3이 입력된다. (N+3)번째 단의 플립플롭 회로(351)의 클록 단자 CLK에는 제어 신호선(356)을 통해 제4 클록 신호 CLK4가 입력된다. 이어서, (N+4)번째 단의 플립플롭 회로(351)의 클록 단자 CLK에는 제어 신호선(353)을 통해 제1 클록 신호 CLK1이 입력된다. 또한, N번째 단의 플립플롭 회로(351)는 게이트 출력 단자 G<sub>OUT</sub>으로부터 N번째 단의 플립플롭 회로의 출력 SR<sub>OUT</sub>N을 출력한다.
- [0088] 플립플롭 회로(351), 전원 및 전원선 간의 접속은 도시되어 있지 않으나, 각 플립플롭 회로(351)에는 전원선을 통해 전원 전위 V<sub>dd</sub> 및 전원 전위 GND가 공급된다는 점에 주목한다.
- [0089] 본 명세서에서 설명하는 전원 전위는 기준 전위가 0V인 경우의 전위차에 해당한다는 점에 주목한다. 따라서, 전원 전위를 전원 전압이라 칭하기도 하며, 또는 일부 경우에 전원 전압을 전원 전위라 칭하기도 한다.
- [0090] 본 명세서에서, "A와 B가 서로 접속되어 있다"는 표현은 A와 B가 서로 직접 접속되어 있는 것 외에도 A와 B가 서로 전기적으로 접속되어 있는 경우를 포함한다는 점에 주목한다. 여기서, "A와 B가 서로 전기적으로 접속되어 있다"는 표현은, A와 B 사이에 어떠한 전기적 작용을 갖는 대상물이 존재할 때 그 대상물을 통해 A와 B가 대략 동일한 전위를 갖는 경우를 포함한다. 구체적으로, "A와 B가 서로 전기적으로 접속되어 있다"는 표현은, 회로 동작을 고려할 때 A와 B가 대략 동 전위를 갖는 것으로 고려하는 경우를 포함하며, 예를 들어, TFT와 같은 스위칭 소자를 통해 A와 B가 접속되고 그 스위칭 소자의 도통에 의해 A와 B가 대략 동 전위를 갖는 경우, 저항 소자를 통해 A와 B가 접속되고 저항 소자의 양단에서 발생하는 전위들 간의 전위차가 A와 B를 포함한 회로의 동작에 영향을 끼치지 않는 경우 등이 있다.
- [0091] 다음으로, 도 6은 도 5에 도시한 시프트 레지스터 회로에 포함된 플립플롭 회로(351)의 일 형태를 도시한다. 도 6에 도시한 플립플롭 회로(351)는 논리 회로부(361)와 스위치부(362)를 포함한다. 논리 회로부(361)는 TFT(363 내지 368)를 포함한다. 또한, 스위치부(362)는 TFT(369 내지 372)를 포함한다. 논리 회로부는 외부로부터 입력되는 신호에 따라 후단의 회로인 스위치부에 출력되는 신호를 전환하기 위한 회로라는 점에 주목한다. 또한, 스위치부는, 외부 및 제어 회로로부터 입력되는 신호에 따라 스위치로서 기능하는 TFT의 온/오프의 전환하고 그 TFT의 크기 및 구조에 따른 전류를 출력하기 위한 회로이다.
- [0092] 플립플롭 회로(351)에서, 입력 단자 IN은 TFT(364)의 게이트 단자 및 TFT(367)의 게이트 단자에 접속되어 있다. 리셋 단자 RES는 TFT(363)의 게이트 단자에 접속되어 있다. 클록 단자 CLK는 TFT(369)의 제1 단자 및 TFT(371)의 제1 단자에 접속되어 있다. 전원 전위 V<sub>dd</sub>가 공급되는 전원선은 TFT(364)의 제1 단자, TFT(366)의 게이트 단자와 제2 단자에 접속되어 있다. 전원 전위 GND가 공급되는 전원선은 TFT(363)의 제2 단자, TFT(365)의 제2 단자, TFT(367)의 제2 단자, TFT(368)의 제2 단자, TFT(370)의 제2 단자 및 TFT(372)의 제2 단자에 접속되어 있다. 또한, TFT(363)의 제1 단자, TFT(364)의 제2 단자, TFT(365)의 제1 단자, TFT(368)의 게이트 단자, TFT(369)의 게이트 단자 및 TFT(371)의 게이트 단자는 서로 접속되어 있다. TFT(366)의 제1 단자는 TFT(365)의 게이트 단자, TFT(367)의 제1 단자, TFT(368)의 제1 단자, TFT(370)의 게이트 단자 및 TFT(372)의 게이트 단자에 접속되어 있다. 또한, 게이트 출력 단자 G<sub>OUT</sub>는 TFT(369)의 제2 단자 및 TFT(370)의 제1 단자에 접속되어 있다. 출력 신호 단자 S<sub>OUT</sub>은 TFT(371)의 제2 단자 및 TFT(372)의 제1 단자에 접속되어 있다.
- [0093] 여기에서는 TFT(363 내지 372)가 모두 n채널 TFT인 경우에 관하여 설명한다는 점에 주목한다.
- [0094] TFT는 게이트, 드레인, 소스인 적어도 세 개의 단자를 갖는 소자이며, 드레인 영역과 소스 영역 사이에 채널 형성 영역을 갖는다는 점에 주목한다. 드레인 영역, 채널 형성 영역, 소스 영역을 통해 전류가 흐를 수 있다. 여기서, 소스와 드레인은 일부 경우에 TFT의 구조, 동작 조건 등에 따라 서로 교체될 수 있으며, 따라서, 어느 것이 소스이며 어느 것이 드레인인지를 결정하는 것은 곤란하다. 따라서, 소스 및 드레인으로서 기능하는 영역들을, 소스 및 드레인이라 칭하지 않고, 예를 들어, 제1 단자 및 제2 단자라고 각각 칭하는 경우도 있다. 이 경우에, 게이트로서 기능하는 단자는 게이트 단자라 칭한다.

- [0095] 이어서, 도 7은 도 6에 도시한 플립플롭 회로(351)의 레이아웃도의 일례를 도시한다.
- [0096] 도 7의 플립플롭 회로는, 전원 전위 Vdd가 공급되는 전원선(381), 리셋선(382), 제어 신호선(353), 제어 신호선(354), 제어 신호선(355), 제어 신호선(356), 제어 신호선(383), 전원 전위 GND가 공급되는 전원선(384), 논리 회로부(361) 및 스위치부(362)를 포함한다. 논리 회로부(361)는 TFT(363 내지 368)를 포함한다. 스위치부(362)는 TFT(369 내지 372)를 포함한다. 도 7에서는, 게이트 출력 단자 G<sub>OUT</sub>에 접속되는 배선 및 출력 신호 단자 S<sub>OUT</sub>에 접속되는 배선도 도시하고 있다.
- [0097] 도 7은 반도체층(385), 제1 배선층(386), 제2 배선층(387), 제3 배선층(388), 콘택트 홀(389)을 도시한다. 제1 배선층(386)은 게이트 전극의 층에 의해 형성되고, 제2 배선층(387)은 TFT의 소스 전극 및 드레인 전극의 층에 의해 형성되고, 제3 배선층(388)은 화소부에서의 화소 전극의 층에 의해 형성되어도 된다는 점에 주목한다. 그러나, 이러한 예로 한정되지 않고, 예를 들어, 제3 배선층(388)을 화소 전극의 층과는 다른 층으로서 형성해도 된다.
- [0098] 도 7의 회로 소자들 간의 접속 관계는 도 6에서 설명한 바와 같다는 점에 주목한다. 도 7에서는, 도 7은 제1 클록 신호가 입력되는 플립플롭 회로를 도시하고 있으므로, 제어 신호선(354 내지 356)에 대한 접속은 도시되어 있지 않다는 점에 주목한다.
- [0099] 도 7의 플립플롭 회로의 레이아웃도에서는, 논리 회로부(361)에 포함된 TFT(366) 또는 TFT(367)의 임계 전압을 제어함으로써, EDMOS 회로(373)를 형성할 수 있다. 통상적으로, TFT(366)가 디플리션형이고 TFT(367)가 인헨스먼트형인 EDMOS 회로(373)를 형성하고, 스위치부(362)에 포함된 TFT(369 내지 372)는 듀얼 게이트 TFT 또는 디플리션형 TFT이다. 도 6에서, EDMOS 회로(373)에서의 TFT(366)와 TFT(367)는 디플리션형 TFT의 게이트 전극의 접속 위치에 있어서 도 2a 내지 도 2c에 도시한 EDMOS 회로와는 다른 TFT이다.
- [0100] TFT(366) 또는 TFT(367)를 듀얼 게이트 TFT로 되도록 형성하고 백 게이트 전극의 전위를 제어함으로써, 디플리션형 TFT 또는 인헨스먼트형 TFT를 형성할 수 있다.
- [0101] 도 7에서는, TFT(366)의 임계 전압을 제어하기 위한 백 게이트 전극과 동일한 전위를 갖는 제어 신호선(390)을 별도 설치하여 디플리션형을 형성한다. TFT(366)는 듀얼 게이트 TFT이며, 백 게이트 전극의 전위는 게이트 전극에 인가되는 전원 전위 Vdd가 공급되는 전원선(381)의 전위와는 다르다.
- [0102] 도 7은, TFT(369 내지 372)가 듀얼 게이트 TFT이며, 백 게이트 전극들과 게이트 전극들이 동 전위를 갖는 일례를 도시하며, 백 게이트 전극들의 각각의 전위는 게이트 전극에 인가되는 전원 전위 Vdd가 공급되는 전원선의 전위와 동일한 전위이다.
- [0103] 이러한 식으로, 표시 장치의 화소부 및 구동 회로에 배치되는 TFT를, 산화물 반도체층을 사용한 n채널 TFT만으로 형성할 수 있다.
- [0104] 또한, 논리 회로부(361)의 TFT(366)는 전원 전위 Vdd에 따라 전류를 공급하기 위한 TFT이다. TFT(366)를 듀얼 게이트형 TFT 또는 디플리션형 TFT로 되도록 형성하여 흐르는 전류를 크게 함으로써, 성능 저하 없이 TFT의 소형화를 도모할 수 있다.
- [0105] 또한, 스위치부(362)에 포함된 TFT에서, 그 TFT에 흐르는 전류량을 증가시킬 수 있고 온/오프의 전환을 고속으로 수행할 수 있기 때문에, 성능 저하 없이 TFT가 차지하는 면적을 축소할 수 있다. 따라서, TFT를 포함하는 회로가 차지하는 면적도 축소할 수 있다. 스위치부(362)의 TFT(369 내지 372)는 도면에 도시한 바와 같이 반도체층(385)을 제1 배선층(386)과 제3 배선층(388) 사이에 개재하도록 듀얼 게이트 TFT로 형성되어도 된다는 점에 주목한다.
- [0106] 도 7에서는, 듀얼 게이트 TFT의 각각이, 제1 배선층(386) 및 콘택트 홀(389)을 통해 서로 접속됨으로써 동일한 전위를 갖는 제3 배선층(388) 사이에 반도체층(385)을 개재하는 구조를 갖는 예를 도시하고 있다. 그러나, 이러한 예로 특별히 한정되지는 않으며, 예를 들어, 제3 배선층(388)에 대하여 제어 신호선을 별도로 설치하여 제3 배선층(388)의 전위를 제1 배선층(386)으로부터 독립하여 제어하는 구조도 가능하다.
- [0107] 도 7에 도시한 플립플롭 회로의 레이아웃도에서, TFT(363 내지 372)의 채널 형성 영역의 형상을 U자형(역 C자형 또는 말굽형)으로 해도 된다는 점에 주목한다. 또한, 도 7에서는, 모든 TFT가 동일한 크기를 갖지만, 후단의 부하량에 따라 출력 신호 단자 S<sub>OUT</sub> 또는 게이트 출력 단자 G<sub>OUT</sub>에 접속되는 각 TFT의 크기를 적절히 변경해도 된다.

- [0108] 이어서, 도 5에 도시한 시프트 레지스터 회로의 동작을 도 8에 도시한 타이밍 차트를 참조하여 설명한다. 도 8은 도 5에 도시한 제어 신호선(352 내지 356)에 각각 공급되는 스타트 펄스 SSP, 제1 내지 제4 클록 신호 CLK1 내지 CLK4, 및 제1 내지 제5 단의 플립플롭 회로의 출력 신호 단자 S<sub>OUT</sub>으로부터 출력되는 S<sub>OUT1</sub> 내지 S<sub>OUT5</sub>를 도시한다. 도 8의 설명에서는 도 6과 도 7의 각 소자에 붙인 부호를 사용한다.
- [0109] 또한, 도 8은 플립플롭 회로에 포함된 TFT의 각각이 n채널 TFT인 경우의 타이밍 차트라는 점에 주목한다. 또한, 제1 클록 신호 CLK1은 도시한 바와 같이 제4 클록 신호 CLK4로부터 1/4 파장(점선에서 구분한 하나의 구간)만큼 시프트한 것이다.
- [0110] 우선, 기간 T1에서, 제1 단의 플립플롭 회로에는 스타트 펄스 SSP가 H 레벨로 입력되고, 논리 회로부(361)는 스위치부의 TFT(369, 371)를 턴온하고 TFT(370, 372)를 턴오프한다. 이때, 제1 클록 신호 CLK1은 L 레벨이므로, S<sub>OUT1</sub>은 L 레벨이다.
- [0111] 또한, 기간 T1에서, 제2 단 이후의 플립플롭 회로의 IN 단자에는 신호가 입력되지 않아서, 플립플롭 회로는 동작 없이 L 레벨을 출력한다는 점에 주목한다. 초기 상태에서는 시프트 레지스터 회로의 각 플립플롭 회로는 L 레벨을 출력하는 것으로서 가정하여 설명한다는 점에 주목한다.
- [0112] 이어서, 기간 T2에서, 제1단의 플립플롭 회로에서는 기간 T1과 마찬가지로 논리 회로부(361)가 스위치부(362)를 제어한다. 기간 T2에서는, 제1 클록 신호 CLK1은 H 레벨이고, 따라서 S<sub>OUT1</sub>은 H 레벨이 된다. 또한, 기간 T2에서는, 제2 단의 플립플롭 회로의 IN 단자에 S<sub>OUT1</sub>이 H 레벨로 입력되고, 논리 회로부(361)가 스위치부의 TFT(369, 371)를 턴온하고 TFT(370, 372)를 턴오프한다. 이때, 제2 클록 신호 CLK2는 L 레벨이므로, S<sub>OUT2</sub>는 L 레벨이다.
- [0113] 기간 T2에서, 제3단 이후의 플립플롭 회로의 IN 단자에는 신호가 입력되지 않기 때문에, 플립플롭 회로는 동작 없이 L 레벨을 출력한다는 점에 주목한다.
- [0114] 이어서, 기간 T3에서, 제1단의 플립플롭 회로에서 기간 T2의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)를 제어한다. 따라서, 기간 T3에서는, 제1 클록 신호 CLK1은 H 레벨이며, S<sub>OUT1</sub>은 H 레벨이 된다. 또한, 기간 T3에서, 제2 단의 플립플롭 회로에서는 기간 T2와 마찬가지로 논리 회로부(361)가 스위치부(362)를 제어한다. 기간 T3에서, 제2 클록 신호 CLK2는 H 레벨이므로, S<sub>OUT2</sub>는 H 레벨이다. 또한, 기간 T3에서 제3 단의 플립플롭 회로의 IN 단자에는 S<sub>OUT2</sub>가 H 레벨로 입력되고, 논리 회로부(361)는 스위치부의 TFT(369, 371)를 턴온하고, TFT(370, 372)를 턴오프한다. 이때, 제3 클록 신호 CLK3은 L 레벨이기 때문에, S<sub>OUT3</sub>은 L 레벨이다.
- [0115] 기간 T3에서, 제4 단 이후의 플립플롭 회로의 IN 단자에는 신호가 입력되지 않으므로, 플립플롭 회로는 동작 없이 L 레벨을 출력한다는 점에 주목한다.
- [0116] 이어서, 기간 T4에서, 제1 단의 플립플롭 회로에서는 기간 T3의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)를 제어한다. 따라서, 기간 T4에서, 제1 클록 신호 CLK1은 L 레벨이며 S<sub>OUT1</sub>은 L 레벨이 된다. 또한, 기간 T4에서, 제2 단의 플립플롭 회로에서는 기간 T3의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)를 제어한다. 따라서, 기간 T4에서, 제2 클록 신호 CLK2는 H 레벨이며 S<sub>OUT2</sub>는 H 레벨이 된다. 또한, 기간 T4에서, 제3 단의 플립플롭 회로에서는, 기간 T3과 마찬가지로, 논리 회로부(361)가 스위치부(362)를 제어한다. 기간 T4에서, 제3 클록 신호 CLK3은 H 레벨이므로, S<sub>OUT3</sub>은 H 레벨이다. 또한, 기간 T4에서 제4 단의 플립플롭 회로의 IN 단자에는 S<sub>OUT3</sub>이 H 레벨로 입력되고, 논리 회로부(361)는 스위치부(362)의 TFT(369, 371)를 턴온하고, TFT(370, 372)를 턴오프한다. 이때, 제4 클록 신호 CLK4는 L 레벨이므로, S<sub>OUT4</sub>는 L 레벨이다.
- [0117] 기간 T4에서, 제5 단 이후의 플립플롭 회로의 IN 단자에는 신호가 입력되지 않으므로, 플립플롭 회로는 동작 없이 L 레벨을 출력한다는 점에 주목한다.
- [0118] 이어서, 기간 T5에서, 제2 단의 플립플롭 회로에서는, 기간 T3의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)를 제어한다. 따라서, 기간 T5에서, 제2 클록 신호 CLK2는 L 레벨이며 S<sub>OUT2</sub>는 L 레벨이 된다. 또한, 기간 T5에서, 제3 단의 플립플롭 회로에서는, 기간 T4의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)를 제어한다. 따라서, 기간 T5에서, 제3 클록 신호 CLK3은 H 레벨이며 S<sub>OUT3</sub>은 H 레벨이 된다. 또한, 기간 T5

에서, 제4 단의 플립플롭 회로에서는, 기간 T4와 마찬가지로, 논리 회로부(361)가 스위치부(362)를 제어한다. 기간 T5에서, 제4 클럭 신호 CLK4는 H 레벨이므로, S<sub>OUT4</sub>는 H 레벨이다. 또한, 제5 단 이후의 플립플롭 회로는, 제1 단 내지 제4 단의 플립플롭 회로와 마찬가지로 입력되는 신호의 배선 접속 및 타이밍을 갖기 때문에, 그 설명은 생략한다.

[0119] 도 5의 시프트 레지스터 회로에 도시한 바와 같이, S<sub>OUT4</sub>는 제1 단의 플립플롭 회로의 리셋 신호로서 또한 기능한다. 기간 T5에서는, S<sub>OUT4</sub>가 H 레벨이 되고, 이 신호는 제1 단의 플립플롭 회로의 리셋 단자 RES에 입력된다. 리셋 신호가 입력되면, 스위치부(362)의 TFT(369, 371)를 턴오프하고, TFT(370, 372)를 턴온한다. 이어서, 제1 단의 플립플롭 회로의 S<sub>OUT1</sub>은 다음 스타트 펄스 SSP가 입력될 때까지 L 레벨을 출력한다.

[0120] 전술한 동작에 의해, 제2 단 이후의 플립플롭 회로에서도, 후단의 플립플롭 회로로부터 출력되는 리셋 신호에 기초하여 논리 회로부를 리셋한다. S<sub>OUT1</sub> 내지 S<sub>OUT5</sub>로 도시한 바와 같이, 클럭 신호의 1/4 파장만큼 시프트한 파형을 갖는 신호를 출력하는 시프트 레지스터 회로를 형성할 수 있다.

[0121] 인헨스먼트형 TFT와 디플리션형 TFT를 조합한 EDMOS 회로를 논리 회로부에 배치하고 듀얼 게이트 TFT를 스위치부에 배치한 구조를 플립플롭 회로가 갖는 경우, 논리 회로부(361)에 포함된 TFT에 흐르는 전류량을 증가시킬 수 있고, 성능 저하 없이 TFT가 차지하는 면적 및 TFT를 포함하는 회로가 차지하는 면적도 축소할 수 있다. 또한, 스위치부(362)에 포함된 TFT에서는, TFT에 흐르는 전류량을 증가시킬 수 있고, 온/오프의 전환을 고속으로 수행할 수 있기 때문에, 성능 저하 없이 TFT가 차지하는 면적 및 TFT를 포함하는 회로가 차지하는 면적도 축소할 수 있다. 따라서, 표시 장치의 프레임 협소화, 소형화, 고성능화를 도모할 수 있다.

[0122] 또한, 도 3a와 도 3b에 도시한 신호선 구동 회로에, 래치 회로, 레벨 시프터 회로 등을 설치할 수 있다. 신호선 구동 회로로부터 화소부에 신호를 보내는 최종 단계 버퍼부를 설치하고, 증폭된 신호를 신호선 구동 회로로부터 화소부에 보낸다. 따라서, 온 전류가 큰 TFT, 통상적으로는 듀얼 게이트형 TFT 또는 디플리션형 TFT를 버퍼부에 설치함으로써, TFT의 면적을 축소할 수 있고, 신호선 구동 회로가 차지하는 면적을 축소할 수 있다. 따라서, 표시 장치의 프레임 협소화, 소형화, 고성능화를 도모할 수 있다. 신호선 구동 회로의 일부인 시프트 레지스터는 고속 동작을 필요로 하므로, 시프트 레지스터는 IC 등을 사용해서 표시 장치에 실장하는 것이 바람직하다.

[0123] 또한, 본 실시예는 제1 실시예 또는 제2 실시예와 자유롭게 조합할 수 있다.

[0124] 제4 실시예

[0125] 본 실시예에서는, 제1 실시예에서 설명한 제2 박막 트랜지스터(170)를 포함하는 표시 장치의 제조 방법을 도 9의 (a) 내지 (c), 도 10의 (a) 내지 (c), 도 11, 도 12, 도 13, 도 14, 도 15a 내지 도 15d 및 도 16을 참조하여 설명한다.

[0126] 도 9a에서, 투광성을 갖는 기판(100)으로는, 바륨 붕규산 유리나 알루미늄 붕규산 유리 등의 유리 기판을 사용할 수 있다.

[0127] 계속해서, 도전층을 기판(100)의 전체 면에 형성한 후, 제1 포토리소그래피 공정에 의해 레지스트 마스크를 형성한다. 이어서, 에칭에 의해 불필요한 부분을 제거해서, 배선 및 전극(게이트 전극(101)을 포함하는 게이트 배선, 용량 배선(108) 및 제1 단자(121))을 형성한다. 이때, 적어도 게이트 전극(101)의 단부에 테이퍼 형상이 형성되도록 에칭을 수행한다. 이 단계에서의 단면도를 도 9a에 도시한다. 이 단계에서의 상면도는 도 11이라는 점에 주목한다.

[0128] 게이트 전극(101)을 포함하는 게이트 배선, 용량 배선(108), 및 단자부의 제1 단자(121)는 알루미늄(Al)이나 구리(Cu) 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 그러나, 알루미늄 단체로는 내열성이 떨어지고 부식하기 쉬운 등의 문제점이 있다. 따라서, 알루미늄은 내열성 도전성 재료와 조합하여 사용된다. 내열성 도전성 재료로는, 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택되는 원소, 상술한 원소들 중 임의의 원소를 포함하는 합금, 상술한 원소들 중 임의의 원소의 조합을 포함하는 합금막, 또는 상술한 원소들 중 임의의 원소를 성분으로 하는 질화물을 이용할 수 있다.

[0129] 계속해서, 게이트 전극(101) 위로 게이트 절연층(102)을 전체 면에 걸쳐 형성한다. 게이트 절연층(102)은 스퍼터링법 등에 의해 50nm 내지 400nm의 두께로 형성된다. 박막 트랜지스터의 수율을 우선할 경우에는, 게이트 절연층(102)의 두께를 두껍게 하는 것이 바람직하다.

- [0130] 예를 들어, 게이트 절연층(102)으로서, 스퍼터링법에 의해 100nm의 두께로 산화 실리콘막을 형성한다. 물론, 게이트 절연층(102)은 이러한 산화 실리콘막으로 한정되지 않고, 산화 질화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 산화 탄탈륨 막 등의 다른 절연막을 사용하여 단층 또는 적층 구조를 형성해도 된다. 또한, 게이트 절연층(102)으로서 산화 질화 실리콘막, 질화 실리콘막 등을 사용하는 경우, 유리 기판으로부터의 불순물, 예를 들어, 나트륨이 확산하여 이후에 형성되는 산화물을 반도체 내로 침입하는 것을 방지할 수 있다.
- [0131] 산화물 반도체막을 형성하기 전에 아르곤 가스를 도입해서 플라즈마를 발생시키는 역 스퍼터링에 의해 게이트 절연층의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다는 점에 주목한다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 된다. 대안으로, 아르곤 분위기에 산소, 수소, N<sub>2</sub>O 및/또는 기타를 첨가한 분위기에서 역 스퍼터링을 수행해도 된다. 다른 대안으로, 아르곤 분위기에 Cl<sub>2</sub>, CF<sub>4</sub> 및/또는 기타를 첨가한 분위기에서 역 스퍼터링을 수행해도 된다.
- [0132] 이어서, 게이트 절연층(102) 위에 제1 산화물 반도체막(본 실시예에서는 제1 In-Ga-Zn-O계 비 단결정막)을 형성한다. 플라즈마 처리 후 대기에 노출되지 않고 제1 In-Ga-Zn-O계 비 단결정막을 형성함으로써 게이트 절연층과 반도체막 간의 계면에 먼지나 수분이 부착되는 문제를 피할 수 있다. 여기서, 제1 In-Ga-Zn-O계 비 단결정막은, 직경 8인치의 In(인듐), Ga(갈륨) 및 Zn(아연)을 포함하는 산화물 반도체 타겟(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:1)을 사용하고, 기판과 타겟 사이의 거리가 170mm, 압력을 0.4Pa, 직류(DC) 전원이 0.5kW로 설정된 조건으로 아르곤 또는 산소 분위기에서 형성된다. 펄스 직류(DC) 전원을 사용하면 먼지를 줄일 수 있고 막 두께가 균일할 수 있기 때문에 바람직하다는 점에 주목한다. 제1 In-Ga-Zn-O계 비 단결정막의 두께는 5nm 내지 200nm로 설정한다. 본 실시예에서는 제1 In-Ga-Zn-O계 비 단결정막의 막 두께가 100nm이다.
- [0133] 계속해서, 대기에 노출되지 않고 제2 산화물 반도체막(본 실시예에서는 제2 In-Ga-Zn-O계 비 단결정막)을 스퍼터링법에 의해 형성한다. 여기에서는, 타겟이 인듐 산화물(In<sub>2</sub>O<sub>3</sub>), 갈륨 산화물(Ga<sub>2</sub>O<sub>3</sub>), 아연 산화물(ZnO)을 1:1:1(=In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO)의 비로 포함하고, 증착 챔버 내의 압력을 0.4Pa로 설정하고, 전력을 500W로 하고, 증착 온도를 실온으로 하고, 아르곤 가스 유량을 40sccm으로 하는 조건으로 스퍼터링 증착을 수행한다. In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:1로 한 타겟을 의도적으로 사용하고 있지만, 일부 경우에는 형성 직후에 크기 1nm 내지 10nm의 결정립을 포함하는 In-Ga-Zn-O계 비 단결정막을 형성한다. 또한, 타겟의 성분비, 증착 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W: 8인치 ϕ), 온도(실온 내지 100℃) 등의 반응성 스퍼터링의 증착 조건을 적절히 조절함으로써, 결정립의 유무와 결정립의 밀도 제어 및 1nm 내지 10nm의 범위 내에서의 결정립의 직경 조절을 행할 수 있다. 제2 In-Ga-Zn-O계 비 단결정막의 막 두께는 5nm 내지 20nm로 한다. 물론, 막에 포함된 결정립의 크기는 막 두께를 초과하지 않는다. 본 실시예에서는, 제2 In-Ga-Zn-O계 비 단결정막의 두께를 5nm로 한다.
- [0134] 제1 In-Ga-Zn-O계 비 단결정막은 제2 In-Ga-Zn-O계 비 단결정막과는 다른 조건으로 형성된다. 예를 들어, 제2 In-Ga-Zn-O계 비 단결정막의 증착 조건에서의 산소 가스 유량 및 아르곤 가스 유량과 비교해 볼 때, 제1 In-Ga-Zn-O계 비 단결정막의 증착 조건에서의 산소 가스 유량이 증가된다. 구체적으로, 제2 In-Ga-Zn-O계 비 단결정막은 회가스(아르곤 또는 헬륨 등) 분위기 (또는 10% 이하의 산소 및 90% 이상의 아르곤을 포함하는 가스)에서 형성되는 한편, 제1 In-Ga-Zn-O계 비 단결정막은 산소 분위기(또는 산소 가스 유량이 아르곤 가스 유량 이상인 분위기)에서 형성된다.
- [0135] 제2 In-Ga-Zn-O계 비 단결정막은, 역 스퍼터링을 먼저 수행한 챔버와 동일 챔버에서 형성되어도 되고, 또는 역 스퍼터링을 먼저 수행한 챔버와는 다른 챔버에서 형성되어도 된다.
- [0136] 스퍼터링의 예로는, 스퍼터용 전원으로 고주파 전원을 사용하는 RF 스퍼터링, DC 스퍼터링, 펄스식으로 바이어스를 부여하는 펄스 DC 스퍼터링이 있다.
- [0137] 또한, 서로 다른 재료의 복수의 타겟을 설치할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터 장치를 이용하면, 동일 챔버에서 다른 재료 막들을 적층 형성할 수 있고, 또는 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 형성할 수도 있다.
- [0138] 또한, 챔버 내부에 자석 시스템을 구비하고 마그네트론 스퍼터링을 이용하는 스퍼터링 장치, 및 글로우 방전을 사용하지 않고 마이크로파를 사용해서 발생시킨 플라즈마를 사용하는 ECR 스퍼터링을 이용하는 스퍼터링 장치가 있다.

- [0139] 또한, 스퍼터링에 의한 증착법으로서, 증착 중에 타겟 물질과 스퍼터링 가스 성분을 화학반응시켜 그것의 화합물 박막을 형성하는 반응성 스퍼터링, 및 증착 중에 기판에도 전압을 인가하는 바이어스 스퍼터링이 있다.
- [0140] 이어서, 제2 포토리소그래피 공정을 수행하여 레지스트 마스크를 형성하고, 제1 In-Ga-Zn-O계 비 단결정막 및 제2 In-Ga-Zn-O계 비 단결정막을 에칭한다. 여기서, IT007N(KANTO CHEMICAL CO., INC.에 의해 제조됨)을 사용한 습식 에칭에 의해 불필요한 부분을 제거하여, 제1 In-Ga-Zn-O계 비 단결정막인 산화물 반도체막(109) 및 제2 In-Ga-Zn-O계 비 단결정막인 산화물 반도체막(111)을 형성한다. 이러한 에칭 공정은 습식 에칭으로 한정되지 않고 건식 에칭을 사용해도 된다는 점에 주목한다. 이 단계에서의 단면도는 도 9b에 도시되어 있다. 이 단계에서의 상면도가 도 12라는 점에 주목한다.
- [0141] 계속해서, 제3 포토리소그래피 공정을 수행하여 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 게이트 전극층과 같은 재료의 배선이나 전극층에 도달하는 콘택트 홀을 형성한다. 이 콘택트 홀은 후에 형성되는 도전막과 직접 접촉하기 위해 형성된다. 예를 들어, 구동 회로부에서는, 게이트 전극층이 소스 전극층이나 드레인 전극층과 직접 접하는 박막 트랜지스터, 또는 단자부의 게이트 배선에 전기적으로 접속되는 단자를 형성하는 경우에 콘택트 홀을 형성한다. 본 실시예에서는, 제3 포토리소그래피 공정에 의해 후에 형성되는 도전막과 직접 접촉하기 위한 콘택트 홀을 형성하는 예를 설명하고 있지만, 특별히 한정되지 않고, 화소 전극과의 접속을 위한 콘택트 홀과 동일한 공정에서 게이트 전극층에 도달하는 콘택트 홀을 나중에 형성해도 되며, 화소 전극과 같은 재료에서 전기적인 접속을 행해도 된다. 화소 전극과 같은 재료를 사용하여 전기적인 접속을 행하는 경우에는, 마스크 수를 하나 줄일 수 있다.
- [0142] 이어서, 산화물 반도체막(109) 및 산화물 반도체막(111) 위로 금속 재료로 이루어지는 도전막(132)을 스퍼터링 법이나 진공 증착법에 의해 형성한다. 이 단계에서의 단면도를 도 9c에 도시한다.
- [0143] 도전막(132)의 재료로는, Al, Cr, Ta, Ti, Mo, W 중에서 선택되는 원소, 상술한 원소들 중 임의의 원소를 성분으로 하는 합금, 상술한 원소들 중 임의의 원소의 조합을 포함하는 합금 등을 들 수 있다. 200℃ 내지 600℃의 열처리를 수행하면, 도전막이 열처리에 견디는 내열성을 갖는 것이 바람직하다. 알루미늄 단체에서는 내열성이 떨어지고, 부식하기 쉬운 등의 문제점이 있으므로, 알루미늄은 내열성이 있는 도전성 재료와 조합하여 사용된다. 알루미늄과 조합되는 내열성 도전성 재료로는, 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택되는 원소, 상술한 원소들 중 임의의 원소를 포함하는 합금, 상술한 원소들 중 임의의 원소를 조합한 합금, 또는 상술한 원소들 중 임의의 원소를 포함하는 질화물을 사용하는 것이 바람직하다.
- [0144] 여기서, 도전막(132)은 티타늄막의 단층 구조를 갖는다. 또한, 도전막(132)은, 알루미늄막 위로 티타늄막을 적층한 2층 구조를 가져도 된다. 대안으로, 도전막(132)은 티타늄(Ti)막, 네오디뮴(Nd)을 포함하는 알루미늄막(Al-Nd 막), 티타늄(Ti)막을 순서대로 적층한 3층 구조를 가져도 된다. 다른 대안으로, 도전막(132)은 실리콘을 포함하는 알루미늄막의 단층 구조로 해도 된다.
- [0145] 이어서, 제4 포토리소그래피 공정을 수행하여 레지스트 마스크(131)를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 소스 전극층(105a)과 드레인 전극층(105b), 소스 및 드레인 영역들로서 기능하는 n<sup>+</sup>층(104a, 104b) 및 접속 전극(120)을 형성한다. 이러한 에칭 공정은 습식 에칭 또는 건식 에칭에 의해 수행된다. 예를 들어, 도전막(132)으로서 알루미늄막 또는 알루미늄 합금 막을 사용하는 경우에, 인산, 아세트산, 질산을 혼합한 용액을 사용하여 습식 에칭을 수행할 수 있다. 여기서, 암모니아 과산화수소 혼합물(과산화수소:암모니아:물 = 5:2:2)을 사용하는 경우에, 티타늄(Ti)의 도전막(132)을 습식 에칭하여 소스 및 드레인 전극층들(105a, 105b)을 형성하고, 산화물 반도체막(111)을 습식 에칭하여 n<sup>+</sup>층들(104a, 104b)을 형성한다. 이 에칭 공정에서, 산화물 반도체막(109)의 노출 영역을 부분적으로 에칭하여 산화물 반도체층(103)으로 된다. 이러한 식으로, n<sup>+</sup>층들(104a, 104b) 사이의 산화물 반도체층(103)의 채널 영역은 두께가 얇은 영역이다. 도 10의 (a)에서, 소스 및 드레인 전극층들(105a, 105b) 및 n<sup>+</sup>층들(104a, 104b)을 암모니아 과산화수소 혼합물을 이용한 에칭에 의해 동시에 형성하고, 이에 따라, 소스 및 드레인 전극층들(105a, 105b)의 단부들이 n<sup>+</sup>층들(104a, 104b)의 단부들과 정렬되어, 그 단부들이 연속적으로 된다. 또한, 습식 에칭을 사용함으로써 그 층들을 등방적으로 에칭할 수 있어서, 소스 및 드레인 전극층들(105a, 105b)의 단부들이 레지스트 마스크(131)로부터 리세스된다. 전술한 공정들을 통해, 산화물 반도체층(103)을 자신의 채널 형성 영역으로서 포함하는 제2 박막 트랜지스터(170)를 제조할 수 있다. 이 단계에서의 단면도를 도 10의 (a)에 도시한다. 이 단계에서의 상면도는 도 13이라는 점에 주목한다.

다.

- [0146] 계속해서, 200℃ 내지 600℃, 통상적으로는 300℃ 내지 500℃의 열처리를 수행하는 것이 바람직하다. 여기서는, 질소 분위기 하에 로(furnace)에서 350℃의 열처리를 1시간 동안 수행한다. 이 열처리에 의해 In-Ga-Zn-O계 비 단결정막의 원자 레벨의 재배열이 행해진다. 이 공정에서 (광 어닐링을 포함하는) 이 열처리는 캐리어의 이동을 저해하는 스트레인이 해제되기 때문에 중요하다. 열처리의 타이밍은 특별히 한정되지 않으며, 열 처리는 제2 In-Ga-Zn-O계 비 단결정막의 증착 후에, 예를 들어, 화소 전극 형성 후에, 수행되어도 된다는 점에 주목한다.
- [0147] 또한, 산화물 반도체층(103)의 노출된 채널 형성 영역에 산소 라디칼 처리를 수행해도 되며, 이에 따라 노멀리 오프 박막 트랜지스터를 얻을 수 있다. 또한, 라디칼 처리에 의해 산화물 반도체층(103)의 에칭으로 인한 손상을 복구할 수 있다. 라디칼 처리는 O<sub>2</sub> 또는 N<sub>2</sub>O의 분위기, 바람직하게는 산소를 포함하는 N<sub>2</sub>, He, 또는 Ar 분위기에서 수행하는 것이 바람직하다. 또한, 라디칼 처리는 전술한 분위기에 Cl<sub>2</sub> 및/또는 CF<sub>4</sub>를 첨가한 분위기에서 수행해도 된다. 라디칼 처리는 바이어스 없이 수행하는 것이 바람직하다는 점에 주목한다.
- [0148] 제4 포토리소그래피 공정에서는, 소스 및 드레인 전극층들(105a, 105b)과 동일한 재료로 된 제2 단자(122)를 단자부에 남긴다. 제2 단자(122)는 소스 배선(소스 및 드레인 전극층들(105a, 105b)을 포함하는 소스 배선)에 전기적으로 접속되어 있다는 점에 주목한다.
- [0149] 또한, 단자부에서, 접속 전극(120)은 게이트 절연막에 형성된 콘택트 홀을 통해 단자부의 제1 단자(121)에 직접 접속된다. 여기서는 도시하지 않았지만, 상술한 공정들과 동일한 공정들을 거쳐 구동 회로의 박막 트랜지스터의 소스 배선 혹은 드레인 배선이 게이트 전극에 직접 접속된다는 점에 주목한다.
- [0150] 또한, 다계조 마스크에 의해 형성된 복수(통상적으로는 서로 다른 2개)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 수를 저감시킬 수 있어서, 공정 간략화 및 저 비용화가 도모된다.
- [0151] 계속해서, 레지스트 마스크(131)를 제거하고, 제2 박막 트랜지스터(170)를 덮는 보호 절연층(107)을 형성한다. 보호 절연층(107)으로는, 스퍼터링법 등을 사용해서 얻어지는, 질화 실리콘막, 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 산화 탄탈륨막 등의 단층 또는 적층을 사용할 수 있다. 구동 회로의 일부의 박막 트랜지스터에서는, 보호 절연층(107)이 제2 게이트 절연층으로서 기능하고 그 위에 제2 게이트 전극을 형성한다. 보호 절연층(107)의 두께는 50nm 내지 400nm이다. 박막 트랜지스터의 수율을 우선할 경우에, 보호 절연층(107)의 막 두께는 두꺼운 것이 바람직하다. 또한, 보호 절연층(107)으로서, 산화 질화 실리콘막 또는 질화 실리콘막 등을 사용하는 경우, 보호 절연층(107)의 형성 후에 소정의 원인으로 인해 부착되는 불순물, 예를 들어 나트륨이 확산되어 산화물 반도체에 침입하는 것을 방지할 수 있다.
- [0152] 이어서, 제5 포토리소그래피 공정을 수행하여 레지스트 마스크를 형성하고, 보호 절연층(107)을 에칭하여 드레인 전극층(105b)에 도달하는 콘택트 홀(125)을 형성한다. 또한, 이 에칭에 의해 제2 단자(122)에 도달하는 콘택트 홀(127) 및 접속 전극(120)에 도달하는 콘택트 홀(126)도 형성한다. 이 단계에서의 단면도를 도 10의 (b)에 도시한다.
- [0153] 계속해서, 레지스트 마스크를 제거한 후, 투명 도전막을 형성한다. 투명 도전막은, 스퍼터링법, 진공 증착법 등에 의해 산화인듐(In<sub>2</sub>O<sub>3</sub>), 산화인듐-산화주석 합금(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>, ITO라 약칭함) 등으로 형성된다. 이러한 재료는 염산계 용액에 의해 에칭된다. 그러나, 특히 ITO의 에칭시 잔여물이 발생하기 쉬우므로, 에칭 가공성을 개선하도록 산화인듐-산화아연 합금(In<sub>2</sub>O<sub>3</sub>-ZnO)을 사용해도 된다.
- [0154] 이어서, 제6 포토리소그래피 공정을 수행하여 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서, 화소 전극(110)을 화소부에 형성한다. 이 제6 포토리소그래피 공정에서, 구동 회로에서는, 회로의 일부에 화소 전극(110)과 같은 재료를 사용하여 산화물 반도체층 위로 임계값을 제어하기 위한 전극층(백 게이트 전극)을 형성한다. 백 게이트 전극을 갖는 박막 트랜지스터는 도 1a를 참조하여 제1 실시예에서 설명하고 있으므로, 여기서는 그 상세한 설명을 생략한다는 점에 주목한다.
- [0155] 제6 포토리소그래피 공정에서는, 용량부에서의 게이트 절연층(102) 및 보호 절연층(107)을 유전체로서 사용함으로써 용량 배선(108)과 화소 전극(110)으로부터 축적 용량이 형성된다. 여기에서는, 게이트 절연층(102) 및 보호 절연층(107)을 유전체로서 사용함으로써 용량 배선(108)과 화소 전극(110)으로부터 축적 용량을 형성하는 예를 설명하고 있다는 점에 주목한다. 그러나, 특별히 한정되지 않고, 소스 전극 또는 드레인 전극과 같은 재료

로 형성되는 전극을 용량 배선 위에 설치하고, 그 전극과 용량 배선으로부터 이들 사이의 게이트 절연층(102)을 유전체로서 사용하여 축적 용량을 형성함으로써, 전극과 화소 전극을 전기적으로 접속하는 구조를 채용해도 된다.

- [0156] 또한, 제6 포토리소그래피 공정에서, 제1 단자 및 제2 단자를 레지스트 마스크로 덮어 투명 도전막(128, 129)을 단자부에 남긴다. 투명 도전막(128, 129)은 FPC에 접속되는 전극 또는 배선으로서 기능한다. 제1 단자(121)에 직접 접속된 접속 전극(120) 위에 형성된 투명 도전막(128)은 게이트 배선의 입력 단자로서 기능하는 접속용 단자 전극이다. 제2 단자(122) 위에 형성된 투명 도전막(129)은 소스 배선의 입력 단자로서 기능하는 접속용 단자 전극이다.
- [0157] 이어서, 레지스트 마스크를 제거한다. 이 단계에서의 단면도가 도 10의 (c)에 도시되어 있다. 이 단계에서의 상면도는 도 14라는 점에 주목한다.
- [0158] 도 15a와 도 15b는 이 단계에서의 게이트 배선 단자부의 단면도 및 상면도를 각각 도시한다. 도 15a는 도 15b의 C1-C2 선을 따른 단면도이다. 도 15a에서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 15a의 단자부에서는, 게이트 배선과 같은 재료로 형성되는 제1 단자(151) 및 소스 배선과 같은 재료로 형성되는 접속 전극(153)이 게이트 절연층(152)을 개재하여 서로 겹치고, 전기적으로 접속되도록 서로 직접 접한다. 또한, 접속 전극(153)과 투명 도전막(155)은 전기적으로 접속되도록 보호 절연막(154)에 설치된 콘택트 홀을 통해 직접 접한다.
- [0159] 도 15c 및 도 15d는 소스 배선 단자부의 단면도 및 상면도를 각각 도시하고 있다. 도 15c는 도 15d의 D1-D2 선을 따른 단면도이다. 도 15c에서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 15c의 단자부에서는, 게이트 배선과 같은 재료로 형성되는 전극(156)이, 소스 배선과 전기적으로 접속되는 제2 단자(150) 아래에 형성되며 게이트 절연층(152)을 개재하여 제2 단자(150)와 접친다. 전극(156)은 제2 단자(150)에 전기적으로 접속되지 않고, 전극(156)의 전위를 제2 단자(150)의 전위와는 다른 전위, 예를 들어, 플로팅, GND, 0V로 설정하면, 노이즈나 정전기를 방지하기 위한 용량을 형성할 수 있다. 제2 단자(150)는 보호 절연막(154)을 통해 투명 도전막(155)에 전기적으로 접속된다.
- [0160] 게이트 배선, 소스 배선 및 용량 배선은 화소 밀도에 따라 복수 개 설치되는 것이다. 또한, 단자부에서는, 게이트 배선과 동 전위의 제1 단자, 소스 배선과 동 전위의 제2 단자, 용량 배선과 동 전위의 제3 단자 등이 복수 배열된다. 이러한 단자들의 각각의 수는 임의의 수이어도 되며, 단자들의 수는 실시자에 의해 적절히 결정되기도 된다.
- [0161] 이러한 6개의 포토리소그래피 공정에 의해, 6장의 포토마스크를 사용하여 보텀 게이트형 n 채널 박막 트랜지스터인 제2 박막 트랜지스터(170) 및 축적 용량을 완성할 수 있다. 그 박막 트랜지스터와 축적 용량을 화소들이 매트릭스 형상으로 배치되어 있는 화소부의 각 화소에 배치함으로써, 액티브 매트릭스형 표시 장치를 제조하기 위한 기관들 중 하나를 얻을 수 있다. 본 명세서에서는, 편의상 이러한 기관을 액티브 매트릭스 기관이라 칭한다.
- [0162] 화소 전극과 같은 재료를 사용해서 게이트 배선에 전기적으로 접속하는 구성으로 할 경우에는, 제3 포토리소그래피 공정을 생략할 수 있다. 따라서, 5회의 포토리소그래피 공정에 의해, 5장의 포토마스크를 사용하여 보텀 게이트형 n 채널 박막 트랜지스터인 제2 박막 트랜지스터 및 축적 용량을 완성할 수 있다.
- [0163] 또한, 도 1c에 도시한 바와 같이 제2 게이트 전극의 재료를 화소 전극의 재료와 상이하게 할 경우에는, 1회의 포토리소그래피 공정이 추가되어, 1장의 포토마스크가 추가된다.
- [0164] 액티브 매트릭스형 액정 표시 장치를 제조할 경우에는, 액티브 매트릭스 기관 및 대향 전극이 설치된 대향 기관 사이에 액정층을 개재하여 액티브 매트릭스 기관과 대향 기관을 서로 고정한다. 대향 기관 위에 설치된 대향 전극에 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기관 위에 설치하고, 공통 전극에 전기적으로 접속하는 제4 단자를 단자부에 설치한다는 점에 주목한다. 제4 단자는 공통 전극을 고정 전위, 예를 들어 GND 또는 0V로 설정하도록 설치되는 것이다.
- [0165] 또한, 화소 구조는 도 14의 화소 구조로 한정되지 않고, 도 14와는 다른 상면도의 일례를 도 16에 도시한다. 도 16은, 용량 배선을 설치하지 않고 화소 전극을 보호 절연막 및 게이트 절연층을 개재하여 인접하는 화소의 게이트 배선과 겹치게 하여 축적 용량을 형성하는 예를 도시한다. 이 경우, 용량 배선 및 용량 배선과 접속되는 제3 단자는 생략할 수 있다. 도 16에서는 도 14와 같은 부분에는 동일 부호를 사용해서 설명한다는 점에 주

목한다.

- [0166] 액티브 매트릭스형 액정 표시 장치에서는, 매트릭스 형상으로 배치된 화소 전극들을 구동하여 화면 위에 표시 패턴을 형성한다. 상세하게는, 선택된 화소 전극과 그 화소 전극에 대응하는 대향 전극 사이에 전압을 인가함으로써, 화소 전극과 대향 전극 사이에 배치된 액정층이 광학 변조되고 이 광학 변조가 표시 패턴으로서 관찰자에 의해 인식된다.
- [0167] 동화상 표시에 있어서, 액정 표시 장치에서는, 액정 분자 자체의 늦은 응답으로 인해 잔상이 발생하거나 동화상의 흐려짐이 발생한다는 문제점이 있다. 액정 표시 장치의 동화상 특성을 개선하기 위해, 전체면 위에 흑색 표시를 1 프레임 걸러 행하는, 소위, 흑 삽입(black insertion)이라는 구동 방법을 채용한다.
- [0168] 대안으로, 수직 주기를 통상적인 경우보다 1.5배 혹은 2배로 길게 함으로써 동화상 특성을 개선하는, 소위, 배속 구동(double-frame rate driving)이라는 구동 방법을 채용해도 된다.
- [0169] 다른 대안으로, 액정 표시 장치의 동화상 특성을 개선하기 위해, 백라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원을 사용해서 면 광원을 형성하고, 면 광원의 각 광원을 1 프레임 기간 내에 펄스식으로 독립적으로 구동하는 구동 방법을 채용해도 된다. 면 광원으로서, 3종류 이상의 LED를 사용해도 되고, 백색 발광의 LED를 사용해도 된다. 복수의 LED를 독립적으로 제어할 수 있기 때문에, LED의 발광 타이밍을 액정층의 광학 변조의 전환 타이밍과 동기시킬 수 있다. 이 구동 방법에 따르면, LED들을 부분적으로 소등할 수 있기 때문에, 특히 검은 표시 영역이 많은 영상 표시의 경우에는, 소비 전력의 저감 효과를 얻을 수 있다.
- [0170] 이러한 구동 방법들을 조합함으로써, 액정 표시 장치의 동화상 특성 등의 표시 특성을 종래의 액정 표시 장치의 표시 특성보다 개선할 수 있다.
- [0171] 본 실시예에서 얻어지는 n채널 트랜지스터는, 자신의 채널 형성 영역에 In-Ga-Zn-O계 비 단결정막을 사용하고, 양호한 동적 특성을 갖는다. 따라서, 이러한 구동 방법들을 본 실시예의 n채널 트랜지스터와 조합할 수 있다.
- [0172] 발광 표시 장치를 제조할 경우, 유기 발광 소자의 하나의 전극(캐소드라고도 칭함)은, 저 전원 전위, 예를 들어, GND 또는 0V 등으로 설정되기 때문에, 단자부에는 캐소드를 예를 들어, GND 또는 0V 등의 저 전원 전위로 설정하기 위한 제4 단자가 설치된다. 또한, 발광 표시 장치를 제조할 경우, 소스 배선 및 게이트 배선 외에 전원 공급선을 설치한다. 이에 따라, 단자부에는 전원 공급선에 전기적으로 접속되는 제5 단자를 설치한다.
- [0173] 게이트선 구동 회로 또는 소스선 구동 회로에서 산화물 반도체를 사용한 박막 트랜지스터를 이용함으로써, 제조 비용을 저감한다. 이어서, 구동 회로에 사용되는 박막 트랜지스터의 게이트 전극을 소스 배선 또는 드레인 배선과 직접 접속함으로써, 콘택트 홀의 수를 줄일 수 있고, 이에 따라 구동 회로의 점유 면적을 축소할 수 있는 표시 장치를 제공할 수 있다.
- [0174] 따라서, 본 실시예를 적용함으로써, 전기적 특성이 뛰어난 표시 장치를 저 비용으로 제공할 수 있다.
- [0175] 본 실시예는 제1 실시예, 제2 실시예, 제3 실시예 중 임의의 것과 자유롭게 조합할 수 있다.
- [0176] 제5 실시예
- [0177] 제5 실시예에서는, 반도체 장치로서 전자 페이퍼의 일례를 설명한다.
- [0178] 도 17은 액정 표시 장치와는 다른 일례로 액티브 매트릭스 전자 페이퍼를 도시한다. 반도체 장치의 화소부에 사용되는 박막 트랜지스터(581)는 제4 실시예에서 설명한 화소부의 박막 트랜지스터와 마찬가지로 제조할 수 있고, In-Ga-Zn-O계 비 단결정막을 반도체층으로서 포함하는 박막 트랜지스터이다. 또한, 제1 실시예에서 설명한 바와 같이, 동일 기판 위에 화소부와 구동 회로를 형성할 수 있고, 이에 따라 제조 비용을 저감한 전자 페이퍼를 실현할 수 있다.
- [0179] 도 17의 전자 페이퍼는 트위스트 볼 표시 시스템을 사용하는 표시 장치의 일례이다. 트위스트 볼 표시 시스템은, 백 또는 흑으로 착색된 구형 입자들을 표시 소자를 위해 사용되는 전극층들인 제1 전극층과 제2 전극층 사이에 배열하고, 제1 전극층과 제2 전극층에 사이에 전위차를 발생시켜 구형 입자들의 배향을 제어함으로써, 표시를 행하는 방법이다.
- [0180] 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터이며, 이 박막 트랜지스터의 소스 또는 드레인 전극층은 절연층들(583, 584, 585)에 형성된 개구부에서의 제1 전극층(587)과 접하며, 이에 따라 박막 트랜지스터(581)는 제1 전극층(587)과 전기적으로 접속한다. 제1 전극층(587)과 제2 전극층(588) 사이에는, 흑색 영역

(590a), 백색 영역(590b), 이러한 영역들 주위에 액체로 채워진 캐비티(594)를 각각 포함하는 구형 입자들(589)이 한 쌍의 기관(580, 596) 사이에 설치되어 있다. 구형 입자들(589)의 주위 공간은 수지 등의 충전재(595)로 충전되어 있다(도 17 참조).

[0181] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용하는 것도 가능하다. 투명한 액체와, 양으로 대전된 백색 미립자들, 음으로 대전된 흑색 미립자들을 밀봉한 직경 10 $\mu$ m 내지 200 $\mu$ m 정도의 마이크로 캡슐을 사용한다. 제1 전극층과 제2 전극층 사이에 설치되는 마이크로 캡슐에서는, 제1 전극층과 제2 전극층에 의해 전계가 인가되면, 백색 미립자와 흑색 미립자가 서로 반대측으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 이용한 표시 소자가 전기 영동 표시 소자이며 전자 페이퍼라 칭한다. 전기 영동 표시 소자는 액정 표시 소자에 비하여 반사율이 높기 때문에, 보조 라이트는 불필요하고, 소비 전력이 작고, 어두운 장소에서 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전력이 공급되지 않아도, 한번 표시한 영상을 유지하는 것이 가능하다. 이에 따라, 전파 발신원으로부터 표시 기능을 구비한 반도체 장치(간단히 표시 장치 또는 표시 장치를 구비한 반도체 장치라 칭해도 됨)가 떨어진 경우에도 표시된 영상을 보존할 수 있다.

[0182] 이상의 공정에 의해, 제조 비용이 저감된 전자 페이퍼를 반도체 장치로서 제조할 수 있다.

[0183] 본 실시예는 제1 실시예 또는 제2 실시예의 임의의 구성과 적절히 조합할 수 있다.

[0184] 제6 실시예

[0185] 제6 실시예에서는, 반도체 장치로서 발광 표시 장치의 일례를 설명한다. 표시 장치에 포함된 표시 소자로서, 여기서는 일렉트로루미네센스를 이용하는 발광 소자를 설명한다. 일렉트로루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지 무기 화합물인지에 따라 구별된다. 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라 칭한다.

[0186] 유기 EL 소자에서는, 발광 소자에 전압을 인가함으로써, 전자 및 정공이 한 쌍의 전극으로부터 발광성의 유기 화합물을 포함하는 층에 개별적으로 주입되어, 전류가 흐른다. 캐리어들(전자 및 정공)은 재결합되어, 발광성의 유기 화합물이 여기된다. 발광성의 유기 화합물은 여기 상태에서 기저 상태로 복귀하고, 이에 따라 발광한다. 이러한 메카니즘에 의해, 이 발광 소자는 전류 여기형 발광 소자라 칭한다.

[0187] 무기 EL 소자는 자신의 소자 구조에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자들이 바인더 내에 분산된 발광층을 갖고, 그 발광 메카니즘은 도너 준위와 어셉터 준위를 이용하는 도너-어셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층들 사이에 끼워 넣고, 이를 다시 전극들 사이에 끼운 구조를 갖고, 그 발광 메카니즘은 금속 이온들의 내각 전자 천이를 이용하는 국지형(localized) 발광이다. 여기에서는 발광 소자로서 유기 EL 소자의 일례를 설명한다는 점에 주목한다.

[0188] 도 18은, 반도체 장치의 일례로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구조의 일례를 도시한다.

[0189] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구조 및 동작을 설명한다. 본 실시예에서는, 하나의 화소가 두 개의 n채널 트랜지스터를 포함하고, 각 트랜지스터는 자신의 채널 형성 영역으로서 산화물 반도체층(In-Ga-Zn-O계 비 단결정막)을 포함한다.

[0190] 화소(6400)는, 스위칭 트랜지스터(6401), 구동 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 포함한다. 스위칭 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭 트랜지스터(6401)의 제1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되고, 스위칭 트랜지스터(6401)의 제2 전극(소스 전극 및 드레인 전극의 나머지 하나)은 구동 트랜지스터(6402)의 게이트에 접속되어 있다. 구동 트랜지스터(6402)의 게이트는 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 구동 트랜지스터(6402)의 제1 전극은 전원선(6407)에 접속되고, 구동 트랜지스터(6402)의 제2 전극은 발광 소자(6404)의 제1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 해당한다.

[0191] 또한, 발광 소자(6404)의 제2 전극(공통 전극(6408))은 저 전원 전위로 설정되어 있다. 저 전원 전위는 전원선(6407)에 설정되는 고 전원 전위를 기준으로 해서 저 전원 전위 < 고 전원 전위를 만족하는 전위이다. 저 전원 전위로는, 예를 들어 GND, 0V 등을 이용해도 된다. 고 전원 전위와 저 전원 전위 간의 전위차를 발광 소자(6404)에 인가하고, 발광 소자(6404)에 전류를 흘려, 발광 소자(6404)가 발광한다. 여기서, 발광 소자(6404)가 발광하도록, 고 전원 전위와 저 전원 전위 간의 전위차가 발광 소자(6404)의 순방향 임계 전압 이상이 되도록 각 전위를 설정한다.

[0192] 용량 소자(6403) 대신에 구동 트랜지스터(6402)의 게이트 용량을 사용해도 된다는 점에 주목한다. 구동 트랜지

스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에서 형성되어도 된다.

- [0193] 여기서, 전압 입력 전압 구동 방법의 경우에는, 구동 트랜지스터(6402)가 충분히 턴온되는 상태와 충분히 턴오프되는 상태 중 어느 하나의 상태에 있도록 구동 트랜지스터(6402)의 게이트에 비디오 신호를 입력한다. 즉, 구동 트랜지스터(6402)는 선형 영역에서 동작한다. 구동 트랜지스터(6402)는 선형 영역에서 동작하므로, 전원선(6407)의 전압보다 높은 전압을 구동 트랜지스터(6402)의 게이트에 인가한다. 신호선(6405)에는 (전원선 전압 + 구동 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압을 인가한다는 점에 주목한다.
- [0194] 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 수행하는 경우, 신호 입력을 변경함으로써 도 18의 화소 구조와 같은 화소 구조를 사용할 수 있다.
- [0195] 아날로그 계조 구동을 행하는 경우, 구동 트랜지스터(6402)의 게이트에 (발광 소자(6404)의 순방향 전압 + 구동 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압을 인가한다. 발광 소자(6404)의 순방향 전압은 원하는 휘도를 얻는 전압을 가리키며, 적어도 순방향 임계 전압을 포함한다. 구동 트랜지스터(6402)가 포화 영역에서 동작하게 하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 공급할 수 있다. 구동 트랜지스터(6402)가 포화 영역에서 동작하도록, 전원선(6407)의 전위는 구동 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호를 사용하는 경우, 비디오 신호에 따라 발광 소자(6404)에 전류를 공급할 수 있고 아날로그 계조 구동을 수행할 수 있다.
- [0196] 또한, 도 18에 도시한 화소 구조는 이에 한정되지 않는다. 예를 들어, 도 18에 도시한 화소에 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가해도 된다.
- [0197] 이어서, 발광 소자의 구조를 도 19a 내지 도 19c를 참조하여 설명한다. 일례로, 구동 TFT가 도 1b에 도시한 박막 트랜지스터(170)인 경우를 들어 화소의 단면 구조를 설명한다. 도 19a 내지 도 19c에 도시한 반도체 장치에 사용되는 구동 TFT(7001, 7011, 7021)는, 제1 실시예에서 설명한 박막 트랜지스터(170)와 마찬가지로 방식으로 제조될 수 있고, In-Ga-Zn-O계 비 단결정막을 자신의 반도체층으로서 포함하며 뛰어난 전기적 특성을 갖는 박막 트랜지스터이다.
- [0198] 발광 소자로부터 방출되는 광을 추출하기 위해, 애노드와 캐소드 중 적어도 하나에서는 광이 투과해야 한다. 기판 위에 박막 트랜지스터 및 발광 소자를 형성한다. 발광 소자는, 기판과는 반대측의 면으로부터 발광을 추출하는 상면 방출 구조, 기판측의 면으로부터 발광을 추출하는 하면 방출 구조, 또는 기판측 면과 기판과는 반대측의 면으로부터 발광을 추출하는 양면 방출 구조를 가질 수 있다. 도 18에 도시한 화소 구조는 이러한 방출 구조들 중 임의의 구조를 갖는 발광 소자에도 적용될 수 있다.
- [0199] 상면 방출 구조의 발광 소자를 대해서 도 19a를 참조하여 설명한다.
- [0200] 도 19a는, 구동 TFT(7001)가 도 1b에 도시한 박막 트랜지스터(170)이며, 발광 소자(7002)로부터 애노드(7005)측으로 광이 방출되는 경우의 화소의 단면도이다. 도 19a에서는, 발광 소자(7002)의 캐소드(7003)가 구동 TFT(7001)에 전기적으로 접속되어 있고, 캐소드(7003) 위로 발광층(7004)과 애노드(7005)가 순서대로 적층되어 있다. 캐소드(7003)는 일함수가 작고 광을 반사하기만 하면 다양한 도전성 재료를 사용하여 형성될 수 있다. 예를 들어, Ca, Al, MgAg, AlLi 등을 사용하는 것이 바람직하다. 발광층(7004)은 단층 또는 적층된 복수의 층을 이용하여 형성되어도 된다. 발광층(7004)이 복수의 층을 이용하여 형성되는 경우, 캐소드(7003) 위로 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층을 이 순서대로 적층한다. 이러한 층들 모두를 형성할 필요는 없다. 애노드(7005)는, 투광성 도전막을 이용하여 형성되며, 예를 들어, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 칭함), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 도전막이 가능하다.
- [0201] 캐소드(7003)와 애노드(7005) 사이에 발광층(7004)을 끼우고 있는 영역이 발광 소자(7002)에 해당한다. 도 19a에 도시한 화소의 경우, 광은 화살표로 나타난 바와 같이 발광 소자(7002)로부터 애노드(7005)측으로 방출된다.
- [0202] 구동 회로에서 산화물 반도체층 위로 설치하는 제2 게이트 전극은 캐소드(7003)와 같은 재료로 형성하면 공정을 간략화할 수 있으므로 바람직하다.
- [0203] 이어서, 하면 방출 구조의 발광 소자를 도 19b를 참조하여 설명한다. 도 19b는, 구동 TFT(7011)가 도 1a에 도시한 박막 트랜지스터(170)이며, 광이 발광 소자(7012)로부터 캐소드(7013)측으로 방출하는 경우의 화소의 단면도이다. 도 19b에서는, 구동 TFT(7011)에 전기적으로 접속된 투광성 도전막(7017) 위에 발광 소자(7012)의 캐

소드(7013)가 형성되고, 캐소드(7013) 위로 발광층(7014)과 애노드(7015)가 이 순서대로 적층되어 있다. 애노드(7015)가 투광성을 갖는 경우, 애노드를 더도록 광을 반사 또는 차광하기 위한 차광막(7016)을 형성해준다. 캐소드(7013)를 위해서는, 도 19a의 경우와 마찬가지로, 일함수가 작은 도전성 재료이면 다양한 재료를 사용할 수 있다. 캐소드(7013)는 광을 투과할 수 있는 두께(바람직하게는 5nm 내지 30nm 정도)를 갖도록 형성된다. 예를 들어, 20nm 두께의 알루미늄막을 캐소드(7013)로서 사용할 수 있다. 발광층(7014)은, 도 19a와 마찬가지로, 단층 또는 적층된 복수의 층을 이용하여 형성되어도 된다. 애노드(7015)는 광을 투과할 필요는 없지만, 도 19a와 마찬가지로, 투광성 도전 재료를 사용해서 형성될 수 있다. 차광막(7016)으로는, 예를 들어, 광을 반사하는 금속 등을 사용할 수 있지만, 금속막으로 한정되지는 않는다. 예를 들어, 흑색 안료를 첨가한 수지 등을 사용할 수도 있다.

[0204] 캐소드(7013)와 애노드(7015) 사이에 발광층(7014)을 끼우고 있는 영역이 발광 소자(7012)에 해당한다. 도 19b에 도시한 화소의 경우, 광은 화살표로 나타낸 바와 같이 발광 소자(7012)로부터 캐소드(7013)측으로 방출된다.

[0205] 구동 회로에서 산화물 반도체층 위로 설치하는 제2 게이트 전극은 캐소드(7013)와 같은 재료로 형성하면 공정을 간략화할 수 있으므로 바람직하다.

[0206] 이어서, 양면 방출 구조의 발광 소자를 도 19c를 참조하여 설명한다. 도 19c에서는, 구동 TFT(7021)에 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에 발광 소자(7022)의 캐소드(7023)가 형성되고, 캐소드(7023) 위로 발광층(7024)과 애노드(7025)가 이 순서대로 적층되어 있다. 캐소드(7023)는, 도 19a의 경우와 마찬가지로, 일함수가 작은 도전성 재료이면 다양한 재료를 사용하여 형성될 수 있다. 캐소드(7023)는 광을 투과할 수 있는 두께를 갖도록 형성된다. 예를 들어, 20nm 두께의 Al 막을 캐소드(7023)로서 사용할 수 있다. 발광층(7024)은, 도 19a와 마찬가지로, 단층 또는 적층된 복수의 층을 이용하여 형성되어도 된다. 애노드(7025)는, 도 19a와 마찬가지로, 투광성 도전 재료를 사용해서 형성될 수 있다.

[0207] 캐소드(7023), 발광층(7024), 애노드(7025)가 서로 겹치는 영역이 발광 소자(7022)에 해당한다. 도 19c에 도시한 화소의 경우, 광은 화살표로 나타낸 바와 같이 발광 소자(7022)로부터 애노드(7025)측과 캐소드(7023)측 모두에 방출된다.

[0208] 구동 회로에서 산화물 반도체층 위로 설치하는 제2 게이트 전극은 도전막(7027)과 같은 재료로 형성하면 공정을 간략화할 수 있으므로 바람직하다. 또한, 구동 회로에서 산화물 반도체층 위로 설치하는 제2 게이트 전극은, 도전막(7027) 및 캐소드(7023)와 같은 재료들의 적층으로 형성되면 공정을 간략화하고 배선 저항을 저하시킬 수 있으므로, 바람직하다.

[0209] 여기에서는, 발광 소자로서 유기 EL 소자를 설명하고 있지만, 발광 소자로서 무기 EL 소자를 설치하는 것도 가능하다는 점에 주목한다.

[0210] 본 실시예에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동 TFT)가 발광 소자에 전기적으로 접속되어 있는 일례를 설명하고 있지만, 구동 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구조를 채용해도 된다.

[0211] 본 실시예에서 설명하는 반도체 장치는 도 19a 내지 도 19c에 도시한 구조로 한정되는 것이 아니라, 개시한 기술적 사상에 기초하여 다양하게 수정될 수 있다.

[0212] 이어서, 반도체 장치의 일 실시예인 발광 표시 패널(발광 패널이라고도 칭함)의 상면도와 단면도를 도 20a와 도 20b를 참조하여 설명한다. 도 20a는 제1 기판 위에 형성된 박막 트랜지스터와 발광 소자를 제2 기판과의 사이에 시일재(sealant)에 의해 밀봉한 패널의 상면도이다. 도 20b는 도 20a의 H-I선을 따라 취한 단면도이다.

[0213] 제1 기판(4501) 위로 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 시일재(4505)가 설치되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 위에 제2 기판(4506)이 설치되어 있다. 이에 따라, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 제1 기판(4501), 시일재(4505), 제2 기판(4506)에 의해 충전재(4507)와 함께 밀봉된다. 이러한 식으로, 패널이 외기에 노출되지 않도록 기밀성이 높고, 탈기(degasification)가 적은 보호 필름(라미네이트 필름, 자외선 경화가능 수지 필름 등)이나 커버 재료로 패널을 패키징(밀봉)하는 것이 바람직하다.

[0214] 제1 기판(4501) 위로 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 각각 복수의 박막 트랜지스터를 포함한다. 도 20b에서는, 화소부(4502)에 포함되는 박막 트랜지스터

(4510)와 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.

- [0215] 박막 트랜지스터들(4509, 4510)의 각각을 위해, 제1 실시예에서 설명한 바와 같이 In-Ga-Zn-O계 비 단결정막을 자신의 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 또한, 박막 트랜지스터(4509)는 도 1b를 참조하여 제1 실시예에서 설명한 바와 같이 반도체층의 상하에 게이트 전극을 포함한다.
- [0216] 또한, 참조 번호(4511)는 발광 소자를 가리킨다. 발광 소자(4511)에 포함된 화소 전극인 제1 전극층(4517)은 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되어 있다. 발광 소자(4511)의 구조는 제1 전극층(4517), 전계 발광층(4512), 제2 전극층(4513)의 적층 구조이지만, 그러한 구조로 특별히 한정되지는 않는다는 점에 주목한다. 광이 발광 소자(4511) 등으로부터 방출되는 방향에 따라 발광 소자(4511)의 구조를 적절히 변경할 수 있다.
- [0217] 격벽(4520)은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용해서 형성된다. 감광성 재료를 사용하여 격벽(4520)을 형성하고 제1 전극층(4517) 위로 개구부를 형성하여, 그 개구부의 측벽이 연속적인 곡률을 갖는 경사면으로서 형성되는 것이 특히 바람직하다.
- [0218] 전계 발광층(4512)은 단층 또는 적층된 복수의 층으로 형성되어도 된다.
- [0219] 발광 소자(4511) 내에 산소, 수소, 수분, 이산화탄소 등이 침입하는 것을 방지하도록, 제2 전극층(4513)과 격벽(4520) 위로 보호막을 형성해도 된다. 보호막으로는, 질화 규소막, 질화 산화 규소막, DLC막 등을 형성할 수 있다.
- [0220] 또한, 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 공급된다.
- [0221] 본 실시예에서는, 접속 단자 전극(4515)이, 발광 소자(4511)에 포함된 제1 전극층(4517)과 같은 도전막으로부터 형성되고, 단자 전극(4516)은, 박막 트랜지스터(4509, 4510)에 포함된 소스 전극층 및 드레인 전극층과 같은 도전막으로부터 형성된다.
- [0222] 접속 단자 전극(4515)은 FPC(4518a)에 포함된 단자에 이방성 도전막(4519)을 통해 전기적으로 접속되어 있다.
- [0223] 발광 소자(4511)로부터 광이 추출되는 방향으로 위치하는 제2 기관(4506)은 투광성을 가져야 한다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성 재료를 제2 기관(4506)을 위해 사용한다.
- [0224] 충전재(4507)로는, 질소나 아르곤 등의 불활성의 기체 이외에, 자외선 경화가능 수지 또는 열경화성 수지를 사용할 수 있다. 예를 들어, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), 또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다.
- [0225] 또한, 필요하다면, 발광 소자의 방출면 위에, 편광판, (타원 편광판을 포함하는) 원편광판, 위상차판( $\lambda/4$ 판 또는  $\lambda/2$ 판), 또는 컬러 필터 등의 광학 필름을 적절히 설치해도 된다. 또한, 편광판 또는 원편광판에는 반사 방지막을 설치해도 된다. 예를 들어, 글레어(glare)를 줄이도록 표면의 요철에 의해 반사광을 확산시킬 수 있는 안티글레어 처리를 실시할 수 있다.
- [0226] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는, 별도로 준비한 단결정 반도체 기관 혹은 절연 기관 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로를 실장함으로써 제공되어도 된다. 또한, 신호선 구동 회로나 그 일부만을, 또는 주사선 구동 회로나 그 일부만을 별도로 형성하여 실장해도 된다. 본 실시예는 도 20a와 도 20b에 도시한 구조로 한정되지 않는다.
- [0227] 이상의 공정에 의해, 제조 비용을 저감한 표시 장치(표시 패널)를 제조할 수 있다.
- [0228] 본 실시예는, 제1 실시예 또는 제2 실시예에 기재한 구성과 적절히 조합될 수 있다.
- [0229] 제7 실시예
- [0230] 본 실시예에서는, 반도체 장치의 일 실시예인 액정 표시 패널의 상면도 및 단면도를 도 21a, 도 21b, 도 21c를 참조하여 설명한다. 도 21a와 도 21b는 제1 기관(4001) 위에 형성된, 제1 실시예에서 설명한 바와 같은 In-Ga-Zn-O계 비 단결정막을 자신의 반도체층으로서 각각 포함하는 박막 트랜지스터(4010, 4011) 및 액정 소자(4013)를, 제1 기관(4001)과 제2 기관(4006) 사이에 시일재(4005)에 의해 밀봉한 패널의 상면도이다. 도 21c는 도 21a와 도 21b의 M-N 선을 따라 절취한 단면도이다.

- [0231] 제1 기관(4001) 위로 설치된, 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 시일재(4005)가 설치되어 있다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기관(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 제1 기관(4001), 시일재(4005), 제2 기관(4006)에 의해 액정층(4008)과 함께 밀봉되어 있다. 제1 기관(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 신호선 구동 회로(4003)가 실장되어 있다.
- [0232] 별도로 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것이 아니라, COG 방법, 와이어 본딩 방법, TAB 방법 등을 사용할 수 있다는 점에 주목한다. 도 21a는 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 일례를 도시하며, 도 21b는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 일례를 도시한다.
- [0233] 제1 기관(4001) 위로 설치된 화소부(4002)와 주사선 구동 회로(4004)는 복수의 박막 트랜지스터를 포함한다. 도 21c는 화소부(4002)에 포함되는 박막 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터들(4010, 4011) 위로는, 절연층들(4020, 4021)이 설치되어 있다.
- [0234] 박막 트랜지스터들(4010, 4011)의 각각은 제1 실시예에서 설명한 In-Ga-Zn-O계 비 단결정막을 자신의 반도체층으로서 포함하는 박막 트랜지스터일 수 있다. 박막 트랜지스터(4011)는 도 2a를 참조하여 제2 실시예에서 설명한 백 게이트 전극을 갖는 박막 트랜지스터에 해당한다.
- [0235] 액정 소자(4013)에 포함된 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속되어 있다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기관(4006)에 형성되어 있다. 화소 전극층(4030), 대향 전극층(4031), 액정층(4008)이 서로 겹치는 부분이 액정 소자(4013)에 해당한다. 화소 전극층(4030)과 대향 전극층(4031)에는 배향막으로서 기능하는 절연층(4032, 4033)이 각각 설치되고, 화소 전극층(4030)과 대향 전극층(4031) 사이에는 절연층(4032, 4033)을 각각 개재하여 액정층(4008)을 끼우고 있다는 점에 주목한다.
- [0236] 또한, 제1 기관(4001)과 제2 기관(4006)은 유리, 금속(통상적으로는, 스테인리스 스틸), 세라믹스, 플라스틱 등으로 형성될 수 있다. 플라스틱으로는, FRP(fiberglass-reinforced plastics)판, 폴리비닐 플루오라이드(PVF) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름들 또는 폴리에스테르 필름들 사이에 끼운 구조의 시트를 사용할 수도 있다.
- [0237] 참조 번호(4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하도록 설치되는 것이다. 또한, 구 형상의 스페이서를 사용해도 된다. 또한, 대향 전극층(4031)은 박막 트랜지스터(4010)와 동일한 기관 위에 설치되는 공통 전위선에 전기적으로 접속된다. 공통 접속부를 사용함으로써, 한 쌍의 기관 사이에 배치되는 도전성 입자들에 의해 대향 전극층(4031)과 공통 전위선이 서로 전기적으로 접속될 수 있다. 도전성 입자들은 시일재(4005)에 포함된다는 점에 주목한다.
- [0238] 대안으로, 배향막이 불필요한 블루 상(blue phase)을 나타내는 액정을 사용해도 된다. 블루 상은 액정 상들 중 하나이며, 콜레스테릭 액정을 승온하는 동안 콜레스테릭 상으로부터 등방 상으로 전이하는 직전에 발현되는 상이다. 블루 상은 좁은 온도 범위 내에서만 발현되므로, 온도 범위를 개선하도록 5wt% 이상의 키랄제를 포함하는 액정 조성물을 액정층(4008)을 위해 사용한다. 블루 상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은, 응답 시간이 10 $\mu$ s 내지 100 $\mu$ s로 짧고, 액정 조성물이 광학적 등방성을 갖기 때문에 배향 처리가 불필요하며, 시야각 의존성이 작은 특성들을 갖는다.
- [0239] 본 실시예에서는 투과형 액정 표시 장치의 일례를 설명하고 있지만, 본 발명의 일 실시예는 반사형 액정 표시 장치 및 반투과 형 액정 표시 장치에도 적용될 수 있다.
- [0240] 본 실시예에서는, 기관의 외측(시인측)에 편광판을 설치하고, 착색층 및 기관의 내측에 표시 소자를 위해 사용되는 전극층이 순서대로 설치하는 액정 표시 장치의 일례를 설명하고 있지만, 편광판은 기관의 내측에 설치해도 된다. 편광판과 착색층의 적층 구조는 본 실시예로 한정되지 않고, 편광판 및 착색층의 재료나 제조 공정 조건에 따라 적절히 설정해도 된다. 또한, 블랙 매트릭스로서 기능하는 차광막을 설치해도 된다.
- [0241] 본 실시예에서는, 박막 트랜지스터의 표면 요철을 줄이고 및 박막 트랜지스터의 신뢰성을 향상시키기 위해, 제1 실시예에서 얻은 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(절연층(4020) 및 절연층(4021))으로 덮는다. 보호막은 대기 중에 존재하는 유기물, 금속물, 또는 수증기 등의 오염 불순물의 침입을 방지하기 위한 것이고, 치밀한 막이 바람직하다. 보호막은, 스퍼터링법에 의해, 산화 규소막, 질화 규소막, 산화 질화 규소막, 질화 산화 규소막, 산화알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 및/또는 질화 산

화 알루미늄막의 단층 또는 적층으로 형성되어도 된다. 본 실시예에서는 보호막을 스퍼터링법에 의해 형성하는 일례를 설명하고 있지만, 특별히 한정되지 않고, 보호막은 PCVD 등의 다양한 방법에 의해 형성되어도 된다. 구동 회로의 일부에서는, 보호막이 제2 게이트 절연층으로서 기능하고, 제2 게이트 절연층 위에 백 게이트를 갖는 박막 트랜지스터를 배치한다.

[0242] 본 실시예에서는, 보호막으로서 적층 구조의 절연층(4020)을 형성한다. 여기서, 절연층(4020)의 제1 층으로서, 스퍼터링법에 의해 산화 규소막을 형성한다. 보호막으로서 산화 규소막을 사용하면, 알루미늄막의 힐록(hillock) 방지에 효과가 있다.

[0243] 보호막의 제2 층으로서, 절연층을 형성한다. 본 실시예에서는, 절연층(4020)의 제2 층으로서, 스퍼터링법에 의해 질화 규소막을 형성한다. 보호막으로서 질화 규소막을 사용하면, 나트륨 등의 유동성 이온들이 반도체 영역에 침입하여 TFT의 전기적 특성을 변화시키는 것을 방지할 수 있다.

[0244] 보호막을 형성한 후에, 반도체층을 어닐링(300℃ 내지 400℃)해도 된다. 또한, 보호막을 형성한 후에 백 게이트를 형성한다.

[0245] 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리이미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 이러한 유기 재료들 외에, 저 유전율 재료(low-k 재료), 실록산계 수지, PSG(포스포실리케이트 유리), BPSG(보로포스포실리케이트 유리) 등을 사용할 수 있다. 이러한 재료들로 형성되는 복수의 절연막을 적층함으로써 절연층(4021)을 형성해도 된다는 점에 주목한다.

[0246] 또한, 실록산계 수지는 실록산계 재료를 출발 재료로 형성되어 Si-O-Si 결합을 갖는 수지라는 점에 주목한다. 실록산계 수지는 유기 기(예를 들어, 알킬기나 아릴기) 또는 플루오로 기를 치환기로서 사용해도 된다. 또한, 유기 기는 플루오로 기를 포함해도 된다.

[0247] 절연층(4021)의 형성 방법은, 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코팅법, 디핑법, 스프레이 코팅법, 액적 토출법(예를 들어, 잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층(4021)을 재료 액을 사용해서 형성하는 경우, 베이킹 공정과 동시에 반도체층의 어닐링(300℃ 내지 400℃)을 행해도 된다. 절연층(4021)의 베이킹 공정은 반도체층의 어닐링으로서도 가능하며, 이에 의해 반도체 장치를 효율적으로 제조할 수 있다.

[0248] 화소 전극층(4030)과 대향 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 칭함), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용하여 형성될 수 있다.

[0249] 화소 전극층(4030)과 대향 전극층(4031)을 위해, 도전성 고분자(도전성 중합체라고도 칭함)를 포함하는 도전성 조성물을 이용할 수 있다. 도전성 조성물을 사용해서 형성한 화소 전극은, 시트 저항이 10000Ω/□ 이하, 파장 550nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1Ω·cm 이하인 것이 바람직하다.

[0250] 도전성 고분자로는, 소위 π-전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0251] 또한, FPC(4018)로부터, 별도로 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 각종 신호 및 전위를 공급한다.

[0252] 본 실시예에서, 접속 단자 전극(4015)은 액정 소자(4013)에 포함된 화소 전극층(4030)과 같은 도전막으로부터 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로부터 형성된다.

[0253] 접속 단자 전극(4015)은 이방성 도전막(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속되어 있다.

[0254] 도 21a와 도 21b는, 신호선 구동 회로(4003)를 별도로 형성하여 제1 기관(4001) 위에 실장하고 있는 일례를 도시하고 있지만, 본 실시예는 이러한 구조로 한정되지 않는다. 주사선 구동 회로를 별도로 형성해서 실장해도 되고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성해서 실장해도 된다.

- [0255] 도 22는 TFT 기판(2600)을 사용해서 반도체 장치로서 액정 표시 모듈을 형성한 일례를 도시하고 있다.
- [0256] 도 22는 액정 표시 모듈의 일례를 도시하며, TFT 기판(2600)과 대향 기판(2601)이 시일재(2602)에 의해 서로 고착되고, TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 그 기판들 사이에 설치되어 표시 영역을 형성하고 있다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하다. RGB 시스템에서는, 적, 녹, 청의 각 색에 대응하는 착색층이 각 화소에 대응 설치되어 있다. TFT 기판(2600)과 대향 기판(2601)의 외측에는 편광판(2606, 2607)과 확산판(2613)이 배치되어 있다. 광원은 냉 캐소드관(2610)과 반사관(2611)을 포함하고, 회로 기판(2612)은 가요성 배선 기판(2609)에 의해 TFT 기판(2600)의 배선 회로부(2608)에 접속되고, 제어 회로나 전원 회로 등의 외부 회로를 포함한다. 편광판과 액정층은 이들 사이에 위상차판을 개재하여 적층되어도 된다.
- [0257] 액정 표시 모듈에서는, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등을 사용할 수 있다.
- [0258] 이상의 공정에 의해, 제조 비용을 저감한 액정 표시 패널을 반도체 장치로서 제조할 수 있다.
- [0259] 본 실시예는, 제1 실시예, 제2 실시예, 또는 제3 실시예에 기재한 구성과 적절히 조합할 수 있다.
- [0260] 제8 실시예
- [0261] 본 발명의 일 실시예에 따른 반도체 장치는 (오락기를 포함한) 다양한 전자 장치에 적용될 수 있다. 전자 장치로의 예로는, 텔레비전 세트(텔레비전 또는 텔레비전 수신기라고도 칭함), 컴퓨터용 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화 핸드세트(휴대 전화 또는 휴대 전화 장치라고도 칭함), 휴대형 게임 콘솔, 휴대 정보 단말기, 오디오 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.
- [0262] 도 23a는 휴대 정보 단말 장치(9200)의 일례를 도시하고 있다. 휴대 정보 단말 장치(9200)는 컴퓨터를 내장하며, 이에 따라 다양한 유형의 데이터를 처리할 수 있다. 이러한 휴대 정보 단말 장치(9200)의 일례가 휴대 정보 단말기(PDA)이다.
- [0263] 휴대 정보 단말 장치(9200)는 하우징(9201) 및 하우징(9203)인 2개의 하우징을 구비한다. 하우징(9201)과 하우징(9203)은, 휴대 정보 단말 장치(9200)가 접힐 수 있도록 연결부(9207)로 연결되어 있다. 하우징(9201)에는 표시부(9202)가 내장되고, 하우징(9203)은 키보드(9205)를 포함한다. 물론, 휴대 정보 단말 장치(9200)의 구조는 상술한 구조로 한정되지 않고, 그 구조는 적어도 백 게이트 전극을 갖는 박막 트랜지스터를 포함해도 되며, 추가 액세서리를 적절히 설치해도 된다. 동일 기판 위에 구동 회로와 화소부를 형성함으로써, 제조 비용이 저감된다. 따라서, 전기적 특성이 뛰어난 박막 트랜지스터를 갖는 휴대 정보 단말 장치를 실현할 수 있다.
- [0264] 도 23b는 디지털 비디오 카메라(9500)의 일례를 도시한다. 디지털 비디오 카메라(9500)는 하우징(9501)에 내장된 표시부(9503) 및 다양한 조작부를 포함한다. 물론, 디지털 비디오 카메라(9500)의 구조는 상술한 구조로 한정되지 않고, 그 구조는 적어도 백 게이트 전극을 갖는 박막 트랜지스터를 포함해도 되고, 추가 액세서리를 적절히 설치해도 된다. 동일 기판 위에 구동 회로와 화소부를 형성함으로써, 제조 비용이 저감된다. 따라서, 전기적 특성이 뛰어난 박막 트랜지스터를 갖는 디지털 비디오 카메라를 실현할 수 있다.
- [0265] 도 23c는 휴대 전화(9100)의 일례를 도시하고 있다. 휴대 전화(9100)는 하우징(9102) 및 하우징(9101)인 2개의 하우징을 포함한다. 하우징(9102) 및 하우징(9101)은 휴대 전화가 접히도록 연결부로 연결되어 있다. 하우징(9102)에는 표시부(9104)가 내장되고, 하우징(9101)에는 조작 키(9106)가 포함된다. 물론, 휴대 전화(9100)의 구조는, 상술한 구조로 한정되지 않고, 그 구조는 적어도 백 게이트 전극을 갖는 박막 트랜지스터를 포함해도 되고, 추가 액세서리를 적절히 설치해도 된다. 동일 기판 위에 구동 회로와 화소부를 형성함으로써, 제조 비용이 저감된다. 따라서, 전기적 특성이 뛰어난 박막 트랜지스터를 갖는 휴대 전화를 실현할 수 있다.
- [0266] 도 23d는 휴대용 컴퓨터(9400)의 일례를 도시한다. 컴퓨터(9400)는 하우징(9401)과 하우징(9404)인 2개의 하우징을 구비한다. 하우징(9401)과 하우징(9404)은 컴퓨터가 개폐될 수 있도록 연결된다. 하우징(9401)에는 표시부(9402)가 내장되고, 하우징(9404)은 키보드(9403) 등을 포함한다. 물론, 컴퓨터(9400)의 구조는 상술한 구조로 특별히 한정되지 않고, 그 구조는 적어도 백 게이트 전극을 갖는 박막 트랜지스터를 포함해도 되고, 추가 액

세서리를 적절히 설치해도 된다. 동일 기관 위에 구동 회로와 화소부를 형성함으로써, 제조 비용이 저감된다. 따라서, 전기적 특성이 뛰어난 박막 트랜지스터를 갖는 컴퓨터를 실현할 수 있다.

- [0267] 도 24a는 텔레비전 세트(9600)의 일례를 도시한다. 텔레비전 세트(9600)에서는, 하우징(9601)에 표시부(9603)가 내장된다. 표시부(9603)는 영상을 표시할 수 있다. 또한, 하우징(9601)은 도 24a에서 스탠드(9605)에 의해 지지된다.
- [0268] 텔레비전 세트(9600)는 하우징(9601) 또는 별도의 원격 제어기(9610)에 의해 조작될 수 있다. 원격 제어기(9610)의 조작 키(9609)에 의해 채널 및 음량을 조작할 수 있어서, 표시부(9603)에 표시되는 영상을 제어할 수 있다. 또한, 원격 제어기(9610)에는, 원격 제어기(9610)로부터 출력되는 정보를 표시하는 표시부(9607)가 설치되어도 된다.
- [0269] 텔레비전 세트(9600)는 수신기, 모뎀 등을 구비한다는 점에 주목한다. 수신기를 이용함으로써, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트(9600)가 모뎀을 통해 유선 또는 무선에 의해 통신 네트워크에 접속됨으로써, 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간 혹은 수신자간)의 정보 통신을 행할 수 있다.
- [0270] 도 24b는 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)에서는, 하우징(9701)에 표시부(9703)가 내장된다. 표시부(9703)는 다양한 화상들을 표시할 수 있다. 예를 들어, 표시부(9703)는 디지털 카메라 등으로 촬영한 화상 데이터를 표시할 수 있으며 통상의 포토 프레임으로서 기능할 수 있다.
- [0271] 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블에 접속될 수 있는 단자 등), 기록 매체 삽입부 등을 구비한다. 이러한 부품들은 표시부가 설치된 면 위에 배치되어도 되지만, 디지털 포토 프레임(9700)의 디자인을 위해 측면이나 이면 위에 배치되는 것이 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억하는 메모리를 삽입하여, 화상 데이터를 전달하여 표시부(9703)에 표시할 수 있다.
- [0272] 디지털 포토 프레임(9700)은 무선으로 데이터를 송수신해도 된다. 원하는 화상 데이터를 무선으로 전달하여 표시하는 구조를 채용해도 된다.
- [0273] 도 25a는 도 23c에 도시한 휴대 전화와는 다른 휴대 전화(1000)의 일례를 도시한다. 휴대 전화(1000)는, 하우징(1001)에 내장된 표시부(1002), 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 포함한다.
- [0274] 도 25a에 도시한 휴대 전화(1000)에서는, 사용자가 표시부(1002)를 자신의 손가락 등으로 터치하여 데이터를 입력할 수 있다. 또한, 전화를 걸거나 메일을 작성하는 등의 조작은 사용자가 표시부(1002)를 자신의 손가락 등으로 터치하여 행할 수 있다.
- [0275] 표시부(1002)에는 주로 3개의 모드가 있다. 제1 모드는 화상을 주로 표시하는 표시 모드이며, 제2 모드는 텍스트 등의 정보를 주로 입력하는 입력 모드이고, 제3 모드는 표시 모드와 입력 모드인 2개 모드가 혼합된 표시 입력 모드이다.
- [0276] 예를 들어, 전화를 걸거나 메일을 작성하는 경우에, 표시부(1002)에서 텍스트를 주로 입력하는 텍스트 입력 모드를 선택하여 화면에 표시되는 텍스트를 입력할 수 있다. 그 경우, 표시부(1002)의 화면의 모든 영역에는 키보드 또는 번호 버튼을 표시하는 것이 바람직하다.
- [0277] 휴대 전화(1000) 내부에, 자이로스코프, 가속도 센서 등의 기울기 검출용 센서를 포함하는 검출 장치를 설치함으로써, 휴대 전화(1000)의 설치 방향(랜드스케이프 모드 또는 포트레이트 모드를 위해 휴대 전화(1000)가 수평으로 또는 수직으로 배치되어 있는지)을 판단함으로써, 표시부(1002)의 화면 표시를 자동 전환할 수 있다.
- [0278] 또한, 화면 모드는 표시부(1002)를 터치하거나 하우징(1001)의 조작 버튼(1003)을 조작함으로써 전환된다. 대안으로, 화면 모드는 표시부(1002)에 표시되는 화상의 종류에 따라 전환되어도 된다. 예를 들어, 표시부에 표시되는 화상 신호가 동화상 데이터의 신호이면, 화면 모드를 표시 모드로 전환한다. 그 신호가 텍스트 데이터의 신호이면, 화면 모드를 입력 모드로 전환한다.
- [0279] 또한, 입력 모드에서, 표시부(1002)의 광 센서에 의해 검출되는 신호를 검출하는 동안 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없을 경우에는, 화면 모드를 입력 모드로부터 표시 모드로 전환하도록 제어해도 된다.

다.

- [0280] 표시부(1002)는 이미지 센서로서 기능해도 된다. 예를 들어, 표시부(1002)를 손바닥, 손가락 등으로 터치하여 손바닥 지문, 지문 등을 촬영함으로써, 본인 인증을 수행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 센싱용 광원을 설치함으로써, 손가락 정맥, 손바닥 정맥 등을 촬상할 수 있다.
- [0281] 도 25b는 휴대 전화의 다른 일례를 도시한다. 도 25b의 휴대 전화는, 하우징(9411)에 표시부(9412) 및 조작 버튼(9413)을 포함하는 표시 장치(9410), 하우징(9401)에 조작 버튼(9402), 외부 입력 단자(9403), 마이크(9404), 스피커(9405) 및 착신시 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 포함한다. 표시 기능을 갖는 표시 장치(9410)는 화살표로 나타낸 2개 방향으로 전화 기능을 갖는 통신 장치(9400)에 대하여 탈착가능하다. 따라서, 표시 장치(9410)와 통신 장치(9400)는 자신들의 단측이나 장측을 따라 서로 부착될 수 있다. 또한, 표시 기능만을 필요로 하는 경우, 통신 장치(9400)로부터 표시 장치(9410)를 분리하여 표시 장치(9410)를 단독으로 사용할 수 있다. 통신 장치(9400)와 표시 장치(9410) 사이에는 무선 통신 또는 유선 통신에 의해 상 또는 입력 정보를 송수신할 수 있고, 이러한 장치들의 각각은 충전가능한 배터리를 갖는다.
- [0282] 제9 실시예
- [0283] 본 실시예에서는, 배선과 산화물 반도체층이 서로 접하는 박막 트랜지스터를 포함하는 표시 장치의 일례를 도 26을 참조하여 설명한다. 도 26에서는 도 1a와 동일한 개소에는 동일 부호를 사용해서 설명한다는 점에 주목한다.
- [0284] 도 26에 도시한 제1 박막 트랜지스터(480)는 구동 회로에 사용되는 박막 트랜지스터이며, 제1 배선(409)과 제2 배선(410)이 산화물 반도체층(405)에 접하여 설치되어 있다. 제1 박막 트랜지스터(480)는 산화물 반도체층(405) 아래의 제1 게이트 전극(401) 및 산화물 반도체층(405) 위의 제2 게이트 전극(470)을 포함한다.
- [0285] 또한, 제2 박막 트랜지스터(481)는 화소부에 사용되는 박막 트랜지스터이며, 소스 또는 드레인 전극층(105a, 105b)이 산화물 반도체층(103)에 접해서 설치되어 있다.
- [0286] 본 실시예의 반도체 장치는 배선과 산화물 반도체층이 서로 접하는 구조를 갖고, 이에 따라 제1 실시예의 공정 수와 비교해서 공정 수를 저감할 수 있다.
- [0287] 본 실시예는 다른 실시예들의 임의의 구조와 조합되어도 된다.
- [0288] 본 출원은 일본 특허청에 2008년 10월 24일자로 출원된 일본 특허 출원 제2008-274540호를 기초로 하며, 그 전체 내용은 본 명세서에 참고로 인용된다.

**부호의 설명**

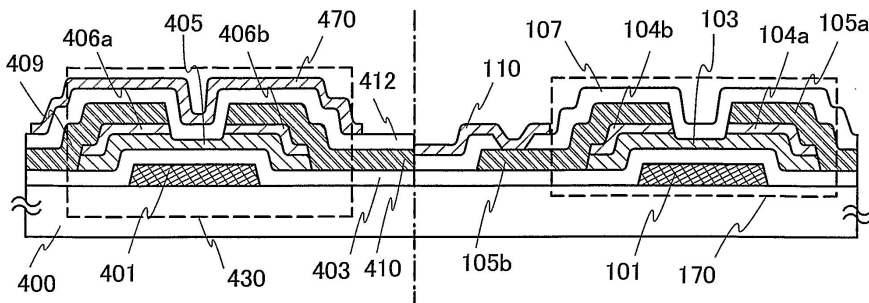
- [0289] 100: 기관
- 101: 게이트 전극
- 102: 게이트 절연층
- 103: 산화물 반도체층
- 104a, 104b: n<sup>+</sup>층
- 105a: 소스 전극층
- 105b: 드레인 전극층
- 107: 보호 절연층
- 108: 용량 배선
- 109: 산화물 반도체막
- 110: 화소 전극
- 111: 산화물 반도체막
- 120: 접속 전극

- 121: 제1 단자
- 122: 제2 단자
- 125: 콘택트 홀
- 126: 콘택트 홀
- 127: 콘택트 홀
- 128: 투명 도전막
- 129: 투명 도전막
- 131: 레지스트 마스크
- 132: 도전막
- 150: 제2 단자
- 151: 제1 단자
- 152: 게이트 절연층
- 153: 접속 전극
- 154: 보호 절연막
- 155: 투명 도전막
- 156: 전극
- 170: 제2 박막 트랜지스터
- 400: 기판
- 401: 제1 게이트 전극
- 402: 게이트 전극
- 403: 제1 게이트 절연층
- 404: 콘택트 홀
- 405: 산화물 반도체층
- 407: 산화물 반도체층
- 409: 제1 배선
- 410: 제2 배선
- 411: 제3 배선
- 412: 제2 게이트 절연층
- 430: 제1 박막 트랜지스터
- 431: 제2 박막 트랜지스터
- 432: 박막 트랜지스터
- 433: 박막 트랜지스터
- 470: 제2 게이트 전극
- 471: 전극
- 472: 제1 전극
- 473: 절연층

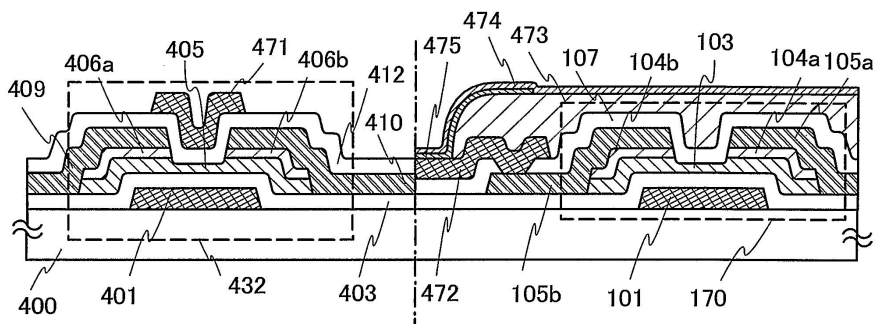
- 474: 제2 전극
- 475: 발광층
- 476: 전극
- 581: 박막 트랜지스터
- 583: 절연층
- 584: 절연층
- 585: 절연층
- 587: 제1 전극층
- 588: 제2 전극층
- 589: 구형 입자
- 594: 캐비티
- 595: 충전제

**도면**

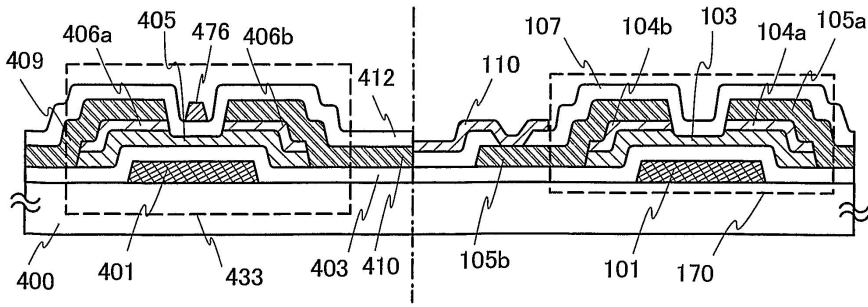
**도면1a**



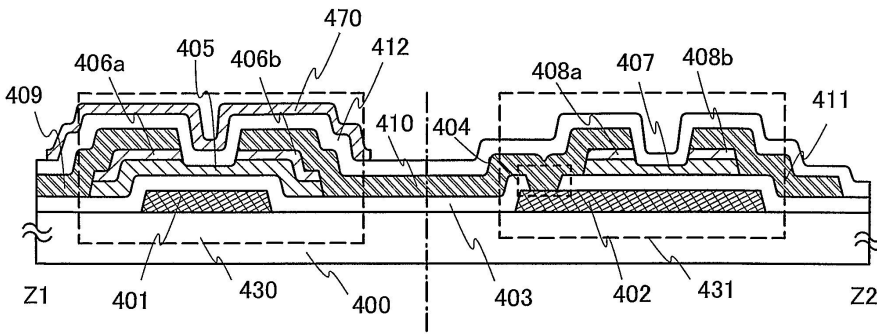
**도면1b**



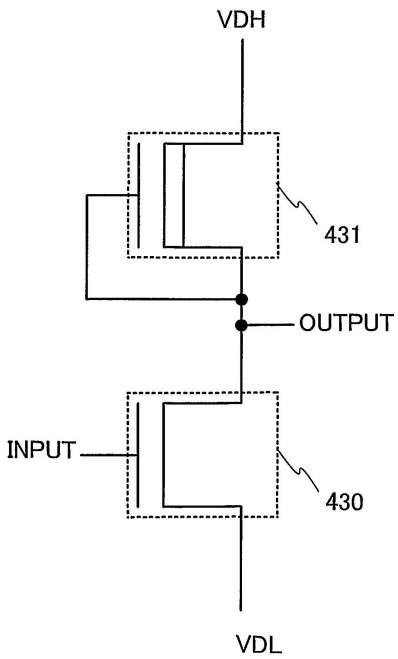
도면1c



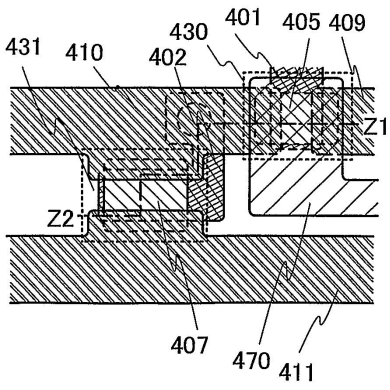
도면2a



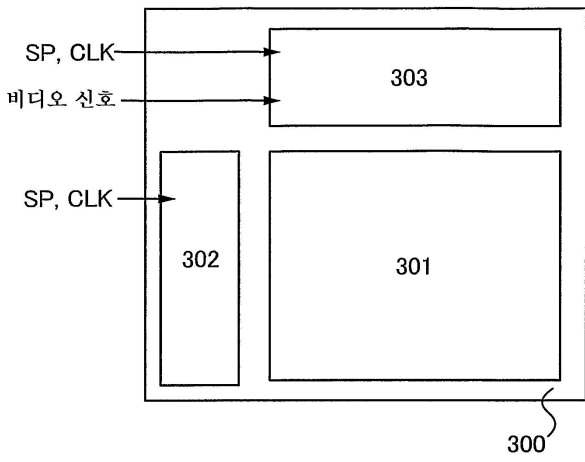
도면2b



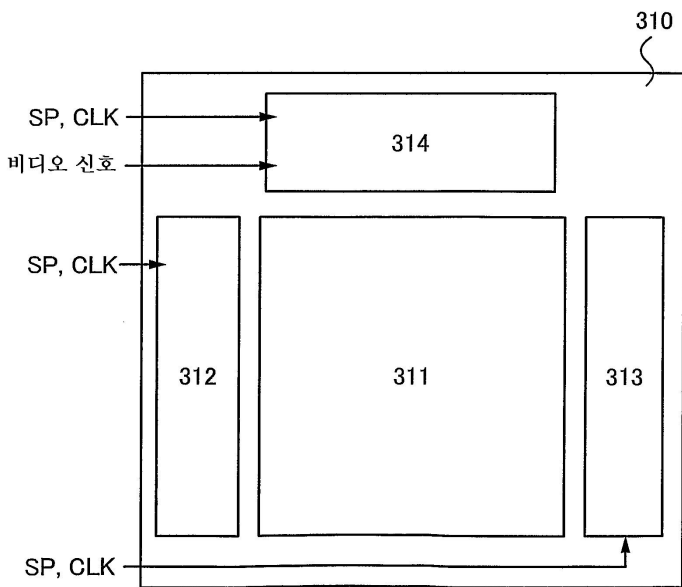
도면2c



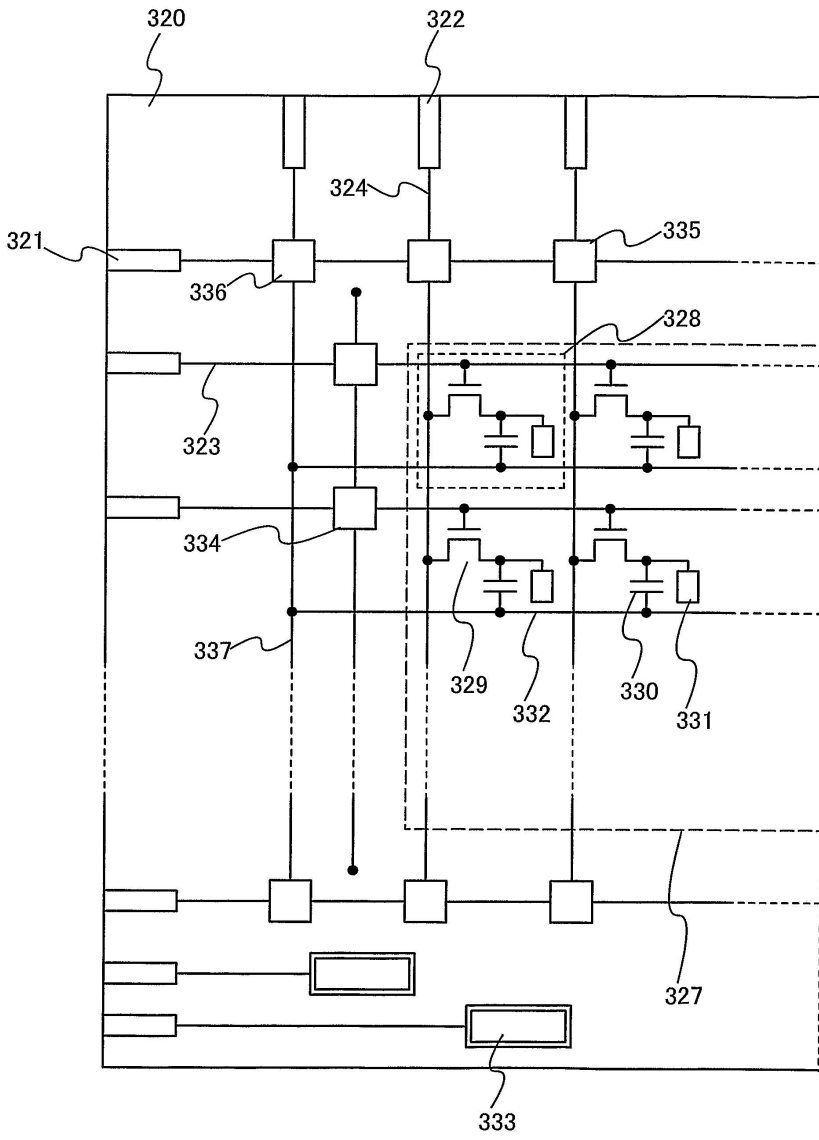
도면3a



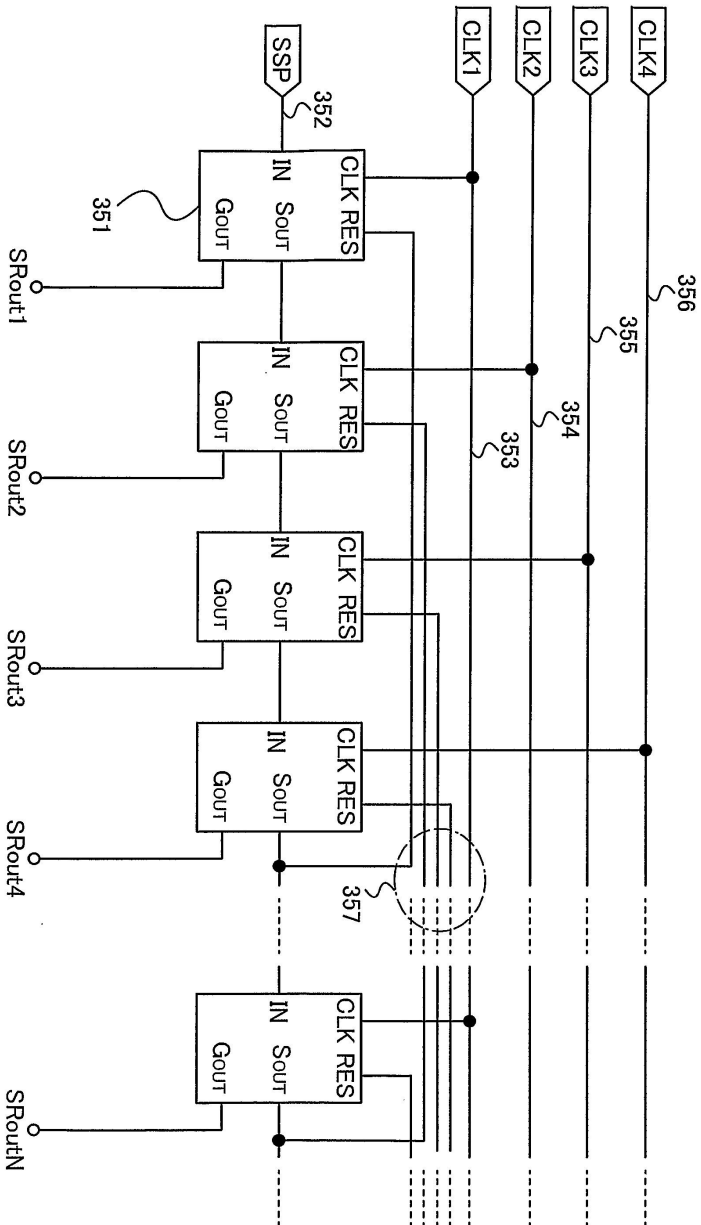
도면3b



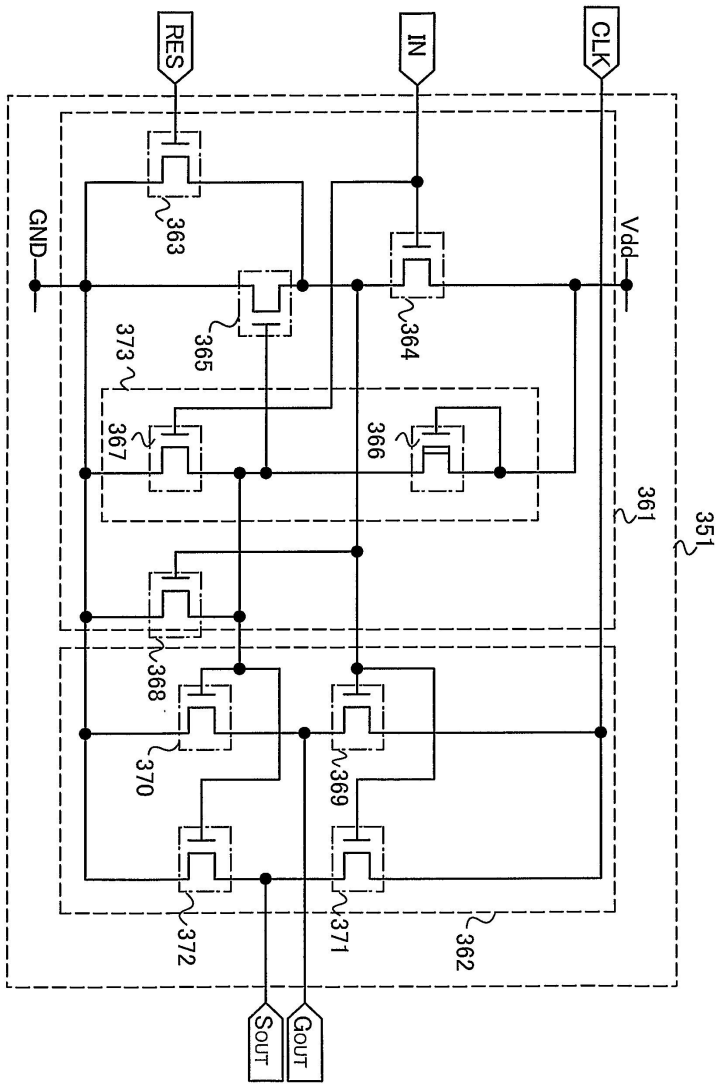
도면4



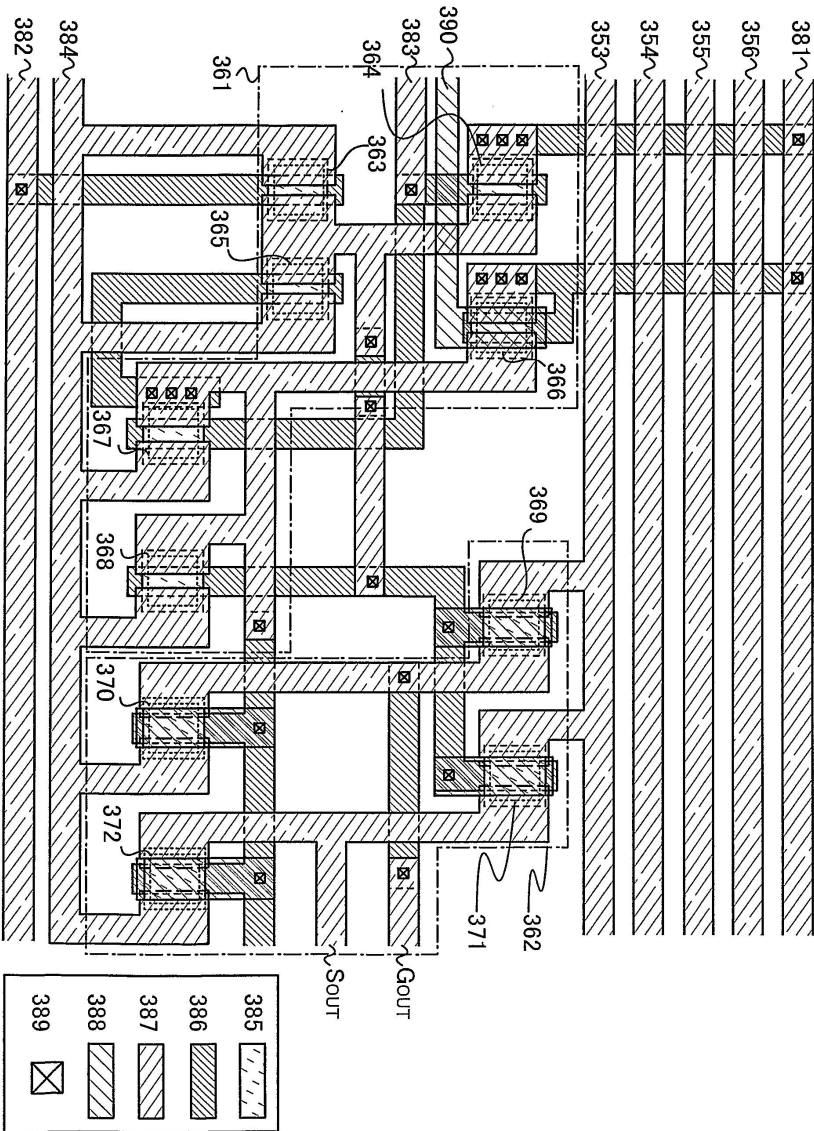
도면5



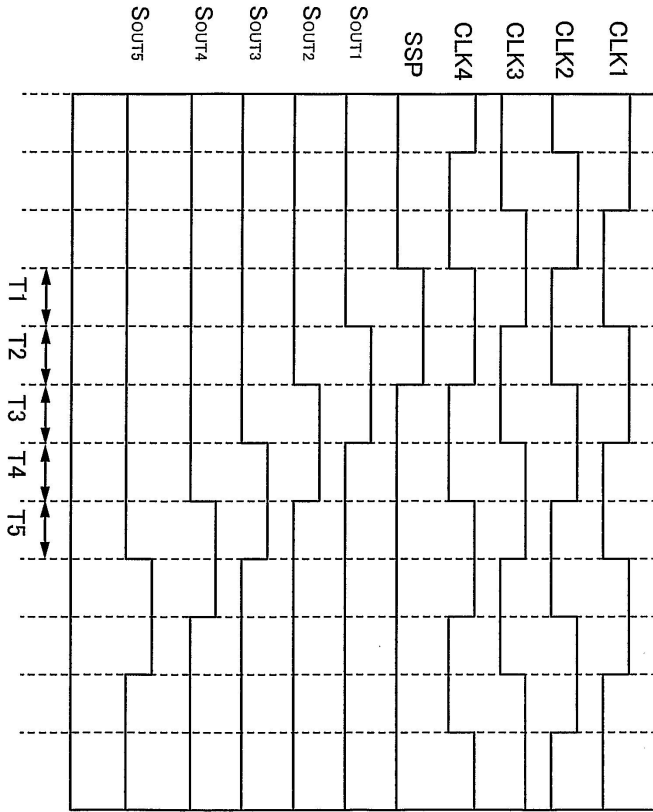
도면6



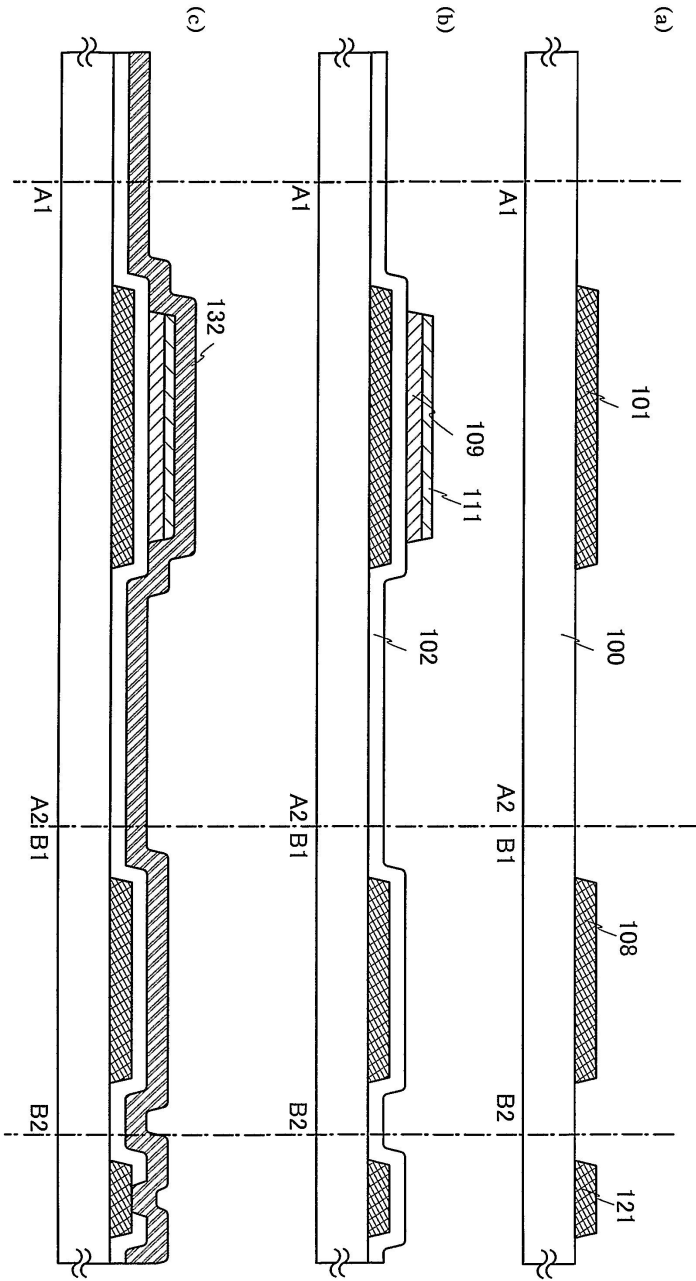
도면7



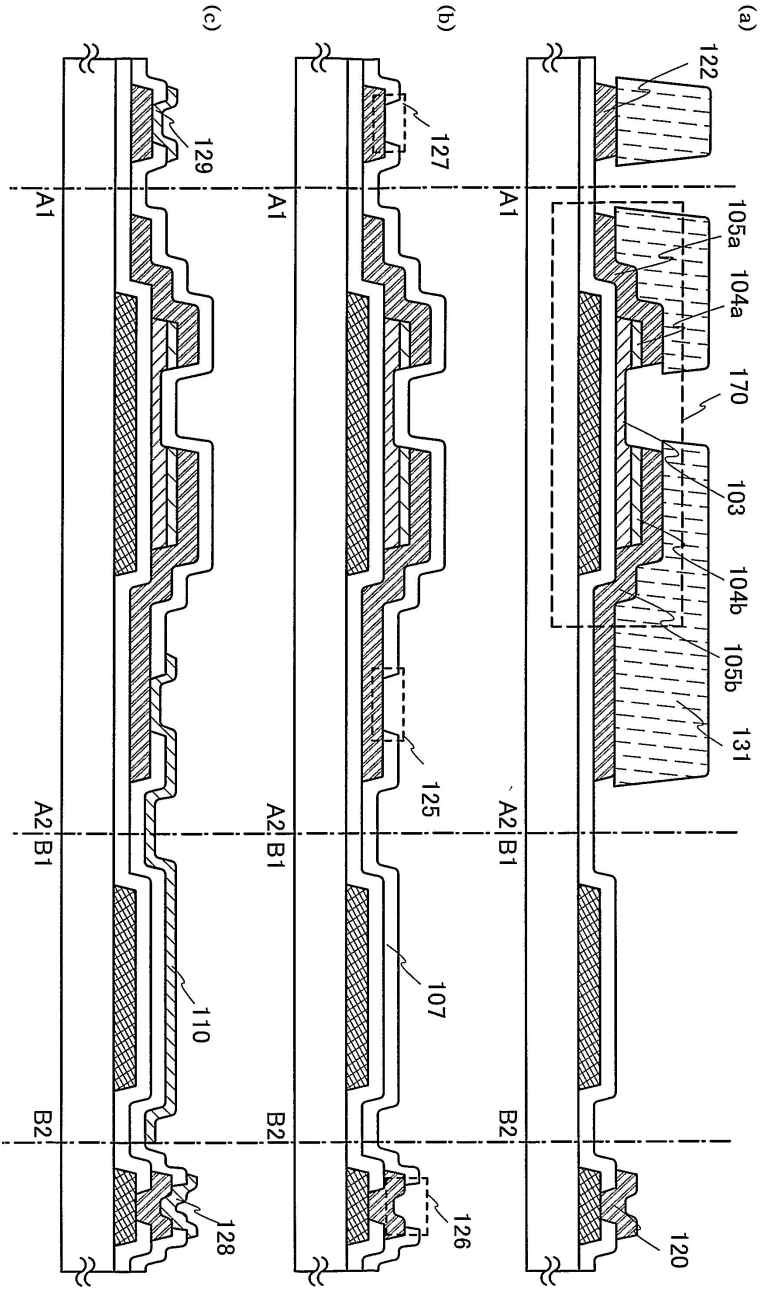
도면8



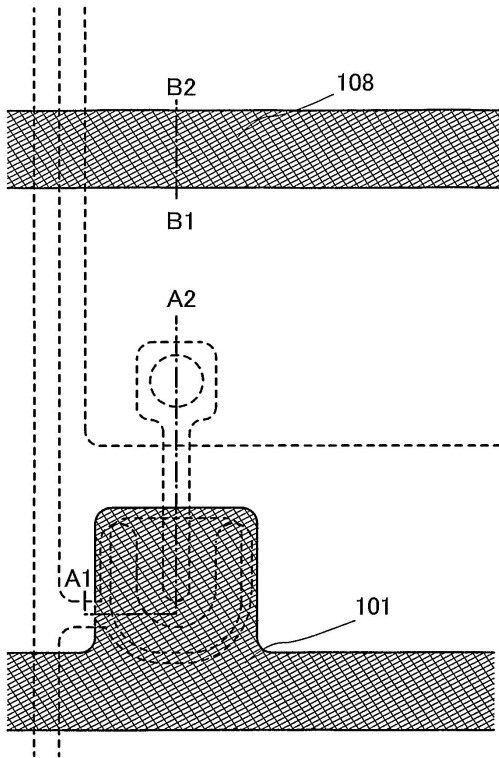
도면9



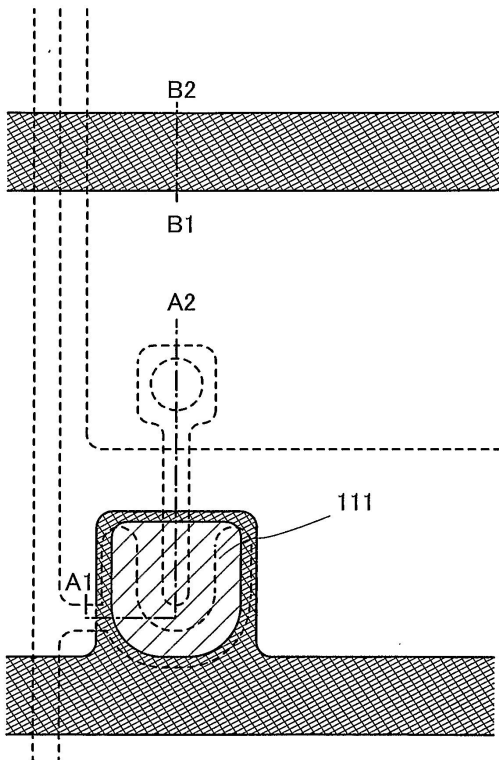
도면10



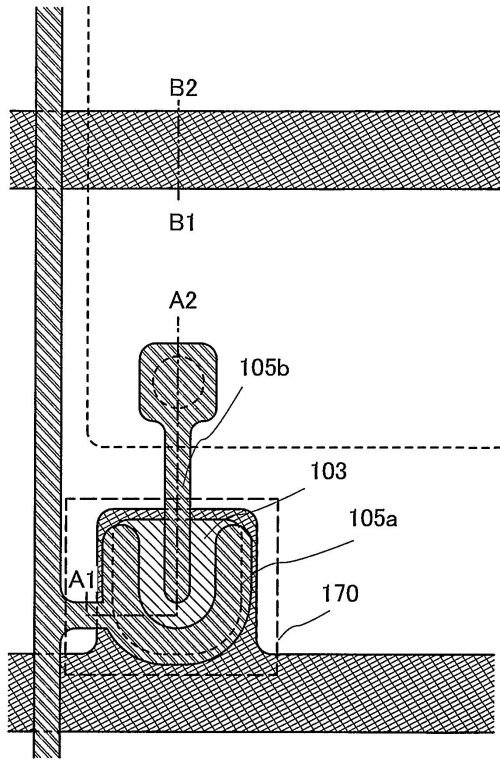
도면11



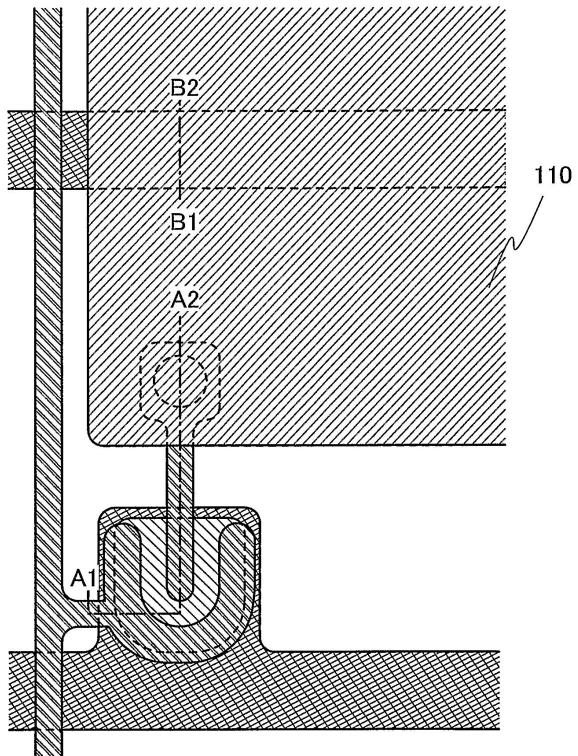
도면12



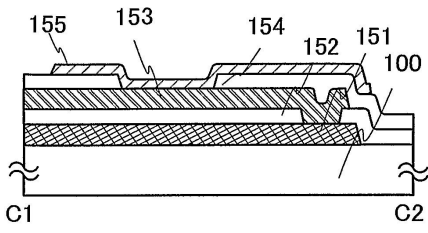
도면13



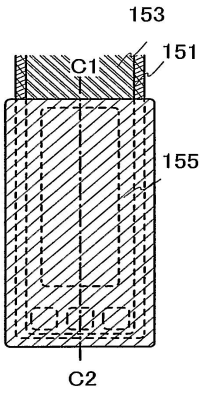
도면14



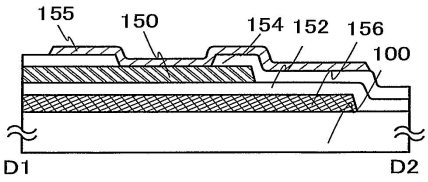
도면15a



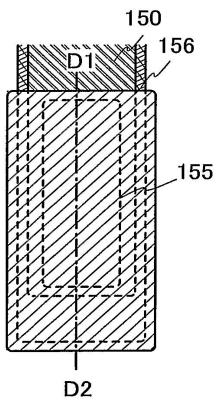
도면15b



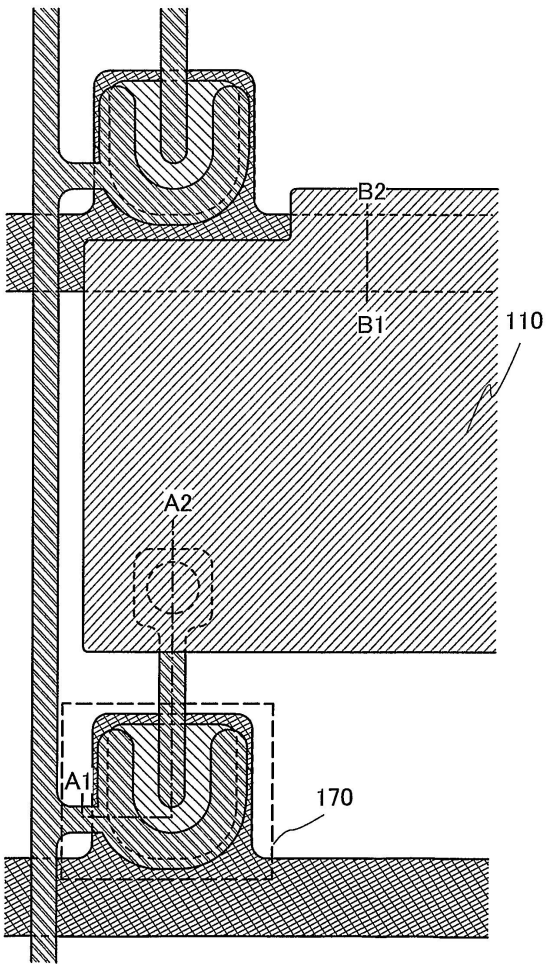
도면15c



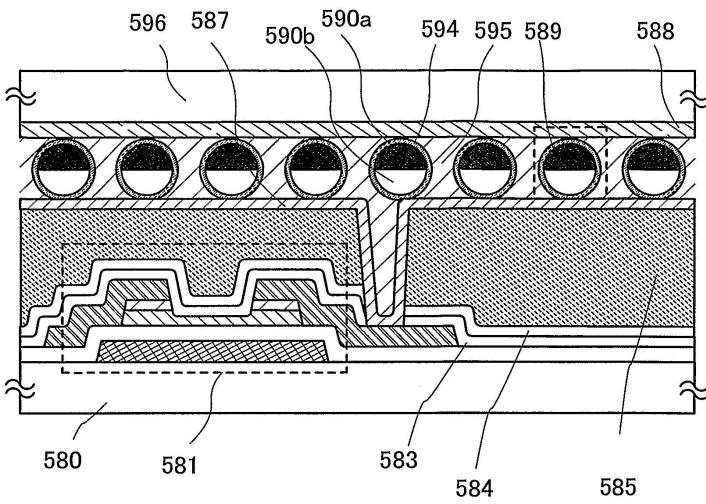
도면15d



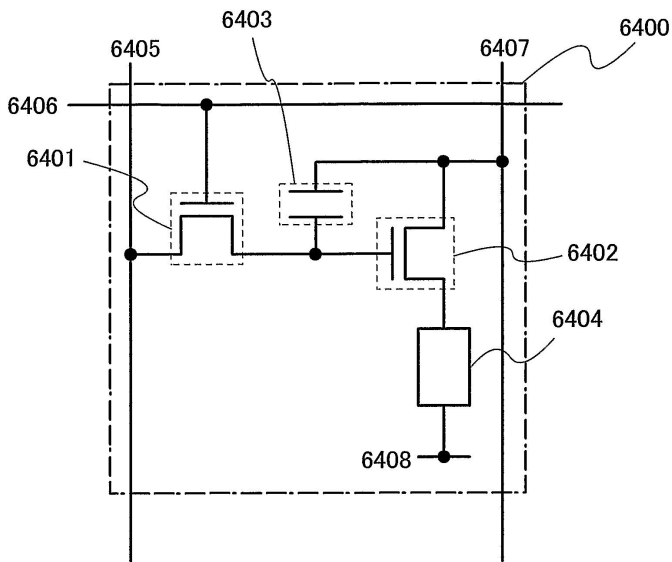
도면16



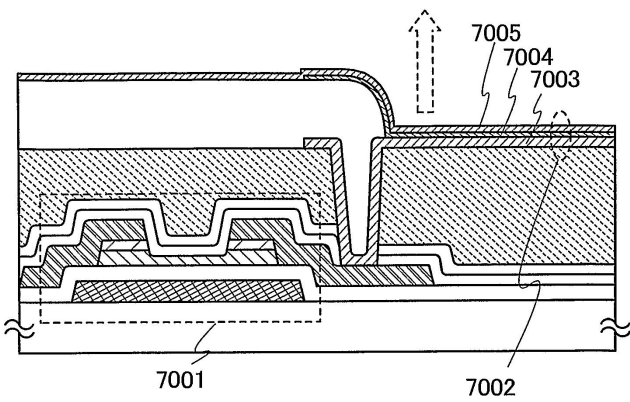
도면17



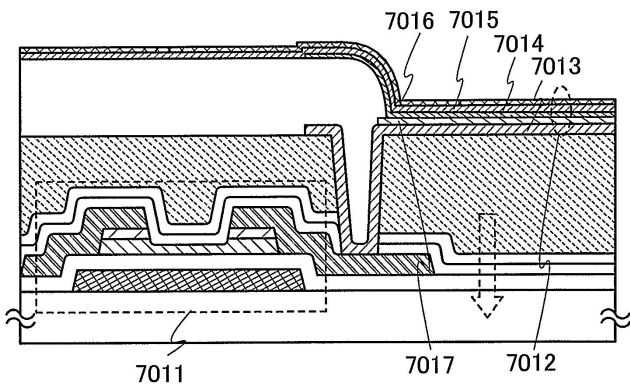
도면18



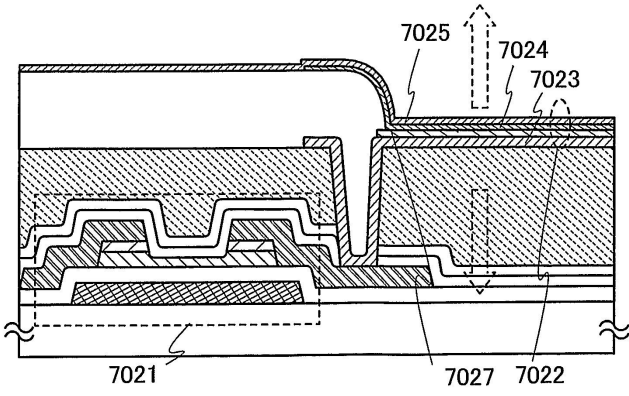
도면19a



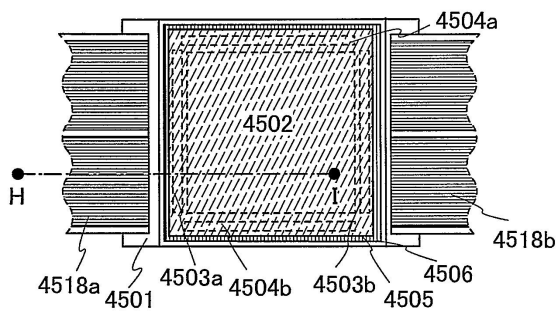
도면19b



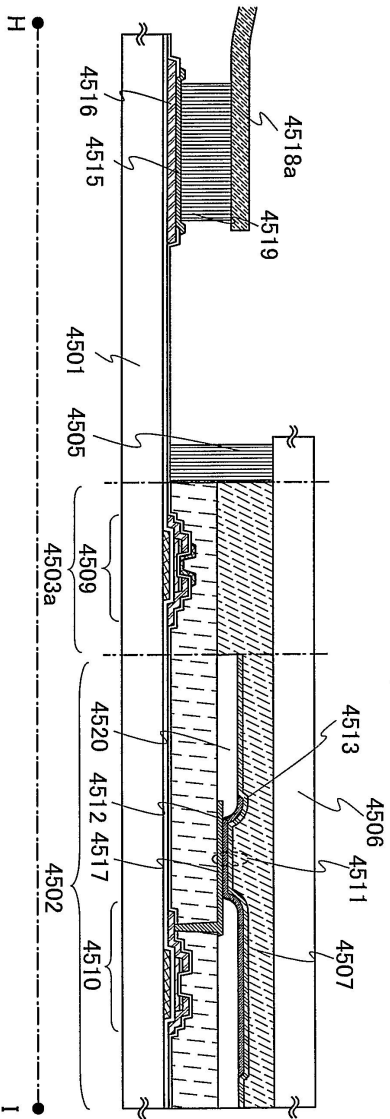
도면19c



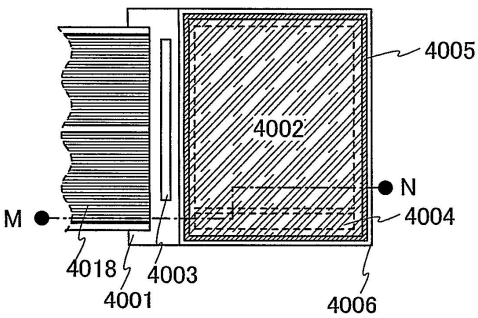
도면20a



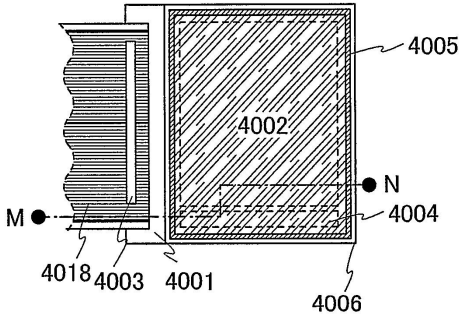
도면20b



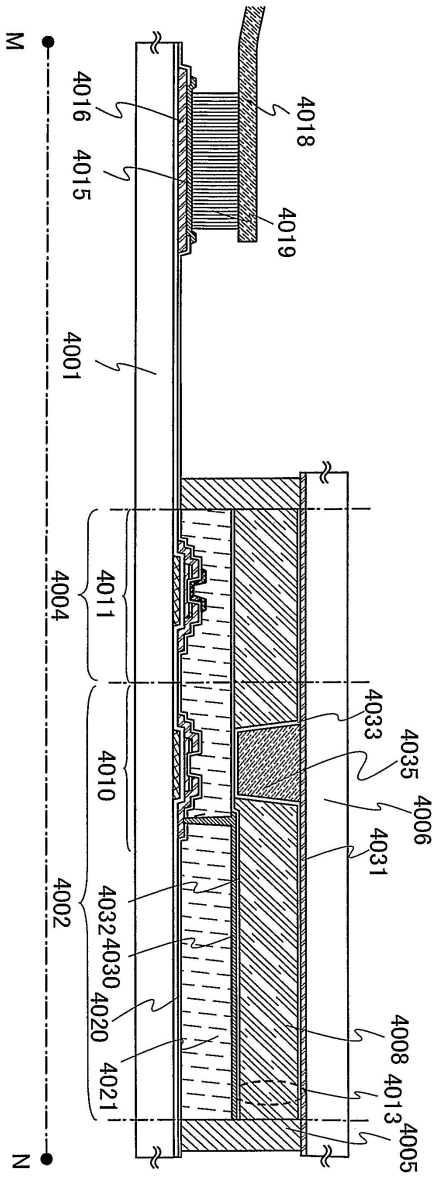
도면21a



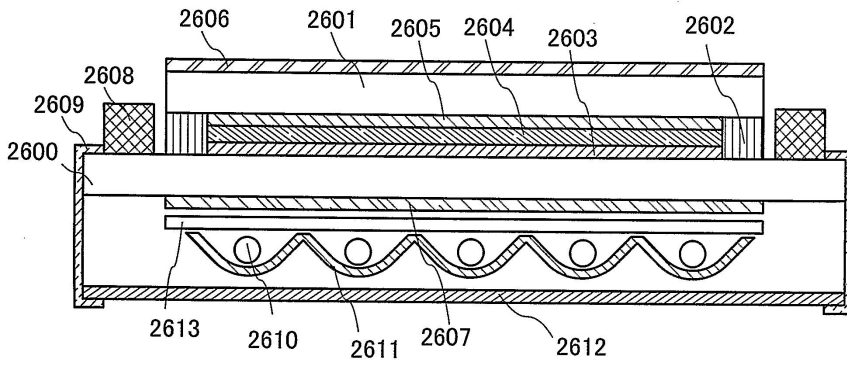
도면21b



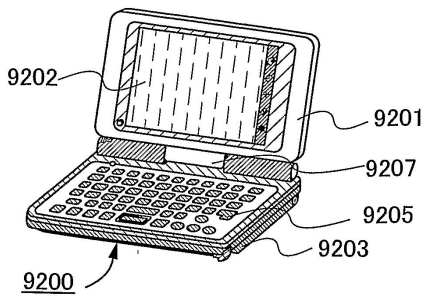
도면21c



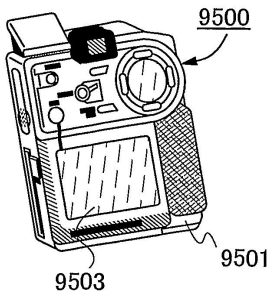
도면22



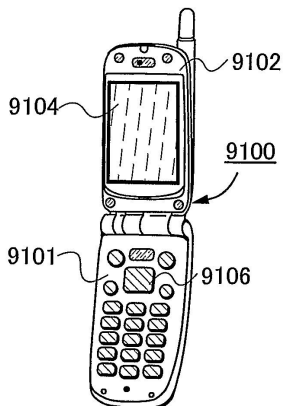
도면23a



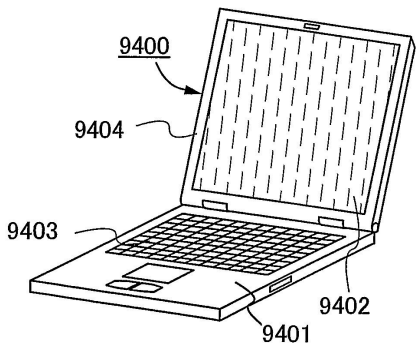
도면23b



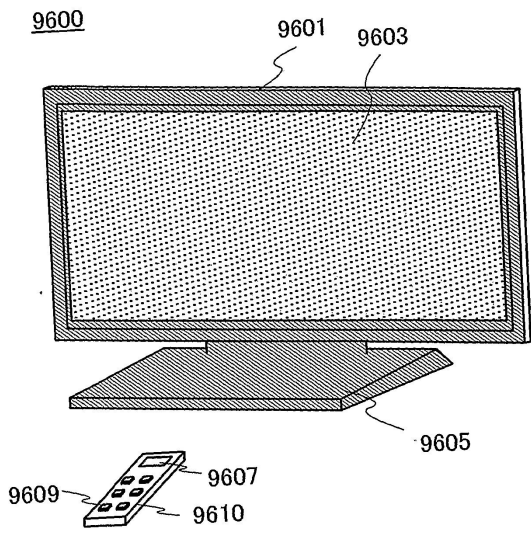
도면23c



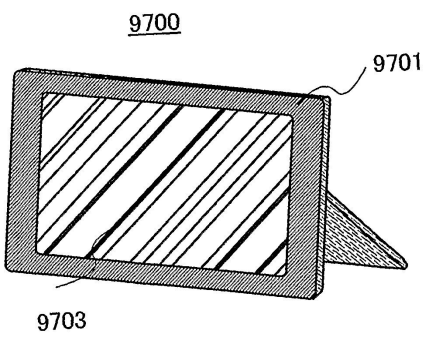
도면23d



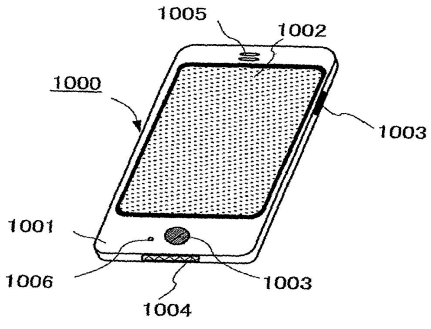
도면24a



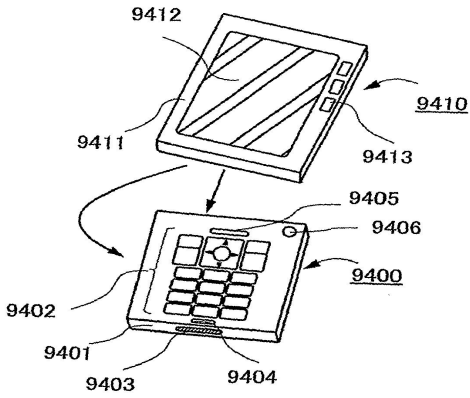
도면24b



도면25a



도면25b



도면26

