

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 24 日(24.12.2014)



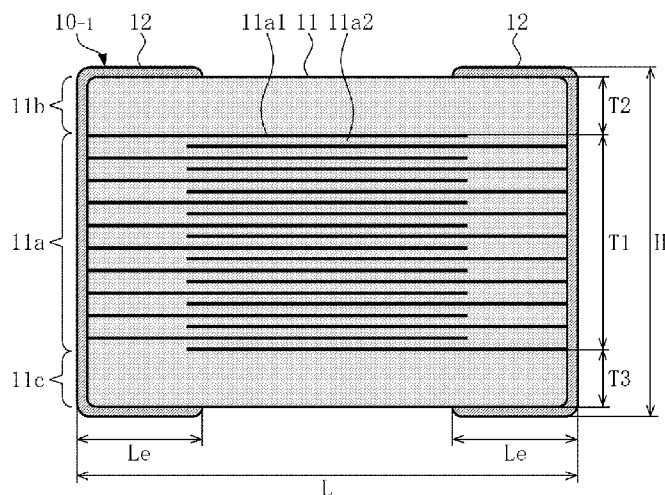
(10) 国際公開番号

WO 2014/203948 A1

- (51) 国際特許分類:
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
H01G 2/06 (2006.01)
- (21) 国際出願番号: PCT/JP2014/066223
- (22) 国際出願日: 2014 年 6 月 19 日(19.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-128512 2013 年 6 月 19 日(19.06.2013) JP
特願 2014-123023 2014 年 6 月 16 日(16.06.2014) JP
- (71) 出願人: 太陽誘電株式会社(TAIYO YUDEN CO., LTD.) [JP/JP]; 〒1100005 東京都台東区上野 6 丁目 1 6 番 2 0 号 Tokyo (JP).
- (72) 発明者: 小出 和由記(KOIDE Kazuyuki); 〒1100005 東京都台東区上野 6 丁目 1 6 番 2 0 号 太陽誘電株式会社内 Tokyo (JP). 福田 貴久(FUKUDA Takahisa); 〒1100005 東京都台東区上野 6 丁目 1 6 番 2 0 号 太陽誘電株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: MULTILAYER CERAMIC CAPACITOR

(54) 発明の名称: 積層セラミックコンデンサ



(57) Abstract: [Problem] To provide a multilayer ceramic capacitor which can be favorably mounted onto a circuit substrate and so forth while satisfying a condition of height > width. [Solution] A multilayer ceramic capacitor (10-1) is provided with a capacitor body (11) having a layered structure and a pair of external electrodes (12), and has a substantially rectangular parallelepiped shape defined by a length (L), a width (W), and a height (H). The multilayer ceramic capacitor (10-1) satisfies the following condition: $1.10 \leq H / W \leq 1.70$

(57) 要約: 【課題】高さ>幅の条件を満足しつつも回路基板等への実装を良好に行える積層セラミックコンデンサを提供する。【解決手段】積層セラミックコンデンサ 10-1 は、積層構造のコンデンサ本体 11 と 1 対の外部電極 12 とを備え、長さ L と幅 W と高さ H で規定された略直方体状を成している。この積層セラミックコンデンサ 10-1 は、前記幅 W と前記高さ H が、 $1.10 \leq H / W \leq 1.70$ の条件を満足している。

WO 2014/203948 A1

明 細 書

発明の名称： 積層セラミックコンデンサ

技術分野

[0001] 本発明は、積層セラミックコンデンサに関する。

背景技術

[0002] 積層セラミックコンデンサは、一般に、積層構造のコンデンサ本体と 1 対の外部電極とを備え、長さ、幅と高さで規定された略直方体状を成している。この積層セラミックコンデンサの静電容量は、コンデンサ本体が有する容量部、即ち、複数の内部電極層がセラミック層を介して積層された部分によって確保されている。

[0003] この種の積層セラミックコンデンサに対しては、高密度実装に応じた低実装面積化に加えて、大容量化の要求が依然として強い。この大容量化の要求に対しては、内部電極層を薄厚化してその層数を増やす技法が一般的であるが、内部電極層の厚さが既に μm オーダーに達しているが故にさらなる薄厚化には物理的な限界がある。

[0004] また、大容量化の要求に対しては、複数の積層セラミックコンデンサを積み重ねて一体化する技法も知られている（後記特許文献 1 を参照）。しかしながら、この技法は、複数の積層セラミックコンデンサを積み重ねて接合し、且つ、1 対の端子を設ける必要があるため、コスト増加に伴う単価高騰は避けられない。また、単独で使用可能な積層コンデンサを積み重ねて一体化するために、一体化物の高さが必要以上に高くなってしまう。

[0005] ところで、大容量化の要求に対しては、積層セラミックコンデンサの高さを幅よりも大きくすることによって内部電極層の層数を増やす考え方もある。しかしながら、高さ > 幅の条件を満足する積層セラミックコンデンサは、高さ = 幅の条件や高さ < 幅の条件を満足する積層セラミックコンデンサに比べ、回路基板等への実装時にセルフアライメント効果が得難くなる等の懸念がある。

[0006] 要するに、大容量化に要求に対して積層セラミックコンデンサの高さを幅よりも大きく考え方を採用する場合には、回路基板等への実装を良好に行うための条件を見出すことが極めて肝要となる。

先行技術文献

特許文献

[0007] 特許文献1：特開平 1 1 - 2 5 1 1 8 6 号公報

発明の概要

発明が解決しようとする課題

[0008] 本発明の目的は、高さ>幅の条件を満足しつつも回路基板等への実装を良好に行える積層セラミックコンデンサを提供することにある。

課題を解決するための手段

[0009] 前記目的を達成するため、本発明は、積層構造のコンデンサ本体と1対の外部電極とを備え、長さLと幅Wと高さHで規定された略直方体状の積層セラミックコンデンサであって、前記幅Wと前記高さHが、 $1.10 \leq H/W \leq 1.70$ の条件を満足している。

発明の効果

[0010] 本発明によれば、高さ>幅の条件を満足しつつも回路基板等への実装を良好に行える積層セラミックコンデンサを提供することができる。

図面の簡単な説明

[0011] [図1]図1は本発明を適用した積層セラミックコンデンサ（第1実施形態）の上面図である。

[図2]図2は図1に示した積層セラミックコンデンサの幅方向の側面図である。

[図3]図3は図1のS-S線に沿う縦断面図である。

[図4]図4は検証用サンプルN o. 1～N o. 10の仕様と特性（静電容量と電界強度と撓み強度）を示す図である。

[図5]図5は図4に示した検証用サンプルN o. 1～N o. 9のセルフアライ

メント効果を示す図である。

[図6]図6はセルフアライメント効果の確認方法の説明図である。

[図7]図7はセルフアライメント効果の確認方法の説明図である。

[図8]図8は本発明を適用した積層セラミックコンデンサ（第2実施形態）の図3対応の縦断面図である。

[図9]図9は検証用サンプルNo. 11～No. 23の仕様と特性（撓み強度）を示す図である。

発明を実施するための形態

- [0012] 《第1実施形態》 図1～図3は本発明を適用した積層セラミックコンデンサ10-1（第1実施形態）を示す。この積層セラミックコンデンサ10-1は、積層構造のコンデンサ本体11と1対の外部電極12とを備え、長さLと幅Wと高さHで規定された略直方体状を成している。また、この積層セラミックコンデンサ10-1は、高さ $H > \text{幅} W$ の条件、より詳しくは長さ $L > \text{高さ} H > \text{幅} W$ の条件を満足している。
- [0013] コンデンサ本体11は、複数の内部電極層11a1がセラミック層11a2を介して積層された容量部11bと、セラミックス製の第1保護部11bと、セラミックス製の第2保護部11cとを、高さ方向に第1保護部11bー容量部11aー第2保護部11cの順で層状に並ぶように有している。このコンデンサ本体11も、長さ、幅と高さで規定された略直方体状を成していて、高さ $> \text{幅}$ の条件、より詳しくは長さ $> \text{高さ} > \text{幅}$ の条件を満足している。また、このコンデンサ本体11は、第1保護部11bの厚さ $T2 = \text{第2保護部} 11c \text{の厚さ} T3$ の条件、より詳しくは容量部11aの厚さ $T1 > \text{第1保護部} 11b \text{の厚さ} T2 = \text{第2保護部} 11c \text{の厚さ} T3$ の条件を満足している。
- [0014] 容量部11aに含まれる複数（図中は20層）の内部電極層11a1は、各々の輪郭形状が略等しい矩形であり、各々の厚さも略等しい。また、隣接する内部電極層11a1の間に存するセラミック層11a2（隣接する内部電極層11a1に挟まれた部分と挟まれていない長さ方向両側部分を含む層、

図中は 19 層) は、各々の輪郭形状が略等しく、且つ、内部電極層 11a1 の輪郭形状よりも大きな矩形であり、各々の厚さも略等しい。複数の内部電極層 11a1 は長さ方向に交互にずれていて、図 3 の上から奇数番目に当たる内部電極層 11a1 の端縁は外部電極 12 の一方 (図 3 の左側) に電氣的に接続され、且つ、図 3 の上から偶数番目に当たる内部電極層 11a1 の端縁は外部電極 12 の他方 (図 3 の右側) に電氣的に接続されている。

[0015] 容量部 11a に含まれる複数の内部電極層 11a1 は、組成が略同じ導体から成る。この導体には、好ましくはニッケル、銅、パラジウム、白金、銀、金、これらの合金等を主成分した良導体を使用できる。ここでの「組成が略同じ導体」は、組成が同じ導体の他、焼結度合等の関係から組成が許容範囲内で若干異なる導体を指す。また、隣接する内部電極層 11a1 の間に存するセラミック層 11a2 は、第 1 保護部 11b と第 2 保護部 11c を含め、組成が略同じで誘電率も略同じセラミックスから成る。このセラミックスには、好ましくはチタン酸バリウム、チタン酸ストロンチウム、チタン酸カルシウム、チタン酸マグネシウム、ジルコン酸カルシウム、チタン酸ジルコン酸カルシウム、ジルコン酸バリウム、酸化チタン等を主成分とした誘電体セラミックス、より好ましくは $\epsilon > 1000$ 又はクラス 2 (高誘電率系) の誘電体セラミックスを使用できる。ここでの「組成が略同じで誘電率も略同じセラミックス」は、組成と誘電率が同じセラミックスの他、焼結度合等の関係から組成と誘電率の少なくとも一方が許容範囲内で若干異なるセラミックスを指す。

[0016] 各外部電極 12 は、コンデンサ本体 11 の長さ方向端面と該端面と隣接する 4 側面の一部を覆うように設けられている。図 1 ~ 図 3 中の L_e は、各外部電極 12 においてコンデンサ本体 11 の 4 側面の一部を覆う部分の長さを示す。図示を省略したが、各外部電極 12 はコンデンサ本体 11 の外面に密着した下地膜と、該下地膜の外面に密着した表面膜との 2 層構造、或いは、下地膜と表面膜との間に少なくとも 1 つの中間膜を有する多層構造を有している。下地膜は例えば焼き付け膜から成り、該焼き付け膜には、好ましくはニ

ッケル、銅、パラジウム、白金、銀、金、これらの合金等を主成分した良導体を使用できる。表面膜は例えばメッキ膜から成り、該メッキ膜には、好ましくはスズ、パラジウム、金、亜鉛、これらの合金等を主成分とした良導体を使用できる。中間膜は例えばメッキ膜から成り、該メッキ膜には、好ましくは白金、パラジウム、金、銅、ニッケル、これらの合金等を主成分とした良導体を使用できる。

[0017] 図1～図3に示した積層セラミックコンデンサ10-1は、 $1.10 \leq \text{高さ}H / \text{幅}W \leq 1.70$ の条件、好ましくは $1.30 \leq \text{高さ}H / \text{幅}W \leq 1.60$ の条件を満足している。これら条件の意義については後に詳述する。

[0018] ここで、図1～図3に示した積層セラミックコンデンサ10-1の好ましい製造例を紹介する。容量部11aのセラミック層11a2と第1保護部11bと第2保護部11cがチタン酸バリウムを主成分とし、容量部11aの内部電極層11a1がニッケルを主成分とする場合には、先ず、チタン酸バリウム粉末とエタノール（溶剤）とポリビニルブチラール（バインダ）と分散剤等の添加剤を含むセラミックスラリーを準備すると共に、ニッケル粉末とターピネオール（溶剤）とエチルセルロース（バインダ）と分散剤等の添加剤を含む電極ペーストを準備する。

[0019] そして、ダイコータ等の塗工装置と乾燥装置を用いて、キャリアフィルム上にセラミックスラリーを塗工し乾燥して、第1グリーンシートを作製する。加えて、スクリーン印刷機等の印刷装置と乾燥装置を用いて、第1グリーンシート上に電極ペーストを千鳥状又はマトリクス状に印刷し乾燥して、内部電極層用パターン群が形成された第2グリーンシートを作製する。

[0020] そして、打ち抜き刃及びヒータを有する吸着ヘッド等の積層装置を用いて、第1グリーンシートから打ち抜いた単位シートを所定数に至るまで積み重ねて熱圧着して、第2保護部11cに対応した部位を作製する。続いて、第2グリーンシートから打ち抜いた単位シート（内部電極層用パターン群を含む）を所定数に至るまで積み重ねて熱圧着して、容量部11aに対応した部位を作製する。続いて、第1グリーンシートから打ち抜いた単位シートを所定

数に至るまで積み重ねて熱圧着して、第1保護部11bに対応した部位を作製する。そして、熱間静水圧プレス機等の本圧着装置を用いて、積み重ねて熱圧着したものを最終的に本圧着して、未焼成積層シートを作製する。

[0021] そして、ダイシング機等の切断装置を用いて、未焼成積層シートを格子状に切断して、コンデンサ本体11に対応した未焼成チップを作製する。そして、トンネル型焼成炉等の焼成装置を用いて、多数の未焼成チップを還元性雰囲気下、或いは、低酸素分圧雰囲気下で、チタン酸バリウム及びニッケルに応じた温度プロファイルで焼成（脱バインダ処理と焼成処理を含む）を行って、コンデンサ本体11に対応した焼成チップを作製する。

[0022] そして、ローラ塗布機等の塗布装置を用いて、焼成チップの長さ方向両端部に電極ペースト（内部電極層用の電極ペーストを流用）を塗布し、前記同様の雰囲気下で焼き付け処理を行って下地膜を形成し、その上に表面膜、或いは、中間膜と表面膜を電解メッキ等のメッキ処理で形成して、外部電極を作製する。外部電極の下地膜は、未焼成チップの長さ方向両端部に電極ペーストを塗布して乾燥した後、これを未焼成チップと同時焼成することによって作製しても良い。

[0023] 図4は検証用サンプルNo. 1～No. 10の仕様と特性（静電容量ECと電界強度FIと撓み強度BS）を示す。これらサンプルNo. 1～No. 10は何れも前記製造例に準じて作製されたものであって、容量部11aの内部電極層11a1の主成分はニッケル、容量部11aのセラミック層11a2と第1保護部11bと第2保護部11cの主成分はチタン酸バリウムであり、各外部電極12はニッケルを主成分とする下地膜と銅を主成分とする中間膜とスズを主成分とする表面膜の3層構造である。

[0024] サンプルNo. 1～No. 9は、・長さLが1000 μ m・幅Wが500 μ m・第1保護部11bの厚さT2が88 μ m・第1保護部11bを構成するセラミック層の層数（層構成LCの左側に示した数値）が11層・第2保護部11cの厚さT3が88 μ m・第2保護部11cを構成するセラミック層の層数（層構成LCの右側に示した数値）が11層・容量部11aの内部電

極層 11a1 の厚さ T_i が $1.0\ \mu\text{m}$ ・容量部 11a のセラミック層 11a2 の

厚さ T_d と、第 1 保護部 11b を構成するセラミック層の厚さ T_d と、第 2 保護部 11c を構成するセラミック層の厚さ T_d が何れも $8.0\ \mu\text{m}$ ・各外部電極 12 の厚さが $10\ \mu\text{m}$ で、コンデンサ本体 11 の 4 側面の一部を覆う部分の長さ L_e (図 1～図 3 を参照) が $250\ \mu\text{m}$ である点で共通しているものの、層構成 LC の中央に示した数値 (内部電極層 11a1 の層数とセラミック層 11a2 の層数との和) を増やすことによって容量部 11a の厚さ T_1 と高さ H が徐々に増加している。

[0025] 層構成 LC の記載 ($n_1 - m - n_2$) について補足すれば、 n_1 は第 1 保護部 11b を構成するセラミック層の層数、 m は容量部 11a の内部電極層 11a1 の層数とセラミック層 11a2 の層数との和、 n_2 は第 2 保護部 11c を構成するセラミック層の層数であり、これら層数は前記製造例の積層工程時における積み重ね数を基準としている。また、 m については、 $(m-1)/2 + 1$ が内部電極層 11a1 の層数に該当し、 $(m-1)/2$ がセラミック層 11a2 の層数に該当する。層構成 LC 中の m と厚さ T_i と厚さ T_d に基づく単純計算では、該計算値と容量部 11a の厚さ T_1 の値とに誤差が生じるが、この誤差は前記製造例の積層工程時に内部電極層 11a1 となる内部電極層用パターンがセラミック層 11a2 となるグリーンシートに部分的にめり込むような形態となることをその理由とする。

[0026] サンプル No. 1～No. 9 のうち、サンプル No. 2～No. 9 は高さ $H > \text{幅 } W$ の条件を満足しているものの、サンプル No. 1 は高さ H が幅 W と同じであるため同条件を満足していない。つまり、サンプル No. 1 は従前の積層セラミックコンデンサであり、サンプル No. 2～No. 9 は図 1～図 3 に示した積層セラミックコンデンサ 10-1 に対応した積層セラミックコンデンサである。

[0027] サンプル No. 10 は、・容量部 11a のセラミック層 11a2 の厚さ T_d と、第 1 保護部 11b を構成するセラミック層の厚さ T_d と、第 2 保護部 1

1 cを構成するセラミック層の厚さ T_d が何れも $11.3\mu\text{m}$ ・第1保護部11 bの厚さ T_2 が $124.3\mu\text{m}$ ・第2保護部11 cの厚さ T_3 が $124.3\mu\text{m}$ である点で前記サンプルNo. 1～No. 9と相違する。つまり、サンプルNo. 10は、厚さ T_d が異なるものの、高さ $H>$ 幅 W の条件を満足していることから、図1～図3に示した積層セラミックコンデンサ10-1に対応した積層セラミックコンデンサである。

[0028] ここで、図4に示した静電容量 E_C の測定方法と電界強度 F_I の測定方法と撓み強度 B_S の測定方法について説明する。図5に示した静電容量 E_C は、サンプルNo. 1～No. 10を100個ずつ用意し、それぞれの静電容量をHP4284A (Agilent社製)を用いて測定し、各サンプル毎の平均値を算出した。また、図4に示した電界強度 F_I は、定格電圧(100V)に対するセラミック層の厚さ T_d から算出した。

[0029] さらに、図4に示した撓み強度 B_S は、サンプルNo. 1～No. 10を100個ずつ用意し、それぞれをJIS-C-6484準拠のガラスエポキシ基板の一面にハンダ付けした後、該ガラスエポキシ基板の一面におけるサンプルハンダ付け箇所から両側45mmのところを駒で支えた状態でその他面におけるサンプルハンダ付け箇所に相当する部位をジグ(押圧部が曲率半径230mmの曲面から成るもの)で0.5mm/secの一定速度で10mm下側に押圧して変形させ、該変形過程でサンプルに12.5%以上の容量低下が生じた数を各サンプル毎に計数した。

[0030] 図5は検証用サンプルNo. 1～No. 9のセルフアライメント効果を示す。先に述べたように、サンプルNo. 1は従前の積層セラミックコンデンサであり、サンプルNo. 2～No. 9は図1～図3に示した積層セラミックコンデンサ10-1に対応した積層セラミックコンデンサである。

[0031] ここで、図5に示したセルフアライメント効果の確認方法について図6及び図7を引用して説明する。まず、サンプルNo. 1～No. 9を80個ずつ用意すると共に、試験基板を36枚用意する。各試験基板には、長さ L_{21} が $500\mu\text{m}$ で幅 W_{21} が $550\mu\text{m}$ の2つの矩形状導体パッド21が50

0 μm の間隔1 N 2 1 をおいて2 0 組形成されている（図6を参照）。図6及び図7に記した×印は導体パッド2 1 の中心C Pを示し、1点鎖線は組を成す導体パッド2 1 の幅方向の中心線を示す。

[0032] 続いて、4枚の試験基板の導体パッド2 1 それぞれの上面にクリームハンダを厚さ0. 2 0 mmで塗布し、組を成す導体パッド2 1 それぞれの上にクリームハンダを介してサンプルN o. 1を搭載する（試験基板1枚につき2 0個）。1枚目の試験基板に2 0個のサンプルN o. 1を搭載するときには、各サンプルN o. 1の幅方向の中心線が組を成す導体パッド2 1 の幅方向の中心線と一致するように、且つ、各サンプルN o. 1の外部電極1 2それぞれの端面と導体パッド2 1 の中心C Pとに7 5 μm のズレG Aが生じるようにする（図6を参照）。また、2枚目の試験基板に2 0個のサンプルN o. 1を搭載するときには前記ズレG Aを5 0 μm とし、3枚目の試験基板に2 0個のサンプルN o. 1を搭載するときには前記ズレG Aを2 5 μm とし、4枚目の試験基板に2 0個のサンプルN o. 1を搭載するときには前記ズレG Aを1 0 μm とする（図5のズレG Aを参照）。他のサンプルN o. 2～N o. 9についても、それぞれ4枚の試験基板に対してサンプルN o. 1と同様の搭載を行う。

[0033] 続いて、サンプルN o. 1～N o. 9が搭載された計3 6枚の試験基板に対してリフローハンダ付け等の熱処理を施して、搭載された各サンプル1～9の外部電極1 2それぞれをハンダを介して導体パッド2 1に接合する。続いて、前記熱処理過程において前記ズレG Aが零になったか否か（セルフアライメント効果が得られたか否か）を、各試験基板毎に光学顕微鏡を用いて確認する（図7を参照）。

[0034] 続いて、確認結果に基づき、ズレG Aが異なる4種類の試験基板上の2 0個のサンプル（N o. 1～N o. 9）うち、2 0個にセルフアライメント効果が得られた場合には効果大（図5の○印を参照）の評価をし、1 9～1 4個にセルフアライメント効果が得られた場合には効果中（図5の△印を参照）の評価をし、1 3個以下にセルフアライメント効果が得られた場合には効果

小（図5の×印を参照）の評価をした。

[0035] 以下、図4に示した仕様と特性（静電容量 E_C と電界強度 F_I と撓み強度 B_S ）と、図5に示したセルフアライメント効果を考慮の上で、図1～図3に示した積層セラミックコンデンサ10-1によって得られる効果について説明する。

[0036] 第1に、図4に示したサンプルNo. 1の静電容量 E_C に比べ、サンプルNo. 2～No. 9の静電容量 E_C は高さ H が高くなるに従って増加している。この静電容量 E_C の増加は容量部11aの層数（内部電極層11a1の層数）を増したことによるものであるが、サンプルNo. 2～No. 9の静電容量 E_C の増加傾向からすると、高さ H をさほど高くしなくても大容量化を図ることができると言える。換言すれば、大容量化のためにサンプルNo. 1を2個積み重ねて一体化する場合よりも低い高さ H で、該サンプルNo. 1の2倍以上の静電容量 E_C を簡単に確保することができると言える。

[0037] 第2に、図4に示したサンプルNo. 1の撓み強度 B_S に比べ、サンプルNo. 2～No. 9の撓み強度 B_S は高さ H が高くなるに従って向上している。サンプルNo. 2の撓み強度 B_S は2/100であるが、該数値は実際の実装上ではさほど大きな問題にはならないものであるから、幅 W と高さ H が $1.10 \leq \text{高さ}H / \text{幅}W$ の条件を満足していれば、回路基板等への実装を良好に行うことができると言える。また、サンプルNo. 4～No. 9の撓み強度 B_S は何れも0/100であることを勘案すると、幅 W と高さ H が $1.30 \leq \text{高さ}H / \text{幅}W$ の条件を満足していれば、回路基板等への実装をより一層良好に行うことができると言える。

[0038] 第3に、図4に示したサンプルNo. 10の電界強度 F_I は、サンプルNo. 1は勿論のこと、サンプルNo. 2～No. 9よりも低下している。この電界強度 F_I の低下は容量部11aのセラミック層11a2の厚さ T_d に依存したものであるが、高さ H を幅 W よりも大きくすることによって、耐電圧性を簡単に向上させることができると言える。

[0039] 第4に、図5に示したサンプルNo. 9のセルフアライメント効果に比べ、

サンプルN o. 2～N o. 8のセルフアライメント効果は向上している。サンプルN o. 8のセルフアライメント効果は効果中（△印）を含んでいるが、該評価は実際の実装上でさほど大きな問題にはならないものであるから、幅Wと高さHが高さH／幅W $\leq$ 1.70の条件を満足していれば、回路基板等への実装を良好に行うことができると言える。また、サンプルN o. 2～N o. 7のセルフアライメント効果は何れも効果大（○印）であることを勘案すると、幅Wと高さHが高さH／幅W $\leq$ 1.60の条件を満足していれば、回路基板等への実装をより一層良好に行うことができると言える。

[0040] 因みに、サンプル2～8は、各外部電極12においてコンデンサ本体11の4側面の一部を覆う部分の長さL_eが250 μ mであるが、前掲のセルフアライメント効果は主として各外部電極12の端面へのハンダの付着輪郭に依存するため、長さL_eを250 μ m以外の数値に変更してもセルフアライメント効果は同様に得られる。

[0041] 総括すれば、図1～図3に示した積層セラミックコンデンサ10-1にあっては、幅Wと高さHが1.10 $\leq$ 高さH／幅W $\leq$ 1.70の条件を満足していれば、大容量化に有効であることに加え、撓み強度BS及びセルフアライメント効果の向上に基づいて回路基板等への実装を良好に行うことができる。また、幅Wと高さHが1.30 $\leq$ 高さH／幅W $\leq$ 1.60の条件を満足していれば、大容量化に有効であることは勿論のこと、回路基板等への実装をより一層良好に行うことができる。

[0042] 《第2実施形態》 図8は本発明を適用した積層セラミックコンデンサ10-2（第2実施形態）を示す。この積層セラミックコンデンサ10-2は、図1～図3に示した積層セラミックコンデンサ10-1（第1実施形態）と、コンデンサ本体11の容量部11aと第1保護部11bと第2保護部11cが、第2保護部11cの厚さT₃>第1保護部11bの厚さT₂の条件、より詳しくは容量部11aの厚さT₁>第2保護部11cの厚さT₃>第1保護部11bの厚さT₂の条件を満足している点で相違する。他の構成は図1～図3に示した積層セラミックコンデンサ10-1と同じであるため、その説明を省

略する。

[0043] 図8に示した積層セラミックコンデンサ10-2は、 $1.18 \leq \text{厚さ} T_3 / \text{厚さ} T_2 \leq 4.36$ の条件、好ましくは $2.18 \leq \text{厚さ} T_3 / \text{厚さ} T_2 \leq 3.64$ の条件を満足している。また、図8に示した積層セラミックコンデンサ10-2は、 $0.028 \leq (\text{厚さ} T_3 - \text{厚さ} T_2) / \text{高さ} H \leq 0.350$ の条件、好ましくは $0.159 \leq (\text{厚さ} T_3 - \text{厚さ} T_2) / \text{高さ} H \leq 0.297$ の条件を満足している。これら条件の意義について後に詳述する。

[0044] 図9は検証用サンプルNo. 11～No. 23の仕様と特性（撓み強度BS）を示す。また、図9にはサンプルNo. 11～No. 23の他に、比較用として、図4に示したサンプルNo. 2の仕様と特性（撓み強度BS）が示されている。これらサンプルNo. 11～No. 23は何れも前記製造例（第1実施形態欄を参照）に準じて作製されたものであって、容量部11aの内部電極層11a1の主成分はニッケル、容量部11aのセラミック層11a2と第1保護部11bと第2保護部11cの主成分はチタン酸バリウムであり、各外部電極12はニッケルを主成分とする下地膜と銅を主成分とする中間膜とスズを主成分とする表面膜の3層構造である。

[0045] サンプルNo. 11～No. 23は、
・長さLが $1000 \mu\text{m}$ ・幅Wが $500 \mu\text{m}$
・容量部11aの厚さT1が $370 \mu\text{m}$ ・容量部11aの内部電極層11a1の層数とセラミック層11a2の層数との和（層構成LCの中央に示した数値）が43層・第1保護部11bの厚さT2が $88 \mu\text{m}$ ・第1保護部11bを構成するセラミック層の層数（層構成LCの左側に示した数値）が11層・容量部11aの内部電極層11a1の厚さTiが $1.0 \mu\text{m}$ ・容量部11aのセラミック層11a2の厚さTdと、第1保護部11bを構成するセラミック層の厚さTdと、第2保護部11cを構成するセラミック層の厚さTdが何れも $8.0 \mu\text{m}$ ・各外部電極12の厚さが $10 \mu\text{m}$ で、コンデンサ本体11の4側面の一部を覆う部分の長さLe（図8を参照）が $250 \mu\text{m}$ である点で共通しているものの、層構成LCの右側に示した数値（第2保護

部 1 1 c を構成するセラミック層の層数)を増やすことによって第 2 保護部 1 1 c の厚さ T_3 と高さ H が徐々に増加している。

[0046] 図 4 に示した層構成 LC の記載 ($n_1 - m - n_2$) と撓み強度 BS の測定方法は第 1 実施例欄で述べた通りであるため、ここでの説明を省略する。

[0047] つまり、サンプル No. 1 1 ~ No. 2 3 は、高さ $H > \text{幅} W$ の条件に加えて厚さ $T_3 > \text{厚さ} T_2$ の条件を満足していることから、図 8 に示した積層セラミックコンデンサ 1 0-2 に対応した積層セラミックコンデンサである。

[0048] 以下、図 9 に示した仕様と特性 (撓み強度 BS) を考慮の上で、図 8 に示した積層セラミックコンデンサ 1 0-2 によって得られる効果について説明する。

[0049] 第 1 に、図 9 に示したサンプル No. 2 の撓み強度 BS に比べ、サンプル No. 1 1 ~ No. 2 3 の撓み強度 BS は向上している。サンプル No. 1 1 ~ No. 2 3 が何れも第 1 実施形態欄の最後に述べた $1.10 \leq \text{高さ} H / \text{幅} W \leq 1.70$ の条件を満足していることを考慮した上で、第 1 保護部 1 1 b の厚さ T_2 と第 2 保護部 1 1 c の厚さ T_3 に着目すると、厚さ T_2 と厚さ T_3 が $1.18 \leq \text{厚さ} T_3 / \text{厚さ} T_2 \leq 4.36$ の条件を満足していれば、大容量化に有効であることは勿論のこと、回路基板等への実装を良好に行うことができると言える。

[0050] また、サンプル No. 1 1 ~ No. 2 3 のうち、サンプル No. 1 5 ~ No. 2 0 が何れも第 1 実施形態欄の最後に述べた $1.30 \leq \text{高さ} H / \text{幅} W \leq 1.60$ の条件を満足していることを考慮した上で、第 1 保護部 1 1 b の厚さ T_2 と第 2 保護部 1 1 c の厚さ T_3 に着目すると、厚さ T_2 と厚さ T_3 が $2.18 \leq \text{厚さ} T_3 / \text{厚さ} T_2 \leq 3.64$ の条件を満足していれば、大容量化に有効であることは勿論のこと、回路基板等への実装をより一層良好に行うことができると言える。

[0051] 第 2 に、サンプル No. 1 1 ~ No. 2 3 が何れも第 1 実施形態欄の最後に述べた $1.10 \leq \text{高さ} H / \text{幅} W \leq 1.70$ の条件を満足していることを考慮した上で、第 1 保護部 1 1 b の厚さ T_2 と第 2 保護部 1 1 c の厚さ T_3 と高

さHに着目すると、厚さT₂と厚さT₃と高さHが $0.028 \leq (\text{厚さ}T_3 - \text{厚さ}T_2) / \text{高さ}H \leq 0.350$ の条件を満足していれば、大容量化に有効であることは勿論のこと、回路基板等への実装を良好に行うことができると言える。

[0052] また、サンプルNo. 11～No. 23のうち、サンプルNo. 15～No. 20が何れも第1実施形態欄の最後に述べた $1.30 \leq \text{高さ}H / \text{幅}W \leq 1.60$ の条件を満足していることを考慮した上で、第1保護部11bの厚さT₂と第2保護部11cの厚さT₃と高さHに着目すると、厚さT₂と厚さT₃と高さHが $0.159 \leq (\text{厚さ}T_3 - \text{厚さ}T_2) / \text{高さ}H \leq 0.297$ の条件を満足していれば、大容量化に有効であることは勿論のこと、回路基板等への実装をより一層良好に行うことができると言える。

[0053] 《他の実施形態》 (1) 図4に示したサンプルNo. 2～No. 10、並びに、図9に示したサンプルNo. 11～No. 23として、容量部11aの内部電極層11a1の厚さT_iが $1.0\mu\text{m}$ のものを示したが、該内部電極層11a1の厚さT_iを $1.0\mu\text{m}$ 超過又は $1.0\mu\text{m}$ 未満としても、前記同様の効果を得ることができる。また、容量部11aのセラミック層11a2の厚さT_dを $8.0\mu\text{m}$ 未満にして容量部11aの層数(内部電極層11a1の層数)を増せば、大容量化により一層貢献することができる。

[0054] (2) 図1～図3に示した積層セラミックコンデンサ10-1、並びに、図8に示した積層セラミックコンデンサ10-2として、長さL>高さH>幅Wの条件を満足するものを示したが、少なくとも高さH>幅Wの条件を満足していれば、長さLと高さHとの寸法関係に拘わらず、前記同様の効果を得ることができる。

符号の説明

[0055] 10-1, 10-2…積層セラミックコンデンサ、11…コンデンサ本体、11a…容量部、11a1…内部電極層、11a2…セラミック層、11b…第1保護部、11c…第2保護部、12…外部電極、L…積層セラミックコンデンサの長さ、W…積層セラミックコンデンサの幅、H…積層セラミックコ

ンデンサの高さ、 T_1 …コンデンサ本体の容量部の厚さ、 T_2 …コンデンサ本体の第1保護部の厚さ、 T_3 …コンデンサ本体の第2保護部の厚さ。

請求の範囲

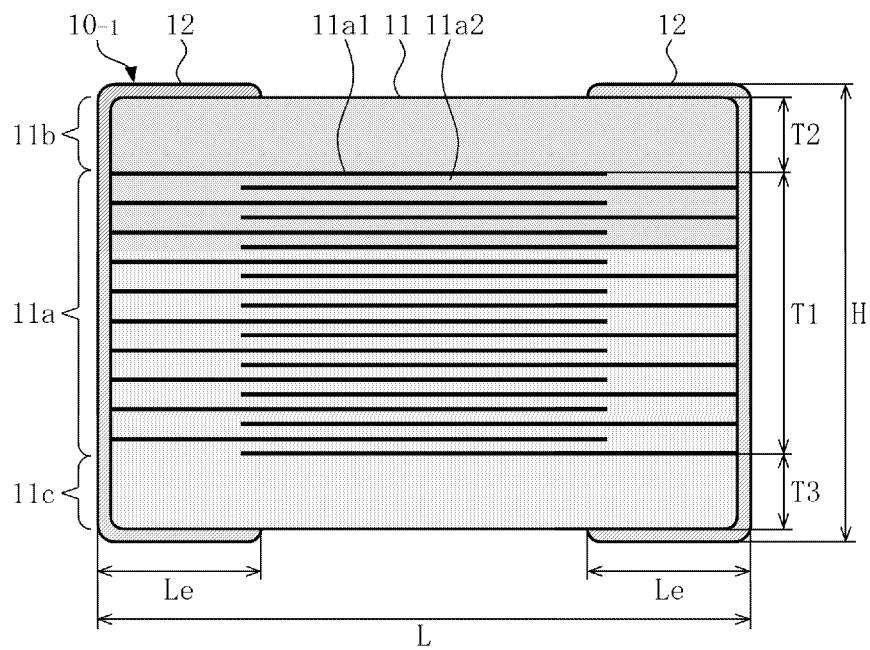
- [請求項1] 積層構造のコンデンサ本体と1対の外部電極とを備え、長さLと幅Wと高さHで規定された略直方体状の積層セラミックコンデンサであって、前記幅Wと前記高さHが、 $1.10 \leq H/W \leq 1.70$ の条件を満足している、積層セラミックコンデンサ。
- [請求項2] 請求項1に記載した条件が、 $1.30 \leq H/W \leq 1.60$ である、請求項1に記載の積層セラミックコンデンサ。
- [請求項3] 前記コンデンサ本体は、複数の内部電極層がセラミック層を介して積層された容量部と、セラミック製の第1保護部と、セラミック製の第2保護部とを、高さ方向に第1保護部—容量部—第2保護部の順で層状に並ぶように有しており、前記コンデンサ本体の第1保護部の厚さをT2とし第2保護部の厚さをT3としたとき、前記厚さT2と前記厚さT3が、 $1.18 \leq T3/T2 \leq 4.36$ の条件を満足している、請求項1に記載の積層セラミックコンデンサ。
- [請求項4] 請求項3に記載した条件が、 $2.18 \leq T3/T2 \leq 3.64$ である、請求項3に記載の積層セラミックコンデンサ。
- [請求項5] 前記コンデンサ本体は、複数の内部電極層がセラミック層を介して積層された容量部と、セラミック製の第1保護部と、セラミック製の第2保護部とを、高さ方向に第1保護部—容量部—第2保護部の順で層状に並ぶように有しており、前記コンデンサ本体の第1保護部の厚さをT2とし第2保護部の厚さをT3としたとき、前記厚さT2と前記厚さT3と前記高さHが、 $0.028 \leq (T3 - T2)/H \leq 0.350$ の条件を満足している、請求項1又は3に記載の積層セラミックコンデンサ。
- [請求項6] 請求項5に記載した条件が、 $0.159 \leq (T3 - T2)/H \leq 0.297$ である、請求項5に記載の積層セラミックコンデンサ。
- [請求項7] 前記長さLと前記幅Wと前記高さHが、 $L > H > W$ の条件を満足している、請求項1～6の何れか1項に記載の積層セラミックコンデン

サ。

Figure 1 is a schematic diagram of a device 10. The device is composed of a central rectangular section 11 and two side rectangular sections 12. The left side section 12 is labeled 10-1. The width of the device is S, and the total length is L. The length of each side section 12 is Le.

Figure 1 is a schematic diagram of a rectangular structure 10. The structure is composed of a central rectangular region 11 and two side rectangular regions 12. The left side region 12 is also labeled 10-1. The total width of the structure is denoted by L, and the total height is denoted by H. The width of each side region 12 is denoted by L_c .

[図3]



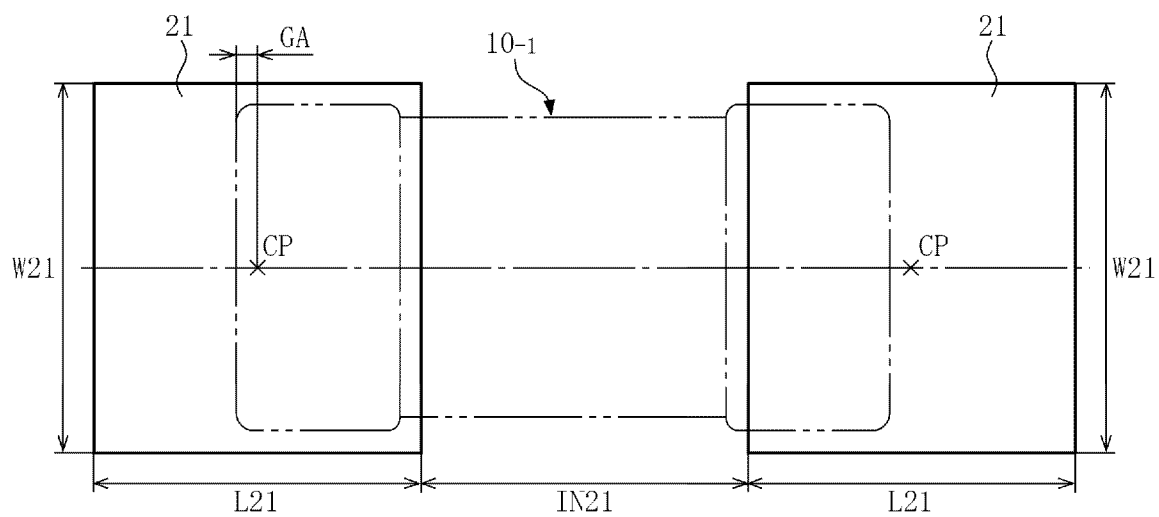
[図4]

sample	II	II/W	LC	Ti	Td	T1	EC	FI	BS
No. 1	500 μm	1.00	11-37-11	1.0 μm	8.0 μm	320 μm	10.0 nF	13.0 $\text{V}/\mu\text{m}$	5/100
No. 2	550 μm	1.10	11-43-11	1.0 μm	8.0 μm	370 μm	11.6 nF	13.0 $\text{V}/\mu\text{m}$	2/100
No. 3	600 μm	1.20	11-49-11	1.0 μm	8.0 μm	420 μm	13.2 nF	13.0 $\text{V}/\mu\text{m}$	1/100
No. 4	650 μm	1.30	11-55-11	1.0 μm	8.0 μm	470 μm	14.8 nF	13.0 $\text{V}/\mu\text{m}$	0/100
No. 5	700 μm	1.40	11-61-11	1.0 μm	8.0 μm	520 μm	16.4 nF	13.0 $\text{V}/\mu\text{m}$	0/100
No. 6	750 μm	1.50	11-67-11	1.0 μm	8.0 μm	570 μm	18.1 nF	13.0 $\text{V}/\mu\text{m}$	0/100
No. 7	800 μm	1.60	11-73-11	1.0 μm	8.0 μm	620 μm	19.7 nF	13.0 $\text{V}/\mu\text{m}$	0/100
No. 8	850 μm	1.70	11-79-11	1.0 μm	8.0 μm	670 μm	21.3 nF	13.0 $\text{V}/\mu\text{m}$	0/100
No. 9	900 μm	1.80	11-85-11	1.0 μm	8.0 μm	720 μm	22.9 nF	13.0 $\text{V}/\mu\text{m}$	0/100
No. 10	790 μm	1.58	11-54-11	1.0 μm	11.3 μm	610 μm	10.0 nF	8.8 $\text{V}/\mu\text{m}$	0/100

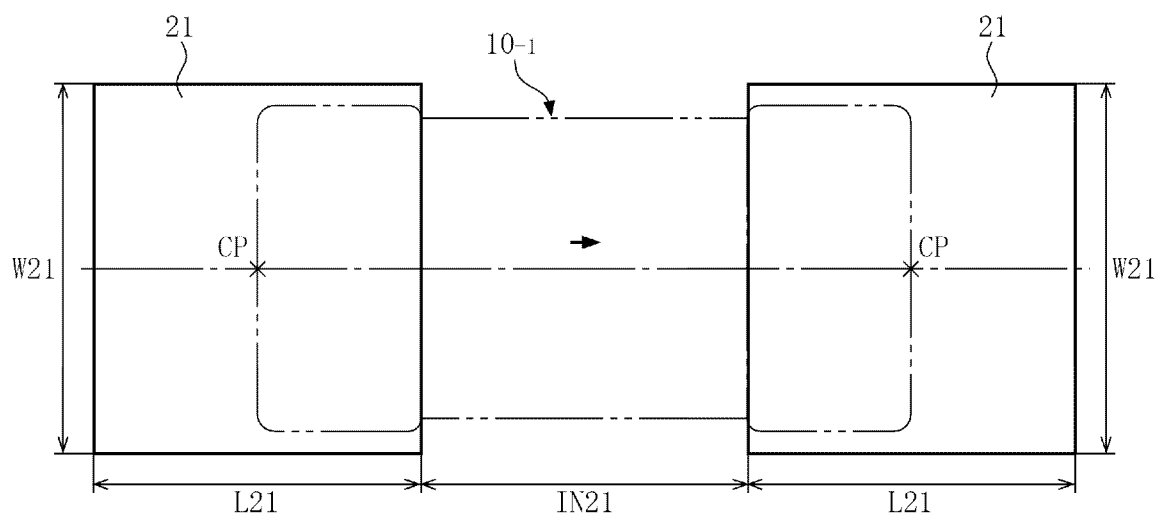
[図5]

sample	II	II/W	GA			
			75 μm	50 μm	25 μm	10 μm
No. 1	500 μm	1.00	○	○	○	○
No. 2	550 μm	1.10	○	○	○	○
No. 3	600 μm	1.20	○	○	○	○
No. 4	650 μm	1.30	○	○	○	○
No. 5	700 μm	1.40	○	○	○	○
No. 6	750 μm	1.50	○	○	○	○
No. 7	800 μm	1.60	○	○	○	○
No. 8	850 μm	1.70	△	△	○	○
No. 9	900 μm	1.80	×	△	○	○

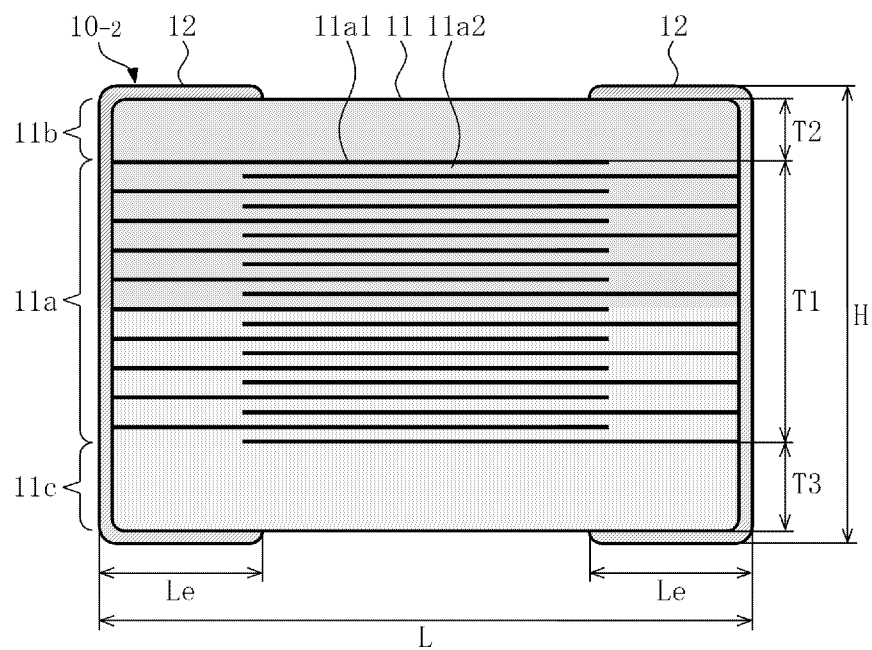
[図6]



[図7]



[図8]



[図9]

sample	II	II/W	LC	Ti	Td	T3	T3/T2	(T3-T2)/II	BS
No. 2	550 μ m	1.10	11-43-11	1.0 μ m	8.0 μ m	88 μ m	1.00	-----	2/100
No. 11	566 μ m	1.13	11-43-13	1.0 μ m	8.0 μ m	104 μ m	1.18	0.028	0/100
No. 12	574 μ m	1.15	11-43-14	1.0 μ m	8.0 μ m	112 μ m	1.27	0.042	0/100
No. 13	598 μ m	1.20	11-43-17	1.0 μ m	8.0 μ m	136 μ m	1.55	0.080	0/100
No. 14	630 μ m	1.26	11-43-21	1.0 μ m	8.0 μ m	168 μ m	1.91	0.127	0/100
No. 15	654 μ m	1.31	11-43-24	1.0 μ m	8.0 μ m	192 μ m	2.18	0.159	0/100
No. 16	678 μ m	1.36	11-43-27	1.0 μ m	8.0 μ m	216 μ m	2.45	0.189	0/100
No. 17	702 μ m	1.40	11-43-30	1.0 μ m	8.0 μ m	240 μ m	2.73	0.217	0/100
No. 18	734 μ m	1.47	11-43-34	1.0 μ m	8.0 μ m	272 μ m	3.09	0.251	0/100
No. 19	758 μ m	1.52	11-43-37	1.0 μ m	8.0 μ m	296 μ m	3.36	0.274	0/100
No. 20	782 μ m	1.56	11-43-40	1.0 μ m	8.0 μ m	320 μ m	3.64	0.297	0/100
No. 21	808 μ m	1.62	11-43-42	1.0 μ m	8.0 μ m	336 μ m	3.82	0.307	0/100
No. 22	832 μ m	1.66	11-43-45	1.0 μ m	8.0 μ m	360 μ m	4.09	0.327	0/100
No. 23	846 μ m	1.69	11-43-48	1.0 μ m	8.0 μ m	384 μ m	4.36	0.350	0/100

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/066223

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/12(2006.01)i, H01G2/06(2006.01)i, H01G4/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/12, H01G2/06, H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-248581 A (TDK Corp.), 13 December 2012 (13.12.2012), paragraphs [0041] to [0050]; fig. 1, 2 & US 2012/0300361 A1	1-7
Y X	JP 2005-347288 A (TDK Corp.), 15 December 2005 (15.12.2005), paragraphs [0038] to [0042]; fig. 1 (Family: none)	1-7 1,2
Y	JP 8-130160 A (Murata Mfg. Co., Ltd.), 21 May 1996 (21.05.1996), paragraphs [0010] to [0012]; fig. 1 (Family: none)	3-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 July, 2014 (18.07.14)

Date of mailing of the international search report
05 August, 2014 (05.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/066223

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-193352 A (Taiyo Yuden Co., Ltd.), 08 July 2004 (08.07.2004), paragraphs [0018], [0028]; fig. 3 (Family: none)	7
A	JP 2012-248846 A (Samsung Electro Mechanics Co., Ltd.), 13 December 2012 (13.12.2012), paragraphs [0030] to [0035]; fig. 3 & US 2012/0298407 A1 & KR 10-2012-0131726 A	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01G4/12(2006.01)i, H01G2/06(2006.01)i, H01G4/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01G4/12, H01G2/06, H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-248581 A（T D K株式会社） 2012.12.13, 段落【0 0 4 1】－【0 0 5 0】、【図 1】、【図 2】 & US 2012/0300361 A1	1-7
Y X	JP 2005-347288 A（T D K株式会社）2005.12.15, 段落【0 0 3 8】 －【0 0 4 2】、【図 1】 (ファミリーなし)	1-7 1, 2

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 7 . 2 0 1 4

国際調査報告の発送日

0 5 . 0 8 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

柴垣 俊男

5 D

4 0 6 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 8-130160 A (株式会社村田製作所) 1996.05.21, 段落【0010】－【0012】、【図1】 (ファミリーなし)	3-7
Y	JP 2004-193352 A (太陽誘電株式会社) 2004.07.08, 段落【0018】、【0028】、【図3】 (ファミリーなし)	7
A	JP 2012-248846 A (サムソン エレクトロメカニクス カンパニーリミテッド) 2012.12.13, 段落【0030】－【0035】、【図3】 & US 2012/0298407 A1 & KR 10-2012-0131726 A	1-7