(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2025 년 5 월 30 일 (30.05.2025)

WIPO | PCT

(10) 국제공개번호
WO 2025/110488 A1

(51) 국제특허분류:
H10H 29/01 (2025.01) *H10H 20/831* (2025.01)
H10D 86/00 (2025.01) *H10H 20/00* (2025.01)
H10H 20/856 (2025.01)

(21) 국제출원번호: PCT/KR2024/015916

(22) 국제출원일: 2024 년 10 월 18 일 (18.10.2024)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2023-0160173 2023 년 11 월 20 일 (20.11.2023) KR

(71) 출원인: 고려대학교 산학협력단 (**KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION**) [KR/KR]; 02841 서울특별시 성북구 안암로 145 (KR).

(72) 발명자: **이인환 (LEE, In Hwan)**; 02804 서울특별시 성북구 종암로23길 35, 205동 1403호 (KR). **손호기 (SON, Ho Ki)**; 05754 서울특별시 송파구 성내천로 194-1, 1 (KR).

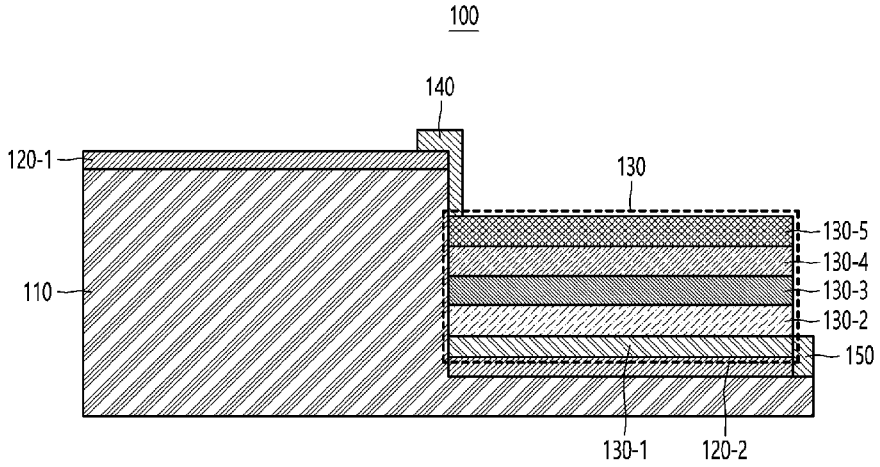
(74) 대리인: **김연권 (KIM, Youn Gwon)**; 05854 서울특별시 송파구 송파대로 201 B동 1416호 (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,

(54) Title: LIGHT-EMITTING ELEMENT-THIN-FILM TRANSISTOR INTEGRATION STRUCTURE BASED ON STEP DIFFERENCE OF SUBSTRATE, AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭: 기판의 단차에 기반하는 발광소자 - 박막 트랜지스터 인테그레이션 구조체 및 그 제조방법



(57) Abstract: The present invention relates to a light-emitting element-thin-film transistor integration structure. The integration structure according to one embodiment comprises: a first thin-film transistor formed in a first region of a substrate corresponding to a first height; a second thin-film transistor formed in a second region of the substrate corresponding to a second height; and a light-emitting element formed on the second thin-film transistor, wherein, after a thin-film transistor layer and a light-emitting element layer are sequentially formed in the first region and the second region of the substrate, the light-emitting element layer formed in the first region is removed so that the first thin-film transistor can be formed on top of the first region and the second thin-film transistor and the light-emitting element can be formed on top of the second region.

(57) 요약서: 본 발명은 발광소자 - 박막 트랜지스터 인테그레이션 구조체에 관한 것으로서, 일실시예에 따른 인테그레이션 구조체는 제1 높이에 대응되는 기판의 제1 영역에 형성된 제1 박막 트랜지스터와, 제2 높이에 대응되는 기판의 제2 영역에 형성된 제2 박막 트랜지스터 및 제2 박막 트랜지스터 상부에 형성된 발광소자를 포함하고, 여기서, 기판은 제1 영역 및 제2 영역에 박막 트랜지스터층과 발광 소자층이 순차적으로 형성된 후, 제1 영역에 형성된 발광소자층이 제거되어 제1 영역 상부에 제1 박막 트랜지스터가 형성되고, 제2 영역 상부에 제2 박막 트랜지스터 및 발광소자가 형성될 수 있다.

WO 2025/110488 A1

[다음 쪽 계속]

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

발명의 설명

발명의 명칭: 기판의 단차에 기반하는 발광소자 - 박막 트랜지스터 인테그레이션 구조체 및 그 제조방법

기술분야

[1] 본 발명은 발광소자와 박막 트랜지스터의 인테그레이션 구조체에 관한 것으로, 보다 상세하게는 단차를 갖는 기판을 이용하여 발광소자와 박막 트랜지스터의 인테그레이션 구조체를 구현하는 기술적 사상에 관한 것이다.

배경기술

[2] 기존 발광소자와 박막 트랜지스터의 인테그레이션 구조체는 기판을 제어하기보다는 기판 상에 증착된 박막들의 제조공정을 제어하여 발광소자와 박막 트랜지스터를 구분하고 있다.

[3] 구체적으로, 기존 인테그레이션 구조체는 기판 상에 발광소자와 박막 트랜지스터를 개별적으로 형성한 후, 발광소자로부터 출력되는 광이 박막 트랜지스터로 유입되는 것을 방지하기 위해 광 차단 구조체(light shielding wall)를 형성하는 추가적인 공정을 적용하고 있다.

발명의 내용

기술적 과제

[4] 본 발명은 단차 구조를 갖는 기판을 이용하여 제조 공정을 간소화할 수 있는 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

[5] 또한, 본 발명은 단차 구조를 갖는 기판을 이용하여 광 차단 구조체의 형성을 위한 추가적인 포토공정을 생략할 수 있는 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

[6] 또한, 본 발명은 필요에 따라 제조 공정 중 발광 소자와 박막 트랜지스터의 위치를 용이하게 변경할 수 있는 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

과제 해결 수단

[7] 본 발명의 일실시예에 따른 인테그레이션 구조체는 제1 높이에 대응되는 기판의 제1 영역에 형성된 제1 박막 트랜지스터와, 제2 높이에 대응되는 기판의 제2 영역에 형성된 제2 박막 트랜지스터 및 제2 박막 트랜지스터 상부에 형성된 발광소자를 포함하고, 여기서, 기판은 제1 영역 및 제2 영역에 박막 트랜지스터층과 발광 소자층이 순차적으로 형성된 후, 제1 영역에 형성된 발광소자층이 제거되어 제1 영역 상부에 제1 박막 트랜지스터가 형성되고, 제2 영역 상부에 제2 박막 트랜지스터 및 발광소자가 형성될 수 있다.

[8] 일측에 따르면, 박막 트랜지스터층 및 발광 소자층 각각은 스퍼터링 장비의 콜리메이터(collimator)를 이용하여 제1 영역 및 제2 영역에 동시에 형성될 수 있다.

[9] 일측에 따르면, 인테그레이션 구조체는 제1 박막 트랜지스터와 발광소자의 상부 전극을 서로 연결하는 제1 배선층 및 제2 박막 트랜지스터와 발광소자의 하부 전극을 서로 연결하는 제2 배선층을 더 포함할 수 있다.

[10] 일측에 따르면, 제1 배선층은 제1 높이가 제2 높이 보다 낮은 경우, 반사성 물질을 포함할 수 있다.

[11] 일측에 따르면, 발광소자는 하부 전극층, n형 반도체층, 활성층, p형 반도체층 및 상부 전극층을 포함할 수 있다.

[12] 일측에 따르면, 기판은 유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함할 수 있다.

[13] 일측에 따르면, 발광 소자의 반도체 박막은 물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하는 증착과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지가 공급되어 형성될 수 있다.

[14] 본 발명의 일실시예에 따른 인테그레이션 구조체의 제조방법은 제1 높이에 대응되는 기판의 제1 영역과 제2 높이에 대응되는 기판의 제2 영역에 박막 트랜지스터층을 형성하는 단계와, 제1 영역 및 제2 영역 상에 형성된 박막 트랜지스터층 상부에 발광소자층을 형성하는 단계 및 제1 영역에 형성된 발광소자층을 제거하여 제1 영역 상부에 제1 박막 트랜지스터를 형성하고, 제2 영역 상부에 제2 박막 트랜지스터 및 발광소자를 형성하는 단계를 포함할 수 있다.

[15] 일측에 따르면, 제2 영역에 박막 트랜지스터층을 형성하는 단계는 스퍼터링 장비의 콜리메이터(collimator)를 이용하여 박막 트랜지스터층을 제1 영역 및 제2 영역에 동시에 형성하고, 박막 트랜지스터층 상부에 발광소자층을 형성하는 단계는 콜리메이터를 이용하여 발광소자층을 제1 영역에 형성된 박막 트랜지스터층과 제2 영역에 형성된 박막 트랜지스터층 상부에 동시에 형성할 수 있다.

[16] 일측에 따르면, 인테그레이션 구조체의 제조방법은 제1 박막 트랜지스터와 발광소자의 상부 전극을 서로 연결하는 제1 배선층 및 제2 박막 트랜지스터와 발광소자의 하부 전극을 서로 연결하는 제2 배선층을 형성하는 단계를 더 포함할 수 있다.

[17] 일측에 따르면, 제1 배선층은 제1 높이가 제2 높이 보다 낮은 경우, 반사성 물질을 포함할 수 있다.

[18] 일측에 따르면, 박막 트랜지스터층 상부에 발광소자층을 형성하는 단계는 박막 트랜지스터층 상부에 하부 전극층을 형성하는 단계와, 하부 전극층 상부에 n형 반도체층을 형성하는 단계와, n형 반도체층 상부에 활성층을 형성하는 단계와, 활성층 상부에 p형 반도체층을 형성하는 단계 및 p형 반도체층 상부에 상부 전극층을 형성하는 단계를 포함할 수 있다.

[19] 일측에 따르면, 기판은 유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함할 수 있다.

[20] 일측에 따르면, 발광소자층을 형성하는 단계는 물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하여 발광소자층의 반도체 박막을 증착하는 과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지를 공급할 수 있다.

발명의 효과

[21] 일실시예에 따르면, 본 발명은 단차 구조를 갖는 기판을 이용하여 인테그레이션 구조체의 제조 공정을 간소화할 수 있다.

[22] 또한, 본 발명은 단차 구조를 갖는 기판을 이용하여 광 차단 구조체의 형성을 위한 추가적인 포토공정을 생략할 수 있다.

[23] 또한, 본 발명은 필요에 따라 제조 공정 중 발광 소자와 박막 트랜지스터의 위치를 용이하게 변경할 수 있다.

도면의 간단한 설명

[24] 도 1은 제1 실시예에 따른 인테그레이션 구조체를 설명하기 위한 도면이다.

[25] 도 2는 제2 실시예에 따른 인테그레이션 구조체를 설명하기 위한 도면이다.

[26] 도 3은 일실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

[27] 도 4a 내지 도 4c는 제1 실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

[28] 도 5a 내지 도 5c는 제2 실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

발명의 실시를 위한 형태

[29] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.

[30] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.

[31] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[32] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[33] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.

[34] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.

[35] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.

[36] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.

[37] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.

[38] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.

[39] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.

[40] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.

[41] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.

[42] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[43] 상술한 구체적인 실시예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.

[44] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시 예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.

[45] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.

[46] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

[47] 도 1 및 도 2는 일실시예에 따른 인테그레이션 구조체를 설명하기 위한 도면이다.

[48] 구체적으로, 도 1은 제1 실시예(제1 높이가 제2 높이 보다 높은 경우)에 따른 인테그레이션 구조체를 설명하기 위한 도면이고, 도 2는 제2 실시예(제1 높이가 제2 높이 보다 낮은 경우)에 따른 인테그레이션 구조체를 설명하기 위한 도면이다.

[49] 일실시예에 따른 인테그레이션 구조체는 단차 구조를 갖는 기판을 이용하여 인테그레이션 구조체의 제조 공정을 간소화할 수 있다.

[50] 또한, 인테그레이션 구조체는 단차 구조를 갖는 기판을 이용하여 광 차단 구조체의 형성을 위한 추가적인 포토공정을 생략할 수 있다.

[51] 또한, 인테그레이션 구조체는 필요에 따라 제조 공정 중 발광 소자와 박막 트랜지스터의 위치를 용이하게 변경, 즉 제1 실시예 및 제2 실시예 중 어느 하나에 대응되는 인테그레이션 구조체를 용이하게 구현할 수 있다.

[52]

[53] 이하에서는 도 1을 통해 일실시예에 따른 인테그레이션 구조체의 제1 실시예를 설명하기로 한다.

[54] 도 1을 참조하면, 제1 실시예에 따른 인테그레이션 구조체(100)는 제1 높이에 대응되는 기판(110)의 제1 영역에 형성된 제1 박막 트랜지스터(120-1)와 제1 높이 보다 낮은 제2 높이에 대응되는 기판(110)의 제2 영역에 형성된 제2 박막 트랜지스터(120-2) 및 제2 박막 트랜지스터(120-2) 상부에 형성된 발광소자(130)를 포함할 수 있다.

[55] 즉, 기판(110)은 제1 높이 및 제2 높이에 기반하는 단차를 갖는 기판일 수 있으며, 일례로 기판(110)은 유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함할 수 있다.

[56] 일측에 따르면, 기판(110)이 유리 기판인 경우 제1 영역의 측벽(즉, 발광소자(130)의 인접한 측벽)에는 사전에 반사막이 코팅될 수 있으며, 이를 통해 발광소자(130)로부터 출력되는 광이 제1 박막 트랜지스터(120-1)로 유입되는 것을 방지할 수 있다.

[57] 구체적으로, 기판(110)은 제1 영역 및 제2 영역에 박막 트랜지스터층과 발광 소자층이 순차적으로 형성된 후, 제1 영역에 형성된 발광소자층이 제거되어, 결과적으로 제1 영역 상부에 박막 트랜지스터층, 즉 제1 박막 트랜지스터(120-1)가 형성되고, 제2 영역 상부에 박막 트랜지스터층 및 발광소자층, 즉 제2 박막 트랜지스터(120-2) 및 발광소자(130)가 형성될 수 있다.

[58] 예를 들면, 박막 트랜지스터층 및 발광 소자층 각각은 스퍼터링 장비의 콜리메이터(collimator)를 이용하여 제1 영역 및 제2 영역에 동시에 형성될 수 있다.

[59] 콜리메이터는 타겟에서 방출된 증착물의 입자 방향을 일정하게 하여 원하는 영역에 고르게 증착시키는 역할을 수행하는 수단으로, 타겟과 증착물의 경로 사이에 위치하며, 타겟에서 방출된 증착물의 입자가 일정한 각도와 방향으로 고르게 진행되도록 할 수 있다.

[60] 예를 들면, 제1 박막 트랜지스터(120-1) 및 제2 박막 트랜지스터(120-2) 각각은 하나의 박막 트랜지스터를 의미할 수 있고, 둘 이상의 박막 트랜지스터로 구성되는 박막 트랜지스터 기반의 구동 회로를 의미할 수도 있으며, 여기서 박막 트랜지스터는 채널층, 게이트 전극, 소스 전극 및 드레인 전극을 포함할 수 있다.

[61] 보다 구체적인 예를 들면, 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극 각각은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide)와 같은 금속 산화물 중 적어도 하나를 포함할 수 있다.

[62] 또한, 박막 트랜지스터의 채널층은 비정질 실리콘(Amorphous Silicon), 나노 결정질 실리콘, 마이크로 결정질 실리콘, 폴리 결정질 실리콘, InGaZnO, a-IGZO(amorphous-Indium Gallium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), ITZO(Indium Tin Zinc Oxide), GTO(Gallium Tin Oxide), ZTO(Zinc Tin Oxide), IAZO(Indium Antimony Zinc Oxide), AZO(Antimony Zinc Oxide), ITO(Indium Tin Oxide), ATO(Antimony Tin Oxide) 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함할 수 있다.

[63] 일측에 따르면, 발광소자(130)는 하부 전극층(130-1), n형 반도체층(130-2), 활성층(130-3), p형 반도체층(130-4) 및 상부 전극층(130-5)을 포함할 수 있다.

[64] 하부 전극층(130-1)은 반사도가 높은 금속 물질을 포함하여 금속 반사막의 역할을 수행할 수 있으며, 이를 통해 하부 전극층(130-1)은 발광소자(130)로부터 발생되는 광을 반사시킴으로써 발광소자(130)의 광 추출 효율을 향상시킬 수 있다.

[65] 예를 들면, 하부 전극층(130-1)은 은(Ag) 및 알루미늄(Al) 중 적어도 하나의 금속 물질을 포함할 수 있다.

[66] 바람직하게는, 하부 전극층(130-1)은 알루미늄(Al) 전극층으로 구현되어 하부 전극층(130-1) 상부에 형성되는 발광 소자의 반도체 박막(즉, n형 반도체층(130-2), 활성층(130-3) 및 p형 반도체층(130-4) 중 적어도 하나의 층)의 보다 용이한 c 축 성장을 유도하는 버퍼층의 역할도 동시에 수행할 수 있다.

[67] n형 반도체층(130-2)은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다. 바람직하게는 n형 반도체층(130-2)은 n-GaN 층일 수 있다.

[68] 활성층(130-3)은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride;

InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다.

[69] 또한, 활성층(130-3)은 에너지 밴드 갭이 작은 물질을 사용하는 양자우물(Quantum Well) 및 에너지 밴드 갭이 큰 물질을 사용하는 양자 베리어(Quantum Barrier)가 적어도 1회 교대로 적층된 구조를 가질 수 있으며, 양자우물은 단일 양자우물(Single Quantum Well) 구조 또는 다중 양자우물(Multi-Quantum Well; MQW) 구조를 가질 수 있다. 바람직하게는 활성층(130-3)은 MQW 구조를 포함할 수 있다.

[70] 일측에 따르면, 활성층(130-3)은 InGaN 기반의 적색 MQW 구조를 포함할 수 있으며, 여기서, InGaN 기반의 적색 MQW 구조는 제1 GaN 층, InAlN 기반의 제1 캡핑층, InGaN 층, InAlN 기반의 제2 캡핑층 및 제2 GaN 층의 적층 구조로 구현될 수 있다.

[71] 구체적으로, 질화물 기반의 적색 발광소자에 적용되는 고 인듐 함량의 InGaN MQW 구조는 GaN 층과의 격자 파라미터(lattice parameter) 차이에 의한 응력 발생으로 인해 QCSE 효과 및 상 분리가 발생하게 되며, 이는 내부양자효율(IQE) 저하의 원인이 될 수 있다.

[72] 이에, 일실시예에 따른 활성층(130-3)은 MQW 구조에 구비되는 GaN 층과 InGaN 층 사이에 1nm 내지 2nm 두께의 InAlN 캡핑층을 적용하여 GaN 층과 InGaN 층 사이의 격자 상수 차이로 인한 스트레스를 최소화할 수 있으며, 이때 InAlN 캡핑층에는 전도대(conduction band)와 가전자대(valence band) 특성의 제어를 위한 도핑(doping)이 추가로 적용될 수도 있다.

[73] p형 반도체층(130-4)은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다. 바람직하게는 p형 반도체층(130-4)은 p-GaN 층일 수 있다.

[74] 상부 전극층(130-5)은 a-IGZO(amorphous-Indium Gallium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), ITZO(Indium Tin Zinc Oxide), GTO(Gallium Tin Oxide), ZTO(Zinc Tin Oxide), IAZO(Indium Antimony Zinc Oxide), AZO(Antimony Zinc Oxide), ITO(Indium Tin Oxide), ATO(Antimony Tin Oxide) 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함하는 투명 전극일 수 있다.

[75] 일측에 따르면, 발광 소자의 반도체 박막(즉, n형 반도체층(130-2), 활성층(130-3) 및 p형 반도체층(130-4) 중 적어도 하나의 층)은 물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하는 증착과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지가 공급되어 형성될 수 있다. 바람직하게는 발광 소자의 반도체 박막의 증착 과정에서는 이온빔에 기반하는 추가적인 에너지가 공급될 수 있다.

[76] 구체적으로, 기판(110)으로 유리 기판이 사용되는 경우에, 전사 공정없이 직접적으로 유리 기판 상에 박막을 성장시키기 위해서는 박막의 성장 온도를 저온으로 낮출 필요가 있다.

[77] 이에, 일실시예에 따른 인테그레이션 구조체는 발광 소자의 반도체 박막을 성장시키기 위한 온도를 저온(일례로, 700℃ 이하의 온도)으로 낮추고, 이 과정에서 증착 중인 반도체 박막에 추가적인 에너지를 공급하여 박막 성장에 필요한 에너지를 보완함으로써, 저온에서 고품질의 반도체 박막을 구현할 수 있다.

[78] 일측에 따르면, 인테그레이션 구조체(100)는 제1 박막 트랜지스터(120-1)와 발광소자(130)의 상부 전극(130-5)을 서로 연결하는 제1 배선층(140) 및 제2 박막 트랜지스터(120-2)와 발광소자(130)의 하부 전극(130-1)을 서로 연결하는 제2 배선층(150)을 더 포함할 수 있다.

[79] 예를 들면, 제1 배선층(140)은 제1 박막 트랜지스터(120-1)의 소스 전극 및 드레인 전극 중 어느 하나의 전극을 발광소자(130)의 상부 전극(130-5)과 연결하고, 제2 배선층(150)은 제2 박막 트랜지스터(120-2)의 소스 전극 및 드레인 전극 중 어느 하나의 전극을 발광소자(130)의 하부 전극(130-1)과 연결할 수 있다.

[80] 이하에서는, 도 2를 통해 일실시예에 따른 인테그레이션 구조체의 제2 실시예를 설명하기로 하며, 도 2를 통해 설명하는 내용 중 도 1을 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

[81] 도 2를 참조하면, 제2 실시예에 따른 인테그레이션 구조체(200)는 제1 높이에 대응되는 기판(210)의 제1 영역에 형성된 제1 박막 트랜지스터(220-1)와 제1 높이보다 높은 제2 높이에 대응되는 기판(210)의 제2 영역에 형성된 제2 박막 트랜지스터(220-2) 및 제2 박막 트랜지스터(220-2) 상부에 형성된 발광소자(230)를 포함할 수 있다.

[82] 구체적으로, 기판(210)은 제1 영역 및 제2 영역에 박막 트랜지스터층과 발광 소자층이 순차적으로 형성된 후, 제1 영역에 형성된 발광소자층이 제거되어, 결과적으로 제1 영역 상부에 박막 트랜지스터층, 즉 제1 박막 트랜지스터(220-1)가 형성되고, 제2 영역 상부에 박막 트랜지스터층 및 발광소자층, 즉 제2 박막 트랜지스터(220-2) 및 발광소자(230)가 형성될 수 있다.

[83] 예를 들면, 박막 트랜지스터층 및 발광 소자층 각각은 스퍼터링 장비의 콜리메이터(collimator)를 이용하여 제1 영역 및 제2 영역에 동시에 형성될 수 있다.

[84] 또한, 제1 박막 트랜지스터(220-1) 및 제2 박막 트랜지스터(220-2) 각각은 하나의 박막 트랜지스터를 의미할 수 있고, 둘 이상의 박막 트랜지스터로 구성되는 박막 트랜지스터 기반의 구동 회로를 의미할 수도 있다.

[85] 일측에 따르면, 발광소자(130)는 하부 전극층(230-1), n형 반도체층(230-2), 활성층(230-3), p형 반도체층(230-4) 및 상부 전극층(230-5)을 포함할 수 있다.

[86] 바람직하게는, 하부 전극층(230-1)은 반사도가 높은 금속을 포함하여 금속 반사막의 역할을 수행할 수 있으며, 상부 전극층(230-5)은 투명 전극으로 구현될 수 있다.

[87] 또한, n형 반도체층(230-2)은 n-GaN 층이고, p형 반도체층(230-4)은 p-GaN 층이며, 활성층(230-3)은 다중 양자우물(multi-quantum well; MQW) 구조를 포함할 수 있다.

[88] 일측에 따르면, 인테그레이션 구조체(200)는 제1 박막 트랜지스터(220-1)와 발광소자(230)의 상부 전극(230-5)을 서로 연결하는 제1 배선층(240) 및 제2 박막 트랜지스터(220-2)와 발광소자(230)의 하부 전극(230-1)을 서로 연결하는 제2 배선층(250)을 더 포함할 수 있으며, 여기서 제1 배선층(240)은 반사성 물질을 더 포함하여 발광소자(230)로부터 제1 박막 트랜지스터(220-1)의 방향으로 출력되는 광을 반사시킬 수 있다.

[89] 예를 들면, 인테그레이션 구조체(200)는 발광소자(230)로부터 제1 박막 트랜지스터(220-1)의 방향으로 출력되는 광을 반사시키기 위해, 제1 배선층(240)과 발광소자(230) 사이에 반사성 물질에 기반하는 반사막(240-1)을 구비할 수 있으나, 이에 한정되지 않고 제1 배선층(240)이 은(Ag) 및 알루미늄(Al) 중 적어도 하나의 반사도가 높은 금속 물질(즉, 반사성 물질)로 구현되어 금속 반사막의 역할을 수행할 수도 있다.

[90] 도 3은 일실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

[91] 도 3을 참조하면, 310 단계에서 제조방법은 제1 높이에 대응되는 기판의 제1 영역과 제2 높이에 대응되는 기판의 제2 영역에 박막 트랜지스터층을 형성할 수 있다.

[92] 즉, 기판은 제1 높이 및 제2 높이에 기반하는 단차를 갖는 기판일 수 있으며, 일례로 기판은 유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함할 수 있다.

[93] 일측에 따르면, 기판이 유리 기판인 경우 제1 영역의 측벽(이하에서 설명하는 발광소자의 인접한 측벽)에는 사전에 반사막이 코팅될 수 있으며, 이를 통해 발광소자로부터 출력되는 광이 이하에서 설명하는 제1 박막 트랜지스터로 유입되는 것을 방지할 수 있다.

[94] 예를 들면, 박막 트랜지스터층은 하나의 박막 트랜지스터를 의미할 수 있고, 둘 이상의 박막 트랜지스터로 구성되는 박막 트랜지스터 기반의 구동 회로를 의미할 수도 있으며, 여기서 박막 트랜지스터는 채널층, 게이트 전극, 소스 전극 및 드레인 전극을 포함할 수 있다.

[95] 보다 구체적인 예를 들면, 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극 각각은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide)와 같은 금속 산화물 중 적어도 하나를 포함할 수 있다.

[96] 또한, 박막 트랜지스터의 채널층은 비정질 실리콘(Amorphous Silicon), 나노 결정질 실리콘, 마이크로 결정질 실리콘, 폴리 결정질 실리콘, InGaZnO, a-

IGZO(amorphous-Indium Gallium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), ITZO(Indium Tin Zinc Oxide), GTO(Gallium Tin Oxide), ZTO(Zinc Tin Oxide), IAZO(Indium Antimony Zinc Oxide), AZO(Antimony Zinc Oxide), ITO(Indium Tin Oxide), ATO(Antimony Tin Oxide) 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함할 수 있다.

[97] 일측에 따르면, 310 단계에서 제조방법은 스퍼터링 장비의 콜리메이터(collimator)를 이용하여 박막 트랜지스터층을 제1 영역 및 제2 영역에 동시에 형성할 수 있다.

[98] 320 단계에서 제조방법은 제1 영역 및 제2 영역 상에 형성된 박막 트랜지스터층 상부에 발광소자층을 형성할 수 있다.

[99] 일측에 따르면, 320 단계에서 제조방법은 스퍼터링 장비의 콜리메이터를 이용하여 발광소자층을 제1 영역에 형성된 박막 트랜지스터층과 제2 영역에 형성된 박막 트랜지스터층 상부에 동시에 형성할 수 있다.

[100] 예를 들면, 발광소자층은 하부 전극층, n형 반도체층, 활성층, p형 반도체층 및 상부 전극층을 포함할 수 있다.

[101] 구체적으로, 320 단계에서 제조방법은 박막 트랜지스터층 상부에 하부 전극층을 형성할 수 있다.

[102] 예를 들면, 하부 전극층은 반사도가 높은 금속 물질을 포함하여 금속 반사막의 역할을 수행할 수 있으며, 이를 통해 하부 전극층은 발광소자로부터 발생되는 광을 반사시킴으로써 발광소자의 광 추출 효율을 향상시킬 수 있다.

[103] 보다 구체적인 예를 들면, 하부 전극층은 은(Ag) 및 알루미늄(Al) 중 적어도 하나의 반사도가 높은 금속 물질을 포함할 수 있다.

[104] 다음으로, 320 단계에서 제조방법은 하부 전극층 상부에 n형 반도체층을 형성할 수 있다.

[105] 예를 들면, n형 반도체층은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다. 바람직하게는 n형 반도체층은 n-GaN 층일 수 있다.

[106] 다음으로, 320 단계에서 제조방법은 n형 반도체층 상부에 활성층을 형성할 수 있다.

[107] 예를 들면, 활성층은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다.

[108] 또한, 활성층은 에너지 밴드 갭이 작은 물질을 사용하는 양자우물(Quantum Well) 및 에너지 밴드 갭이 큰 물질을 사용하는 양자 배리어(Quantum Barrier)가 적어도 1회 교대로 적층된 구조를 가질 수 있으며, 양자우물은 단일 양자우물

(Single Quantum Well) 구조 또는 다중 양자우물(Multi-Quantum Well; MQW) 구조를 가질 수 있다. 바람직하게는 활성층은 MQW 구조를 포함할 수 있다.

[109] 일측에 따르면, 활성층은 InGaN 기반의 적색 MQW 구조를 포함할 수 있으며, 여기서, InGaN 기반의 적색 MQW 구조는 제1 GaN 층, InAlN 기반의 제1 캡핑층, InGaN 층, InAlN 기반의 제2 캡핑층 및 제2 GaN 층의 적층 구조로 구현될 수 있다.

[110] 다음으로, 320 단계에서 제조방법은 활성층 상부에 p형 반도체층을 형성할 수 있다.

[111] 예를 들면, p형 반도체층은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다. 바람직하게는 p형 반도체층(130-4)은 p-GaN 층일 수 있다.

[112] 다음으로, 320 단계에서 제조방법은 p형 반도체층 상부에 상부 전극층을 형성할 수 있다.

[113] 예를 들면, 상부 전극층은 a-IGZO(amorphous-Indium Gallium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), ITZO(Indium Tin Zinc Oxide), GTO(Gallium Tin Oxide), ZTO(Zinc Tin Oxide), IAZO(Indium Antimony Zinc Oxide), AZO(Antimony Zinc Oxide), ITO(Indium Tin Oxide), ATO(Antimony Tin Oxide) 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함하는 투명 전극일 수 있다.

[114] 일측에 따르면, 320 단계에서 제조방법은 물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하여 발광소자층의 반도체 박막(n형 반도체층, 활성층 및 p형 반도체층 중 적어도 하나의 층)을 증착하는 과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지를 공급할 수 있다.

[115] 330 단계에서 제조방법은 제1 영역에 형성된 발광소자층을 제거하여 제1 영역 상부에 제1 박막 트랜지스터(즉, 제1 영역에 형성된 박막 트랜지스터층)를 형성하고, 제2 영역 상부에 제2 박막 트랜지스터(즉, 제2 영역에 형성된 박막 트랜지스터층) 및 발광소자(즉, 제2 영역에 형성된 발광소자층)를 형성할 수 있다.

[116] 340 단계에서 제조방법은 제1 박막 트랜지스터와 발광소자의 상부 전극을 서로 연결하는 제1 배선층 및 제2 박막 트랜지스터와 발광소자의 하부 전극을 서로 연결하는 제2 배선층을 형성할 수 있다.

[117] 예를 들면, 제1 배선층은 제1 높이가 제2 높이 보다 낮은 경우, 반사성 물질을 포함할 수 있다.

[118] 도 4a 내지 도 4c는 제1 실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

[119] 이하에서 도 4a 내지 도 4c를 통해 설명하는 제조방법은 도 3을 통해 설명한 310 내지 340 단계에서 수행될 수 있다.

[120] 410 단계에서 제조방법은 제1 높이에 대응되는 기판(401)의 제1 영역과 제1 높이보다 낮은 제2 높이에 대응되는 기판(401)의 제2 영역에 박막 트랜지스터층(402)과 발광소자층(403 내지 407)을 형성할 수 있다.

[121] 예를 들면, 발광소자층(403 내지 407)은 하부 전극층(403), n형 반도체층(404), 활성층(405), p형 반도체층(406) 및 상부 전극층(407)을 포함할 수 있다.

[122] 일측에 따르면, 410 단계에서 제조방법은 스퍼터링 장비의 콜리메이터(collimator)를 이용하여 박막 트랜지스터층(402)과 발광소자층(403 내지 407)을 제1 영역 및 제2 영역에 동시에 형성할 수 있다.

[123] 420 단계에서 제조방법은 제1 영역에 형성된 발광소자층을 제거하여 제1 영역 상부에 제1 박막 트랜지스터(즉, 제1 영역에 형성된 박막 트랜지스터층(402))를 형성하고, 제2 영역 상부에 제2 박막 트랜지스터(즉, 제2 영역에 형성된 박막 트랜지스터층(402)) 및 발광소자(즉, 제2 영역에 형성된 발광소자층(403 내지 407))를 형성할 수 있다.

[124] 430 단계에서 제조방법은 제1 박막 트랜지스터(즉, 제1 영역에 형성된 박막 트랜지스터층(402))와 발광소자(즉, 제2 영역에 형성된 발광소자층(403 내지 407))의 상부 전극(407)을 서로 연결하는 제1 배선층(408) 및 제2 박막 트랜지스터(즉, 제2 영역에 형성된 박막 트랜지스터층(402))와 발광소자(즉, 제2 영역에 형성된 발광소자층(403 내지 407))의 하부 전극(403)을 서로 연결하는 제2 배선층(409)을 형성할 수 있다.

[125] 도 5a 내지 도 5c는 제2 실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

[126] 이하에서 도 5a 내지 도 5c를 통해 설명하는 제조방법은 도 3을 통해 설명한 310 내지 340 단계에서 수행될 수 있다.

[127] 510 단계에서 제조방법은 제1 높이에 대응되는 기판(501)의 제1 영역과 제1 높이보다 높은 제2 높이에 대응되는 기판(501)의 제2 영역에 박막 트랜지스터층(502)과 발광소자층(503 내지 507)을 형성할 수 있다.

[128] 예를 들면, 발광소자층(503 내지 507)은 하부 전극층(503), n형 반도체층(504), 활성층(505), p형 반도체층(506) 및 상부 전극층(507)을 포함할 수 있다.

[129] 일측에 따르면, 510 단계에서 제조방법은 스퍼터링 장비의 콜리메이터(collimator)를 이용하여 박막 트랜지스터층(502)과 발광소자층(503 내지 507)을 제1 영역 및 제2 영역에 동시에 형성할 수 있다.

[130] 520 단계에서 제조방법은 제1 영역에 형성된 발광소자층을 제거하여 제1 영역 상부에 제1 박막 트랜지스터(즉, 제1 영역에 형성된 박막 트랜지스터층(502))를 형성하고, 제2 영역 상부에 제2 박막 트랜지스터(즉, 제2 영역에 형성된 박막 트랜지스터층(502)) 및 발광소자(즉, 제2 영역에 형성된 발광소자층(503 내지 507))를 형성할 수 있다.

[131] 530 단계에서 제조방법은 제1 박막 트랜지스터(즉, 제1 영역에 형성된 박막 트랜지스터층(502))와 발광소자(즉, 제2 영역에 형성된 발광소자층(503 내지 507))의 상부 전극(507)을 서로 연결하는 제1 배선층(508) 및 제2 박막 트랜지스터(즉, 제2 영역에 형성된 박막 트랜지스터층(502))와 발광소자(즉, 제2 영역에 형성된 발광소자층(503 내지 507))의 하부 전극(503)을 서로 연결하는 제2 배선층(509)을 형성할 수 있으며, 여기서 제1 배선층(508)은 반사성 물질을 포함할 수 있다.

[132] 예를 들면, 인테그레이션 구조체는 제1 배선층(240)과 발광소자(즉, 제2 영역에 형성된 발광소자층(503 내지 507)) 사이에 반사성 물질에 기반하는 반사막(508-1)을 구비할 수 있으나, 이에 한정되지 않고 제1 배선층(508)이 은(Ag) 및 알루미늄(Al) 중 적어도 하나의 반사도가 높은 금속 물질(즉, 반사성 물질)로 구현되어 금속 반사막의 역할을 수행할 수도 있다.

[133] 결국, 본 발명을 이용하면, 단차 구조를 갖는 기판을 이용하여 인테그레이션 구조체의 제조 공정을 간소화할 수 있다.

[134] 또한, 본 발명을 이용하면, 단차 구조를 갖는 기판을 이용하여 광 차단 구조체의 형성을 위한 추가적인 포토공정을 생략할 수 있다.

[135] 또한, 본 발명을 이용하면, 필요에 따라 제조 공정 중 발광 소자와 박막 트랜지스터의 위치를 용이하게 변경할 수 있다.

[136] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[137] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

[청구항 1] 제1 높이에 대응되는 기판의 제1 영역에 형성된 제1 박막 트랜지스터;
제2 높이에 대응되는 상기 기판의 제2 영역에 형성된 제2 박막 트랜지스터 및
상기 제2 박막 트랜지스터 상부에 형성된 발광소자
를 포함하고,
상기 기판은,
상기 제1 영역 및 상기 제2 영역에 박막 트랜지스터층과 발광 소자층이 순차적으로 형성된 후, 상기 제1 영역에 형성된 발광소자층이 제거되어 상기 제1 영역 상부에 상기 제1 박막 트랜지스터가 형성되고, 상기 제2 영역 상부에 상기 제2 박막 트랜지스터 및 상기 발광소자가 형성되는
인테그레이션 구조체.

[청구항 2] 제1항에 있어서,
상기 박막 트랜지스터층 및 상기 발광 소자층 각각은,
스퍼터링 장비의 콜리메이터(collimator)를 이용하여 상기 제1 영역 및 상기 제2 영역에 동시에 형성되는
인테그레이션 구조체.

[청구항 3] 제1항에 있어서,
상기 제1 박막 트랜지스터와 상기 발광소자의 상부 전극을 서로 연결하는 제1 배선층 및
상기 제2 박막 트랜지스터와 상기 발광소자의 하부 전극을 서로 연결하는 제2 배선층
을 더 포함하는 인테그레이션 구조체.

[청구항 4] 제3항에 있어서,
상기 제1 배선층은,
상기 제1 높이가 상기 제2 높이 보다 낮은 경우, 반사성 물질을 포함하는
인테그레이션 구조체.

[청구항 5] 제1항에 있어서,
상기 발광소자는,
하부 전극층, n형 반도체층, 활성층, p형 반도체층 및 상부 전극층을 포함하는
인테그레이션 구조체.

[청구항 6] 제1항에 있어서,
상기 기판은,
유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함하는
인테그레이션 구조체.

[청구항 7] 제1항에 있어서,
상기 발광 소자의 반도체 박막은,
물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하는 증착과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지가 공급되어 형성되는
인테그레이션 구조체.

[청구항 8] 제1 높이에 대응되는 기판의 제1 영역과 제2 높이에 대응되는 상기 기판의 제2 영역에 박막 트랜지스터층을 형성하는 단계;
상기 제1 영역 및 상기 제2 영역 상에 형성된 상기 박막 트랜지스터층 상부에 발광소자층을 형성하는 단계 및
상기 제1 영역에 형성된 발광소자층을 제거하여 상기 제1 영역 상부에 제1 박막 트랜지스터를 형성하고, 상기 제2 영역 상부에 제2 박막 트랜지스터 및 발광소자를 형성하는 단계
를 포함하는 인테그레이션 구조체의 제조방법.

[청구항 9] 제8항에 있어서,
상기 제2 영역에 박막 트랜지스터층을 형성하는 단계는,
스퍼터링 장비의 콜리메이터(collimator)를 이용하여 상기 박막 트랜지스터층을 상기 제1 영역 및 상기 제2 영역에 동시에 형성하고,
상기 박막 트랜지스터층 상부에 발광소자층을 형성하는 단계는,
상기 콜리메이터를 이용하여 상기 발광소자층을 상기 제1 영역에 형성된 상기 박막 트랜지스터층과 상기 제2 영역에 형성된 상기 박막 트랜지스터층 상부에 동시에 형성하는
인테그레이션 구조체의 제조방법.

[청구항 10] 제8항에 있어서,
상기 제1 박막 트랜지스터와 상기 발광소자의 상부 전극을 서로 연결하는 제1 배선층 및 상기 제2 박막 트랜지스터와 상기 발광소자의 하부 전극을 서로 연결하는 제2 배선층을 형성하는 단계
를 더 포함하는 인테그레이션 구조체의 제조방법.

[청구항 11] 제10항에 있어서,
상기 제1 배선층은,
상기 제1 높이가 상기 제2 높이 보다 낮은 경우, 반사성 물질을 포함하는
인테그레이션 구조체의 제조방법.

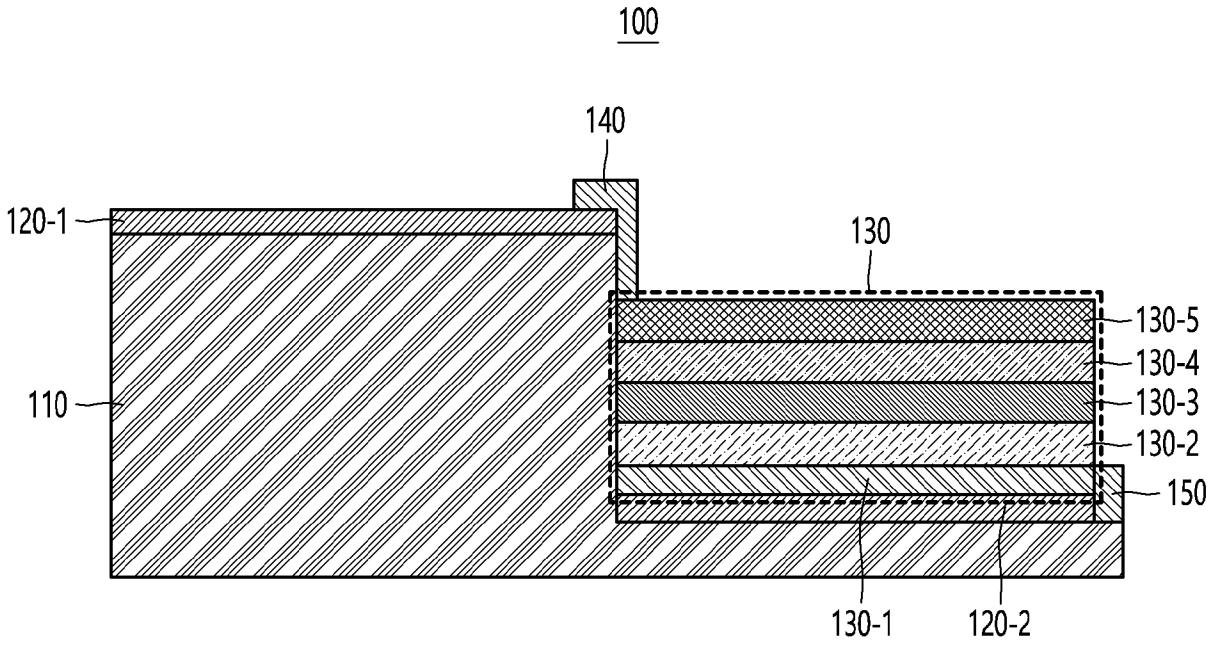
[청구항 12] 제8항에 있어서,
상기 박막 트랜지스터층 상부에 발광소자층을 형성하는 단계는,
상기 박막 트랜지스터층 상부에 하부 전극층을 형성하는 단계;
상기 하부 전극층 상부에 n형 반도체층을 형성하는 단계;
상기 n형 반도체층 상부에 활성층을 형성하는 단계;
상기 활성층 상부에 p형 반도체층을 형성하는 단계 및

상기 p형 반도체층 상부에 상부 전극층을 형성하는 단계
를 포함하는 인테그레이션 구조체의 제조방법.

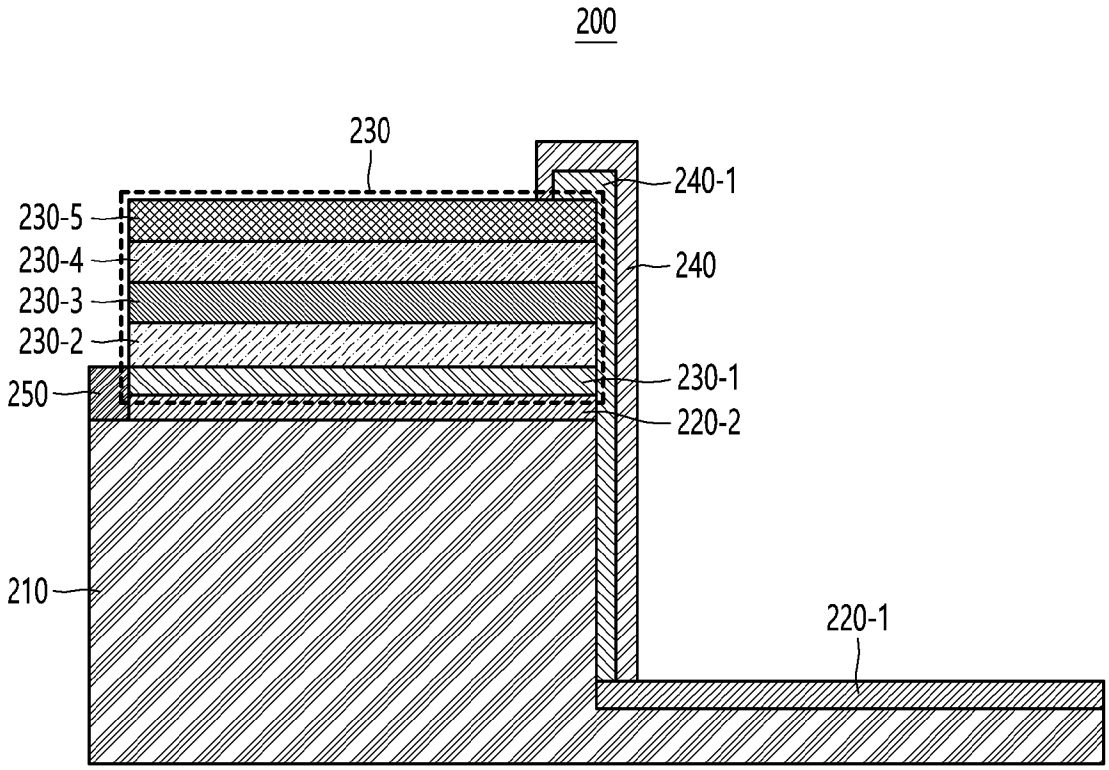
[청구항 13] 제8항에 있어서,
상기 기판은,
유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함하는
인테그레이션 구조체의 제조방법.

[청구항 14] 제8항에 있어서,
상기 발광소자층을 형성하는 단계는,
물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하여 상기 발광소자층의 반도체 박막을 증착하는 과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지를 공급하는
인테그레이션 구조체의 제조방법.

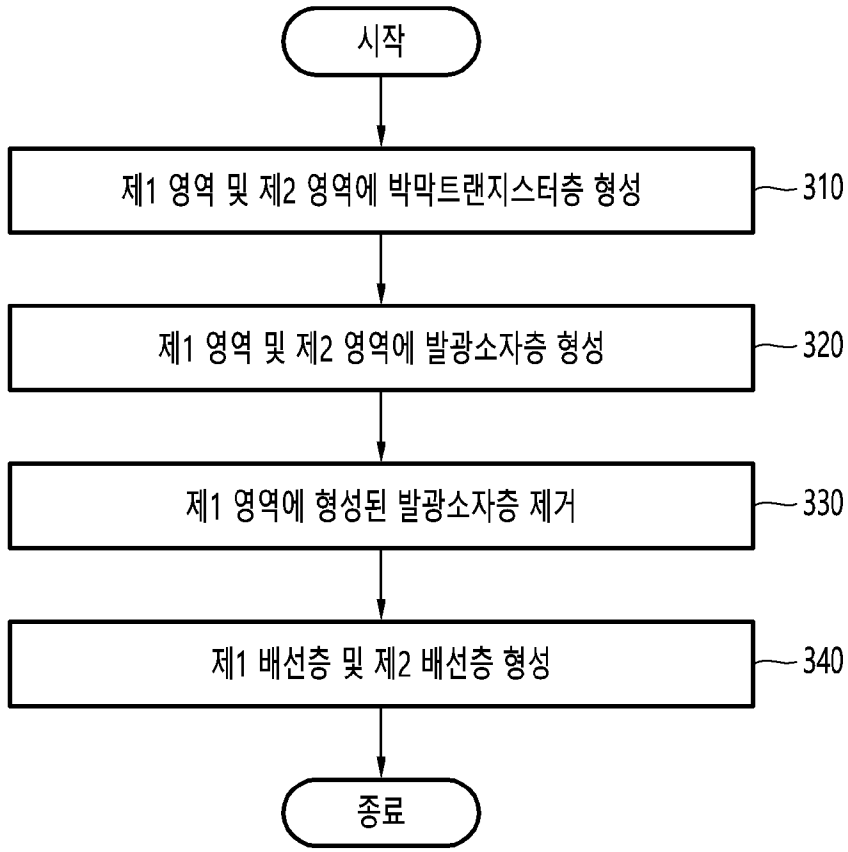
[도1]


100
140
120-1
130
130-5
130-4
130-3
130-2
150
110
130-1
120-2

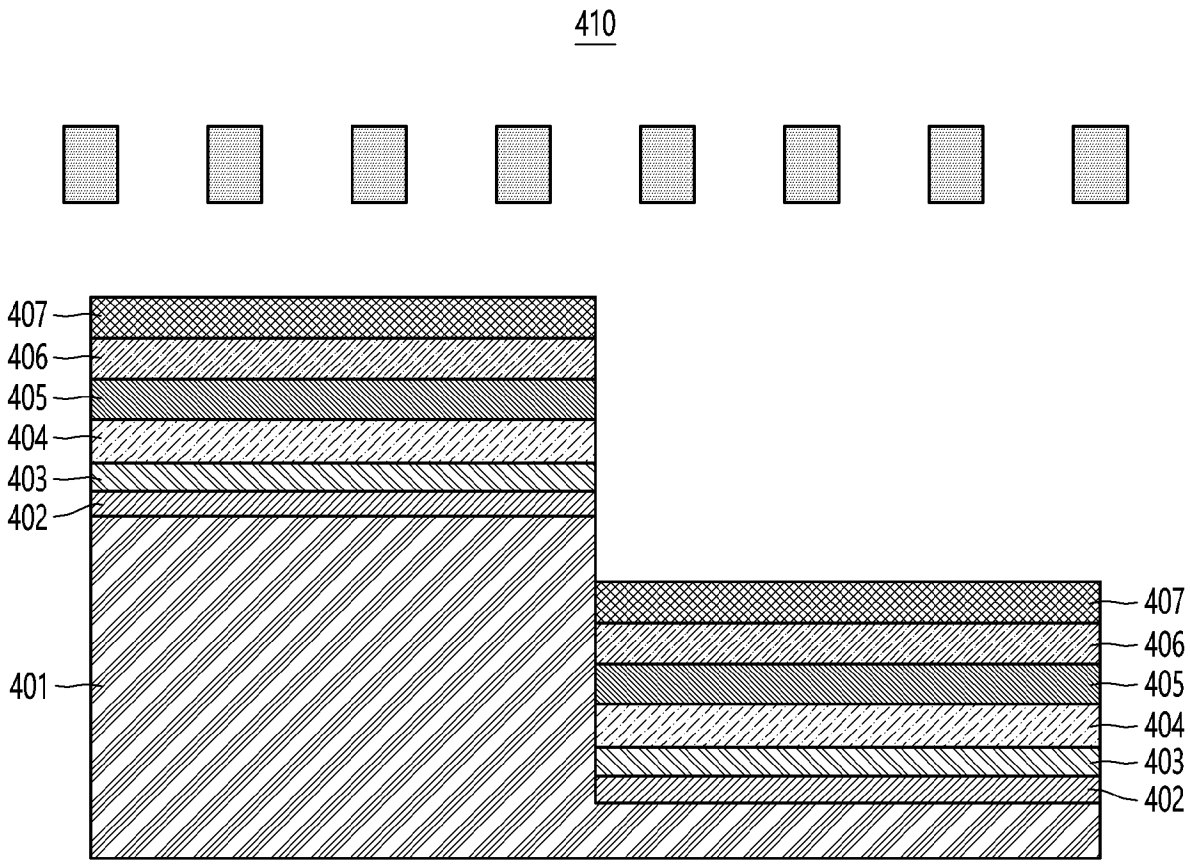
[도2]


200
230
240-1
230-5
230-4
230-3
230-2
240
230-1
250
220-2
210
220-1

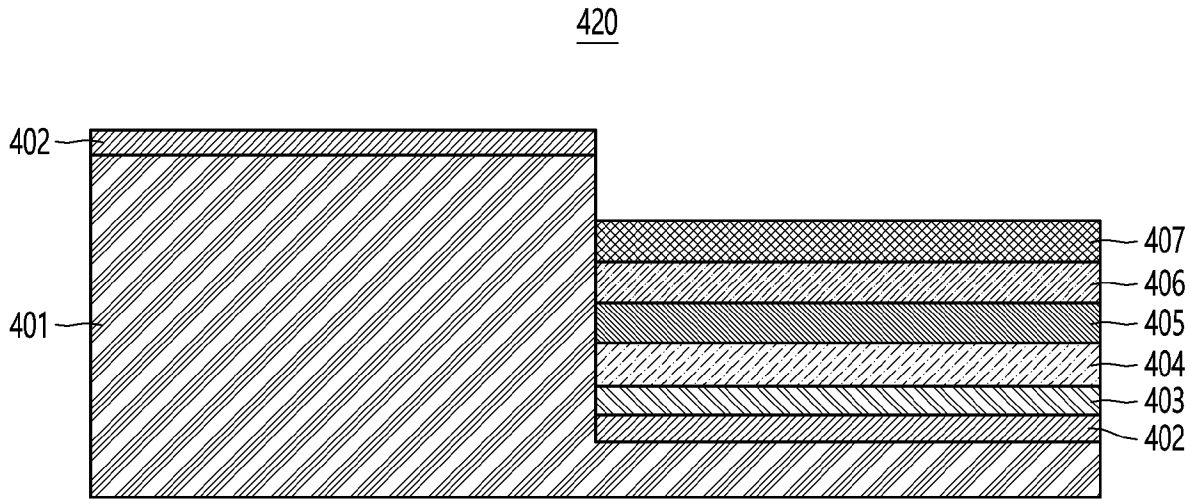
[도3]


시작
제1 영역 및 제2 영역에 박막트랜지스터층 형성
310
제1 영역 및 제2 영역에 발광소자층 형성
320
제1 영역에 형성된 발광소자층 제거
330
제1 배선층 및 제2 배선층 형성
340
종료

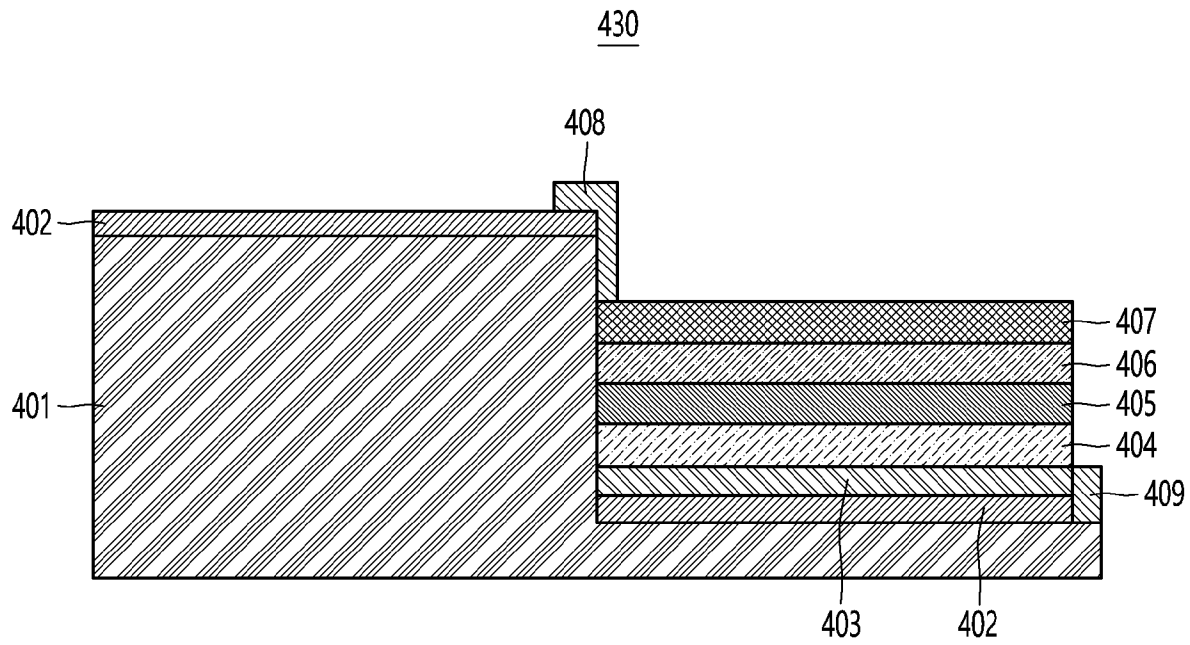
[도4a]


410
407
406
405
404
403
402
401
407
406
405
404
403
402

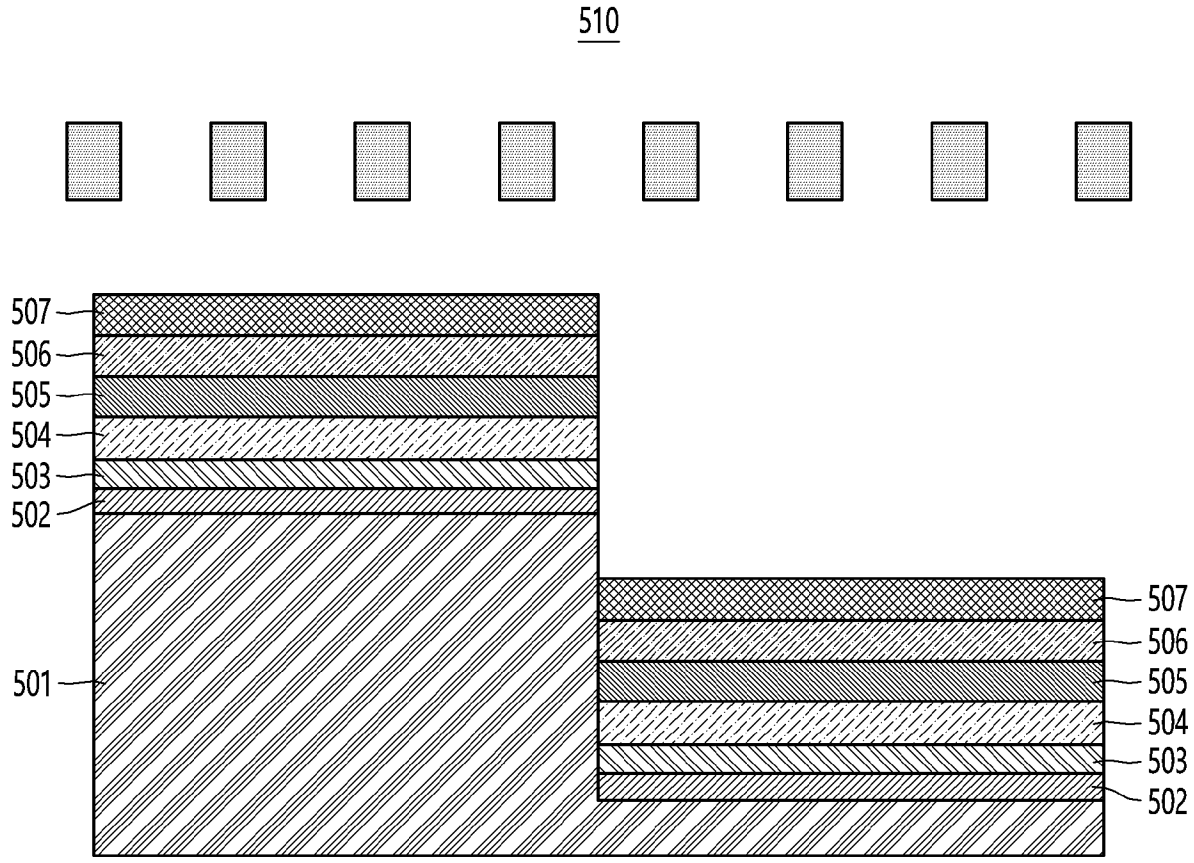
[도4b]


420
402
401
407
406
405
404
403
402

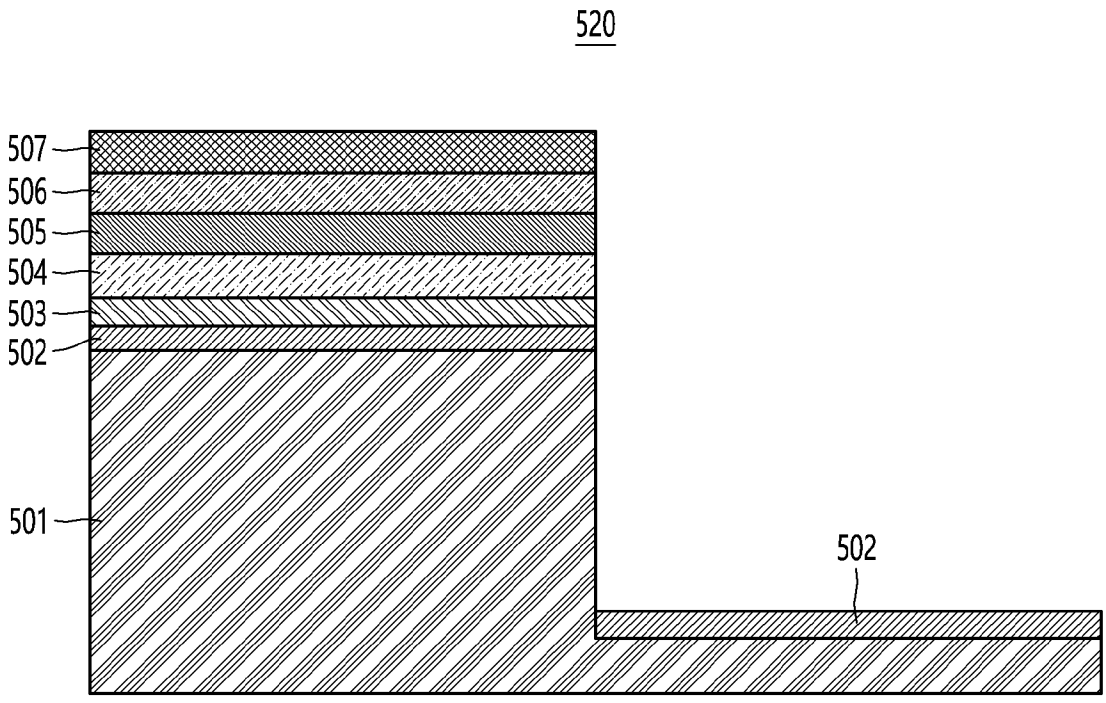
[도4c]


430
408
402
401
407
406
405
404
409
403
402

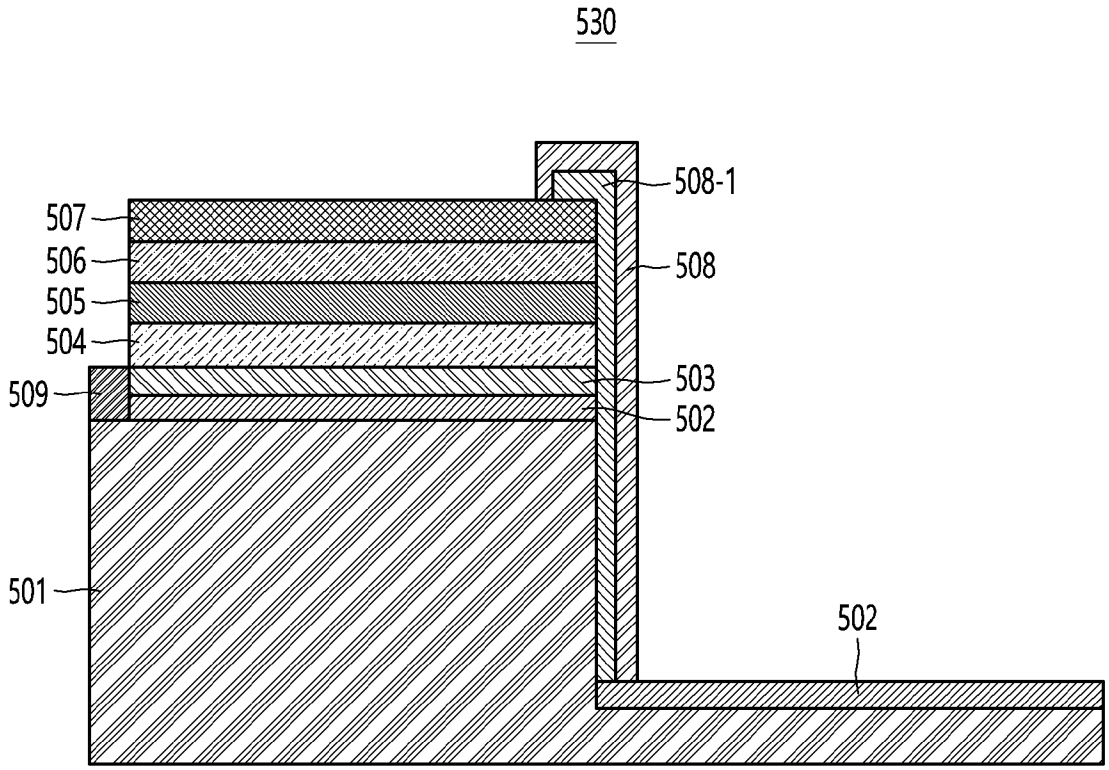
[도5a]


510
507
506
505
504
503
502
501
507
506
505
504
503
502

[도5b]


520
507
506
505
504
503
502
501
502

[도5c]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2024/015916

A. CLASSIFICATION OF SUBJECT MATTER

H10H 29/01(2025.01)i; **H10D 86/00**(2025.01)i; **H10H 20/856**(2025.01)i; **H10H 20/831**(2025.01)i; **H10H 20/00**(2025.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10H 29/01(2025.01); H01L 27/12(2006.01); H01L 27/32(2006.01); H01L 51/30(2006.01); H01L 51/54(2006.01); H01L 51/56(2006.01); H10K 59/00(2023.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 발광소자(light emitting device), 트랜지스터(transistor), 박막(thin film), 인테그레이션(integration)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2019-0080207 A (LG DISPLAY CO., LTD.) 08 July 2019 (2019-07-08) See paragraphs [0048]-[0051] and figure 3.	1-14
A	KR 10-2019-0132603 A (SAMSUNG DISPLAY CO., LTD.) 28 November 2019 (2019-11-28) See paragraphs [0045] and [0130] and figures 4 and 20.	1-14
A	KR 10-2023-0011111 A (LG DISPLAY CO., LTD.) 20 January 2023 (2023-01-20) See claims 1-10 and figure 3.	1-14
A	US 2012-0256175 A1 (RINZLER, Andrew Gabriel et al.) 11 October 2012 (2012-10-11) See claims 1-17 and figure 1.	1-14
A	WO 2020-210946 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 October 2020 (2020-10-22) See claims 1-20 and figures 2A-2E.	1-14

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 January 2025	**19 January 2025**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2024/015916

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2019-0080207 A	08 July 2019	KR 10-2484320 B1	02 January 2023
KR 10-2019-0132603 A	28 November 2019	CN 110504276 A	26 November 2019
		CN 110504276 B	19 November 2024
		US 10861920 B2	08 December 2020
		US 2019-0355799 A1	21 November 2019
KR 10-2023-0011111 A	20 January 2023	None	
US 2012-0256175 A1	11 October 2012	CA 2702851 A1	19 March 2009
		CN 101855938 A	06 October 2010
		CN 101855938 B	02 May 2012
		EP 2204074 A2	07 July 2010
		EP 2204074 B1	06 November 2019
		KR 10-1497744 B1	02 March 2015
		KR 10-2010-0086464 A	30 July 2010
		US 2009-0302310 A1	10 December 2009
		US 2010-0237336 A1	23 September 2010
		US 8217386 B2	10 July 2012
		US 8232561 B2	31 July 2012
		US 8564048 B2	22 October 2013
		WO 2008-008648 A2	17 January 2008
		WO 2008-008648 A3	19 June 2008
		WO 2009-036071 A2	19 March 2009
		WO 2009-036071 A3	25 June 2009
		WO 2009-036071 A9	09 December 2010
WO 2020-210946 A1	22 October 2020	CN 112119498 A	22 December 2020
		CN 112119498 B	24 May 2024
		US 11532679 B2	20 December 2022
		US 2021-0233978 A1	29 July 2021

국 제 조 사 보 고 서

국제출원번호
PCT/KR2024/015916

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H10H 29/01(2025.01)i; **H10D 86/00**(2025.01)i; **H10H 20/856**(2025.01)i; **H10H 20/831**(2025.01)i; **H10H 20/00**(2025.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H10H 29/01(2025.01); H01L 27/12(2006.01); H01L 27/32(2006.01); H01L 51/30(2006.01); H01L 51/54(2006.01); H01L 51/56(2006.01); H10K 59/00(2023.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광소자(light emitting device), 트랜지스터(transistor), 박막(thin film), 인테그레이션(integration)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2019-0080207 A (엘지디스플레이 주식회사) 2019.07.08 단락 [0048]-[0051] 및 도면 3	1-14
A	KR 10-2019-0132603 A (삼성디스플레이 주식회사) 2019.11.28 단락 [0045], [0130] 및 도면 4, 20	1-14
A	KR 10-2023-0011111 A (엘지디스플레이 주식회사) 2023.01.20 청구항 1-10 및 도면 3	1-14
A	US 2012-0256175 A1 (ANDREW GABRIEL RINZLER 등) 2012.10.11 청구항 1-17 및 도면 1	1-14
A	WO 2020-210946 A1 (BOE TECHNOLOGY GROUP CO., LTD. 등) 2020.10.22 청구항 1-20 및 도면 2A-2E	1-14

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2025년01월17일(17.01.2025)	**2025년01월19일(19.01.2025)**

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 **+82-42-481-8578**

심사관

이강하

전화번호 **+82-42-481-5687**

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2024/015916

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2019-0080207 A	2019/07/08	KR 10-2484320 B1	2023/01/02
KR 10-2019-0132603 A	2019/11/28	CN 110504276 A	2019/11/26
		CN 110504276 B	2024/11/19
		US 10861920 B2	2020/12/08
		US 2019-0355799 A1	2019/11/21
KR 10-2023-0011111 A	2023/01/20	없음	
US 2012-0256175 A1	2012/10/11	CA 2702851 A1	2009/03/19
		CN 101855938 A	2010/10/06
		CN 101855938 B	2012/05/02
		EP 2204074 A2	2010/07/07
		EP 2204074 B1	2019/11/06
		KR 10-1497744 B1	2015/03/02
		KR 10-2010-0086464 A	2010/07/30
		US 2009-0302310 A1	2009/12/10
		US 2010-0237336 A1	2010/09/23
		US 8217386 B2	2012/07/10
		US 8232561 B2	2012/07/31
		US 8564048 B2	2013/10/22
		WO 2008-008648 A2	2008/01/17
		WO 2008-008648 A3	2008/06/19
		WO 2009-036071 A2	2009/03/19
		WO 2009-036071 A3	2009/06/25
		WO 2009-036071 A9	2010/12/09
WO 2020-210946 A1	2020/10/22	CN 112119498 A	2020/12/22
		CN 112119498 B	2024/05/24
		US 11532679 B2	2022/12/20
		US 2021-0233978 A1	2021/07/29