



(12) 发明专利

(10) 授权公告号 CN 106981489 B

(45) 授权公告日 2020.11.27

(21) 申请号 201710365782.2

(22) 申请日 2012.04.28

(65) 同一申请的已公布的文献号
申请公布号 CN 106981489 A

(43) 申请公布日 2017.07.25

(30) 优先权数据
2011-102569 2011.04.29 JP
2011-102571 2011.04.29 JP
2011-113237 2011.05.20 JP
2011-113238 2011.05.20 JP

(62) 分案原申请数据
201210132046.X 2012.04.28

(73) 专利权人 株式会社半导体能源研究所
地址 日本神奈川

(72) 发明人 家田义纪 磯部敦生 盐野入丰
热海知昭

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

代理人 陈华成

(51) Int.Cl.
H01L 27/105 (2006.01)
H01L 27/115 (2017.01)
H01L 27/11551 (2017.01)
H01L 27/1156 (2017.01)
H01L 23/522 (2006.01)
H01L 27/12 (2006.01)

(56) 对比文件
US 2010148171 A1, 2010.06.17
US 6144062 A, 2000.11.07
CN 101047190 A, 2007.10.03

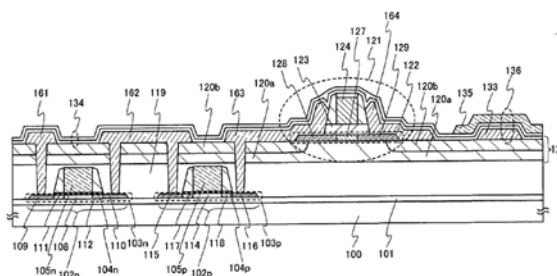
审查员 卢瑞

权利要求书4页 说明书67页 附图54页

(54) 发明名称
半导体器件

(57) 摘要

本发明提供一种具有低功耗并能以高速操作的半导体器件。该半导体器件包括：存储元件，包括在沟道形成区中具有结晶硅的第一晶体管；用于储存所述存储元件的数据的电容器；以及用于控制所述电容器中的电荷的供给、储存和释放的开关元件的第二晶体管。所述第二晶体管设置在覆盖所述第一晶体管的绝缘膜上。所述第一和第二晶体管具有公共的源电极或漏电极。



1. 一种半导体器件, 包括:

衬底;

在所述衬底之上的第一晶体管, 所述第一晶体管包括:

第一半导体片, 包括具有结晶性的硅或具有结晶性的锗;

与所述第一半导体片交叠的第一栅极电极;

在所述第一半导体片和所述第一栅极电极之间的第一栅极绝缘膜; 以及

与所述第一半导体片电连接的第一源极电极和第一漏极电极;

在所述第一半导体片、所述第一栅极电极和所述第一栅极绝缘膜之上的第一绝缘膜;

以及

第二晶体管, 包括:

在所述第一绝缘膜之上的氧化物半导体膜;

与所述氧化物半导体膜交叠的第二栅极电极;

在所述氧化物半导体膜和所述第二栅极电极之间的第二栅极绝缘层;

各自与所述氧化物半导体膜电接触的第二源极电极和第二漏极电极; 以及

与所述第二栅极电极直接接触的侧壁,

其中所述第二源极电极与所述侧壁的倾斜的表面直接接触。

2. 一种半导体器件, 包括:

衬底;

在所述衬底之上的第一晶体管, 所述第一晶体管包括:

第一半导体片, 包括具有结晶性的硅或具有结晶性的锗;

与所述第一半导体片交叠的第一栅极电极;

在所述第一半导体片和所述第一栅极电极之间的第一栅极绝缘膜; 以及

与所述第一半导体片电连接的第一源极电极和第一漏极电极;

在所述第一半导体片、所述第一栅极电极和所述第一栅极绝缘膜之上的第一绝缘膜;

以及

第二晶体管, 包括:

在所述第一绝缘膜之上的氧化物半导体膜;

与所述氧化物半导体膜交叠的第二栅极电极;

在所述氧化物半导体膜和所述第二栅极电极之间的第二栅极绝缘层;

各自与所述氧化物半导体膜电接触的第二源极电极和第二漏极电极; 以及

与所述第二栅极电极直接接触的侧壁,

其中所述第二源极电极与所述侧壁的倾斜的表面直接接触, 并且

其中所述第一源极电极和所述第一漏极电极中的一个与所述第二源极电极和所述第二漏极电极中的一个电连接。

3. 一种半导体器件, 包括:

衬底;

在所述衬底之上的第一晶体管, 所述第一晶体管包括:

第一半导体片, 包括具有结晶性的硅或具有结晶性的锗;

与所述第一半导体片交叠的第一栅极电极;

在所述第一半导体片和所述第一栅极电极之间的第一栅极绝缘膜;以及
与所述第一半导体片电连接的第一源极电极和第一漏极电极;
在所述衬底之上的第三晶体管,所述第三晶体管包括:
第三半导体片,包括具有结晶性的硅或具有结晶性的锗;
与所述第三半导体片交叠的第三栅极电极;
在所述第三半导体片和所述第三栅极电极之间的第三栅极绝缘膜;以及
与所述第三半导体片电连接的第三源极电极和第三漏极电极;
在所述第一半导体片、所述第三半导体片、所述第一栅极电极、所述第三栅极电极、所述
第一栅极绝缘膜和所述第三栅极绝缘膜之上的第一绝缘膜;以及
第二晶体管,包括:
在所述第一绝缘膜之上的氧化物半导体膜;
与所述氧化物半导体膜交叠的第二栅极电极;
在所述氧化物半导体膜和所述第二栅极电极之间的第二栅极绝缘层;
各自与所述氧化物半导体膜电接触的第二源极电极和第二漏极电极;以及
与所述第二栅极电极直接接触的侧壁,
其中所述第二源极电极与所述侧壁的倾斜的表面直接接触,
其中所述第一晶体管 and 所述第三晶体管具有相反的导电类型,以及
其中所述第三晶体管、所述第一晶体管和所述第二晶体管串联连接。

4. 根据权利要求1-3中任一项所述的半导体器件,还包括背栅电极,所述背栅电极在所
述第一晶体管之上并与所述氧化物半导体膜和所述第二栅极电极交叠。

5. 根据权利要求4所述的半导体器件,
其中所述背栅电极与所述第一绝缘膜直接接触,并且
其中所述第一绝缘膜包括铝和氧。

6. 根据权利要求5所述的半导体器件,还包括:
在所述第二栅极电极上并与所述第二栅极电极接触的第三绝缘膜,
其中所述第三绝缘膜包括铝和氧。

7. 一种半导体器件,包括:
衬底;
在所述衬底之上的第一晶体管,所述第一晶体管包括:
第一半导体片,包括具有结晶性的硅或具有结晶性的锗;
与所述第一半导体片交叠的第一栅极电极;
在所述第一半导体片和所述第一栅极电极之间的第一栅极绝缘膜;以及
与所述第一半导体片电连接的第一源极电极和第一漏极电极;
在所述第一半导体片、所述第一栅极电极和所述第一栅极绝缘膜之上的第一绝缘膜;
以及
第二晶体管,包括:
在所述第一绝缘膜之上的背栅电极;
在所述背栅电极之上的氧化物半导体膜;
与所述氧化物半导体膜交叠的第二栅极电极;

在所述氧化物半导体膜和所述第二栅极电极之间的第二栅极绝缘层；
各自与所述氧化物半导体膜电接触的第二源极电极和第二漏极电极；以及
与所述第二栅极电极直接接触的侧壁，
其中所述氧化物半导体膜与所述背栅电极和所述第二栅极电极交叠。

8. 一种半导体器件，包括：

衬底；

在所述衬底之上的第一晶体管，所述第一晶体管包括：

第一半导体片，包括具有结晶性的硅或具有结晶性的锗；

与所述第一半导体片交叠的第一栅极电极；

在所述第一半导体片和所述第一栅极电极之间的第一栅极绝缘膜；以及

与所述第一半导体片电连接的第一源极电极和第一漏极电极；

在所述第一半导体片、所述第一栅极电极和所述第一栅极绝缘膜之上的第一绝缘膜；

以及

第二晶体管，包括：

在所述第一绝缘膜之上的背栅电极；

在所述背栅电极之上的氧化物半导体膜；

与所述氧化物半导体膜交叠的第二栅极电极；

在所述氧化物半导体膜和所述第二栅极电极之间的第二栅极绝缘层；

各自与所述氧化物半导体膜电接触的第二源极电极和第二漏极电极；以及

与所述第二栅极电极直接接触的侧壁，

其中所述氧化物半导体膜与所述背栅电极和所述第二栅极电极交叠，

其中所述背栅电极与所述第一绝缘膜直接接触，并且

其中所述第一绝缘膜包括铝和氧。

9. 根据权利要求7或权利要求8所述的半导体器件，还包括：

第四绝缘膜，所述第四绝缘膜包括突起，所述突起的顶表面与所述氧化物半导体膜的底表面直接接触；以及

在所述第四绝缘膜上并且围绕所述突起的第五绝缘膜，

其中所述背栅电极在所述第四绝缘膜之下。

10. 根据权利要求9所述的半导体器件，

其中所述第五绝缘膜覆盖所述氧化物半导体膜的侧边缘。

11. 一种半导体器件，包括：

衬底；

在所述衬底之上的第一晶体管，所述第一晶体管包括：

第一半导体片，包括具有结晶性的硅或具有结晶性的锗；

与所述第一半导体片交叠的第一栅极电极；

在所述第一半导体片和所述第一栅极电极之间的第一栅极绝缘膜；以及

与所述第一半导体片电连接的第一源极电极和第一漏极电极；

在所述第一半导体片、所述第一栅极电极和所述第一栅极绝缘膜之上的第一绝缘膜；

第二晶体管，包括：

在所述第一绝缘膜之上的氧化物半导体膜；
与所述氧化物半导体膜交叠的第二栅极电极；
在所述氧化物半导体膜和所述第二栅极电极之间的第二栅极绝缘层；
各自与所述氧化物半导体膜电接触的第二源极电极和第二漏极电极；以及
与所述第二栅极电极直接接触的侧壁；以及
在所述第二栅极电极上并与所述第二栅极电极接触的第三绝缘膜，
其中所述第三绝缘膜包括铝和氧。

12. 根据权利要求1-3和11中任一项所述的半导体器件，还包括：

第四绝缘膜，所述第四绝缘膜包括突起，所述突起的顶表面与所述氧化物半导体膜的底表面直接接触；以及

在所述第四绝缘膜上并且围绕所述突起的第五绝缘膜。

13. 根据权利要求12所述的半导体器件，

其中所述第五绝缘膜覆盖所述氧化物半导体膜的侧边缘。

14. 根据权利要求1-3、7、8和11中任一项所述的半导体器件，

其中所述第一半导体片是半导体膜。

半导体器件

[0001] 本申请是申请日为2012年4月28日、申请号为“201210132046.X”、发明名称为“半导体器件”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及包括存储器的半导体器件。

背景技术

[0003] 半导体器件诸如中央处理单元(CPU)根据它们的应用而具有各种构造,并且通常具有能够高速写入和读取的缓冲存储器件,例如寄存器和高速缓冲存储器(cache memory),以及用于存储数据或指令的主存储器。为了减少对主存储器的低速访问和加速运算处理,缓冲存储器件在CPU中设置得位于运算单元和主存储器之间。

[0004] 通常,触发器(flip-flop)用作寄存器,静态随机存取存储器(SRAM)用作高速缓冲存储器。专利文献1公开了一种结构,其中易失性存储器例如SRAM与非易失性存储器结合使用作为高速缓冲存储器。

[0005] [参考资料]

[0006] [专利文献]

[0007] [专利文献1]日本公开专利申请No.H7-121444

发明内容

[0008] 顺带提及,例如中央处理单元的半导体器件除高速工作以外还要求具有低功耗和高集成度。尽管这取决于晶体管的尺寸,例如,当利用体硅形成串联连接在施加有高电平电源电势的节点与施加有低电平电源电势的节点之间的p沟道晶体管和n沟道晶体管时,在节点之间的电压大约为3V的条件下在室温时产生大约1pA的截止态电流。随着中央处理单元或缓冲存储器件的尺寸变大以及晶体管的数量变大,或随着中央处理单元或缓冲存储器件中的IC芯片的温度变高,截止态电流的总量变大;由此,增加了功耗。因此,需要设计在中央处理单元中包含的晶体管的结构,使得晶体管的截止态电流小。然而,占用了大量时间以及花费了大量成本来开发同时具有高操作速度和小截止态电流的晶体管。

[0009] 为了降低半导体器件的功耗,已提出了停止为缓冲存储器件供电的方法。由于在缓冲存储器件中使用的触发器或SRAM是易失性的,所以在上述方法中,在易失性存储器周围设置非易失性存储器,并在停止供电之前把数据临时传送到非易失性存储器中。然而,由于主要利用磁元件和铁电体来形成这种非易失性存储器,所以制造工艺复杂。

[0010] 在长时间停止供电的情况下,数据被传送到诸如硬盘或闪存的存储器中,然后可以停止供电。然而,在短时间停止供电的情况下,由于需要将数据置回的时间,所以这种存储器是不合适的。

[0011] 考虑到上述问题,本发明的一个目的是提供一种能在确保高速操作的同时降低功耗的半导体器件。此外,本发明的一个目的是提供一种在确保高速操作的同时能降低功耗

并实现高集成度的半导体器件。

[0012] 为了实现上述目的,在本发明的一个实施例中,半导体器件包括:包括晶体管的存储元件,在晶体管中,例如具有结晶性的硅或具有结晶性的锗的半导体用在沟道形成区中;储存存储元件的数据的电容器;以及控制电容器中的电荷的供给、储存和释放的开关元件。此外,在本发明的一个实施例中,在开关元件中所包含的晶体管形成在其中形成存储元件中所包含的晶体管的层之上,此外,在存储元件中所包含的晶体管的源电极和漏电极之一用作开关元件中所包含的晶体管的源电极和漏电极之一。

[0013] 可选地,为了实现上述目的,在本发明的一个实施例中,半导体器件包括含有其中例如具有结晶性的硅或具有结晶性的锗的半导体用在沟道形成区中的晶体管的存储元件、储存存储元件的数据的电容器、以及控制电容器中的电荷的供给、储存和释放的开关元件。此外,在本发明的一个实施例中,在开关元件中所包含的晶体管形成在其中形成存储元件中所包含的晶体管的层之上。

[0014] 对开关元件来说,使用在沟道形成区中使用氧化物半导体的晶体管。氧化物半导体具有比硅更宽的带隙和更低的本征载流子密度。因此,在沟道形成区中使用氧化物半导体的晶体管具有比用例如硅或锗的普通半导体形成的晶体管小得多的截止态电流。

[0015] 此外,在本发明的一个实施例中,半导体器件具有下述的第一结构,从而进一步减小了其中在沟道形成区中使用氧化物半导体的晶体管的截止态电流。具体来说,在根据本发明一实施例的半导体器件中,在开关元件中所含有的晶体管包括在绝缘膜上的氧化物半导体膜、在氧化物半导体膜上的栅极绝缘膜、设置在与氧化物半导体膜交叠的部分中且栅极绝缘膜设置在它们之间的栅电极、以及与氧化物半导体膜连接的一对导电膜。氧化物半导体膜包括与栅电极交叠并且至少一部分用作沟道形成区的第一区、以及在其之间夹着第一区的一对第二区。此外,绝缘膜包括加热时从其释放部分氧的第一氧化物绝缘膜以及防止氧扩散并设置在第一氧化物绝缘膜周围的第二氧化物绝缘膜。氧化物半导体膜的第一区与第一氧化物绝缘膜接触,氧化物半导体膜的第二区与第一氧化物绝缘膜和第二氧化物绝缘膜接触。

[0016] 在上述结构中,从第一氧化物绝缘膜释放的氧被防止扩散到第二氧化物绝缘膜中,使得氧有效地供应到在第一区中的氧化物半导体膜的末端部分。请注意,由于用于把氧化物半导体膜刻蚀成所需形状的刻蚀处理、使氧化物半导体膜的末端部分暴露到减压气氛等,在其中氧化物半导体用于沟道形成区中的晶体管中的氧化物半导体膜的末端部分处容易产生由于氧释放而导致的氧缺陷。由于氧缺陷成为载流子移动所通过的路径,所以当在氧化物半导体膜的末端部分处形成氧缺陷时形成寄生沟道,并由此增加了晶体管的截止态电流。然而,在本发明的实施例中,用上述结构,防止了在第一区中的氧化物半导体膜的末端部分处形成氧缺陷,从而可以降低截止态电流。

[0017] 可选地,在本发明的一个实施例中,半导体器件可以具有下述第二结构而非所述第一结构,从而进一步减小其中在沟道形成区中使用氧化物半导体的晶体管的截止态电流。具体来说,在根据本发明一实施例的半导体器件中,在开关元件中所含有的晶体管包括氧化物半导体膜、在氧化物半导体膜上的栅极绝缘膜、设置在与氧化物半导体膜交叠的部分中且栅极绝缘膜设置在它们之间的栅电极、以及与氧化物半导体膜连接的一对导电膜。此外,半导体器件包括设置在氧化物半导体膜周围以便与氧化物半导体膜的末端部分接触

并在加热时释放部分氧的第一氧化物绝缘膜、设置在氧化物半导体膜周围且防止氧扩散的第二氧化物绝缘膜(第一氧化物绝缘膜设置在氧化物半导体膜与第二氧化物绝缘膜之间)、以及设置在氧化物半导体膜下面并在加热时释放部分氧的第三氧化物绝缘膜。氧化物半导体膜包括与栅电极交叠且至少一部分用作沟道形成区的第一区、以及在其之间夹着第一区的一对第二区。

[0018] 在上述结构中,从第一氧化物绝缘膜释放的氧被防止扩散进入第二氧化物绝缘膜中,使得氧有效地提供到氧化物半导体膜的末端部分。此外,从第三氧化物绝缘膜释放的氧被提供到氧化物半导体膜的下部部分中。如上所述,由于用于把氧化物半导体膜刻蚀成所需形状的刻蚀处理、使氧化物半导体膜的末端部分暴露到减压气氛等,在其中氧化物半导体用于沟道形成区中的晶体管中的氧化物半导体膜的末端部分处容易产生由于氧释放而导致的氧缺陷。由于氧缺陷成为载流子移动所通过的路径,所以当在氧化物半导体膜的末端部分处形成氧缺陷时形成寄生沟道,并由此增加了晶体管的截止态电流。然而,在本发明的实施例中,由于氧被有效供应到氧化物半导体膜的末端部分,尤其是在第一区中的氧化物半导体膜的末端部分,所以防止了在第一区中的氧化物半导体膜的末端部分处形成氧缺陷,从而可以降低截止态电流。

[0019] 请注意,在具有第一结构或第二结构的半导体器件中,氧化物半导体膜的第二区可以含有掺杂剂。可选地,在氧化物半导体膜中,第二区可以包括含有掺杂剂的一对第三区和具有比第三区的掺杂剂浓度更高的掺杂剂浓度的一对第四区。具体来说,氧化物半导体膜可以包括第一区和在其之间夹着第一区的一对第二区,第二区可以包括在其之间夹着第一区的一对第三区以及在其之间夹着第一区和该对第三区的一对第四区。第三区用作电场缓和区。

[0020] 各种实验可以证实包含氧化物半导体膜作为有源层的晶体管的小截止态电流。例如,即使用具有 $1 \times 10^6 \mu\text{m}$ 沟道宽度和 $10 \mu\text{m}$ 沟道长度的元件,在从1V至10V的源极端和漏极端之间的电压(漏极电压)范围内,截止态电流可以小于或等于半导体参数分析仪的测量极限,即小于或等于 $1 \times 10^{-13} \text{A}$ 。在这种情况下,可以发现,与将截止态电流除以晶体管的沟道宽度所得到的值对应的截止态电流密度低于或等于 $100 \text{zA}/\mu\text{m}$ 。

[0021] 将要使用的氧化物半导体优选至少含有铟(In)或锌(Zn)。具体地,优选含有In和Zn。作为用于减少含有氧化物半导体的晶体管的电特性变化的稳定剂,优选额外含有镓(Ga)。优选含有锡(Sn)作为稳定剂。优选含有铪(Hf)作为稳定剂。优选含有铝(Al)作为稳定剂。

[0022] 作为其它的稳定剂,可以含有一种或多种镧系元素,例如镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)和镥(Lu)。

[0023] 作为氧化物半导体,例如可以使用氧化铟,氧化锡,氧化锌,双组分金属氧化物例如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物或In-Ga类氧化物,三组分金属氧化物例如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧

化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物或In-Lu-Zn类氧化物,四组分金属氧化物例如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物或In-Hf-Al-Zn类氧化物。

[0024] 请注意,这里,例如,“In-Ga-Zn类氧化物”是指含有In、Ga和Zn作为其主要成分的氧化物,对In:Ga:Zn的比没有特别限制。In-Ga-Zn类氧化物可以含有除了In、Ga和Zn以外的金属元素。

[0025] 可选地,用 $\text{InM}_3(\text{ZnO})_m$ (满足 $m>0$,并且 m 不是整数)表示的材料可以用作氧化物半导体。请注意, M 表示选自Ga、Fe、Mn和Co的一种或更多金属元素。可选地,作为氧化物半导体,可以使用通过 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ (满足 $n>0$,并且 n 是整数)表示的材料。

[0026] 例如,可以使用具有In:Ga:Zn=1:1:1 ($=1/3:1/3:1/3$) 或In:Ga:Zn=2:2:1 ($=2/5:2/5:1/5$) 原子比的In-Ga-Zn类氧化物,或其组成成分在上述组成成分附近的任何氧化物。可选地,可以使用具有In:Sn:Zn=1:1:1 ($=1/3:1/3:1/3$)、In:Sn:Zn=2:1:3 ($=1/3:1/6:1/2$) 或In:Sn:Zn=2:1:5 ($=1/4:1/8:5/8$) 原子比的In-Sn-Zn类氧化物,或其组成成分在上述组成成分附近的任何氧化物。

[0027] 然而,组成成分不局限于上述那些,根据必要的电特性(例如迁移率、阈值电压和变化)可以使用具有合适组成成分的材料。为了获得所需的电特性,优选将载流子密度、杂质浓度、缺陷密度、金属元素对氧的原子比、原子间距离、密度等设置为合适的值。

[0028] 例如,在使用In-Sn-Zn类氧化物的情况下可以相对容易地得到高迁移率。然而,在使用In-Ga-Zn类氧化物的情况下,也可以通过降低体中的缺陷密度来增加迁移率。

[0029] 请注意,例如,表述“以原子比In:Ga:Zn=a:b:c ($a+b+c=1$) 含有In、Ga和Zn的氧化物的组成成分处在以原子比In:Ga:Zn=A:B:C ($A+B+C=1$) 含有In、Ga和Zn的氧化物的组成成分附近”表示 a 、 b 和 c 满足下列关系: $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$, r 可以为例如0.05。这同样适用于其它氧化物。

[0030] 氧化物半导体可以是单晶或非单晶。在后一种情况下,氧化物半导体可以是非晶或多晶。此外,氧化物半导体可以具有包括具有结晶性的部分的非晶结构或非非晶结构。

[0031] 在非晶态的氧化物半导体中,能相对容易地获得平坦表面,从而当利用氧化物半导体制造晶体管时,可以减少界面散射,能相对容易地获得相对高的迁移率。

[0032] 在具有结晶性的氧化物半导体中,可以进一步减少体中的缺陷,当表面平坦度得到改善时,可以获得比非晶态氧化物半导体更高的迁移率。为了改善表面平坦度,优选在平坦表面上形成氧化物半导体。具体来说,氧化物半导体可以形成在具有小于或等于1nm,优选小于或等于0.3nm,更优选小于或等于0.1nm的平均表面粗糙度(Ra)的表面上。

[0033] 请注意,通过把JIS B 0601定义的中线平均粗糙度扩展到三维以适用于表面,从而得到Ra。此外,Ra可以表达为从基准表面到具体表面的偏差的绝对值的平均值并用下列公式1来定义:

[0034] [公式1]

$$[0035] \quad Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0036] 在上述公式中, S_0 表示要测量的平面面积(用坐标 (x_1, y_1) 、 (x_1, y_2) 、 (x_2, y_1) 和 $(x_2,$

y₂)表示的四个点所定义的矩形区域), Z₀表示要测量的平面的平均高度。此外,可以用原子力显微镜 (AFM) 来测量Ra。

[0037] 在本发明的一个实施例中,在存储元件中包含的晶体管包括在沟道形成区中的例如具有结晶性的硅或具有结晶性的锗的半导体,从而半导体器件能高速操作。此外,在本发明的一个实施例中,开关元件包括具有极小截止态电流的晶体管,从而可以减少通过开关元件从电容器泄漏的电荷量。换句话说,在本发明的一个实施例中,能容易地单独制造出具有最适合于存储元件和开关元件所需特性的结构的晶体管。此外,在本发明的一个实施例中,在存储元件中包含的晶体管和在开关元件中所包含的晶体管被叠置,从而可以实现高集成度的半导体器件。

[0038] 因此,在本发明的一个实施例中,用上述结构,能提供在确保高速操作的同时能降低功耗的半导体器件。此外,在本发明的一个实施例中,能提供在确保高速操作的同时能降低功耗并获得高集成度的半导体器件。

附图说明

[0039] 在附图中:

[0040] 图1是半导体器件的横截面图;

[0041] 图2A和2C是晶体管的横截面图,图2B是晶体管的俯视图;

[0042] 图3是半导体器件的横截面图;

[0043] 图4A和4C是晶体管的横截面图,图4B是晶体管的俯视图;

[0044] 图5是存储器电路的电路图;

[0045] 图6A和6B是示出存储器构造的图;

[0046] 图7是半导体器件的框图;

[0047] 图8A、8B、8C、8D和8E示出用于制造半导体器件的方法;

[0048] 图9A、9B、9C和9D示出用于制造半导体器件的方法;

[0049] 图10A、10B、10C和10D示出用于制造半导体器件的方法;

[0050] 图11A、11B、11C和11D示出用于制造半导体器件的方法;

[0051] 图12A、12B、12C和12D示出用于制造半导体器件的方法;

[0052] 图13A、13B、13C和13D示出用于制造半导体器件的方法;

[0053] 图14A、14B和14C示出用于制造半导体器件的方法;

[0054] 图15A和15B示出用于制造半导体器件的方法;

[0055] 图16A和16B示出用于制造半导体器件的方法;

[0056] 图17A、17B和17C是电子器件的视图;

[0057] 图18A、18B、18C、18D和18E是示出根据本发明一实施例的氧化物半导体的结构的图;

[0058] 图19A、19B和19C是示出根据本发明一实施例的氧化物半导体的结构的图;

[0059] 图20A、20B和20C是示出根据本发明一实施例的氧化物半导体的结构的图;

[0060] 图21是示出衬底加热温度与缺陷密度之间关系的曲线图;

[0061] 图22是示出通过计算获得的迁移率的栅极电压相关性的曲线图;

[0062] 图23A、23B和23C是分别示出通过计算获得的漏极电流和迁移率的栅极电压相关

性的曲线图；

[0063] 图24A、24B和24C是分别示出通过计算获得的漏极电流和迁移率的栅极电压相关性的曲线图；

[0064] 图25A、25B和25C是分别示出通过计算获得的漏极电流和迁移率的栅极电压相关性的曲线图；

[0065] 图26A和26B示出用于计算的晶体管结构的横截面结构；

[0066] 图27A、27B和27C是示出均包括氧化物半导体膜的晶体管的特性的曲线图；

[0067] 图28A和28B示出样品1的晶体管在BT测试之后的 V_{gs} - I_{ds} 特性；

[0068] 图29A和29B示出样品2的晶体管在BT测试之后的 V_{gs} - I_{ds} 特性；

[0069] 图30示出样品A和样品B的XRD谱；

[0070] 图31是示出在晶体管的测量中截止态电流和衬底温度之间的关系关系的曲线图；

[0071] 图32是示出 I_{ds} 和迁移率的 V_{gs} 相关性的曲线图；

[0072] 图33A是示出衬底温度和阈值电压之间关系的曲线图，图33B是示出衬底温度和迁移率之间关系的曲线图；

[0073] 图34A和34B是半导体器件的俯视图和横截面图；

[0074] 图35A和35B是半导体器件的俯视图和横截面图；

[0075] 图36是半导体器件的横截面图；

[0076] 图37A和37C是晶体管的横截面图，图37B是晶体管的俯视图；

[0077] 图38是半导体器件的横截面图；

[0078] 图39是半导体器件的横截面图；

[0079] 图40A和40C是晶体管的横截面图，图40B是晶体管的俯视图；

[0080] 图41是半导体器件的横截面图；

[0081] 图42A、42B、42C和42D示出用于制造半导体器件的方法；

[0082] 图43A、43B和43C示出用于制造半导体器件的方法；

[0083] 图44A、44B和44C示出用于制造半导体器件的方法；

[0084] 图45A、45B和45C示出用于制造半导体器件的方法；

[0085] 图46A和46B示出用于制造半导体器件的方法；

[0086] 图47A和47B示出用于制造半导体器件的方法；

[0087] 图48A、48B和48C示出用于制造半导体器件的方法；

[0088] 图49A、49B和49C示出用于制造半导体器件的方法；

[0089] 图50A和50B示出用于制造半导体器件的方法；

[0090] 图51A和51B示出用于制造半导体器件的方法；以及

[0091] 图52A和52B示出用于制造半导体器件的方法。

具体实施方式

[0092] 在下文中，将参考附图详细介绍本发明的实施例。然而，本发明不限于下列说明内容，并且本领域技术人员很容易明白在不脱离本发明范围和精神实质的情况下，方式和细节可以做出各种改变。因此，本发明不应解释为被限于下面对实施例的说明。

[0093] 值得注意的是，在其所属范畴内，本发明包括其中可使用存储器的所有半导体器

件,例如,集成电路、RF标签(RF tags)和半导体显示器。在其所属范畴内,集成电路包括含有微处理器、图像处理电路、数字信号处理器(DSP)、微控制器等之类的大规模集成电路(LSI),以及例如场可编程栅阵列(FPGA)和复合PLD(CPLD)的可编程逻辑器件(PLD)。此外,在其所属范畴内,半导体显示器包括其中含有半导体膜的电路元件被包括在驱动电路中的半导体显示器诸如液晶显示器、其中为每个像素提供以有机发光元件(OLED)为典型的发光元件的发光器件、电纸书、数字微镜器件(DMD)、等离子体显示面板(PDP)、场致发射显示器(FED)等等。

[0094] (实施例1)

[0095] 根据本发明一实施例的半导体器件包括存储元件、电容器和开关元件,存储元件包括其中半导体诸如具有结晶性的硅或具有结晶性的锗用在沟道形成区中的晶体管,电容器储存存储元件的数据,开关元件控制电容器中电荷的供给、存储和释放。图1是包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p、电容器136以及包含在开关元件中的晶体管121的结构横截面图的示例。

[0096] 图1所示的半导体器件包括在衬底100上的n沟道晶体管102n和p沟道晶体管102p。绝缘膜101形成在衬底100的表面上。

[0097] n沟道晶体管102n包括:半导体膜103n,包括具有结晶性的硅;在半导体膜103n上的栅极绝缘膜104n;栅电极105n,设置在交叠半导体膜103n的部分中,栅极绝缘膜104n设置在栅电极105n和半导体膜103n之间;以及与半导体膜103n连接并用作源电极和漏电极的导电膜161和导电膜162。半导体膜103n包括用作沟道形成区的第一区108以及用作源和漏的第二区109和110。第一区108夹在第二区109和110之间。图1示出如下情况的例子,其中半导体膜103n包括在第一区108和第二区109之间以及第一区108和第二区110之间的用作轻掺杂漏(LDD)区的第三区111和112。

[0098] p沟道晶体管102p包括:半导体膜103p,包括具有结晶性的硅;在半导体膜103p上的栅极绝缘膜104p;栅电极105p,设置在交叠半导体膜103p的部分中,栅极绝缘膜104p设置在栅电极105p和半导体膜103p之间;以及与半导体膜103p连接并用作源电极和漏电极的导电膜162和导电膜163。半导体膜103p包括用作沟道形成区的第一区114以及用作源和漏的第二区115和116。第一区114夹在第二区115和116之间。图1示出如下情况的例子,其中半导体膜103p包括在第一区114和第二区115之间以及第一区114和第二区116之间的用作LDD区的第三区117和118。

[0099] 注意,图1示出n沟道晶体管102n和p沟道晶体管102p共用导电膜162的例子;然而,这两个晶体管可以包括单独的导电膜。

[0100] 此外,图1示出n沟道晶体管102n和p沟道晶体管102p均包括薄半导体膜的例子;然而,n沟道晶体管102n和p沟道晶体管102p每个可以具有在体半导体衬底中的沟道形成区。

[0101] 此外,在图1所示的半导体器件中,设置绝缘膜119以覆盖包含在n沟道晶体管102n中的半导体膜103n、栅极绝缘膜104n和栅电极105n以及包含在p沟道晶体管102p中的半导体膜103p、栅极绝缘膜104p和栅电极105p。在绝缘膜119上设置包含第一氧化物绝缘膜120a和第二氧化物绝缘膜120b的绝缘膜120。

[0102] 导电膜161设置在绝缘膜120上,以在绝缘膜119和绝缘膜120中设置的开口部分中与第二区109接触。导电膜162设置在绝缘膜120上,以在绝缘膜119和绝缘膜120中设置的开

口部分中与第二区110和第二区115接触。导电膜163设置在绝缘膜120上,以在绝缘膜119和绝缘膜120中设置的开口部分中与第二区116接触。

[0103] 利用加热时从其释放部分氧的氧化物绝缘膜来形成第一氧化物绝缘膜120a。作为这样的加热时从其释放部分氧的氧化物绝缘膜,优选使用以超过化学计量比的比率含有氧的绝缘膜。氧化硅、氧氮化硅、氮氧化硅、氧化镓、氧化铪、氧化铈等可以用于第一氧化物绝缘膜120a。

[0104] 利用防止氧扩散的氧化物绝缘膜来形成第二氧化物绝缘膜120b。例如利用氧化铝、氧氮化铝等来形成第二氧化物绝缘膜102b。对于氧化铝来说,优选使用以符合化学计量比的比率含有氧的氧化铝或者以超过化学计量比的比率含有氧的氧化铝(AlO_x , x 大于或等于 $3/2$)。此外,在氧氮化铝中,用氮替代在以符合化学计量比的比率含有氧的氧化铝中的部分氧。

[0105] 注意,“加热时释放氧”意味着在基于氧原子的热脱附谱(thermal desorption spectroscopy, TDS)中所释放的氧的量大于或等于 1.0×10^{18} 原子/ cm^3 ,优选地大于或等于 3.0×10^{20} 原子/ cm^3 。

[0106] 这里,在TDS分析中转化成氧原子的所释放的氧的量的测量方法描述如下。

[0107] TDS分析中的气体脱附量与谱的积分值(integral value)成比例。因此,可以从绝缘膜的谱的积分值对标准样品的基准值的比率来计算所释放气体的量。标准样品的基准值是指样品中所含预定原子的密度对谱的积分值的比率。

[0108] 例如,可以用作为标准样品的含预定密度氢的硅晶片的TDS分析结果和绝缘膜的TDS分析结果根据公式2确定从绝缘膜释放的氧分子数量(N_{O_2})。作为具有质量数32的气体给出的 CH_3OH 不太可能存在于绝缘膜中。因此,通过TDS分析所得到的具有质量数32的所有谱可假设为源自氧分子。此外,假设不存在包含作为氧的同位素的具有质量数17或18的氧原子的氧分子,因为自然界中这类分子的比例极小。

[0109] [公式2]

$$[0110] \quad \text{N}_{\text{O}_2} = \text{N}_{\text{H}_2} / \text{S}_{\text{H}_2} \times \text{S}_{\text{O}_2} \times \alpha$$

[0111] N_{H_2} 是通过把从标准样品释放的氢分子数量换算成密度所得到的值。 S_{H_2} 是标准样品经历TDS分析时谱的积分值。这里,标准样品的基准值设为 $\text{N}_{\text{H}_2} / \text{S}_{\text{H}_2}$ 。 S_{O_2} 是绝缘膜经历TDS分析时谱的积分值。 α 是TDS分析中影响谱强度的系数。公式2的细节可参考日本公开专利申请No. H6-275697。注意,用ESCO Ltd.制造的热脱附谱装置EMD-WA1000S/W(使用含有 1×10^{16} 原子/ cm^3 的氢原子的硅晶片作为标准样品)测量从上述绝缘膜释放的氧的量。

[0112] 此外,在TDS分析中,某些量的氧被检测为氧原子。可以从氧分子的电离率来计算氧分子和氧原子之间的比率。注意,由于上述 α 包括氧分子的电离率,所以还可以通过评估所释放的氧分子的数量来估算所释放的氧原子的数量。

[0113] 注意, N_{O_2} 是所释放的氧分子的数量。以氧原子为基础的所释放的氧的量是所释放的氧分子的数量两倍。

[0114] 在上述结构中,通过加热从其释放氧的绝缘膜可以是氧-过量氧化硅(SiO_x ($x > 2$))。在氧-过量氧化硅(SiO_x ($x > 2$))中,每单位体积的氧原子数量超过每单位体积硅原子数量的两倍。通过卢瑟福背散射谱来测量每单位体积的硅原子数量和氧原子数量。

[0115] 开关元件中所包含的晶体管121设置在绝缘膜120上。具体来说,晶体管121包括在

绝缘膜120上的氧化物半导体膜122、在氧化物半导体膜122上的栅极绝缘膜123、设置在与氧化物半导体膜122交叠的部分中的栅电极124(栅极绝缘膜123设置在二者之间)、以及与氧化物半导体膜122连接并用作源电极和漏电极的导电膜163和导电膜164。氧化物半导体膜122包括与栅电极124交叠并且至少一部分用作沟道形成区的第一区127、以及用作源和漏并且第一区127夹在其间的第二区128和129。具体来说,导电膜163与包含在氧化物半导体膜122中的第二区128相连接。此外,导电膜164与包含在氧化物半导体膜122中的第二区129相连接。

[0116] 作为具有比硅半导体宽的带隙并具有比硅低的本征载流子密度的半导体材料的一个例子,除了氧化物半导体之外,还可以提供化合物半导体例如碳化硅(SiC)或氮化镓(GaN)。与碳化硅或氮化镓不同,由于可以通过溅射方法或湿法工艺来形成氧化物半导体,所以氧化物半导体具有大量生产的优势。此外,与碳化硅或氮化镓不同,甚至可以在室温下形成氧化物半导体;从而,可以利用硅在玻璃衬底上或在集成电路上形成氧化物半导体。此外,可以采用较大的衬底。因此,在具有宽带隙的半导体中,氧化物半导体尤其具有大量生产的优势。此外,在使用具有结晶性的氧化物半导体以便提高晶体管特性(例如迁移率)的情况下,通过在200℃至800℃下的热处理可以容易地得到具有结晶性的氧化物半导体。

[0117] 接着,将参考图2A至2C来说明包含在氧化物半导体膜122中的第一区127以及第二区128和129与包含在绝缘膜120中的第一氧化物绝缘膜120a和第二氧化物绝缘膜120b的位置关系。

[0118] 图2A是绝缘膜120和晶体管121的横截面图,图2B是绝缘膜120和晶体管121的俯视图。图2A是沿图2B中的虚线A1-A2截取的横截面图。图2C是沿图2B中的虚线B1-B2截取的绝缘膜120和晶体管121的横截面图。

[0119] 在晶体管121中,含有绝缘膜的侧壁130设置在栅电极124的侧面部分上,绝缘膜131设置在栅电极124上方。此外,部分导电膜163和部分导电膜164与侧壁130接触。导电膜163和导电膜164不必与侧壁130接触。然而,当形成导电膜163和导电膜164与侧壁130接触时,即使在导电膜163和导电膜164偏离适当位置的情况下,也能防止氧化物半导体膜122与导电膜163和导电膜164接触的区域的大小发生变化。因此,可以防止由于导电膜163和导电膜164的位置偏离而引起的晶体管121的导通态电流的改变。

[0120] 注意,不是必须设置栅电极124上的绝缘膜131。然而,当设置绝缘膜131时,即使在导电膜163或导电膜164形成在栅电极124上的情况下,也可以阻止导电膜163与栅电极124之间以及导电膜164与栅电极124之间导电。

[0121] 此外,在绝缘膜120中,第二氧化物绝缘膜120b设置在第一氧化物绝缘膜120a的周围。氧化物半导体膜122的第一区127与第一氧化物绝缘膜120a接触,氧化物半导体膜122的第二区128和129与第一氧化物绝缘膜120a和第二氧化物绝缘膜120b接触。

[0122] 在上述结构中,可防止通过加热从第一氧化物绝缘膜120a中释放的氧穿过第二氧化物绝缘膜120b;从而,氧被有效地供应到第一区127中的氧化物半导体膜122的末端部分132。注意,由于用于把氧化物半导体膜122刻蚀成所需形状的刻蚀处理、使氧化物半导体膜122的末端部分暴露到减压气氛等,在晶体管121(其中氧化物半导体用于沟道形成区中)中的氧化物半导体膜122的末端部分处容易导致由于氧释放而产生的氧缺陷。由于氧缺陷成为载流子移动所通过的路径,所以当在氧化物半导体膜122的末端部分处形成氧缺陷时形

成寄生沟道,并由此增加了晶体管121的截止态电流。然而,在本发明的实施例中,用上述结构,可以防止在第一区127中的氧化物半导体膜122的末端部分132处形成氧缺陷,从而可以降低截止态电流。

[0123] 除非另有说明,否则在n沟道晶体管的情况下,本说明书中的截止态电流指的是在基准电势是源极电势时,当漏极电势高于源极电势或栅电极电势,同时栅电极电势小于或等于零时,在源和漏之间流动的电流。可选择地,在p沟道晶体管的情况下,本说明书中的截止态电流指的是在基准电势是源极电势时,当漏极电势低于源极电势或栅电极电势,同时栅电极电势大于或等于零时,在源和漏之间流动的电流。

[0124] 此外,如图1所示,电容器136包括在绝缘膜120上的导电膜133、在导电膜133上的绝缘膜134、以及设置在与导电膜133交叠的位置中的导电膜135,绝缘膜134设置在导电膜133与导电膜135之间。绝缘膜134还设置在晶体管121上。导电膜133和导电膜164可以彼此电连接,或者导电膜133和导电膜164可以是一个导电膜。

[0125] 注意,图1示出电容器136以及晶体管121形成在绝缘膜120上的例子;然而,电容器136以及n沟道晶体管102n和p沟道晶体管102p可以形成在绝缘膜120下面。

[0126] 此外,晶体管121包括在氧化物半导体膜122的至少一侧的栅电极124。可选地,一对栅电极可以具有在它们之间设置的氧化物半导体膜122。

[0127] 下面,将说明根据本发明一实施例的半导体器件的结构,其与图1中所示的结构不同。图3是包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p、电容器136和包含在开关元件中的晶体管121的结构的横截面图的示例。

[0128] 像图1所示的半导体器件中那样,图3所示的半导体器件包括在衬底100上的n沟道晶体管102n和p沟道晶体管102p。绝缘膜101形成在衬底100的表面上。n沟道晶体管102n和p沟道晶体管102p的具体结构与图1中的那些类似。

[0129] 如在图1中那样,在图3所示的半导体器件中,绝缘膜119形成得覆盖包含在n沟道晶体管102n中的半导体膜103n、栅极绝缘膜104n和栅电极105n以及包含在p沟道晶体管102p中的半导体膜103p、栅极绝缘膜104p和栅电极105p。在绝缘膜119上设置包含第一氧化物绝缘膜140a、第二氧化物绝缘膜140b和第三氧化物绝缘膜140c的绝缘膜140。在绝缘膜140上设置包含在开关元件中的晶体管121。

[0130] 导电膜161设置在绝缘膜140上,以在绝缘膜119和绝缘膜140中设置的开口部分中与第二区109接触。导电膜162设置在绝缘膜140上,以在绝缘膜119和绝缘膜140中设置的开口部分中与第二区110和第二区115接触。导电膜163设置在绝缘膜140上,以在绝缘膜119和绝缘膜140中设置的开口部分中与第二区115接触。

[0131] 利用加热时从其释放部分氧的氧化物绝缘膜来形成第一氧化物绝缘膜140a和第三氧化物绝缘膜140c每个。作为这样的加热时从其释放部分氧的氧化物绝缘膜,优选使用以超过化学计量比的比率含有氧的绝缘膜。氧化硅、氧氮化硅、氮氧化硅、氧化镓、氧化铪、氧化钇等可以用于第一氧化物绝缘膜140a。

[0132] 利用防止氧扩散的氧化物绝缘膜来形成第二氧化物绝缘膜140b。例如,利用氧化铝、氧氮化铝等来形成第二氧化物绝缘膜140b。对于氧化铝来说,优选使用以符合化学计量比的比率含有氧的氧化铝或者以超过化学计量比的比率含有氧的氧化铝(AlO_x , x 大于或等于3/2)。此外,在氧氮化铝中,用氮替代在以符合化学计量比的比率含有氧的氧化铝中的部

分氧。

[0133] 具体来说,晶体管121包括氧化物半导体膜142、在氧化物半导体膜142上的栅极绝缘膜143、设置在与氧化物半导体膜142交叠的部分中的栅电极144(栅极绝缘膜143设置在氧化物半导体膜142与栅电极144之间)、以及与氧化物半导体膜142连接并用作源电极和漏电极的导电膜163和导电膜164。氧化物半导体膜142包括与栅电极144交叠并且至少一部分用作沟道形成区的第一区147、以及用作源和漏并在其之间夹着第一区147的第二区148和149。

[0134] 下面,将参考图4A至4C来说明图3所示的晶体管121的具体横截面结构。

[0135] 图4A是绝缘膜140和晶体管121的横截面图,图4B是绝缘膜140和晶体管121的俯视图。图4A是沿图4B中的虚线A1-A2所截取的横截面图。图4C是沿图4B中的虚线B1-B2所截取的绝缘膜140和晶体管121的横截面图。

[0136] 在晶体管121中,含有绝缘膜的侧壁150设置在栅电极144的侧面部分上,绝缘膜151设置在栅电极144上方。此外,部分导电膜163和部分导电膜164与侧壁150接触。导电膜163和导电膜164不必与侧壁150接触。然而,当导电膜163和导电膜164形成得与侧壁150接触时,即使在导电膜163和导电膜164偏离适当位置的情况下,也能防止氧化物半导体膜142与导电膜163和导电膜164接触的区域的大小发生变化。因此,可以避免由于导电膜163和导电膜164偏离位置而引起的晶体管121的导通态电流的改变。

[0137] 注意,不必设置栅电极144上的绝缘膜151。然而,当设置绝缘膜151时,即使在导电膜163或导电膜164形成在栅电极144上的情况下,也可以阻止导电膜163与栅电极144之间以及导电膜164与栅电极144之间导电。

[0138] 在绝缘膜140中,第一氧化物绝缘膜140a和第二氧化物绝缘膜140b按此顺序堆叠在位于最底层的第三氧化物绝缘膜140c上。在第一氧化物绝缘膜140a和第二氧化物绝缘膜140b中形成开口部分141,并且在开口部分141中设置晶体管121的氧化物半导体膜142。第一氧化物绝缘膜140a设置在氧化物半导体膜142周围以便与氧化物半导体膜142的末端部分接触。第二氧化物绝缘膜140b设置在氧化物半导体膜142周围,它们之间设置有第一氧化物绝缘膜140a。第三氧化物绝缘膜140c设置在氧化物半导体膜142下面。

[0139] 在上述结构中,可防止通过加热从第一氧化物绝缘膜140a释放的氧穿过第二氧化物绝缘膜140b;从而,使氧有效地供应到第一区147中的氧化物半导体膜142的末端部分152。此外,从第三氧化物绝缘膜140c释放的氧供应到氧化物半导体膜142的下部部分。注意,由于用于把氧化物半导体膜142刻蚀成所需形状的刻蚀处理、使氧化物半导体膜142的末端部分暴露到减压气氛等,在晶体管121(其中氧化物半导体用于沟道形成区中)中的氧化物半导体膜142的末端部分处容易产生由于氧释放而导致的氧缺陷。由于氧缺陷成为载流子移动所通过的路径,所以当在氧化物半导体膜142的末端部分处形成氧缺陷时形成寄生沟道,并由此增加了晶体管121的截止态电流。然而,在本发明的实施例中,用上述结构,避免了在第一区147中的氧化物半导体膜142的末端部分152处形成氧缺陷,从而可以降低截止态电流。

[0140] 此外,如图3所示,电容器136包括在绝缘膜140上的导电膜153、在导电膜153上的绝缘膜154、以及设置在与导电膜153交叠的位置中的导电膜155,绝缘膜154设置在导电膜155与导电膜153之间。绝缘膜154还设置在晶体管121上。导电膜153和导电膜164可以彼此

电连接,或者导电膜153和导电膜164可以是一个导电膜。

[0141] 请注意,图3示出电容器136以及晶体管121形成在绝缘膜140上的例子;然而,电容器136以及n沟道晶体管102n和p沟道晶体管102p可以形成在绝缘膜140下面。

[0142] 此外,晶体管121包括在氧化物半导体膜142的至少一侧的栅电极144。可选择地,一对栅电极可以具有在它们之间设置的氧化物半导体膜142。

[0143] 在本发明一实施例中,包含在存储元件中n沟道晶体管102n和p沟道晶体管102p每个在沟道形成区中包括半导体诸如具有结晶性的硅或具有结晶性的锗,使得半导体器件能以高速工作。此外,在本发明的一个实施例中,开关元件包括具有极小截止态电流的晶体管121,使得可以减少通过开关元件从电容器136泄漏的电荷量。换句话说,在本发明的一个实施例中,可以容易地单独制作结构最适合于存储元件和开关元件所需特性的晶体管。此外,在本发明的一个实施例中,包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p以及包含在开关元件中的晶体管121被堆叠,使得可以获得高集成度的半导体器件。

[0144] 因此,在本发明的一个实施例中,用上述结构,可以提供在确保高速工作的同时能降低功耗的半导体器件。此外,在本发明的一个实施例中,可以提供在确保高速工作的同时能降低功耗和实现高集成度的半导体器件。

[0145] 图36是包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p、电容器136和包含在开关元件中的晶体管121的结构的横截面图的示例。

[0146] 图36所示的半导体器件包括在衬底100上的n沟道晶体管102n和p沟道晶体管102p。绝缘膜101形成在衬底100的表面上。

[0147] n沟道晶体管102n包括含有具有结晶性的硅的半导体膜103n、在半导体膜103n上的栅极绝缘膜104n、设置在与半导体膜103n交叠的部分中的栅电极105n(栅极绝缘膜104n设置在半导体膜103n和栅电极105n之间)、以及与半导体膜103n连接的导电膜106和导电膜107。半导体膜103n包括用作沟道形成区的第一区108和用作源和漏的第二区109和110。第一区108夹在第二区109和110之间。图36示出如下情况的一个例子,其中半导体膜103n包括在第一区108和第二区109之间以及在第一区108和第二区110之间的用作轻掺杂漏(LDD)区的第三区111和112。

[0148] p沟道晶体管102p包括含有具有结晶性的硅的半导体膜103p、在半导体膜103p上的栅极绝缘膜104p、设置在与半导体膜103p交叠的部分中的栅电极105p(栅极绝缘膜104p设置在半导体膜103p和栅电极105p之间)、以及与半导体膜103p连接的导电膜107和导电膜113。半导体膜103p包括用作沟道形成区的第一区114以及用作源和漏的第二区115和116。第一区114夹在第二区115和116之间。图36示出如下情况的一个例子,其中半导体膜103p包括在第一区114和第二区115之间以及在第一区114和第二区116之间的用作LDD区的第三区117和118。

[0149] 请注意,图36示出n沟道晶体管102n和p沟道晶体管102p共用导电膜107的例子;然而,两个晶体管可以包括单独的导电膜。

[0150] 此外,图36示出n沟道晶体管102n和p沟道晶体管102p均包括薄半导体膜的例子;然而,n沟道晶体管102n和p沟道晶体管102p每个可以具有在体半导体衬底中的沟道形成区。

[0151] 此外,在图36所示的半导体器件中,在导电膜106、导电膜107和导电膜113上设置

绝缘膜119。在绝缘膜119上设置包含第一氧化物绝缘膜120a和第二氧化物绝缘膜120b的绝缘膜120。

[0152] 利用加热时从其释放部分氧的氧化物绝缘膜来形成第一氧化物绝缘膜120a。作为这样的通过加热从其释放部分氧的氧化物绝缘膜,优选使用以超过化学计量比的比率含有氧的绝缘膜。氧化硅、氧氮化硅、氮氧化硅、氧化镓、氧化铅、氧化铋等可以用于第一氧化物绝缘膜120a。

[0153] 利用防止氧扩散的氧化物绝缘膜来形成第二氧化物绝缘膜120b。例如利用氧化铝、氧氮化铝等来形成第二氧化物绝缘膜102b。对于氧化铝来说,优选使用以符合化学计量比的比率含有氧的氧化铝或者以超过化学计量比的比率含有氧的氧化铝(AlO_x , x 大于或等于 $3/2$)。此外,在氧氮化铝中,用氮替换在以符合化学计量比的比率含有氧的氧化铝中的部分氧。

[0154] 开关元件中所包含的晶体管121设置在绝缘膜120上。具体来说,晶体管121包括在绝缘膜120上的氧化物半导体膜122、在氧化物半导体膜122上的栅极绝缘膜123、设置在与氧化物半导体膜122交叠的部分中的栅电极124(栅极绝缘膜123设置在氧化物半导体膜122和栅电极124之间)、以及与氧化物半导体膜122连接的导电膜125和导电膜126。氧化物半导体膜122包括与栅电极124交叠并且至少一部分用作沟道形成区的第一区127,以及用作源和漏并在其之间夹着第一区127的第二区128和129。

[0155] 接着,将参考图37A至37C来说明包含在氧化物半导体膜122中的第一区127以及第二区128和129与包含在绝缘膜120中的第一氧化物绝缘膜120a和第二氧化物绝缘膜120b的位置关系。

[0156] 图37A是绝缘膜120和晶体管121的横截面图,图37B是绝缘膜120和晶体管121的俯视图。图37A是沿图37B中的虚线A1-A2所截取的横截面图。图37C是沿图37B中的虚线B1-B2所截取的绝缘膜120和晶体管121的横截面图。

[0157] 在晶体管121中,含有绝缘膜的侧壁130设置在栅电极124的侧面部分上,绝缘膜131设置在栅电极124上方。此外,部分导电膜125和部分导电膜126与侧壁130接触。导电膜125和导电膜126不必与侧壁130接触。然而,当形成导电膜125和导电膜126与侧壁130接触时,即使在导电膜125和导电膜126偏离适当位置的情况下,也能防止氧化物半导体膜122与导电膜125和导电膜126接触的区域的大小发生变化。因此,可以避免由于导电膜125和导电膜126偏离位置而引起的晶体管121的导通态电流的改变。

[0158] 请注意,不必设置栅电极124上的绝缘膜131。然而,当设置绝缘膜131时,即使在导电膜125或导电膜126形成在栅电极124上的情况下,也可以阻止导电膜125与栅电极124之间以及导电膜126与栅电极124之间导电。

[0159] 此外,在绝缘膜120中,第二氧化物绝缘膜120b设置在第一氧化物绝缘膜120a的周围。氧化物半导体膜122的第一区127与第一氧化物绝缘膜120a接触,氧化物半导体膜122的第二区128和129与第一氧化物绝缘膜120a和第二氧化物绝缘膜120b接触。

[0160] 在上述结构中,可防止通过加热从第一氧化物绝缘膜120a释放的氧穿过第二氧化物绝缘膜120b;从而,使氧有效地供应到第一区127中的氧化物半导体膜122的末端部分132。请注意,由于用于把氧化物半导体膜122刻蚀成所需形状的刻蚀处理、使氧化物半导体膜122的末端部分暴露到减压气氛等,在晶体管121(其中氧化物半导体用于沟道形成区中)

中的氧化物半导体膜122的末端部分处容易产生由于氧释放而导致的氧缺陷。由于氧缺陷成为载流子移动所通过的路径,所以当在氧化物半导体膜122的末端部分处形成氧缺陷时形成寄生沟道,并由此增加了晶体管121的截止态电流。然而,在本发明一实施例中,用上述结构,可以避免在第一区127中的氧化物半导体膜122的末端部分132处形成氧缺陷,从而可以降低截止态电流。

[0161] 此外,如图36所示,电容器136包括在绝缘膜120上的导电膜133、在导电膜133上的绝缘膜134、以及设置在与导电膜133交叠的位置中的导电膜135,绝缘膜134设置在导电膜133与导电膜135之间。绝缘膜134还设置在晶体管121上。导电膜133和导电膜125可以彼此电连接,或者导电膜133和导电膜125可以是一个导电膜。

[0162] 请注意,图36示出电容器136以及晶体管121形成在绝缘膜120上的例子;然而,电容器136以及n沟道晶体管102n和p沟道晶体管102p可以形成在绝缘膜120下面。

[0163] 图36示出在绝缘膜120和n沟道晶体管102n之间以及在绝缘膜120和p沟道晶体管102p之间设置绝缘膜119的例子。然而,不必设置绝缘膜119。在不设置绝缘膜119的情况下,设置绝缘膜120与导电膜106、导电膜107和导电膜113接触。

[0164] 此外,晶体管121包括在氧化物半导体膜122的至少一侧的栅电极124。可选地,一对栅电极可以具有在它们之间设置的氧化物半导体膜122。

[0165] 图38示出如下情况的一个例子,其中在图36所示的半导体器件中的晶体管121在除栅电极124以外还包括在绝缘膜119和绝缘膜120之间的背栅电极137。背栅电极137设置在与氧化物半导体膜122交叠的位置中,绝缘膜120设置在它们之间。

[0166] 背栅电极137可以电绝缘以处在浮置状态,或者可以处在从另一元件提供电势的状态。在后一种情况下,可以对背栅电极137施加与栅电极124相同电平的电势,或可以对背栅电极137仅施加固定电势诸如地电势。控制施加到背栅电极137的电势的电平,使得可以控制晶体管121的阈值电压。图38示出在背栅电极137通过在绝缘膜119中所形成的开口部分连接到与导电膜106、导电膜107和导电膜113在同一层的导电膜138的情况下的一个例子。

[0167] 下面,将说明根据本发明一个实施例的半导体器件的结构,其与图36所示的结构不同。图39是包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p、电容器136和包含在开关元件中的晶体管121的结构的横截面图的一个例子。

[0168] 像图36所示的半导体器件中那样,图39所示的半导体器件包括在衬底100上的n沟道晶体管102n和p沟道晶体管102p。绝缘膜101形成在衬底100的表面上。n沟道晶体管102n和p沟道晶体管102p的具体结构与图36中的那些类似。

[0169] 如图36中那样,在图39所示的半导体器件中,在导电膜106、导电膜107和导电膜113上设置绝缘膜119。在绝缘膜119上设置包含第一氧化物绝缘膜140a、第二氧化物绝缘膜140b和第三氧化物绝缘膜140c的绝缘膜140。在绝缘膜140上设置包含在开关元件中的晶体管121。

[0170] 利用加热时从其释放部分氧的氧化物绝缘膜来形成第一氧化物绝缘膜140a和第三氧化物绝缘膜140c每个。作为这样的通过加热从其释放部分氧的氧化物绝缘膜,优选使用以超过化学计量比的比率含有氧的绝缘膜。氧化硅、氧氮化硅、氮氧化硅、氧化镓、氧化铟、氧化铪等可以用于第一氧化物绝缘膜140a。

[0171] 利用防止氧扩散的氧化物绝缘膜来形成第二氧化物绝缘膜140b。例如利用氧化铝、氧氮化铝等来形成第二氧化物绝缘膜140b。对于氧化铝来说,优选使用以符合化学计量比的比率含有氧的氧化铝或者以超过化学计量比的比率含有氧的氧化铝(AlO_x , x 大于或等于 $3/2$)。此外,在氧氮化铝中,用氮替代在以符合化学计量比的比率含有氧的氧化铝中的部分氧。

[0172] 具体来说,晶体管121包括氧化物半导体膜142、在氧化物半导体膜142上的栅极绝缘膜143、设置在与氧化物半导体膜142交叠的部分中的栅电极144(栅极绝缘膜143设置在氧化物半导体膜142与栅电极144之间)、以及与氧化物半导体膜142连接的导电膜145和导电膜146。氧化物半导体膜142包括与栅电极144交叠并且至少一部分用作沟道形成区的第一区147、以及用作源和漏并在其间夹着第一区147的第二区148和149。

[0173] 下面,将参考图40A至40C来说明图39所示的晶体管121的具体横截面结构。

[0174] 图40A是绝缘膜140和晶体管121的横截面图,图40B是绝缘膜140和晶体管121的俯视图。图40A是沿图40B中的虚线A1-A2截取的横截面图。图40C是沿图40B中的虚线B1-B2截取的绝缘膜140和晶体管121的横截面图。

[0175] 在晶体管121中,含有绝缘膜的侧壁150设置在栅电极144的侧面部分上,绝缘膜151设置在栅电极144上方。此外,部分导电膜145和部分导电膜146与侧壁150接触。导电膜145和导电膜146不必与侧壁150接触。然而,当形成导电膜145和导电膜146与侧壁150接触时,即使在导电膜145和导电膜146偏离适当位置的情况下,也可防止氧化物半导体膜142与导电膜145和导电膜146接触的区域的大小发生变化。因此,可以避免由于导电膜145和导电膜146偏离位置而引起的晶体管121的导通态电流的改变。

[0176] 请注意,不必设置栅电极144上的绝缘膜151。然而,当设置绝缘膜151时,即使在导电膜145或导电膜146形成在栅电极144上的情况下,也可以阻止导电膜145与栅电极144之间以及导电膜146与栅电极144之间导电。

[0177] 在绝缘膜140中,第一氧化物绝缘膜140a和第二氧化物绝缘膜140b按此顺序堆叠在位于最底层的第三氧化物绝缘膜140c上。在第一氧化物绝缘膜140a和第二氧化物绝缘膜140b中形成开口部分141,在开口部分141中设置晶体管121的氧化物半导体膜142。第一氧化物绝缘膜140a设置在氧化物半导体膜142周围以便与氧化物半导体膜142的末端部分接触。第二氧化物绝缘膜140b设置在氧化物半导体膜142周围,第一氧化物绝缘膜140a设置在它们之间。第三氧化物绝缘膜140c设置在氧化物半导体膜142下面。

[0178] 在上述结构中,可以防止通过加热从第一氧化物绝缘膜140a释放的氧穿过第二氧化物绝缘膜140b;从而,使氧有效地供应到第一区147中的氧化物半导体膜142的末端部分152。此外,从第三氧化物绝缘膜140c释放的氧供应到氧化物半导体膜142的下部部分中。请注意,由于用于把氧化物半导体膜142刻蚀成所需形状的刻蚀处理、使氧化物半导体膜142的末端部分暴露到减压气氛等,在晶体管121(其中氧化物半导体用在沟道形成区中)中的氧化物半导体膜142的末端部分处容易产生由于氧释放而导致的氧缺陷。由于氧缺陷成为载流子移动所通过的路径,所以当在氧化物半导体膜142的末端部分处形成氧缺陷时形成寄生沟道,并由此增加了晶体管121的截止态电流。然而,在本发明的实施例中,用上述结构,避免了在第一区147中的氧化物半导体膜142的末端部分152处形成氧缺陷,从而可以降低截止态电流。

[0179] 此外,如图39所示,电容器136包括在绝缘膜140上的导电膜153、在导电膜153上的绝缘膜154、以及设置在与导电膜153交叠的位置中的导电膜155,绝缘膜154设置在导电膜153和导电膜155之间。绝缘膜154还设置在晶体管121上。导电膜153和导电膜145可以彼此电连接,或者导电膜153和导电膜145可以是一个导电膜。

[0180] 请注意,图39示出电容器136以及晶体管121形成在绝缘膜140上的例子;然而,电容器136以及n沟道晶体管102n和p沟道晶体管102p可以形成在绝缘膜140下面。

[0181] 图39示出在绝缘膜140和n沟道晶体管102n之间以及在绝缘膜140和p沟道晶体管102p之间设置绝缘膜119的例子。然而,不必设置绝缘膜119。在不设置绝缘膜119的情况下,设置绝缘膜140与导电膜106、导电膜107和导电膜113接触。

[0182] 此外,晶体管121包括在氧化物半导体膜142的至少一侧的栅电极144。可选地,一对栅电极可以具有在它们之间设置的氧化物半导体膜142。

[0183] 图41示出如下情况的一个例子,其中在图39所示的半导体器件中的晶体管121在除栅电极144以外还包括位于绝缘膜119和绝缘膜140之间的背栅电极157。背栅电极157设置在与氧化物半导体膜142交叠的位置中,绝缘膜140设置在它们之间。

[0184] 背栅电极157可以电绝缘以处在浮置状态,或者可以处在从另一元件提供电势的状态。在后一种情况下,可以对背栅电极157施加与栅电极144相同电平的电势,或可以对背栅电极157仅施加固定电势诸如地电势。控制施加到背栅电极157的电势的电平,使得可以控制晶体管121的阈值电压。图41示出背栅电极157通过绝缘膜119中所形成的开口部分连接到与导电膜106、导电膜107和导电膜113在同一层的导电膜158的情况下一个例子。

[0185] 在本发明的一个实施例中,包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p每个包括在沟道形成区中的半导体诸如具有结晶性的硅或具有结晶性的锗,使得半导体器件能以高速工作。此外,在本发明的一个实施例中,开关元件包括具有极小截止态电流的晶体管121,使得可以减少通过开关元件从电容器136泄漏的电荷量。换句话说,在本发明的一个实施例中,可以容易地单独制作具有最适合存储元件和开关元件所需特性的结构的晶体管。此外,在本发明的一个实施例中,包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p以及包含在开关元件中的晶体管121被堆叠,使得可以获得高集成度的半导体器件。

[0186] 因此,在本发明的一个实施例中,用上述结构,可以提供在确保高速工作的同时能降低功耗的半导体器件。此外,在本发明的一个实施例中,可以提供在确保高速工作的同时能降低功耗并获得高集成度的半导体器件。

[0187] 下面,将说明根据本发明一个实施例的半导体器件的电路结构的具体例子。在根据本发明一个实施例的半导体器件中,存储器包括一个或多个存储器电路,每个能够存储一位数据。图5示出包含在存储器中的存储器电路的电路图的一个例子。图5所示的存储器电路200包括存储元件211、电容器205和开关元件206。存储元件211包括第一相位反转元件201和第二相位反转元件202(其每个把信号输入的相位反转并输出该信号)、晶体管203和晶体管204。

[0188] 包含输入到存储器电路200的数据的信号IN通过晶体管203提供到第一相位反转元件201的输入端。第一相位反转元件201的输出端连接到第二相位反转元件202的输入端。第二相位反转元件202的输出端通过晶体管204连接到第一相位反转元件201的输入端。第

一相位反转元件201的输出端或第二相位反转元件202的输入端的电势作为信号OUT输出到存储器电路或下一级的其它电路。

[0189] 请注意,在图5中,示出其中采用反相器作为第一相位反转元件201和第二相位反转元件202的一个例子;然而,除反相器以外,还可以采用时钟反相器(clocked inverter)作为第一相位反转元件201和第二相位反转元件202。

[0190] 电容器205通过晶体管203和开关元件206连接到存储器电路200的输入端,即施加信号IN的电势的节点,使得在需要时可以存储输入到存储器电路200的信号IN的数据。具体来说,电容器205包括在一对电极之间的电介质。一个电极通过开关元件206连接到第一相位反转元件201的输入端。另一个电极连接施加低电平电源电势VSS或固定电势例如地电势的节点。

[0191] 对于开关元件206来说,采用在沟道形成区中使用氧化物半导体的晶体管。在沟道形成区中使用氧化物半导体的晶体管具有比含有例如硅或锗的普通半导体的晶体管小得多的截止态电流。此外,本发明的一个实施例中,使用具有能进一步降低截止态电流的结构的晶体管121,例如图2A至2C或图4A至4C所示的晶体管以用于开关元件206。电容器205的数据保存时间长度取决于通过开关元件206泄漏的在电容器205中累积的电荷量。因此,当通过具有极小截止态电流的开关元件206例如上述晶体管来保持电容器205中累积的电荷时,可以阻止电荷从电容器205泄漏,从而可以使数据保存时间更长。

[0192] 尽管图5示出包含在开关元件206中的晶体管具有单栅极结构的情况下的一个例子,但晶体管可以具有多栅极结构,其中包括多个电连接的栅电极,从而包括多个沟道形成区。

[0193] 请注意,在图5中,示出其中开关元件206仅包括一个晶体管的结构;然而,本发明不局限于此结构。在本发明的一个实施例中,开关元件206可以包括多个晶体管。在开关元件206中包含用作开关元件的多个晶体管的情况下,多个晶体管可以按并联、串联或并联和串联组合的方式彼此连接。

[0194] 请注意,在本说明书中,晶体管相互串联连接的状态是指其中第一晶体管的源和漏中的仅一个连接到第二晶体管的源和漏中的仅一个的状态。此外,晶体管相互并联连接的状态是指第一晶体管的源和漏中的一个连接到第二晶体管的源和漏中的一个并且第一晶体管的源和漏中的另一个连接到第二晶体管的源和漏中的另一个的状态。

[0195] 请注意,晶体管中的术语“源”和“漏”根据晶体管的极性或施加到源和漏的电势电平之间的差异而相互交换。通常,对于n沟道晶体管的源和漏来说,施加较低电势的一个称为源,施加较高电势的一个称为漏。此外,针对p沟道晶体管的源和漏来说,施加较低电势的一个称为漏,施加较高电势的一个称为源。在本说明书中,尽管为方便起见在一些情况下假定源和漏是固定的来描述晶体管的连接关系,但是实际上,源和漏的名称根据电势关系而相互交换。

[0196] 请注意,如果需要的话,存储器电路200还可包括另一电路元件,例如二极管、电阻器或电感器。

[0197] 第一相位反转元件201具有这样的结构,其中栅电极相互连接的p沟道晶体管207和n沟道晶体管208串联连接在施加高电平电源电势VDD的第一节点和施加低电平电源电势VSS的第二节点之间。具体来说,p沟道晶体管207的源极连接到被施加电源电势VDD的第一

节点,n沟道晶体管208的源极连接到被施加电源电势VSS的第二节点。此外,p沟道晶体管207的漏极连接到n沟道晶体管208的漏极,两个漏极的电势可视为第一相位反转元件201的输出端的电势。此外,p沟道晶体管207的栅电极和n沟道晶体管208的栅电极的电势可看作是第二相位反转元件202的输入端的电势。

[0198] 第二相位反转元件202具有这样的结构,其中栅电极相互连接的p沟道晶体管209和n沟道晶体管210串联连接在被施加高电平电源电势VDD的第一节点和被施加低电平电源电势VSS的第二节点之间。具体来说,p沟道晶体管209的源极连接到被施加电源电势VDD的第一节点,n沟道晶体管210的源极连接到被施加电源电势VSS的第二节点。此外,p沟道晶体管209的漏极连接到n沟道晶体管210的漏极,两个漏极的电势可看作是第二相位反转元件202的输出端的电势。此外,p沟道晶体管209的栅电极和n沟道晶体管210的栅电极的电势可看作是第二相位反转元件202的输入端的电势。

[0199] 晶体管203的开关通过施加到其栅电极的信号Sig1来控制。晶体管204的开关通过施加到其栅电极的信号Sig2来控制。包括在开关元件206中的晶体管的开关通过施加到其栅电极的信号Sig3来控制。

[0200] 在本发明的一个实施例中,第一相位反转元件201和第二相位反转元件202需要以高速工作。因此,图1、图3、图36或图39所示的、每个都包括含有具有结晶性的硅的半导体膜的n沟道晶体管102n和p沟道晶体管102p被用作包含在第一相位反转元件201中的n沟道晶体管208和p沟道晶体管207或者包含在第二相位反转元件202中的n沟道晶体管210和p沟道晶体管209。

[0201] 请注意,作为晶体管203或晶体管204,可以使用图1、图3、图36或图39所示的、包括含有具有结晶性的硅的半导体膜的n沟道晶体管102n或p沟道晶体管102p。

[0202] 下面,将说明图5所示的存储器电路200的工作的一个例子。

[0203] 首先,在写入数据时,晶体管203导通,晶体管204截止,开关元件206截止。然后,电源电势VDD被施加到第一节点,电源电势VSS被施加到第二节点,从而在第一节点和第二节点之间施加电源电压。施加到存储器电路200的信号IN的电势通过晶体管203被施加到第一相位反转元件201的输入端,从而第一相位反转元件201的输出端的电势是信号IN的相位反转电势。然后,晶体管204导通,第一相位反转元件201的输入端连接到第二相位反转元件202的输出端,从而数据被写入到第一相位反转元件201和第二相位反转元件202中。

[0204] 接着,在输入数据保持在第一相位反转元件201和第二相位反转元件202中的情况下,晶体管204维持导通,开关元件206维持截止,晶体管203截止。通过使晶体管203截止,输入数据保持在第一相位反转元件201和第二相位反转元件202中。此时,电源电势VDD被施加到第一节点,电源电势VSS被施加到第二节点,从而维持在第一节点和第二节点之间施加电源电压的状态。

[0205] 第一相位反转元件201的输出端的电势反映保持在第一相位反转元件201和第二相位反转元件202中的数据。因此,通过读取该电势,可以从存储器电路200读出数据。

[0206] 在输入数据保持在电容器205中以便降低保持数据的功耗的情况下,首先,晶体管203截止,晶体管204导通,开关元件206导通。然后,通过开关元件206,与保持在第一相位反转元件201和第二相位反转元件202中的数据值对应的电荷量被累积在电容器205中,从而数据被写入电容器205。在数据被存储在电容器205中之后,开关元件206截止,从而存储在

电容器205中的数据被保持。在使开关元件206截止之后,例如,电源电势VSS被施加到第一节点和第二节点中的每一个,使得节点具有相等的电势,从而停止在第一节点和第二节点之间施加电源电压。请注意,在数据被存储在电容器205中之后,可以使晶体管204截止。

[0207] 以这样一种方式,在输入数据保持在电容器205中的情况下,不必在第一节点和第二节点之间施加电源电压;因此,通过包含在第一相位反转元件201中的p沟道晶体管207和n沟道晶体管208、或通过包含在第二相位反转元件202中的p沟道晶体管209和n沟道晶体管210,在第一节点和第二节点之间流动的截止态电流可以极接近于零。结果,可以显著地降低由存储元件保持数据时的截止态电流引起的功耗,并且可以抑制存储器、乃至包括存储器的整个半导体器件的功耗。

[0208] 如上所述,包含在开关元件206中的晶体管具有极小的截止态电流。因此,当包括上述晶体管的开关元件206处于截止状态时,在电容器205中累积的电荷不容易泄漏;因此,数据得以保持。

[0209] 在读取电容器205中存储的数据的情况下,晶体管203截止。然后,电源电势VDD被再次施加到第一节点,电源电势VSS被再次施加到第二节点,从而在第一节点和第二节点之间施加电源电压。然后,通过使开关元件206导通,可以从存储器电路200读取具有反映数据的电势的信号OUT。

[0210] 请注意,可以通过在沟道形成区中使用氧化物半导体的晶体管来控制在第一节点和第二节点之间的电源电压的施加。图6A示出具有这样的结构的存储器的一个例子。

[0211] 图6A所示的存储器包括开关元件401和包括多个存储器电路402的存储器电路组403。具体来说,图5所示的存储器电路200可以用作每个存储器电路402。包含在存储器电路组403中的每个存储器电路402通过开关元件401施加有高电平电源电势VDD。此外,信号IN的电势和低电平电源电势VSS的电势被施加到包含在存储器电路组403中的每个存储器电路402。

[0212] 在图6A中,在沟道形成区中包括氧化物半导体的晶体管被用于开关元件401,通过施加到其栅电极的信号SigA来控制晶体管的开关。由于用于开关元件401的晶体管包括在沟道形成区中的氧化物半导体,所以截止态电流极小,如上所述。

[0213] 请注意,在图6A中,示出开关元件401仅包含一个晶体管的结构;然而,本发明不局限于此结构。在本发明的一个实施例中,开关元件401可以包括多个晶体管。在用作开关元件的多个晶体管包含在开关元件401中的情况下,多个晶体管可以按并联、串联、或并联和串联组合的方式相互连接。

[0214] 尽管在图6A中开关元件401控制了高电平电源电势VDD到包含在存储器电路组403中的每个存储器电路402的施加,但开关元件401可以控制低电平电源电势VSS的施加。在图6B中,示出存储器的一个例子,其中包含在存储器电路组403中的每个存储器电路402通过开关电路401被施加有低电平电源电势VSS。可以通过开关元件401控制低电平电源电势VSS到包含在存储器电路组403中的每个存储器电路402的施加。

[0215] 顺便提及,已知磁隧道结元件(MTJ元件)是一种非易失性随机存取存储器。当设置在绝缘膜之上和之下的膜中的自旋方向平行时,MTJ元件存储低电阻态数据,当自旋方向不平行时,存储高电阻态数据。因此,MTJ元件和在本实施例中含有氧化物半导体(OS)的存储器的原理彼此完全不同。表1示出MTJ元件和本实施例中含有氧化物半导体的存储器之间的

对比。

[0216] [表1]

[0217]

	自旋电子学 (MTJ 元件)	OS/Si
耐热性	居里温度	工艺温度为 500℃ (可靠性为 150℃)
驱动方法	电流驱动	电压驱动
写入原理	改变磁体的自旋方向	使 FET 导通/截止
Si LSI	适合于双极型 LSI (因为双极型 LSI 不适合于高集成度, 所以对于高集成度而言 MOS LSI 是优选的。请注意, W 变得更大)	适合于 MOS LSI
消耗 (Overhead)	大 (由于高焦耳热)	比 MTJ 元件的消耗小 2 至 3 或更多的数量级 (由于寄生电容的充电和放电)
非易失性	利用自旋	利用低的截止态电流
读取次数	没有限制	没有限制
3D 转换	难 (最多两层)	容易 (层数不限)
集成度 (F^2)	4 至 $15F^2$	取决于 3D 转换中堆叠的层数 (在形成上部 OS FET 的工艺中必须确保耐热性)
材料	磁稀土元素	OS 材料
每位的成本	高	低 (取决于 OS 材料可能会略高)
耐磁场性	低	高

[0218] MTJ元件的缺点在于,由于使用磁材料,所以当温度是居里温度或更高时,磁属性丧失。此外,因为采用电流驱动,所以MTJ元件与硅双极型器件兼容。然而,硅双极型器件不适合于高集成度。此外,尽管在数据写入期间MTJ元件消耗极小量的电流,但MTJ元件仍具有功耗随存储容量增大而增大的问题。

[0219] 原理上,MTJ元件对于磁场具有低的耐受性,从而当MTJ元件暴露于高磁场时自旋方向可能改变。此外,必须控制用于MTJ元件的磁体的纳米尺度化所引起的磁波动。

[0220] 此外,稀土元素用于MTJ元件;因此,需要特别注意在形成硅半导体的工艺中引入避免金属污染的形成MTJ元件的工艺。此外,MTJ元件的每位材料成本是昂贵的。

[0221] 另一方面,本实施例中含有氧化物半导体的晶体管具有与硅MOSFET相似的元件结

构和工作原理,除了形成沟道的区域含有金属氧化物以外。此外,含有氧化物半导体的晶体管不受磁场影响,不会引起软错误。这表明该晶体管与硅集成电路高度兼容。

[0222] 下面,将说明根据本发明的半导体器件的具体实施例。如图7中的框图示出半导体器件的结构的一个例子。

[0223] 半导体器件600包括控制单元601、与运算单元对应的运算逻辑单元 (ALU) 602、数据高速缓冲存储器603、指令高速缓冲存储器604、程序计数器605、指令寄存器606、主存储器607和寄存器堆608。

[0224] 控制单元601具有解码和执行输入指令的功能。ALU 602具有执行各种运算操作例如四则运算操作和逻辑操作的功能。数据高速缓冲存储器603是临时存储频繁使用的数据的缓冲存储器件。指令高速缓冲存储器604是缓冲存储器件,其临时存储发送到控制单元601的指令(程序)中的频繁使用的指令。程序计数器605是存储接下来要执行的指令的地址的寄存器。指令寄存器606是存储接下来要执行的指令的寄存器。用于ALU 602中的运算操作的数据和在控制单元601中执行的指令被存储在主存储器607中。寄存器堆608包括含有通用寄存器的多个寄存器并可以存储从主存储器607读取的数据、在ALU602中的运算操作期间得到的数据、作为ALU 602中的运算操作的结果得到的数据等。

[0225] 下面,将说明半导体器件600的操作。

[0226] 控制单元601从与存储在程序计数器605中的接下来待执行的指令的地址对应的指令高速缓冲存储器604的读取指令,并使指令寄存器606存储该指令。当指令不存储在指令高速缓冲存储器604的相应地址中时,控制单元601访问主存储器607的相应地址,读取来自主存储器607的指令,并使指令寄存器606存储该指令。在这种情况下,该指令还被存储在指令高速缓冲存储器604中。

[0227] 控制单元601对存储在指令寄存器606中的指令进行解码并执行该指令。具体来说,控制单元601根据指令产生用于控制ALU 602的操作的各种信号。

[0228] 当要执行的指令是运算指令时,控制单元601利用存储在寄存器堆608中的数据使ALU 602进行运算操作,并在寄存器堆608中存储运算操作的结果。

[0229] 当要执行的指令是加载指令时,控制单元601首先访问数据高速缓冲存储器603的相应地址,检查相应数据是否存在于数据高速缓冲存储器603中。当相应数据存在于数据高速缓冲存储器603中时,把数据从数据高速缓冲存储器603的相应地址复制到寄存器堆608。当相应数据不存在于数据高速缓冲存储器603中时,把数据从主存储器607的相应地址复制到数据高速缓冲存储器603的相应地址,然后把数据从数据高速缓冲存储器603的相应地址复制到寄存器堆608。请注意,在相应数据不存在的情况下,由于必须访问低速主存储器607,所以与控制单元仅访问缓冲存储器件例如数据高速缓冲存储器603的情况相比,花费了长时间来执行指令。然而,当不仅是上述数据而且主存储器607中的数据地址和数据附近的地址的数据都被复制到缓冲存储器件中时,可以以高速进行对主存储器607中的数据地址及其附近数据的第二次及随后的访问。

[0230] 当要执行的指令是存储指令时,控制单元601在与数据高速缓冲存储器603的相应地址中存储寄存器堆608的数据。在这种情况下,控制单元601首先访问数据高速缓冲存储器603的相应地址,检查相应数据是否能存储于数据高速缓冲存储器603中。当数据能存储在数据高速缓冲存储器603中时,把数据从寄存器堆608复制到数据高速缓冲存储器603的

相应地址。当不能存储数据时,在部分数据高速缓冲存储器603中分配新的相应地址,并把数据从寄存器堆608复制到数据高速缓冲存储器603的相应地址。请注意,可以就在数据被复制到数据高速缓冲存储器603之后把数据复制到主存储器607。可选地,一些数据片段可以被复制到数据高速缓冲存储器603,然后该数据片段可以被集体复制到主存储器607。

[0231] 然后,在控制单元601执行指令之后,控制单元601再次访问程序计数器605,并重复对从指令寄存器606读出的指令进行解码和执行的上述操作。

[0232] 请注意,在图7所示的半导体器件600中,为缓冲存储器件例如数据高速缓冲存储器603或指令高速缓冲存储器604提供具有上述结构的存储器。在例如数据高速缓冲存储器603或指令高速缓冲存储器604的缓冲存储器件中,ALU 602选择保持操作。换句话说,ALU 602选择数据是保持在存储元件中还是在数据高速缓冲存储器603中和指令高速缓冲存储器604中的电容器中。当选择在存储元件中保持数据时,电源电压提供到数据高速缓冲存储器603或指令高速缓冲存储器604中的存储元件。当选择在电容器中保持数据时,数据再次写入在电容器中,并且停止对在数据高速缓冲存储器603或指令高速缓冲存储器604中的存储元件施加电源电压。如图6A或图6B所示,供电停止可以通过在存储器电路组与施加电源电势VDD或电源电势VSS的节点之间的开关元件来进行。

[0233] 在本发明的一个实施例中,在需要以高速驱动的存储元件中,使用在沟道形成区中包括半导体例如具有结晶性的硅或具有结晶性的锗的晶体管;从而,实现了半导体器件600的高速操作。此外,在本发明的一个实施例中,在沟道形成区中含有氧化物半导体的晶体管被用作用于在电容器中保持电荷的开关元件,从而可以抑制从电容器泄漏的电荷量。因此,在本发明的一个实施例中,具有上述结构的存储器应用于缓冲存储器例如数据高速缓冲存储器603或指令高速缓冲存储器604,从而即使在停止供电时也可以防止数据的擦除。因此,在整个半导体器件600中或在逻辑电路例如包含在半导体器件600中的控制单元601或ALU 602中,可以停止供电,即使是对于短的时间。因此,可以减小半导体器件600的功耗。此外,在本发明的一个实施例中,包含在存储元件中的晶体管和包含在开关元件中的晶体管堆叠在存储器中,由此可以得到高集成度的半导体器件600。

[0234] 请注意,由于多种原因,晶体管的实际测量的迁移率低于其理想迁移率;这种现象不仅发生于在沟道形成区中含有氧化物半导体的晶体管中,而且还发生于其它类型的晶体管中。实际测量的低迁移率的原因之一在于半导体内的缺陷或半导体和绝缘膜之间界面处的缺陷。当使用莱文森 (Levinson) 模型时,可以理论上计算假定在半导体内没有缺陷存在时的迁移率。假设半导体的理想迁移率是 μ_0 ,并且在半导体中存在势垒(例如晶界),则可以通过下面的公式3来表示所测量的迁移率 μ 。

[0235] [公式3]

$$[0236] \quad \mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0237] 这里,E表示势垒的高度,k表示玻尔兹曼常数,T表示绝对温度。当假定势垒归因于缺陷时,根据莱文森模型,E可以表达为下面的公式4。

[0238] [公式4]

$$[0239] \quad E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_{gs}}$$

[0240] 请注意, e 表示元电荷, N 表示在沟道形成区中的每单位面积的平均缺陷密度, ϵ 表示半导体的介电常数, n 表示在沟道形成区中的每单位面积的载流子密度, C_{ox} 表示每单位面积的电容, V_{gs} 表示栅极电压, t 表示沟道形成区的厚度。在半导体膜的厚度小于或等于 30nm 的情况下, 沟道形成区的厚度可以看作与半导体膜的厚度相同。

[0241] 线性区域中的漏极电流 I_{ds} 表达为下面的公式 5。

[0242] [公式 5]

$$[0243] \quad I_{ds} = \frac{W\mu V_{gs} V_{ds} C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0244] 请注意, L 表示沟道长度, W 表示沟道宽度, L 和 W 每个为 $10\mu\text{m}$ 。此外, V_{ds} 表示漏极电压。当公式 5 的两边除以 V_{gs} 并随后对两边取对数时, 可以得到下列公式 6。

[0245] [公式 6]

$$[0246] \quad \ln\left(\frac{I_{ds}}{V_{gs}}\right) = \ln\left(\frac{W\mu V_{ds} C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_{ds} C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_{gs}}$$

[0247] 公式 6 的右侧是 V_{gs} 的函数。从公式 6 发现, 缺陷密度 N 可以从其中 $\ln(I_{ds}/V_{gs})$ 为纵坐标且 $1/V_{gs}$ 为横坐标的线的斜率获得。也就是说, 可以从晶体管的 $I_{ds}-V_{gs}$ 特性评估缺陷密度。

[0248] 缺陷密度取决于形成氧化物半导体时的衬底温度。图 21 示出衬底加热温度和缺陷密度之间的关系。采用铟 (In) 对镓 (Ga) 和锌 (Zn) 的比例为 1:1:1 的氧化物半导体。图 21 示出当以比室温高的温度加热衬底时降低了缺陷密度。

[0249] 基于以这种方式或类似方式获得的缺陷密度, 通过公式 3 和公式 4 可以计算 μ_0 为 $120\text{cm}^2/\text{Vs}$ 。含有缺陷的 In-Sn-Zn 氧化物的测量迁移率大约为 $35\text{cm}^2/\text{Vs}$ 。然而, 假设没有缺陷存在于半导体内以及在半导体和绝缘膜之间的界面处, 则氧化物半导体的迁移率 μ_0 预期为 $120\text{cm}^2/\text{Vs}$ 。

[0250] 请注意, 即使没有缺陷存在于半导体内时, 在沟道形成区和栅极绝缘膜之间的界面处的散射不利地影响了晶体管的迁移率。换句话说, 在与沟道形成区和栅极绝缘膜之间的界面分开距离 x 的位置处的迁移率 μ_1 可以表达为下列公式 7。

[0251] [公式 7]

$$[0252] \quad \frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

[0253] 这里, D 表示沿栅极方向的电场, 而 B 和 G 是常数。请注意, B 和 G 可以从实际测量结果获得; 根据上述测量结果, B 是 $4.75 \times 10^7 \text{cm/s}$, G 是 10nm (界面散射影响所到达的深度)。当 D 增大时 (即当栅极电压增大时), 公式 7 的第二项增大, 由此迁移率 μ_1 增大。

[0254] 图 22 示出其沟道形成区利用半导体内没有缺陷的理想氧化物半导体形成的晶体管的迁移率 μ_2 的计算结果。为了计算, 使用 Synopsys, Inc. 制造的器件仿真软件 Sentaurus Device, 氧化物半导体的带隙、电子亲和势、相对介电常数和厚度分别假定为 2.8eV、4.7eV、15 和 15nm。通过测量用溅射法形成的薄膜而得到这些值。

[0255] 此外, 栅极、源极和漏极的功函数分别假设为 5.5eV、4.6eV 和 4.6eV。栅极绝缘膜的厚度假设为 100nm, 其相对介电常数假设为 4.1。沟道长度和沟道宽度均假设为 $10\mu\text{m}$, 漏极电压 V_{ds} 假设为 0.1V。

[0256] 如图22所示,在栅极电压稍高于1V时迁移率具有 $100\text{cm}^2/\text{Vs}$ 或更大的峰值,并且随着栅极电压变高而降低,因为界面散射的影响增大。请注意,为了降低界面散射,期望半导体膜的表面在原子水平上是平坦的(原子层平坦度)。

[0257] 图23A至23C、图24A至24C以及图25A至25C示出利用具有这种迁移率的氧化物半导体形成的微小晶体管的特性的计算结果。图26A和26B示出用于计算的晶体管的横截面结构。图26A和图26B所示的晶体管每个包括在氧化物半导体层中具有 n^+ 型导电性的半导体区1103a和半导体区1103c。半导体区1103a和1103c的电阻率为 $2 \times 10^{-3} \Omega \text{cm}$ 。

[0258] 图26A中的晶体管形成在基部绝缘层1101以及嵌入在基部绝缘层1101中并由氧化铝形成的嵌入绝缘体1102上。晶体管包括半导体区1103a、半导体区1103c、置于半导体区1103a和1103c之间并用作沟道形成区的本征半导体区1103b、以及栅电极1105。栅电极1105的宽度是33nm。

[0259] 栅极绝缘膜1104形成在栅电极1105和半导体区1103b之间。侧壁绝缘体1106a和侧壁绝缘体1106b形成在栅电极1105的两侧表面上,绝缘体1107形成在栅电极1105上以防止栅电极1105和其它布线之间的短路。侧壁绝缘体具有5nm的宽度。分别设置源电极1108a和漏电极1108b与半导体区1103a和半导体区1103c接触。请注意,该晶体管的沟道宽度是40nm。

[0260] 图26B中的晶体管与图26A中的晶体管的相同之处在于它形成在基部绝缘膜1101和由氧化铝形成的嵌入绝缘体1102上,并在于它包括半导体区1103a、半导体区1103c、设置在它们之间的本征半导体区1103b、具有33nm宽度的栅电极1105、栅极绝缘膜1104、侧壁绝缘体1106a、侧壁绝缘体1106b、绝缘体1107、源电极1108a和漏电极1108b。

[0261] 图26A中的晶体管与图26B中的晶体管之间的区别在于侧壁绝缘体1106a和1106b下面的半导体区的导电类型。在图26A的晶体管中,在侧壁绝缘体1106a和侧壁绝缘体1106b下面的半导体区是具有 n^+ 型导电性的半导体区1103a的一部分和具有 n^+ 型导电性的半导体区1103c的一部分,而在图26B的晶体管中,在侧壁绝缘体1106a和侧壁绝缘体1106b下面的半导体区是本征半导体区1103b的一部分。换句话说,在图26B的半导体层中,提供既不与半导体区1103a(半导体区1103c)交叠也不与栅电极1105交叠的区域。该区域称为偏移区并具有称为偏移长度的宽度 L_{off} 。如从图中所见,偏移长度等于侧壁绝缘体1106a(侧壁绝缘体1106b)的宽度。

[0262] 上面说明了用在计算中的其它参数。为了计算,使用Synopsys, Inc.制造的器件仿真软件Sentaurus Device。图23A至23C示出具有图26A所示结构的晶体管的漏极电流(I_{ds} ,实线)和迁移率(μ ,虚线)的栅极电压(V_{gs} :栅极和源极之间的电势差)相关性。在假设漏极电压(漏极和源极之间的电势差)为+1V的情况下通过计算得到漏极电流 I_{ds} ,在假设漏极电压为+0.1V的情况下通过计算得到迁移率 μ 。

[0263] 图23A示出在栅极绝缘膜的厚度为15nm的情况下晶体管的栅极电压相关性,图23B示出在栅极绝缘膜的厚度为10nm的情况下晶体管的栅极电压相关性,图23C示出在栅极绝缘膜的厚度为5nm的情况下晶体管的栅极电压相关性。随着栅极绝缘膜变薄,截止状态的漏极电流 I_{ds} (截止态电流)尤其显著地降低。相反,导通状态的漏极电流 I_{ds} (导通态电流)和迁移率 μ 的峰值没有明显变化。曲线图示出在大约1V的栅极电压下漏极电流超过 $10\mu\text{A}$,这在存储元件等中是需要的。

[0264] 图24A至24C示出具有图26B中结构以及5nm偏移长度 L_{off} 的晶体管的漏极电流 I_{ds} (实线) 和迁移率 μ (虚线) 的栅极电压 V_{gs} 相关性。在假设漏极电压为+1V的情况下通过计算得到漏极电流 I_{ds} , 在假设漏极电压为+0.1V的情况下通过计算得到迁移率 μ 。图24A示出在栅极绝缘膜的厚度为15nm的情况下晶体管的栅极电压相关性, 图24B示出在栅极绝缘膜的厚度为10nm的情况下晶体管的栅极电压相关性, 图24C示出在栅极绝缘膜的厚度为5nm的情况下晶体管的栅极电压相关性。

[0265] 图25A至25C示出具有图26B中的结构以及15nm偏移长度 L_{off} 的晶体管的漏极电流 I_{ds} (实线) 和迁移率 μ (虚线) 的栅极电压相关性。在假设漏极电压为+1V的情况下通过计算得到漏极电流 I_{ds} , 在假设漏极电压为+0.1V的情况下通过计算得到迁移率 μ 。图25A示出在栅极绝缘膜的厚度为15nm的情况下晶体管的栅极电压相关性, 图25B示出在栅极绝缘膜的厚度为10nm的情况下晶体管的栅极电压相关性, 图25C示出在栅极绝缘膜的厚度为5nm的情况下晶体管的栅极电压相关性。

[0266] 在任一结构中, 随着栅极绝缘膜变薄, 截止态电流显著降低, 而导通态电流和迁移率 μ 的峰值没有发生明显变化。

[0267] 请注意, 迁移率 μ 的峰值在图23A至23C中大约为 $80\text{cm}^2/\text{V}$, 在图24A至24C中大约为 $60\text{cm}^2/\text{V}$, 在图25A至25C中大约为 $40\text{cm}^2/\text{V}$; 因此, 随着偏移长度 L_{off} 增大, 迁移率 μ 的峰值降低。此外, 同样适用于截止态电流。导通态电流也随着偏移长度 L_{off} 增大而降低; 然而, 导通态电流的降低比截止态电流的降低平缓得多。此外, 曲线图示出在任一结构中, 在大约1V的栅极电压下, 漏极电流超过 $10\mu\text{A}$, 这在存储元件等中是需要的。

[0268] 其中使用含有In、Sn和Zn作为主要成分的氧化物半导体用于沟道形成区的晶体管可以通过在加热衬底的同时沉积氧化物半导体或通过形成氧化物半导体之后进行热处理而具有良好的特性。请注意, 主要成分是指在合成物中以5原子%或更多的量包含的元素。

[0269] 在形成含有In、Sn和Zn作为主要成分的氧化物半导体膜之后通过有意地加热衬底, 可以提高晶体管的迁移率。此外, 晶体管的阈值电压可以正地移动以使晶体管正常截止。

[0270] 作为一个例子, 图27A至27C是曲线图, 每个示出晶体管的特性, 在晶体管中使用含有In、Sn和Zn作为主要成分并具有 $3\mu\text{m}$ 的沟道长度 L 和 $10\mu\text{m}$ 的沟道宽度 W 的氧化物半导体、以及具有100nm厚度的栅极绝缘膜。请注意, V_{ds} 设置为10V。

[0271] 图27A是示出晶体管的特性的曲线图, 晶体管的含In、Sn和Zn作为主要成分的氧化物半导体膜在没有有意加热衬底的情况下通过溅射法形成。晶体管的迁移率是 $18.8\text{cm}^2/\text{Vs}$ 。另一方面, 当在有意加热衬底的同时形成含有In、Sn和Zn作为主要成分的氧化物半导体膜时, 可以提高迁移率。图27B示出晶体管的特性, 晶体管的含有In、Sn和Zn作为主要成分的氧化物半导体膜在以 200°C 加热衬底的同时形成。晶体管的迁移率是 $32.2\text{cm}^2/\text{Vs}$ 。

[0272] 通过在形成含有In、Sn和Zn作为主要成分的氧化物半导体膜之后进行热处理, 可以进一步提高迁移率。图27C示出其含有In、Sn和Zn作为主要成分的氧化物半导体膜通过在 200°C 溅射来形成且然后经历 650°C 的热处理的晶体管的特性。晶体管的迁移率是 $34.5\text{cm}^2/\text{Vs}$ 。

[0273] 衬底的有意加热预期具有减少溅射形成期间带入到氧化物半导体膜中的湿气的

效果。此外,在膜形成后的热处理使氢、羟基或湿气能从氧化物半导体膜释放或去除。以这种方式,可以提高迁移率。认为不仅可以通过脱水或脱氢引起的杂质去除,还可以通过因密度增大而导致的原子间距离的减小来获得迁移率的这样的改善。此外,通过从氧化物半导体去除杂质而高度净化氧化物半导体,可以使氧化物半导体结晶。在使用这种高度净化的非单晶氧化物半导体的情况下,理想地,预期实现超过 $100\text{cm}^2/\text{Vs}$ 的迁移率。

[0274] 含有In、Sn和Zn作为主要成分的氧化物半导体可以以下列方式结晶:把氧离子注入到氧化物半导体中,通过热处理释放在氧化物半导体中含有的氢、羟基和湿气,以及通过热处理或通过随后进行的其它热处理使氧化物半导体结晶。通过这样的结晶处理或再结晶处理,可以获得具有良好结晶性的非单晶氧化物半导体。

[0275] 膜形成期间对衬底的有意加热和/或膜形成之后的热处理不仅有助于提高迁移率,而且还有助于使晶体管正常截止。在其中含有In、Sn和Zn作为主要成分并且没有有意加热衬底而形成的氧化物半导体被用作沟道形成区的晶体管中,阈值电压趋于负地移动。然而,使用在有意加热衬底的同时形成的氧化物半导体膜时,可以解决阈值电压负向移动的问题。也就是说,阈值电压移动使得晶体管变成正常截止;通过图27A和27B之间比较可以证实这种趋势。

[0276] 请注意,阈值电压还可以通过改变In、Sn和Zn的比率来控制;当In、Sn和Zn的组分为2:1:3时,预期形成正常截止的晶体管。此外,通过如下设置靶的组分比可以获得具有高结晶性的氧化物半导体膜:In:Sn:Zn=2:1:3。

[0277] 衬底的有意加热温度或热处理的温度为 150°C 或更高、优选 200°C 或更高、更优选 400°C 或更高。当在高温下进行膜形成或热处理时,晶体管可以正常截止。

[0278] 通过在膜形成期间有意地加热衬底和/或通过在膜形成之后进行热处理,可以增加耐栅极偏置应力的稳定性。例如,当栅极偏置施加有 150°C 下强度 $2\text{MV}/\text{cm}$ 一个小时时,阈值电压的漂移可以小于 $\pm 1.5\text{V}$ 、优选小于 $\pm 1.0\text{V}$ 。

[0279] 对下述两个晶体管进行BT测试:样品1是在形成氧化物半导体膜之后没有进行热处理,样品2是在形成氧化物半导体膜之后进行 650°C 下的热处理。

[0280] 首先,在 25°C 衬底温度和 10V 的 V_{ds} 下测量晶体管的 $V_{\text{gs}}-I_{\text{ds}}$ 特性。然后,衬底温度设置到 150°C 且 V_{ds} 设置到 0.1V 。之后,施加 20V 的 V_{ds} ,使得施加到栅极绝缘膜的电场强度为 $2\text{MV}/\text{cm}$,并保持该条件一个小时。接着, V_{ds} 被设置到 0V 。然后,在 25°C 衬底温度和 10V 的 V_{ds} 下测量晶体管的 $V_{\text{gs}}-I_{\text{ds}}$ 特性。这个过程被称为正BT测试。

[0281] 以类似的方式,首先,在 25°C 衬底温度和 10V 的 V_{ds} 下测量晶体管的 $V_{\text{gs}}-I_{\text{ds}}$ 特性。然后,衬底温度设置到 150°C , V_{ds} 设置到 0.1V 。之后,施加 -20V 的 V_{ds} ,使得施加到栅极绝缘膜的电场强度为 $-2\text{MV}/\text{cm}$,并保持该条件一个小时。接着, V_{ds} 被设置到 0V 。然后,在 25°C 衬底温度和 10V 的 V_{ds} 下测量晶体管的 $V_{\text{gs}}-I_{\text{ds}}$ 特性。这个过程被称为负BT测试。

[0282] 图28A和28B分别示出样品1的正BT测试和负BT测试的结果。图29A和29B分别示出样品2的正BT测试和负BT测试的结果。

[0283] 由正BT测试所导致的和由负BT测试所导致的样品1的阈值电压偏移量分别为 1.80V 和 -0.42V 。由正BT测试所导致的和由负BT测试所导致的样品2的阈值电压偏移量分别为 0.79V 和 0.76V 。发现,在样品1和样品2每个中,BT测试前后之间的阈值电压偏移量小,并且可靠性高。

[0284] 热处理可以在氧气氛中进行;可选地,热处理可以首先在氮或惰性气体的气氛中或在减压条件下进行,然后在含有氧的气氛中进行。在脱水或脱氢之后将氧提供到氧化物半导体,由此可以进一步提高热处理的效果。作为在脱水或脱氢之后提供氧的方法,可以采用通过电场加速氧离子并使其注入到氧化物半导体膜中的方法。

[0285] 在氧化物半导体中或在氧化物半导体与叠层膜之间的界面处容易产生由氧缺陷而导致的缺陷;然而,当通过热处理在氧化物半导体中含有过量氧时,不断产生的氧缺陷可以用过量氧来补偿。过量氧主要是存在于晶格之间的氧。当氧浓度设置为高于或等于 $1 \times 10^{16}/\text{cm}^3$ 以及低于或等于 $2 \times 10^{20}/\text{cm}^3$ 时,过量氧可以包含在氧化物半导体中而不产生晶体畸变等。

[0286] 当进行热处理从而至少部分氧化物半导体含有晶体时,可以获得更稳定的氧化物半导体膜。例如,当通过X射线衍射(XRD)分析利用具有In:Sn:Zn=1:1:1组分比的靶在没有有意加热衬底的情况下通过溅射形成的氧化物半导体膜时,观测到了晕图案。所形成的氧化物半导体膜可通过经历热处理而结晶。可以适当地设置热处理的温度;例如,当在650℃进行热处理时,用X射线衍射可以观测到清晰的衍射峰。

[0287] 进行了In-Sn-Zn类氧化物半导体膜的XRD分析。利用由Bruker AXS制造的X射线衍射仪D8ADVANCE来进行XRD分析,并且用离面(out-of-plane)法进行测量。

[0288] 制备样品A和样品B并对其进行XRD分析。下面将说明用于制作样品A和样品B的方法。

[0289] 在已经历脱氢处理的石英衬底上形成具有100nm厚度的In-Sn-Zn类氧化物半导体膜。

[0290] 在氧气氛中用具有100W(DC)功率的溅射装置来形成In-Sn-Zn类氧化物半导体膜。使用具有In:Sn:Zn=1:1:1原子比的In-Sn-Zn类氧化物靶作为靶。请注意,膜形成时的衬底加热温度被设置为200℃。以这种方式制作的样品被用作样品A。

[0291] 接着,用与样品A类似的方法制作的样品经历650℃的热处理。作为热处理,首先进行在氮气氛中的热处理一个小时,并在不降低温度的情况下进一步进行在氧气氛中的热处理一个小时。以这种方式制作的样品被用作样品B。

[0292] 图30示出样品A和样品B的XRD谱。在样品A中没有观测到源自晶体的峰,而在样品B中当 2θ 为大约35度以及在37度至38度时观测到了源自晶体的峰。

[0293] 如上所述,通过在含有In、Sn、Zn作为主要成分的氧化物半导体的沉积期间有意加热衬底和/或通过在沉积之后进行热处理,可以提高晶体管的特性。

[0294] 这些衬底加热和热处理具有防止对于氧化物半导体而言是不良杂质的氢和羟基被包含在膜中的效果或者从膜中去除氢和羟基的效果。也就是说,通过从氧化物半导体去除用作施主杂质的氢可以高度净化氧化物半导体,由此可以获得正常截止的晶体管。高度净化的氧化物半导体使晶体管的截止态电流能为 $1\text{aA}/\mu\text{m}$ 或更小。这里,截止态电流的单位表示每微米沟道宽度的电流。

[0295] 图31示出晶体管的截止态电流与测量时衬底温度(绝对温度)的倒数之间的关系。这里,为了简便,水平轴表示通过将测量的衬底温度的倒数乘以1000所获得的值($1000/T$)。

[0296] 具体来说,如图31所示,当衬底温度为125℃、85℃和室温(27℃)时,截止态电流可以分别为 $1\text{aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{A}/\mu\text{m}$) 或更小、 $100\text{zA}/\mu\text{m}$ ($1 \times 10^{-19}\text{A}/\mu\text{m}$) 或更小和 $1\text{zA}/\mu\text{m}$ ($1 \times 10^{-20}\text{A}/\mu\text{m}$) 或更小。

$^{21}\text{A}/\mu\text{m}$) 或更小。优选地,在 125°C 、 85°C 和室温下,截止态电流可以分别为 $0.1\text{aA}/\mu\text{m}$ ($1 \times 10^{-19}\text{A}/\mu\text{m}$) 或更小、 $10\text{zA}/\mu\text{m}$ ($1 \times 10^{-20}\text{A}/\mu\text{m}$) 或更小和 $0.1\text{zA}/\mu\text{m}$ ($1 \times 10^{-22}\text{A}/\mu\text{m}$) 或更小。截止态电流的上述值明显远小于使用Si用于半导体膜的晶体管的值。

[0297] 请注意,为了防止在氧化物半导体膜的形成期间氢和湿气包含在氧化物半导体膜中,优选通过充分抑制从沉积室外的泄漏和通过沉积室内壁的脱气来增加溅射气体的纯度。例如,优选使用露点为 -70°C 或更低的气体作为溅射气体,以便防止湿气包含在膜中。此外,优选使用高纯靶以便不包含杂质诸如氢或湿气。尽管能够通过热处理从含有In、Sn、Zn作为主要成分的氧化物半导体膜去除湿气,但优选形成最初就不含有湿气的膜,因为与从含有In、Ga、Zn作为主要成分的氧化物半导体释放湿气相比,在更高的温度下从含有In、Sn、Zn作为主要成分的氧化物半导体释放湿气。

[0298] 对在氧化物半导体膜的形成之后进行了 650°C 的热处理的样品B的晶体管的电特性和衬底温度之间的关系进行了评估。

[0299] 用于测量的晶体管具有 $3\mu\text{m}$ 的沟道长度L、 $10\mu\text{m}$ 的沟道宽度W、 $0\mu\text{m}$ 的 L_{ov} 以及 $0\mu\text{m}$ 的 dW 。请注意, V_{ds} 被设置为 10V 。请注意,衬底温度是 -40°C 、 -25°C 、 25°C 、 75°C 、 125°C 和 150°C 。这里,在晶体管中,栅电极与一对电极之一交叠的部分的宽度被称为 L_{ov} ,而不与氧化物半导体膜交叠的该对电极的部分的宽度被称为 dW 。

[0300] 图32示出 I_{ds} (实线)和迁移率(虚线)的 V_{gs} 相关性。图33A示出衬底温度和阈值电压之间的关系,图33B示出衬底温度和迁移率之间的关系。

[0301] 从图33A发现,阈值电压随着衬底温度升高而变低。请注意,在从 -40°C 至 150°C 的范围,阈值电压从 1.09V 降低到 -0.23V 。

[0302] 从图33B发现,迁移率随着衬底温度升高而变低。请注意,在从 -40°C 至 150°C 的范围,迁移率从 $36\text{cm}^2/\text{Vs}$ 降低到 $32\text{cm}^2/\text{Vs}$ 。因此,发现在上述温度范围内电特性变化小。

[0303] 在使用这样的含有In、Sn、Zn作为主要成分的氧化物半导体作为沟道形成区的晶体管中,可以获得 $30\text{cm}^2/\text{Vs}$ 或更高、优选 $40\text{cm}^2/\text{Vs}$ 或更高、更优选 $60\text{cm}^2/\text{Vs}$ 或更高的迁移率,截止态电流维持在 $1\text{aA}/\mu\text{m}$ 或更小,该迁移率能实现LSI所需的导通态电流。例如,在L/W为 $33\text{nm}/40\text{nm}$ 的FET中,当栅极电压为 2.7V 且漏极电压为 1.0V 时可以流动 $12\mu\text{A}$ 或更大的导通态电流。此外,在晶体管工作所需的温度范围内可以确保充足的电特性。用这样的特性,即使当包括氧化物半导体的晶体管设置在利用Si半导体形成的集成电路中时,也可以实现具有新颖功能的集成电路而不降低操作速度。

[0304] (实施例2)

[0305] 在本实施例中,将描述制造半导体器件的方法,该半导体器件的一部分具有图3所示的结构。

[0306] 请注意,半导体材料诸如锗、硅锗或单晶碳化硅以及硅可以用于包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p。例如,含有硅的n沟道晶体管102n和p沟道晶体管102p可以利用单晶半导体衬底诸如硅晶片、用SOI法形成的硅薄膜、用气相沉积法形成的硅薄膜等形成。

[0307] 在本实施例中,首先,如图8A所示,在衬底100上形成绝缘膜101以及岛形单晶半导体膜103n和103p。

[0308] 尽管对可以用作衬底100的材料没有特别限制,但需要材料至少具有足够高的耐

热性以经历后面进行的热处理。例如,用熔化工艺或浮法工艺形成的玻璃衬底、石英衬底、半导体衬底、陶瓷衬底等可以用作衬底100。在使用玻璃衬底且后面进行的热处理温度高的情况下,优选使用应变点高于或等于730℃的玻璃衬底。

[0309] 在本实施例中,使用单晶硅半导体衬底作为衬底100。单晶半导体衬底具有比玻璃衬底高的表面平坦度。因此,可以防止由衬底表面不平所引起的绝缘膜、导电膜等的厚度变化;从而,即使当例如晶体管的半导体元件小型化时,半导体元件的电特性也可以是一致的。

[0310] 利用例如氧化硅、氮氧化硅、氧氮化硅或氮化硅的绝缘材料来形成绝缘膜101。绝缘膜101可以是单个绝缘膜或多个绝缘膜的叠层。

[0311] 例如,在使用氧化硅用于绝缘膜101的情况下,绝缘膜101可以使用硅烷和氧的混合气体、TEOS(四乙氧基硅烷)和氧的混合气体等通过气相沉积法诸如热CVD法、等离子体CVD法、大气压CVD法、偏置ECRCVD法来形成。在这种情况下,可以使绝缘膜101的表面经历氧等离子体处理以增加密度。在使用氮化硅用于绝缘膜101的情况下,可以利用硅烷和氨的混合气体通过气相沉积法诸如等离子体CVD法来形成绝缘膜101。此外,当利用氮氧化硅来形成绝缘膜101时,可以利用硅烷和氨的混合气体或硅烷和氧化氮的混合气体通过气相沉积法诸如等离子体CVD法来形成绝缘膜101。

[0312] 可选地,利用有机硅烷气体通过化学气相沉积法形成的氧化硅膜可以用作绝缘膜101。作为有机硅烷气体,可以使用含硅化合物诸如四乙氧基硅烷(TEOS)(化学式: $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷(TMS)(化学式: $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅胺烷(HMDS)、三乙氧基硅烷(化学式: $\text{SiH}(\text{OC}_2\text{H}_5)_3$)、或三(二甲胺基)硅烷(化学式: $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)。

[0313] 还可选地,在使用单晶硅半导体衬底作为衬底100的情况下,绝缘膜101可以利用通过氧化衬底100的表面所形成的氧化物膜来形成。用于形成该氧化物膜的热氧化处理可以是干法氧化并且可以在添加了含卤素气体的氧化气氛中进行。作为含卤素的气体,可以使用从HCl、HF、NF₃、HBr、Cl₂、ClF、BCl₃、F₂、Br₂等中选择的一类或多类气体。

[0314] 例如,在使用HCl的情况下,在相对于氧而言含有0.5体积%至10体积%(优选为3体积%)的HCl的气氛中,以700℃或更高的温度来进行热处理。优选在大于或等于950℃以及小于或等于1100℃的加热温度下进行热氧化。处理时间可以是0.1小时至6小时、优选0.5小时至1小时。要形成的绝缘膜101的厚度可以设置为15nm至1100nm的范围内(优选为60nm至300nm),例如150nm。

[0315] 通过在含卤素气氛中的该热氧化处理,绝缘膜101可以含有卤素。当绝缘膜101含有 1×10^{17} 原子/cm³至 5×10^{20} 原子/cm³浓度的卤素时,绝缘膜101捕获例如金属的杂质;因此,可以避免稍后形成的半导体膜103n和103p的污染。例如,通过氯的反应,例如金属的杂质转化成挥发性氯化物并释放到气相中,由此从半导体膜103n和103p除去。

[0316] 在本实施例中,作为形成包括在存储元件中的晶体管的方法,给出利用单晶硅形成半导体膜103n和103p的例子。这里,简要说明用于形成单晶半导体膜103n和103p的方法的具体例子。首先,含有被电场加速的离子的离子束进入接合衬底和易碎层,接合衬底是单晶硅的半导体衬底,易碎层由于在距接合衬底表面一定深度处的区域中形成结晶结构的局部无序而是易碎的。通过离子束的加速能量和离子束入射角度可以调整形成易碎层的深

度。然后,把接合衬底和在表面上设置有绝缘膜的衬底100相互贴附,使得绝缘膜夹在它们之间。在接合衬底和衬底100相互交叠之后,对部分接合衬底和部分衬底100施加大约 $1\text{N}/\text{cm}^2$ 至 $500\text{N}/\text{cm}^2$ 、优选 $11\text{N}/\text{cm}^2$ 至 $20\text{N}/\text{cm}^2$ 的压力,以使衬底相互贴附。当施加压力时,接合衬底和绝缘膜101之间的接合从部分开始,其导致接合衬底和绝缘膜101相互紧密接触的表面上的接合。之后,进行热处理,使得存在于易碎层中的微孔发生结合并且微孔体积增大。因此,是接合衬底的一部分的单晶半导体膜沿易碎层从接合衬底分离。在不超过衬底100的应变点的温度下进行热处理。然后,通过刻蚀等把单晶半导体膜加工成想要的形状,从而可以形成半导体膜103n和103p。

[0317] 在本实施例中,使作为单晶硅半导体衬底的衬底100在氧气氛中经历 950°C 的热处理,从而在衬底100上形成具有 400nm 厚度的氧化硅膜。接着,在氧化硅膜上,通过等离子体CVD法形成具有 50nm 厚度的氮氧化硅膜。另一方面,使作为单晶硅半导体衬底的接合衬底在氧中含有 HCl 的气氛中经历 950°C 的热处理,从而在接合衬底上形成具有 100nm 厚度的氧化硅膜。然后,使衬底100和接合衬底相互贴附,从而衬底100上的氮氧化硅膜接触接合衬底上的氧化硅膜。然后,是接合衬底的一部分的单晶半导体膜沿易碎层从接合衬底分离。因此,在本实施例中,绝缘膜101具有如下结构,其中有 400nm 厚度的氧化硅膜、有 50nm 厚度的氮氧化硅膜、以及有 100nm 厚度的氧化硅膜从衬底100侧起依此顺序堆叠。

[0318] 为了控制阈值电压,赋予p型导电性的杂质元素例如硼、铝或镓或者赋予n型导电性的杂质元素例如磷或砷可添加到各半导体膜103n和103p中。用于控制阈值电压的杂质元素可以被添加到没有被图案化的半导体膜或可以被添加到图案化的半导体膜103n和103p。此外,用于控制阈值电压的杂质元素可以被添加到接合衬底。此外,杂质元素可以被添加到接合衬底中以便大体上控制阈值电压,然后杂质元素可以进一步被添加到没有被图案化的半导体膜或已图案化的半导体膜103n和103p以便精细地控制阈值电压。

[0319] 尽管在本实施例中说明了使用单晶半导体膜的例子,但本发明不局限于此结构。例如,可以使用通过气相沉积法在绝缘膜101上形成的多晶半导体膜。可选地,通过已知技术可以使通过气相沉积法形成的半导体膜结晶以形成多晶半导体膜。作为已知的结晶技术,给出利用激光束的激光结晶法和利用催化元素的结晶法。可选地,可以结合利用催化元素的结晶法和激光结晶法。当使用例如石英衬底的耐热衬底时,可以采用利用电加热炉的热结晶法、利用红外光的灯退火结晶法、利用催化元素的结晶法、或利用大约在 950°C 的高温退火法的结晶法。

[0320] 接着,如图8B所示,在半导体膜103n和半导体膜103p上分别形成栅极绝缘膜104n和栅极绝缘膜104p。然后,在与半导体膜103n交叠的位置中的栅极绝缘膜104n上形成栅电极105n,在与半导体膜103p交叠的位置中的栅极绝缘膜104p上形成栅电极105p。然后,用栅电极105n和105p作为掩模,把赋予一种导电类型的杂质元素添加到半导体膜103n和103p中的每个。具体来说,在形成掩模以覆盖半导体膜103n之后,赋予p型导电性的杂质元素被添加到半导体膜103p中。通过添加杂质元素,在半导体膜103p中形成与栅电极105p交叠的第一区114和其之间夹着第一区114的低浓度杂质区117a和118a。接着,在形成掩模以覆盖半导体膜103p之后,赋予n型导电性的杂质元素被添加到半导体膜103n。通过添加杂质元素,在半导体膜103n中形成与栅电极105n交叠的第一区118和其之间夹着第一区118的低浓度杂质区111a和112a。

[0321] 通过用高密度等离子体处理、热氧化处理等来氧化或氮化半导体膜103n和103p的表面,可以形成栅极绝缘膜104n和104p。例如,每个栅极绝缘膜104n和104p的厚度可以大于或等于1nm且小于或等于100nm、优选大于或等于10nm且小于或等于50nm。

[0322] 在本实施例中,进行在氧气气氛中950℃25分钟的热处理,然后进行在氮气气氛中950℃一个小时的热处理。以这种方式,热氧化半导体膜103n和103p的表面,从而形成均是具有15nm厚度的氧化硅膜的栅极绝缘膜104n和104p。

[0323] 在例如高密度等离子体处理的情况下,使用例如He、Ar、Kr或Xe的稀有气体和氧气、氧化氮、氨气、氮气等的混合气体。在这种情况下,通过引入微波来激发等离子体,可以产生具有低电子温度和高密度的等离子体。通过用这种高密度等离子体产生的氧自由基(一些情况下含有OH自由基)或氮自由基(一些情况下含有NH自由基)来氧化或氮化半导体膜的表面,可以形成具有1nm至20nm,优选5nm至10nm厚度的绝缘膜以便与半导体膜接触。例如,通过在10Pa至30Pa压力下施加3kW至5kW的微波(2.45GHz)功率,用1倍至3倍(流量比)的Ar稀释的一氧化二氮(N_2O),来氧化或氮化半导体膜103n和103p的表面。通过这种处理,形成了均具有1nm至10nm(优选2nm至6nm)厚度的绝缘膜。此外,引入一氧化二氮(N_2O)和硅烷(SiH_4),在10Pa至30Pa的压力下施加3kW至5kW的微波(2.45GHz)功率以通过气相沉积法形成氧氮化硅膜,由此形成栅极绝缘膜。用固相反应和气相沉积法反应的组合,可以形成具有低界面态密度和良好耐受电压的栅极绝缘膜。

[0324] 半导体膜通过高密度等离子体处理的氧化或氮化通过固相反应继续进行。因此,在栅极绝缘膜104n和半导体膜103n之间的界面态密度以及在栅极绝缘膜104p和半导体膜103p之间的界面态密度可以极低。此外,通过用高密度等离子体处理对半导体膜103n和103p的直接氧化或氮化,可以抑制要形成的绝缘膜的厚度变化。此外,在半导体膜具有结晶性的情况下,通过高密度等离子体处理用固相反应来氧化半导体膜的表面,以抑制仅在晶粒边界中的快速氧化;因此,可以形成具有均匀性和低界面态密度的栅极绝缘膜。其中使用由高密度等离子体处理形成的绝缘膜作为部分栅极绝缘膜或作为整个栅极绝缘膜的晶体管可以具有更小的电特性变化。

[0325] 每个栅极绝缘膜可以通过等离子体CVD法、溅射法等使用包括氧化硅、氮氧化硅、氧氮化硅、氮化硅、氧化铪、氧化铝、氧化钽、氧化钼、硅酸铪($HfSi_xO_y$ ($x>0, y>0$))、添加了氮的硅酸铪($HfSi_xO_y$ ($x>0, y>0$))、添加了氮的铝酸铪($HfAl_xO_y$ ($x>0, y>0$))等的膜的单层或叠层形成。

[0326] 在本说明书中,氧氮化物是指含有氧的量比氮的量大材料,氮氧化物是指含有氮的量比氧的量大材料。

[0327] 导电膜形成得覆盖栅极绝缘膜104n和104p,且然后被加工(图案化)成预定形状,从而可以形成栅电极105n和105p。可以通过CVD法、溅射法、气相沉积法、旋涂法等来形成导电膜。对于导电膜来说,可以使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、铌(Nb)等。可选地,可以使用含有上述金属中的任何一种作为其主要成分的合金或者含有上述金属中的任何一种的化合物。还可选地,可以利用例如多晶硅的半导体来形成导电膜,多晶硅通过把像磷这样的杂质元素添加到半导体膜而形成。

[0328] 请注意,可以利用单层导电膜或多个导电膜的叠层来形成每个栅电极105n和105p。

[0329] 作为两层导电膜的组合,氮化钽或钽可以用于第一导电膜,钨可以用于第二导电膜。此外,给出下列组合:氮化钨和钨、氮化钼和钼、铝和钽、铝和钛等。由于钨和氮化钽具有高耐热性,所以可以在形成两层导电膜之后的后序步骤中进行旨在热激活的热处理。可选地,作为两层导电膜的组合,例如,可以使用硅化镍和掺杂有赋予n型导电性的杂质元素的硅、硅化钨和掺杂有赋予n型导电性的杂质元素的硅等。

[0330] 在使用其中堆叠了三层导电膜的三层结构的情况下,优选钼膜、铝膜和钼膜的叠层结构。

[0331] 可以使用氧化铟、氧化铟和氧化锡的混合物、氧化铟和氧化锌的混合物、氧化锌、氧化铝锌、氧氮化铝锌、氧化镓锌等的透光氧化物导电膜作为每个栅电极105n和105p。

[0332] 在本实施例中,使用在每个中在具有大约30nm厚度的氮化钽上堆叠具有大约170nm厚度的钨的栅电极105n和105p。

[0333] 可选地,栅电极105n和105p可以通过滴排法选择性形成而不使用掩模。滴排法是通过从孔口排出或喷出含有预定成分的滴来形成预定图案的方法,且在其所属范畴内包括喷墨法等。

[0334] 此外,栅电极105n和105p能以如下方式形成:形成导电膜,然后用适当控制的刻蚀条件(例如施加到线圈电极的电功率量、施加到衬底侧电极的电功率量以及衬底侧的电极温度)通过感应耦合等离子体(ICP)刻蚀法把导电膜刻蚀成期望的锥形。此外,锥形形状的角度也可通过掩模形状来控制。作为刻蚀气体,适当时可以使用基于氯气体例如氯气、氯化硼、氯化硅或四氯化碳,基于氟气体例如四氟化碳、氟化硫或氟化氮,或氧气。

[0335] 接着,在形成绝缘膜以覆盖栅极绝缘膜104n和104p以及栅电极105n和105p之后,通过刻蚀等来处理绝缘膜;从而如图8C所示,在栅电极105n的侧面部分上形成侧壁170n,在栅电极105p的侧面部分上形成侧壁170p。在本实施例中,在形成其中具有100nm厚度的氧氮化硅膜和具有200nm厚度的氧化硅膜以此顺序堆叠的绝缘膜以覆盖栅电极105n和105p之后,通过干法刻蚀处理绝缘膜,从而形成侧壁170n和侧壁170p。

[0336] 请注意,通过上述刻蚀,栅极绝缘膜104n的未被侧壁170n和栅电极105n覆盖的部分被去除,栅极绝缘膜104p的未被侧壁170p和栅电极105p覆盖的部分被去除。

[0337] 接着,如图8D所示,用栅电极105n和105p以及侧壁170n和170p作为掩模,把赋予一种导电类型的杂质元素添加到每个半导体膜103n和103p。具体来说,在形成掩模以覆盖半导体膜103n之后,把赋予p型导电性的杂质元素添加到半导体膜103p。通过杂质元素的添加,杂质被进一步添加到部分低浓度杂质区117a和118a,从而在半导体膜103p中形成与栅电极105p交叠的第一区114、与侧壁170p交叠并且其之间夹着第一区114的第三区117和118、以及在其之间夹着第一区114以及第三区117和118的第二区115和116。接着,在形成掩模以覆盖半导体膜103p之后,把赋予n型导电性的杂质元素添加到半导体膜103n中。通过杂质元素的添加,杂质被进一步添加到部分低浓度杂质区111a和112a中,从而在半导体膜103n中形成与栅电极105n交叠的第一区108、与侧壁170n交叠并且其之间夹着第一区108的第三区111和112、以及在其之间夹着第一区108以及第三区111和112的第二区109和110。

[0338] 由于第三区117和118与侧壁170p交叠,所以第三区117和118具有比第二区115和116低的赋予p型导电性的杂质浓度。此外,由于第三区111和112与侧壁170n交叠,所以第三区111和112具有比第二区109和110低的赋予n型导电性的杂质浓度。

[0339] 请注意,在此实施例中,通过第一杂质添加形成低浓度杂质区111a和112a以及低浓度杂质区117a和118a,然后通过第二杂质添加形成用作LDD区的第三区111和112以及第三区117和118;然而,本发明的实施例不局限于此结构。例如,当在杂质进入侧壁170n和侧壁170p下面的部分这样的条件下进行第二杂质添加时,可以形成用作LDD区的第三区111和112以及第三区117和118而不需要进行第一杂质添加。可选地,可以按下面这种方式在第一区108与第二区109和110之间或在第一区114与第二区115和116之间设置偏差区而不用进行第一杂质添加:在杂质更少可能地进入侧壁170n和侧壁170p下面的部分的条件下进行第二杂质添加。在偏差区中的杂质浓度优选基本等于第一区108或第一区114中的杂质浓度。

[0340] 接着,如图8E所示,形成绝缘膜119以覆盖半导体膜103n和103p、栅电极105n和105p、侧壁170p和170n以及绝缘膜101。

[0341] 具体来说,绝缘膜119可以是氧化硅、氮化硅、氮氧化硅、氧氮化硅、氮化铝、氮氧化铝等的无机绝缘膜。具体地,优选使用低介电常数(低-k)材料用于绝缘膜119,因为可以充分降低电极或布线的交叠所导致的电容。请注意,可以使用含有任意上述材料的多孔绝缘膜作为绝缘膜119。由于多孔绝缘膜具有比密致绝缘膜低的介电常数,所以可以进一步降低由于电极或布线所引起的寄生电容。

[0342] 对于绝缘膜119来说,可以使用利用有机硅烷通过化学气相沉积形成的氧化硅膜。对于有机硅烷来说,可以使用四乙氧基硅烷(TEOS)(化学式: $\text{Si}(\text{OC}_2\text{H}_5)_4$)、三甲基硅烷(TMS)(化学式: $(\text{CH}_3)_3\text{SiH}$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅胺烷(HMDS)、三乙氧基硅烷(化学式: $\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲胺基)硅烷(化学式: $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等。不需要说的是,也可以利用诸如甲硅烷、乙硅烷或丙硅烷的无机硅烷来形成氧化硅、氧氮化硅、氮化硅、氮氧化硅等。

[0343] 在本实施例中,使用具有500nm厚度的氧氮化硅膜作为绝缘膜119。请注意,描述了利用单个绝缘膜形成绝缘膜119的情况作为本实施例的一个例子;然而,绝缘膜119可以利用多个绝缘膜的叠层形成。

[0344] 接着,在绝缘膜119的表面经历平坦化处理之后,绝缘膜173和氧化物半导体膜142b以此顺序堆叠在绝缘膜119上,如图9A所示。

[0345] 为了抑制稍后要形成的晶体管121的电特性变化,氧化物半导体膜142b的表面优选具有高平坦度。为了增加氧化物半导体膜142b的平坦度,优选确保绝缘膜173表面的高平坦度。然而,为了防止杂质例如氢进入绝缘膜173和氧化物半导体膜142b之间的界面附近,优选在形成绝缘膜173之后连续地形成氧化物半导体膜142b,而不把绝缘膜173暴露到空气。因此,如在本实施例中那样当使位于绝缘膜173下面的绝缘膜119的表面受到平坦化处理时,即使绝缘膜173的表面不经历平坦化处理,也能确保绝缘膜173表面的平坦度。此外,当确保绝缘膜173的表面的平坦度时,可以实现绝缘膜173和氧化物半导体膜142b的连续形成。

[0346] 绝缘膜119的平坦化处理可以通过例如化学机械抛光(CMP)法或液体喷射抛光法的抛光处理、例如干法刻蚀或湿法刻蚀的刻蚀处理、或抛光处理和刻蚀处理的组合来进行。

[0347] 在本实施例中,描述了绝缘膜119经历作为平坦化处理的CMP合理的情况。例如,绝缘膜119在下列条件下受到平坦化处理:使用聚氨酯抛光布;使用硅石浆料(60nm颗粒尺寸)作为浆料;浆料流速大于或等于100ml/min并且小于或等于500ml/min;抛光压力高于或等

于0.005MPa并且低于或等于0.08MPa;主轴旋转速度大于或等于20rpm并且小于或等于50rpm;以及桌台旋转速度大于或等于20rpm并且小于或等于50rpm。

[0348] 在本实施例中,已通过CMP法经历抛光的绝缘膜119的厚度为300nm。

[0349] 通过溅射法、CVD法等形成绝缘膜173。绝缘膜173优选为施加热时从其释放氧的绝缘膜。优选使用以超过化学计量比的比率含有氧的绝缘膜作为施加热时从其释放氧的绝缘膜。当施加热时从其释放氧的绝缘膜经历热处理时,氧可以被释放并且所释放的氧可以扩散进入(或提供到)稍后要形成的氧化物半导体膜。绝缘膜173的例子包括氧化硅、氧氮化硅、氮氧化硅、氧化镓、氧化铅、氧化钪等的膜。用溅射法形成的绝缘膜173能容易地通过施加热而释放氧,是优选的。绝缘膜173可以使用单层绝缘膜或多个堆叠的绝缘膜形成。

[0350] 绝缘膜173的厚度大于或等于50nm并且小于或等于800nm,优选大于或等于200nm并且小于或等于500nm。采用厚的绝缘膜173,可以增加从绝缘膜173中释放的氧的量,并且可以降低在绝缘膜173与稍后要形成的氧化物半导体膜142b之间界面处的界面态密度。

[0351] 在本实施例中,使用通过溅射法形成的具有200nm厚度的氧化硅膜作为绝缘膜173。在用溅射法形成绝缘膜173的情况下,可以使用氧气、氧和稀有气体的混合气体等作为沉积气体。此外,当增加沉积气体中氧的量时,可以增加绝缘膜173中所含的氧的量,这是优选的。典型地,沉积气体中的氧浓度优选高于或等于6%并且低于或等于100%。

[0352] 在形成氧化硅膜作为绝缘膜173的情况下,优选在下述条件下使用RF溅射法:石英(优选合成石英)用作靶;衬底温度高于或等于30℃并且低于或等于450℃(优选高于或等于70℃并且低于或等于200℃);靶与衬底之间的距离(T-S距离)大于或等于20mm并且小于或等于400mm(优选大于或等于40mm并且小于或等于200mm);压力高于或等于0.1Pa并且低于或等于4Pa(优选高于或等于0.2Pa并且低于或等于1.2Pa);高频功率高于或等于0.5kW并且低于或等于12kW(优选高于或等于1kW并且低于或等于5kW);沉积气体中O₂/(O₂+Ar)的比例高于或等于1%并且低于或等于100%(优选高于或等于6%并且低于或等于100%)。请注意,替代石英(优选为合成石英)靶,可以使用硅靶作为靶。此外,氧气可以单独用作沉积气体。

[0353] 氧化物半导体膜142b的厚度大于或等于2nm并且小于或等于200nm、优选大于或等于3nm并且小于或等于50nm、更优选大于或等于3nm并且小于或等于20nm。利用氧化物半导体靶通过溅射法形成氧化物半导体膜。此外,可以在稀有气体(例如氩)气氛、氧气氛或稀有气体(例如氩)和氧的混合气氛下通过溅射法来形成氧化物半导体膜。

[0354] 请注意,在通过溅射法形成氧化物半导体膜之前,优选通过其中引入氩气并产生等离子体的反向溅射来去除绝缘膜173表面上的灰尘。反向溅射法是这样一种方法,其中在靶侧没有施加电压,RF电源用于施加电压到氩气氛中的衬底侧以在衬底周围产生等离子体,从而改变表面。请注意,替代氩气氛,可以使用氮气氛、氦气氛等。可选地,可以使用添加了氧气、一氧化二氮等的氩气氛。可选地,可以使用添加了氯气、四氟化碳等的氩气氛。

[0355] 对于氧化物半导体膜来说,可以使用上面描述的材料。在本实施例中,使用具有20nm厚度的In-Ga-Zn类氧化物半导体薄膜作为氧化物半导体膜,其利用含有铟(In)、镓(Ga)和锌(Zn)的靶通过溅射法获得。作为靶,使用具有例如In₂O₃:Ga₂O₃:ZnO=1:1:1[摩尔比]的组成比率的靶。可选地,可以使用具有In₂O₃:Ga₂O₃:ZnO=1:1:2[摩尔比]的组成比率的靶或具有In₂O₃:Ga₂O₃:ZnO=1:1:4[摩尔比]的组成比率的靶。含有In、Ga和Zn的靶的填充

速率为90%或更高且100%或更低、优选为95%或更高且低于100%。使用具有高填充速率的靶,形成致密的氧化物半导体膜。

[0356] 在使用In-Zn类氧化物半导体材料作为氧化物半导体的情况下,用于其的靶具有按原子比为In:Zn=50:1至1:2的组成比率(按摩尔比为 In_2O_3 :ZnO=25:1至1:4)、优选按原子比为In:Zn=20:1至1:1(按摩尔比为 In_2O_3 :ZnO=10:1至1:2)、更优选按原子比为In:Zn=1.5:1至15:1(按摩尔比为 In_2O_3 :ZnO=3:4至15:2)。例如,在用于形成具有In:Zn:O=X:Y:Z的原子比的In-Zn类氧化物半导体的靶中,满足 $Z>1.5X+Y$ 的关系。通过将Zn的比率保持在上述范围内可以提高迁移率。

[0357] 在使用In-Sn-Zn类氧化物半导体的材料作为氧化物半导体的情况下,要使用的靶的组成比率优选按原子比为In:Sn:Zn=1:2:2、2:1:3、1:1:1或4:9:7。

[0358] 在本实施例中,以这种方式来沉积氧化物半导体膜:衬底保持在处于减压状态的处理室中,去除残留在处理室中的湿气,引入去除了氢和湿气的溅射气体,并且使用上述靶。在形成膜时衬底温度可以高于或等于100℃并且低于或等于600℃,优选高于或等于200℃并且低于或等于400℃。通过在加热衬底的状态下形成氧化物半导体膜,可以减少在所形成的氧化物半导体膜中包含的杂质浓度。此外,降低了由溅射而导致的损伤。为了去除处理室中的残留湿气,优选使用捕集真空泵。例如,优选使用低温泵、离子泵或钛升华泵。抽真空单元可以是具有冷阱的涡轮泵。在用低温泵抽真空的处理室中,例如,氢原子、含有氢原子的化合物诸如水(H_2O) (更优选地,还有含碳原子的化合物)等被去除,从而可以减少在处理室中形成的氧化物半导体膜中的杂质浓度。

[0359] 膜形成条件的一个例子如下:衬底和靶之间的距离为100mm,压力为0.4Pa,直流(DC)电源的功率为0.5kW,气氛含有氩和氧(氩的流速为30sccm,氧的流速为15sccm)。请注意,脉冲直流(DC)电源是优选的,因为可以减少沉积中产生的灰尘并且可以使膜厚度均匀。

[0360] 当溅射装置的处理室的泄漏速率设置为 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{s}$ 或更小时,可以减少进入正在通过溅射法沉积的氧化物半导体膜的杂质例如碱金属或氢化物。此外,使用捕集真空泵作为抽气系统,可以降低来自抽气系统的杂质诸如碱金属、氢原子、氢分子、水、羟基或氢化物的反向流动(counter flow)。

[0361] 当靶的纯度设置为99.99%或更高时,可以减少进入氧化物半导体膜的碱金属、氢原子、氢分子、水、羟基、氢化物等。此外,当使用靶时,可以减少氧化物半导体膜中的碱金属例如锂、钠或钾的浓度。

[0362] 请注意,为了使氧化物半导体膜中所含有的氢、羟基和湿气尽可能地少,优选地,作为沉积的预处理,通过在溅射装置的预加热室中预加热其上形成上至绝缘膜173的层的衬底100,消除且排出吸附在衬底100上所形成的绝缘膜和导电膜上的杂质例如湿气或氢。预加热的温度高于或等于100℃并且低于或等于400℃、优选高于或等于150℃并且低于或等于300℃。作为抽真空单元,低温泵优选设置在预加热室中。请注意,可以省略该预加热处理。该预加热也可在后面进行的绝缘膜143a的形成之前以类似方式进行。

[0363] 请注意,在某些情况下,通过溅射法等沉积的氧化物半导体膜含有作为杂质的大量湿气或氢(包括羟基)。湿气或氢容易形成施主能级并由此成为氧化物半导体中的杂质。根据本发明的一个实施例,为了减少氧化物半导体膜142b中的杂质例如湿气或氢(对氧化物半导体膜142b进行脱水或脱氢),在减压气氛、例如氮气或稀有气体的惰性气体的气氛、

氧气气氛或超干空气气氛(在用腔衰荡激光谱(CRDS)法的露点计进行测量的情况下,空气中的湿气量为20ppm(转化成露点为-55℃)或更少,优选1ppm或更少,更优选10ppb或更少)中,氧化物半导体膜142b经历热处理。

[0364] 当氧化物半导体膜142b受到热处理时,可以消除氧化物半导体膜142b中的湿气或氢。具体来说,在高于或等于250℃并且低于或等于750℃,优选高于或等于400℃并且低于衬底的应变点的温度下进行热处理。例如,可以在500℃处进行热处理大约长于或等于三分钟并且短于或等于六分钟。当RTA法用于热处理时,可以在短时间内进行脱水或脱氢;因此,甚至可以在高于玻璃衬底的应变点的温度下进行处理。

[0365] 在本实施例中,使用是热处理装置之一的电炉。

[0366] 请注意,热处理装置不局限于电炉,可以具有通过来自热元件例如电阻加热元件的热传导或热辐射来加热对象的器件。例如,可以使用诸如气体快速热退火(GRTA)装置或灯快速热退火(LRTA)装置的快速热退火(RTA)装置。LRTA装置是用于通过从例如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯的灯发射的光辐射(电磁波)来加热待处理对象的装置。GRTA是利用高温气体进行热处理的装置。作为气体,使用不会通过热处理与待处理对象反应的惰性气体,像氮气或例如氩的稀有气体。

[0367] 在热处理中,优选在氮气或例如氦气、氖气或氙气的稀有气体中不含有湿气、氢等。可选地,引入到热处理装置中的氮气或例如氦气、氖气或氙气的稀有气体的纯度优选为大于或等于6N(99.9999%),更优选为大于或等于7N(99.99999%) (即杂质浓度优选小于或等于1ppm,更优选小于或等于0.1ppm)。

[0368] 请注意,已指出氧化物半导体对杂质不敏感,当在膜中含有相当量的金属杂质时是不存在问题的,并且可以使用含有大量例如钠的碱金属且不昂贵的钠钙玻璃(Kamiya、Nomura和Hosono的“Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors:The present status”,KOTAI BUTSURI(SOLID STATE PHYSICS),2009,Vol.44,pp.621-633)。但是这种考虑是不合适的。碱金属不是包含在氧化物半导体中的元素,因此是杂质。此外,在碱土金属不包含在氧化物半导体中的情况下,碱土金属是杂质。当与氧化物半导体膜接触的绝缘膜是氧化物并且Na扩散进绝缘层中时,碱金属,具体为Na变成Na⁺。此外,在氧化物半导体膜中,Na切断或进入氧化物半导体中所包含的金属和氧之间的键。结果,例如,出现了由于阈值电压沿负方向偏移或迁移率减小所引起的晶体管的电特性例如晶体管的正常导通状态的劣化。此外,还发生电特性变化。当在氧化物半导体膜中的氢浓度很低时,由杂质引起的这种晶体管电特性劣化和电特性变化显著出现。因此,当氧化物半导体膜中的氢浓度小于或等于 $1 \times 10^{18}/\text{cm}^3$,优选小于或等于 $1 \times 10^{17}/\text{cm}^3$ 时,上述杂质的浓度优选被减小。具体来说,用二次离子质谱测定法得到的Na浓度的测量值优选小于或等于 $5 \times 10^{16}/\text{cm}^3$,更优选小于或等于 $1 \times 10^{16}/\text{cm}^3$,再更优选小于或等于 $1 \times 10^{15}/\text{cm}^3$ 。以类似方式,Li浓度的测量值优选小于或等于 $5 \times 10^{15}/\text{cm}^3$,更优选小于或等于 $1 \times 10^{15}/\text{cm}^3$ 。以类似方式,K浓度的测量值优选小于或等于 $5 \times 10^{15}/\text{cm}^3$,更优选小于或等于 $1 \times 10^{15}/\text{cm}^3$ 。

[0369] 通过上述步骤,可以降低氧化物半导体膜142b中的氢浓度。此外,通过使用降低了氢浓度的氧化物半导体膜,可以制造具有高耐受电压和极小截止态电流的晶体管。上述热处理可以在形成氧化物半导体膜142b之后的任何时间进行。

[0370] 请注意,氧化物半导体膜142b可以是非晶的或可以具有结晶性。对于具有结晶性的氧化物半导体膜来说,可以使用含有具有c轴排列(c-axis aligned)的晶体的结晶氧化物半导体(也称为c轴排列结晶氧化物半导体(CAAC-OS)),其在从a-b平面、表面或界面的方向看时具有三角形或六边形原子排列。在晶体中,金属原子以分层方式排列,或者金属原子和氧原子沿c轴以分层方式排列,a轴或b轴方向在a-b平面中改变(晶体围绕c-轴转动)。CAAC-OS是优选的,因为能获得增大晶体管可靠性的效果。

[0371] CAAC-OS构成的氧化物半导体膜亦可通过溅射法形成。为了用溅射法得到CAAC-OS,重要的是在沉积氧化物半导体膜的最初阶段形成六边形晶体并且导致晶体从作为籽晶的六边形晶体生长。为了实现这一目标,优选使靶和衬底之间的距离更长(例如150mm至200mm)并且衬底加热温度为100℃至500℃,更优选为200℃至400℃,再更优选为250℃至300℃。此外,所沉积的氧化物半导体膜在比沉积中的衬底加热温度更高的温度下受到热处理。因此,可以修复膜中的微缺陷和在堆叠层之间界面处的缺陷。

[0372] 具体来说,CAAC-OS是当从垂直于a-b平面的方向观察时具有三角形、六边形、等边三角形或正六边形原子排列的非单晶半导体。此外,当从垂直于c轴方向的方向观察时,CAAC-OS具有金属原子以分层方式排列的相或金属原子和氧原子以分层方式排列的相。

[0373] CAAC-OS不是单晶,但这并不意味着CAAC-OS仅由非晶成分构成。尽管CAAC-OS包括结晶部分(晶体部分),但在一些情况下晶体部分之间的边界是不清楚的。

[0374] 氮可以替代CAAC-OS中所包含的部分氧。在CAAC-OS中所包含的独立晶体部分的c轴可以沿一个方向排列(例如与其上形成CAAC-OS的衬底表面或CAAC-OS的表面垂直的方向)。可选地,包括在CAAC-OS中的独立晶体部分的a-b平面的法线可以沿一个方向排列(例如与其上形成CAAC-OS的衬底表面或CAAC-OS的表面垂直的方向)。

[0375] CAAC-OS根据其成分等而成为导体、半导体或绝缘体。CAAC-OS根据其成分等透射或不透射可见光。

[0376] 作为这种CAAC-OS的例子,具有一种晶体,其形成为膜的形状并且当从与膜表面或支持衬底的表面垂直的方向观察时具有三角形或六边形原子排列,且当观察膜的横截面时金属原子按分层方式排列或金属原子和氧原子(或氮原子)按分层方式排列。

[0377] 下面将参考图18A至18E、图19A至19C以及图20A至20C来详细描述CAAC-OS的晶体结构的例子。在图18A至18E、图19A至19C和图20A至20C中,除非另有规定,否则垂直方向对应于c轴方向,垂直于c轴方向的平面对应于a-b平面。当简单使用表述“上半部”和“下半部”时,它们是指在a-b平面上面的上半部以及在a-b平面下面的下半部(相对a-b平面的上半部和下半部)。此外,在图18A至18E中,用一个圆圈包围的O表示四配位O,用两个圆圈包围的O表示三配位O。

[0378] 图18A示出含有一个六配位In原子和靠近In原子的六个四配位氧(下文称为四配位O)原子的结构。此处,含有一个金属原子和靠近其的氧原子的结构称为小原子团。图18A中的结构实际上是八面体结构,但为简便而示出为平面结构。请注意,三个四配位O原子存在于图18A的上半部和下半部每个中。在图18A所示的小原子团中,电荷为零。

[0379] 图18B示出含有一个五配位Ga原子、靠近Ga原子的三个三配位氧(下文称为三配位O)原子以及靠近Ga原子的两个四配位O原子的结构。所有的三配位O原子位于a-b平面上。一个四配位O原子位于图18B的上半部和下半部的每个中。In原子也可以具有图18B所示的结

构,因为In原子能具有五个配位体。在图18B所示的小原子团中,电荷为零。

[0380] 图18C示出含有一个四配位Zn原子和靠近Zn原子的四个四配位O原子的结构。在图18C中,一个四配位O原子存在于上半部,三个四配位O原子存在于下半部。可选地,在图18C中,三个四配位O原子可存在于上半部中,一个四配位O原子可存在于下半部中。在图18C所示的小原子团中,电荷为零。

[0381] 图18D示出含有一个六配位Sn原子和靠近Sn原子的六个四配位O原子的结构。在图18D中,三个四配位O原子存在于上半部和下半部的每个中。在图18D所示的小原子团中,电荷为+1。

[0382] 图18E示出含有两个Zn原子的小原子团。在图18E中,一个四配位O原子存在于上半部和下半部的每个中。在图18E所示的小原子团中,电荷为-1。

[0383] 请注意,多个小原子团形成中原子团,多个中原子团形成大原子团(也称为单位晶胞)。

[0384] 现在,将说明小原子团之间的键合规则。图18A中相对于六配位In原子的上半部中的三个O原子每个沿向下方向具有三个近邻In原子,下半部中的三个O原子每个沿向上方向具有三个近邻In原子。在图18B中相对于五配位Ga原子的上半部中的一个O原子沿向下方向具有一个近邻Ga原子,在下半部中的一个O原子沿向上方向具有一个近邻Ga原子。在图18C中相对于四配位Zn原子的上半部中的一个O原子沿向下方向具有一个近邻Zn原子,在下半部中的三个O原子沿向上方向每个具有三个近邻Zn原子。以此方式,金属原子上方的四配位O原子的数目等于靠近并位于每个四配位O原子下方的金属原子的数目。类似地,在金属原子下方的四配位O原子的数目等于靠近并位于每个四配位O原子上方的金属原子的数目。由于四配位O原子的配位数为4,所以靠近并位于O原子下方的金属原子的数目以及靠近并位于O原子上方的金属原子的数目的总和为4。因此,当在金属原子上方的四配位O原子的数目和在金属原子下方的四配位O原子的数目的总和为4时,可以键合含有金属原子的两种小原子团。例如,在六配位金属(In或Sn)原子通过下半部中的三个四配位O原子键合的情况下,其键合到五配位金属(Ga或In)原子或四配位金属(Zn)原子。

[0385] 其配位数为4、5或6的金属原子沿c轴方向通过四配位O原子键合到另一金属原子。除上述情况以外,中原子团可以通过组合多个小原子团而以不同方式形成,使得分层结构的总电荷为0。

[0386] 图19A示出在In-Sn-Zn类氧化物半导体的分层结构中所包含的中原子团的模型。图19B示出含有三个中原子团的大原子团。请注意,图19C示出在从c轴方向观察图19B中的分层结构的情况下的原子排列。

[0387] 在图19A中,为简化起见省略了三配位O原子,用一个圆圈示出四配位O原子;圆圈中的数字表示四配位O原子的数目。例如,存在于相对Sn原子的上半部和下半部每个中的三个四配位O原子用圈住的3指示。类似地,在图19A中,存在于相对In原子的上半部和下半部每个中的一个四配位O原子用圈住的1指示。图19A还示出靠近下半部中的一个四配位O原子以及上半部中的三个四配位O原子的Zn原子、以及靠近上半部中的一个四配位O原子以及下半部中的三个四配位O原子的Zn原子。

[0388] 在图19A中的In-Sn-Zn类氧化物半导体的分层结构中所包含的中原子团中,按从顶部开始的顺序,靠近上半部和下半部每个中的三个四配位O原子的Sn原子键合到靠近上

半部和下半部每个中的一个四配位O原子的In原子,In原子键合到靠近上半部中的三个四配位O原子的Zn原子,Zn原子通过相对Zn原子在下半部中的一个四配位O原子键合到靠近上半部和下半部每个中的三个四配位O原子的In原子,In原子键合到包括两个Zn原子的小原子团并且靠近在上半部中的一个四配位O原子,小原子团通过相对于小原子团在下半部中的一个四配位O原子键合到靠近上半部和下半部每个中的三个四配位O原子的Sn原子。多个这样的中原子团键合,从而形成大原子团。

[0389] 这里,用于三配位O原子的一个键的电荷和用于四配位O原子的一个键的电荷可以分别假设为-0.667和-0.5。例如,(六配位或五配位) In原子的电荷、(四配位) Zn原子的电荷以及(五配位或六配位) Sn原子的电荷分别是+3、+2和+4。因此,含有Sn原子的小原子团中的电荷是+1。因此,需要抵消+1的电荷-1来形成含有Sn原子的分层结构。作为具有电荷-1的结构,可以给出图18E所示的含有两个Zn原子的小原子团。例如,用含有两个Zn原子的一个小原子团,可以抵消含有Sn原子的一个小原子团的电荷,从而分层结构的总电荷可以为0。

[0390] 当重复图19B所示的大原子团时,可以得到In-Sn-Zn类氧化物半导体晶体(In₂SnZn₃O₈)。请注意,所得到的In-Sn-Zn类氧化物半导体晶体的分层结构可以用组合物分子式In₂SnZn₂O₇(ZnO)_m(m是0或自然数)来表示。

[0391] 上述规则还适用于下述氧化物:四成分金属氧化物例如In-Sn-Ga-Zn-O类氧化物;三成分金属氧化物例如In-Ga-Zn-O类氧化物(也称为IGZO)、In-Al-Zn-O类氧化物、Sn-Ga-Zn-O类氧化物、Al-Ga-Zn-O类氧化物、Sn-Al-Zn-O类氧化物、In-Hf-Zn-O类氧化物、In-La-Zn-O类氧化物、In-Ce-Zn-O类氧化物、In-Pr-Zn-O类氧化物、In-Nd-Zn-O类氧化物、In-Sm-Zn-O类氧化物、In-Eu-Zn-O类氧化物、In-Gd-Zn-O类氧化物、In-Tb-Zn-O类氧化物、In-Dy-Zn-O类氧化物、In-Ho-Zn-O类氧化物、In-Er-Zn-O类氧化物、In-Tm-Zn-O类氧化物、In-Yb-Zn-O类氧化物或In-Lu-Zn-O类氧化物;二成分金属氧化物例如In-Zn-O类氧化物、Sn-Zn-O类氧化物、Al-Zn-O类氧化物、Zn-Mg-O类氧化物、Sn-Mg-O类氧化物、In-Mg-O类氧化物或In-Ga-O类氧化物等。

[0392] 作为例子,图20A示出在In-Ga-Zn类氧化物半导体的分层结构中所包含的中原子团的模型。

[0393] 在图20A中的In-Ga-Zn类氧化物半导体的分层结构中所包含的中原子团中,按从顶部开始的顺序,靠近上半部和下半部每个中的三个四配位O原子的In原子键合到靠近上半部中的一个四配位O原子的Zn原子,Zn原子通过相对于Zn原子在下半部中的三个四配位O原子键合到靠近上半部和下半部每个中的一个四配位O原子的Ga原子,Ga原子通过相对于Ga原子在下半部中的一个四配位O原子键合到靠近上半部和下半部每个中的三个四配位O原子的In原子。多个这样的中原子团键合,从而形成大原子团。

[0394] 图20B示出含有三个中原子团的大原子团。请注意,图20C示出在从c轴方向观察图20B中的分层结构的情况下的原子排列。

[0395] 这里,由于(六配位或五配位) In原子的电荷、(四配位) Zn原子的电荷以及(五配位) Ga原子的电荷分别是+3、+2和+3,所以含有任何的In原子、Zn原子和Ga原子的小原子团的电荷为0。结果,具有这种小原子团的组合的中原子团的总电荷总是0。

[0396] 为了形成In-Ga-Zn类氧化物半导体的分层结构,不仅可以利用图20A所示例的中原子团,还可以利用In原子、Ga原子和Zn原子的排列与图20A不同的中原子团来形成大原子

团。

[0397] 接着,如图9B所示,通过刻蚀等处理氧化物半导体膜142b和绝缘膜173,从而形成岛形氧化物半导体膜142和作为稍后要形成的绝缘膜140的一部分的第三氧化物绝缘膜140c。第三氧化物绝缘膜140c的不与岛形氧化物半导体膜142交叠的区域被部分刻蚀。

[0398] 请注意,用于形成氧化物半导体膜142的刻蚀可以是湿法刻蚀、干法刻蚀、或者既有干法刻蚀又有湿法刻蚀。作为用于干法刻蚀的气体,优选使用含氯的气体(基于氯的气体,例如氯气(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)或四氯化碳(CCl_4))。可选地,可以使用含氟的气体(基于氟的气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)或三氟甲烷(CHF_3))、溴化氢(HBr)、氧气(O_2)、添加了例如氦(He)或氩(Ar)的稀有气体的任何这些气体等。

[0399] 作为干刻蚀法,可以使用平行板RIE(反应离子刻蚀)法或ICP(感应耦合等离子体)刻蚀法。为了刻蚀膜以具有期望形状,可以适当地调整刻蚀条件(例如施加到线圈电极的电功率的量、施加到衬底侧电极的电功率的量、以及衬底侧的电极温度)。

[0400] 作为用于湿法刻蚀的刻蚀剂,可以使用磷酸、醋酸和硝酸的混合溶液,或者例如柠檬酸或草酸的有机酸。

[0401] 可以通过喷墨(inkjet)法来形成用于形成氧化物半导体膜142的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;从而可以减少制造成本。

[0402] 请注意,优选在后序步骤中形成导电膜之前进行反向溅射,以便去除附着到氧化物半导体膜142b和绝缘膜173的表面上的抗蚀剂残留物等。

[0403] 在本实施例中,通过干法刻蚀来处理氧化物半导体膜142b和绝缘膜173。例如,在下述条件下进行干法刻蚀:ICP功率为45W;偏置功率为100W;压力为1.9Pa;刻蚀气体是 BCl_3 和 Cl_2 的混合气体; BCl_3 的流速为60sccm; Cl_2 的流速为20sccm。当在这种条件下进行干法刻蚀时,在形成了岛形氧化物半导体膜142之后,可以从绝缘膜173形成第三氧化物绝缘膜140c。优选在刻蚀中不含有包括氢的杂质。

[0404] 在通过干法刻蚀来形成氧化物半导体膜142的情况下,当氧化物半导体膜142的侧表面附近,即氧化物半导体膜142的末端部分暴露到含有氯自由基、氟自由基等的等离子体时,在氧化物半导体膜142的末端部分暴露的金属原子被键合到氯自由基、氟自由基等。此时,键合到氯原子或氟原子的金属原子被释放,结果氧化物半导体膜142中到金属原子的键被打断的氧原子变成活性的。活性的氧原子容易反应和释放。因此,在氧化物半导体膜142的末端部分处可能导致氧缺陷。

[0405] 当在刻蚀步骤中暴露的氧化物半导体膜的末端部分是活性的时候,在减压气氛或还原气氛中,或在减压气氛的热处理中,氧被取出,在氧化物半导体膜的末端部分处产生氧缺陷。一些氧缺陷成为施主并产生作为载流子的电子,从而氧化物半导体膜142的末端部分具有n型导电性。

[0406] 在稍后要形成的导电膜163和164与具有n型导电性的氧化物半导体膜142的末端部分接触的情况下,通过末端部分在导电膜163和164之间产生泄漏电流。泄漏电流使晶体管的截止态电流增大。

[0407] 接着,如图9C所示,在第三氧化物绝缘膜140c和氧化物半导体膜142上形成绝缘膜174和绝缘膜175。像绝缘膜173一样,优选利用通过加热就从其释放氧的绝缘膜来形成绝缘

膜174。利用防止氧扩散的绝缘膜来形成绝缘膜175。氧化铝、氮化铝等可以作为绝缘膜175的例子给出。

[0408] 通过适当的与绝缘膜173的沉积方法类似的沉积方法可以形成绝缘膜174和绝缘膜175。优选地可以在尽可能低的温度下,优选在室温下形成绝缘膜174和绝缘膜175,以便在形成绝缘膜174和绝缘膜175时减少从氧化物半导体膜142的末端部分释放的氧的量。

[0409] 即使在氧化物半导体膜142的末端部分处导致氧缺陷时,通过加热就从其释放氧的绝缘膜174与氧化物半导体膜142的末端部分接触,并且防止氧扩散的绝缘膜175通过插入其间的绝缘膜174与氧化物半导体膜142的末端部分交叠,使得可以通过稍后的热处理使氧从绝缘膜174提供到氧化物半导体膜142的末端部分。因此,可以减少在氧化物半导体膜142的末端部分处的氧缺陷。

[0410] 在本实施例中,具有大约20nm厚度的氧化硅膜用作绝缘膜174,具有大约100nm厚度的氧化铝膜用作绝缘膜175。

[0411] 接着如图9D所示,使绝缘膜175受到平坦化处理,以便从绝缘膜175形成第二氧化物绝缘膜140b。可以通过例如化学机械抛光(CMP)法或液体喷射抛光法的抛光处理、例如干法刻蚀或湿法刻蚀的刻蚀处理、或抛光处理和刻蚀处理的组合来进行平坦化处理。在本实施例中,使绝缘膜175受到作为平坦化处理的CMP法。对绝缘膜175进行平坦化处理直到暴露绝缘膜174。在氧化物半导体膜142为数纳米至数十纳米薄的情况下,优选氧化物半导体膜142不被平坦化处理去除。

[0412] 例如,绝缘膜175在下述条件下经历CMP处理:使用聚氨酯抛光布;使用硅浆料(60nm颗粒尺寸)作为浆料;浆料流速大于或等于100ml/min并且小于或等于500ml/min;抛光压力高于或等于0.005MPa并且低于或等于0.08MPa;主轴旋转速度大于或等于20rpm并且小于或等于50rpm;桌台旋转速度大于或等于20rpm并且小于或等于50rpm。

[0413] 接着,如图10A所示,去除绝缘膜174的暴露部分,从而暴露氧化物半导体膜142的表面。通过上述步骤,从绝缘膜174形成第一氧化物半导体膜140a。通过刻蚀处理去除绝缘膜174的暴露部分。请注意,需要采用绝缘膜174相对于氧化物半导体膜142的选择比高的刻蚀条件。在去除绝缘膜174的暴露部分之后平坦化氧化物半导体膜142的表面,从而能提高稍后要完成的晶体管121的电特性。

[0414] 例如,在下述条件下进行干法刻蚀:ICP功率为500W;偏置功率为50W;压力为1.5Pa;刻蚀气体是CF₄和O₂的混合气体;CF₄的流速为70sccm;O₂的流速为30sccm。当在这种条件下进行干法刻蚀时,可以选择性地去除绝缘膜174以形成第一氧化物绝缘膜140a。此外,可以防止氧化物半导体膜142被去除。优选在刻蚀中不含有包括氢的杂质。

[0415] 可以在形成第一氧化物绝缘膜140a之后进行热处理。通过热处理,可以去除氧化物半导体膜142中包括氢的杂质。此外,从第一氧化物绝缘膜140a和第三氧化物绝缘膜140c释放氧,从而氧可以提供到氧化物半导体膜142的末端部分和下部部分,由此可以减少氧缺陷。

[0416] 接着,如图10B所示,绝缘膜143a、导电膜144a和绝缘膜151a按此顺序堆叠以覆盖第一氧化物绝缘膜140a、第二氧化物绝缘膜140b和氧化物半导体膜142。

[0417] 可以利用与栅极绝缘膜104n或栅极绝缘膜104p类似的任何材料和堆叠结构来形成绝缘膜143a和绝缘膜151a。稍后将成为栅极绝缘膜143的绝缘膜143a优选含有尽可能少

的杂质例如湿气或氢,并且可以是单层绝缘膜或多个堆叠的绝缘膜。当在栅极绝缘膜143中含有氢时,氢进入氧化物半导体膜142或用氢取出氧化物半导体膜142中的氧,由此氧化物半导体膜142具有更低的电阻(n型导电性);于是,可能形成寄生沟道。因此,重要的是,采用不使用氢的膜形成方法,以便形成含有尽可能少的氢的栅极绝缘膜143。具有高阻挡特性的材料优选用于栅极绝缘膜143。例如,可以使用氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等作为具有高阻挡特性的绝缘膜。在使用多个层叠的绝缘膜的情况下,在与具有高阻挡特性的绝缘膜相比更靠近氧化物半导体膜142一侧形成具有低比率的氮的绝缘膜例如氧化硅膜或氧氮化硅膜。然后,形成具有高阻挡特性的绝缘膜以交叠氧化物半导体膜142,具有低阻挡特性的绝缘膜置于其间。当使用具有高阻挡特性的绝缘膜时,可以防止例如湿气或氢的杂质进入氧化物半导体膜142、栅极绝缘膜143或在氧化物半导体膜142和其它绝缘膜之间的界面以及附近。此外,形成具有低比率氮的绝缘膜例如氧化硅膜或氧氮化硅膜与氧化物半导体膜142接触,从而可以防止利用具有高阻挡特性的材料形成的绝缘膜与氧化物半导体膜142直接接触。

[0418] 在本实施例中,用等离子体CVD法形成的具有20nm厚度的氧氮化硅膜用作绝缘膜143a,用溅射法形成的具有100nm厚度的氧化硅膜用作绝缘膜151a。

[0419] 在形成绝缘膜143a之后,可以进行热处理。在氮气、超干空气或稀有气体(例如氩或氦)气氛中,优选在高于或等于200℃并且低于或等于400℃,例如高于或等于250℃且低于或等于350℃的温度进行热处理。优选气体中的水含量为20ppm或更少、优选1ppm或更少、更优选10ppb或更少。

[0420] 可选地,可以在氧气氛中对氧化物半导体膜142进行热处理以添加氧到氧化物半导体,从而减少在氧化物半导体膜142用作施主的氧缺陷。例如,在高于或等于100℃并低于350℃,优选高于或等于150℃并低于250℃的温度下进行热处理。优选在氧气氛下用于热处理的氧气不包括水、氢等。可选地,引入到热处理装置中的氧气的纯度优选大于或等于6N(99.9999%),更优选大于或等于7N(99.99999%)(即氧气中的杂质浓度小于或等于1ppm,优选小于或等于0.1ppm)。

[0421] 可选地,可以通过离子注入法、离子掺杂法等把氧添加到氧化物半导体膜142,以便减少用作施主的氧缺陷。例如,用2.45GHz微波制作成等离子体的氧被添加到氧化物半导体膜142中。

[0422] 可以通过溅射法或真空蒸镀法来形成导电膜144a。作为用于形成导电膜144a的导电膜,可以使用任何的下列材料:选自铝、铬、铜、钽、钛、钼或钨的元素;含有任一这些元素的合金;含有上述元素组合的合金膜等。可选地,可以利用其中在铝、铜等金属膜之上或之下堆叠例如铬、钽、钛、钼或钨的难熔金属膜的结构。优选使用铝或铜与难熔金属材料组合以避免耐热和腐蚀的问题。作为难熔金属材料,可以使用钼、钛、铬、钼、钨、钽、钕等。

[0423] 要成为导电膜144a的导电膜可以具有单层结构或至少两层的分层结构。作为导电膜144a,可以使用含有选自铝、铬、铜、钽、钛、钼和钨的元素的膜;含有任何这些元素作为成分的合金膜;含有任何这些元素的组合的合金膜等。可选地,可以采用其中在铝、铜等金属膜之上或之下堆叠例如铬、钽、钛、钼或钨的难熔金属膜的结构。优选使用铝或铜与难熔金属材料组合,以便避免耐热和腐蚀的问题。作为难熔金属材料,可以使用钼、钛、铬、钽、钨、钽、钼、钨等。Cu-Mg-Al合金、Mo-Ti合金、Ti和Mo具有高的与氧化物膜的粘附性。因此,在绝

缘膜143a含有氧化物的情况下,具有高的与氧化物膜的粘附性的任何上述材料优选用于在绝缘膜143a上的导电膜144a。例如,作为导电膜144a,具有低电阻的包括Cu的导电膜堆叠在包含Cu-Mg-Al合金、Mo-Ti合金、Ti或Mo的导电膜上,从而可以增加导电膜144a和含有氧化物的绝缘膜143a之间的粘附性并可以降低导电膜144a的电阻。

[0424] 可选地,将要成为导电膜144a的导电膜可以用导电金属氧化物形成。作为导电金属氧化物,可以使用氧化铟、氧化锡、氧化锌、氧化铟和氧化锡的混合物、氧化铟和氧化锌的混合物、或对其添加硅或氧化硅的任何金属氧化物材料。

[0425] 在形成导电膜之后进行热处理的情况下,导电膜优选具有足以耐受热处理的耐热性。

[0426] 在本实施例中,作为导电膜144a,使用具有30nm厚度的氮化钽膜和在其上的具有135nm厚度的钨膜的叠层。

[0427] 接着,在绝缘膜151a上形成掩模,并刻蚀导电膜144a和绝缘膜151a;从而,如图10C所示,形成栅电极144和在栅电极144上的绝缘膜151。

[0428] 在导电膜144a和绝缘膜151a的刻蚀中可以使用湿法刻蚀或干法刻蚀,或者可以组合地使用湿法刻蚀和干法刻蚀。根据材料来适当地设置刻蚀条件(例如刻蚀气体、刻蚀剂、刻蚀时间及温度),使得导电膜144a和绝缘膜151a可以被刻蚀成期望形状。请注意,为了精密地处理晶体管121的沟道长度(L),优选使用干法刻蚀。

[0429] 作为用于刻蚀绝缘膜151a的刻蚀气体,例如,可以使用含氟气体诸如六氟化硫(SF_6)、三氟化氮(NF_3)或三氟甲烷(CHF_3),四氟化碳(CF_4)和氢的混合气体等。稀有气体(氦(He)、氩(Ar)或氙(Xe))、一氧化碳、二氧化碳等可被添加到刻蚀气体中。作为用于刻蚀导电膜144a的刻蚀气体,适当地可以使用基于氯的气体诸如氯气、氯化硼、氯化硅或四氯化碳;基于氟的气体诸如四氟化碳、氟化硫、氟化氮;或者氧气。

[0430] 接着,如图10D所示,用栅电极144和绝缘膜151作为掩模,添加掺杂剂到氧化物半导体膜142,从而形成与栅电极144交叠并且至少一部分用作沟道形成区的第一区147以及用作源和漏并在其间夹着第一区147的第二区148和149。

[0431] 可以通过离子掺杂法或离子注入法把掺杂剂添加到氧化物半导体膜142。作为将要添加的掺杂剂,例如,可以使用例如氢、氩或氙的稀有气体、属于15族的元素例如氮、磷、砷或锑等中的至少一种。

[0432] 例如,在使用氮作为掺杂剂的情况下,第二区148和149中的氮原子的浓度优选高于或等于 $5 \times 10^{19}/\text{cm}^3$ 并低于或等于 $1 \times 10^{22}/\text{cm}^3$ 。

[0433] 此外,还可以利用与离子掺杂法和离子注入法不同的方法来进行掺杂剂的添加。例如,可以按下列方式来添加掺杂剂:在含有要添加元素的气体气氛中产生等离子体,并对要添加掺杂剂的对象进行等离子体处理。作为用于产生等离子体的装置,可以使用干法刻蚀装置、等离子体CVD装置、高密度等离子体CVD装置等。

[0434] 对于掺杂条件,例如,在掺杂剂为氮的情况下,加速电压设置为20kV。在掺杂剂为磷的情况下,加速电压设置为40kV。在氮或磷的剂量小于或等于 $1 \times 10^{14}/\text{cm}^2$ 的情况下,优选在低于450℃的温度下进行热处理。从而,含有掺杂剂的第二区148和149的表面电阻(sheet resistance)可以低于或等于 $1 \times 10^7 \Omega/\text{sq}$ 。在剂量大于或等于 $5 \times 10^{14}/\text{cm}^2$ 并且小于 $5 \times 10^{15}/\text{cm}^2$ 的情况下,优选在高于或等于450℃并且低于或等于600℃的温度下进行热处理。从

而,第二区148和149的表面电阻可以低于或等于 $1 \times 10^5 \Omega / \text{sq}$ 。在剂量大于或等于 $5 \times 10^{15} / \text{cm}^2$ 的情况下,优选在高于或等于 600°C 的温度下进行热处理。从而,含有掺杂剂的第二区148和149的表面电阻可以低于或等于 $1 \times 10^5 \Omega / \text{sq}$ 。

[0435] 减小第二区148和149的表面电阻,从而可以减少在第二区148和稍后要形成的导电膜163之间以及第二区149和稍后要形成的导电膜164之间的电阻。从而,即使在晶体管121小型化时,也可以确保大的导通态电流和高速操作。此外,晶体管121的小型化使得可以增大存储器件的每单位面积的存储容量。

[0436] 接着,形成绝缘膜以覆盖绝缘膜143a、栅极电极144、绝缘膜151等,以及通过刻蚀等处理该绝缘膜和绝缘膜143a。通过该步骤,如图11A所示,从绝缘膜形成设置在栅电极144的侧面部分上的侧壁150,以及从绝缘膜143a形成设置在栅电极144和侧壁150下面的栅极绝缘膜143。可以利用与绝缘膜173类似的材料和膜形成方法来形成要成为侧壁150的绝缘膜。例如,可以采用其中在氮化硅膜上形成氧化硅膜的叠层结构。在本实施例中,形成氧化硅膜作为要成为侧壁150的绝缘膜。

[0437] 接着,可以进行热处理。通常在高于或等于 150°C 并且低于或等于 450°C ,优选高于或等于 250°C 并且低于或等于 325°C 的温度下进行热处理。在热处理中,温度可以从 250°C 逐渐上升到 325°C 。

[0438] 当进行热处理时,氧从与氧化物半导体膜142接触的绝缘膜扩散到氧化物半导体膜142中,从而可以减少在与绝缘膜接触的氧化物半导体膜142的表面中以及其附近的氧缺陷。此外,可以减小含有掺杂剂的第二区148和149的电阻。

[0439] 接着,通过刻蚀等在绝缘膜119和绝缘膜140中形成开口部分;从而,露出部分第二区109和110以及部分第二区115和116。然后,形成并通过刻蚀等处理导电膜;从而,如图11B所示,在绝缘膜140上形成与第二区109接触的导电膜161、与第二区110和第二区115接触的导电膜162、与第二区116和第二区148接触的导电膜163、与第二区149接触的导电膜164、以及导电膜153。可以利用与导电膜144a类似的材料和分层结构来形成导电膜161至164和导电膜153。

[0440] 用于形成导电膜161至164以及导电膜153的刻蚀可以是湿法刻蚀或干法刻蚀。可选地,可以组合使用湿法刻蚀和干法刻蚀。根据材料来适当地设置刻蚀条件(例如刻蚀气体或刻蚀剂、刻蚀时间以及温度),使得导电膜161至164以及导电膜153可以被刻蚀成具有期望形状。请注意,为了精细处理晶体管,优选使用干法刻蚀。作为用于干法刻蚀的刻蚀气体,例如可以使用含氟气体诸如六氟化硫(SF_6)、三氟化氮(NF_3)或三氟甲烷(CHF_3),四氟化碳(CF_4)和氢的混合气体等。稀有气体(氦(He)、氩(Ar)或氙(Xe))、一氧化碳、二氧化碳等可以被添加到刻蚀气体。

[0441] 在本实施例中,使用具有大约100nm厚度的钨膜作为导电膜161至164以及导电膜153。在使用钨膜作为导电膜161至164以及导电膜153的情况下,在下述条件下进行刻蚀,例如:ICP功率为500W;偏置功率为150W;压力为1.0Pa;刻蚀气体是 CF_4 、 Cl_2 和 O_2 的混合气体; CF_4 的流速为25sccm; Cl_2 的流速为25sccm; O_2 的流速为10sccm。

[0442] 请注意,在本实施例中,设置导电膜163和导电膜164与侧壁150接触。用该结构,即使在用于形成导电膜163和导电膜164的掩模在一定程度上未对准,也可以防止导电膜163和导电膜164与氧化物半导体膜142接触的区域的大小发生变化。因此,可以抑制由于导电

膜163和导电膜164的位置偏差而引起的氧化物半导体膜142与导电膜163和164之间电阻变化,且因此,可以防止晶体管121的导通态电流的改变。此外,在用于形成导电膜163和164的刻蚀中,氧化物半导体膜142更少可能暴露到刻蚀气体,这是优选的。

[0443] 通过上述步骤,可以制作包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p以及晶体管121。

[0444] 接着,如图11C所示,在第二氧化物绝缘膜140b、导电膜161至164、导电膜153、侧壁150和绝缘膜151上形成绝缘膜154,然后在绝缘膜154上,在与导电膜153交叠的位置中形成导电膜155。

[0445] 可以使用包括无机绝缘材料例如氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝或氧化钽的材料来形成绝缘膜154。此外,可以利用有机绝缘材料例如聚酰亚胺或丙烯酸树脂来形成绝缘膜154。

[0446] 在本实施例中,绝缘膜154如下结构,其中用溅射法形成的具有50nm厚度的氧化铝膜和用等离子体CVD法形成的具有300nm厚度的氧氮化硅膜按此顺序堆叠。绝缘膜154可以是单层绝缘膜或至少三层绝缘膜的叠层。

[0447] 可以利用与导电膜144a类似的材料和堆叠结构来形成导电膜155。在本实施例中,以这种方式来形成导电膜155:具有20nm厚度的钛膜、具有50nm厚度的钨膜、具有200nm厚度的铝膜以及具有5nm厚度的钛膜以此顺序通过溅射法形成。

[0448] 通过上述步骤,可以制造电容器136。

[0449] 接着,如图11D所示,形成绝缘膜160以覆盖导电膜155和绝缘膜154,然后,通过刻蚀等在绝缘膜160中形成开口部分以露出部分导电膜162。接着,在绝缘膜160上形成与开口部分中的导电膜162接触的导电膜158。

[0450] 优选平坦化绝缘膜160的表面。可以利用包括无机绝缘材料诸如氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝或氧化钽的材料来形成绝缘膜160。可选地,可以利用例如聚酰亚胺或丙烯酸树脂的有机绝缘材料来形成绝缘膜160。在本实施例中,使用具有1500nm厚度的聚酰亚胺膜作为绝缘膜160。

[0451] 可以利用与导电膜144a类似的材料和叠层结构来形成导电膜158。在本实施例中,以这种方式形成导电膜158:具有20nm厚度的钛膜、具有50nm厚度的钨膜、具有300nm厚度的铝膜以及具有5nm厚度的钛膜通过溅射法依此顺序形成。

[0452] 通过上述步骤,可以制造根据本发明一个实施例的半导体器件,例如图11D所示的半导体器件。

[0453] 请注意,在本实施例中,使用栅电极144和绝缘膜151作为掩模把掺杂剂添加到氧化物半导体膜142中;然而,可以在形成侧壁150之后且在形成导电膜163和164之前把掺杂剂添加到氧化物半导体膜142。

[0454] 在图15A中,示出在添加掺杂剂之前的氧化物半导体膜142、在氧化物半导体膜142上的栅极绝缘膜143、在栅极绝缘膜143上的栅电极144、在栅电极144上的绝缘膜151、以及在栅极绝缘膜143上在栅电极144的侧面部分上设置的侧壁150。在上述状态中,用栅电极144、绝缘膜151和侧壁150作为掩模把掺杂剂添加到氧化物半导体膜142,使得如图15B所示,可以在氧化物半导体膜142中形成与栅电极144交叠并且至少一部分用作沟道形成区的第一区147、用作LDD区并与侧壁150交叠且在其之间夹着第一区147的第三区190和191、以

及用作源和漏并在其之间夹着第一区147以及第三区190和191的第二区148和149。

[0455] 例如,在使用氮作为掺杂剂的情况下,在第二区148和149中的氮原子浓度优选高于或等于 $5 \times 10^{19}/\text{cm}^3$ 并且低于或等于 $1 \times 10^{22}/\text{cm}^3$ 。此外,例如,在使用氮作为掺杂剂的情况下,在第三区190和191中的氮原子浓度优选高于或等于 $5 \times 10^{18}/\text{cm}^3$ 并且低于 $5 \times 10^{19}/\text{cm}^3$ 。提供具有比第二区148和149低的掺杂剂浓度的第三区190和191,从而可以减小由于短沟道效应所导致的阈值电压的负偏移。

[0456] 本实施例可以通过与上述实施例适当组合来实施。

[0457] (实施例3)

[0458] 在本实施例中,将说明用于制造其部分具有图1所示结构的半导体器件的方法的例子。

[0459] 请注意,例如锗、硅锗或单晶碳化硅以及硅的半导体材料可以用于包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p。例如,可以利用例如硅晶片、通过SOI法形成的硅薄膜、用气相沉积法形成的硅薄膜等的单晶半导体衬底形成含有硅的n沟道晶体管102n和p沟道晶体管102p。

[0460] 请注意,可以按与实施例2中说明的那样类似的方式来制造n沟道晶体管102n和p沟道晶体管102p。因此,在本实施例中,对于直到图8D所示步骤的那些步骤,可以参考实施例2的描述。

[0461] 在图8E所示步骤之后,对绝缘膜119的表面进行平坦化处理,并在绝缘膜119上形成绝缘膜180,如图12A所示。

[0462] 对于绝缘膜119的材料、结构、制造方法以及平坦化处理,可以参考实施例2。此外,绝缘膜180的材料、层叠结构和制造方法可以与实施例2中描述的绝缘膜173的那些类似。

[0463] 接着,如图12B所示,通过刻蚀等去除部分绝缘膜180,从而形成具有突出部分的第一氧化物绝缘膜120a。第一氧化物绝缘膜120a将成为稍后要形成的绝缘膜120的一部分。可以通过干法刻蚀、湿法刻蚀或它们二者来进行绝缘膜180的刻蚀。优选在刻蚀中不含有包括氢的杂质。

[0464] 接着,如图12C所示,形成绝缘膜181以覆盖第一氧化物绝缘膜120a。绝缘膜181的材料、层叠结构和制造方法可以与实施例2中描述的绝缘膜175的那些类似。请注意,形成绝缘膜181以使其厚度大于第一氧化物绝缘膜120a的突出部分的高度。用该结构,在稍后的平坦化步骤中可以形成都具有高平坦度的第一氧化物绝缘膜120a和第二氧化物绝缘膜120b。

[0465] 接着,如图12D所示,使绝缘膜181受到平坦化处理,以便从绝缘膜181形成第二氧化物绝缘膜120b。可以按与实施例2中所说明的对绝缘膜175进行的平坦化处理类似的方式进行该平坦化处理。通过对绝缘膜181进行的平坦化处理,露出第一氧化物绝缘膜120a的突出部分。请注意,在该平坦化处理中可以去除第一氧化物绝缘膜120a的部分突出部分。

[0466] 接着,如图13A所示,在第一氧化物绝缘膜120a和第二氧化物绝缘膜120b上形成岛形氧化物半导体膜122。氧化物半导体膜122的材料、层叠结构和制造方法可以与实施例2中所说明的氧化物半导体膜142的那些类似。请注意,确定氧化物半导体膜122的位置使得在氧化物半导体膜122中稍后要形成的第一区127与第一氧化物绝缘膜120a接触,以及使得在氧化物半导体膜122中稍后要形成的第二区128与第一氧化物绝缘膜120a和第二氧化物绝缘膜120b接触。

[0467] 接着,如图13B所示,绝缘膜123a、导电膜124a和绝缘膜131a以此顺序堆叠以覆盖第一氧化物绝缘膜120a、第二氧化物绝缘膜120b和氧化物半导体膜122。

[0468] 可以利用与实施例2中的绝缘膜143a类似的材料和层叠结构来形成绝缘膜123a,可以利用与实施例2中的绝缘膜151a类似的材料和层叠结构来形成绝缘膜131a。请注意,可以在形成绝缘膜123a之后进行热处理。可以在与实施例2中形成绝缘膜143a之后所进行的热处理类似的条件下进行该热处理。

[0469] 可以利用与实施例2中的导电膜144a类似的材料和层叠结构来形成导电膜124a。

[0470] 接着,在绝缘膜131a上形成掩模,并刻蚀导电膜124a和绝缘膜131a;从而,形成了栅电极124和在栅电极124上的绝缘膜131。接着,如图13C所示,用栅电极124和绝缘膜131作为掩模,把掺杂剂添加到氧化物半导体膜122,以便形成与栅电极124交叠并且至少一部分用作沟道形成区的第一区127、以及用作源和漏并在其之间夹着第一区127的第二区128和129。可以在与实施例2中刻蚀导电膜144a和绝缘膜151a的条件类似的条件下来进行导电膜124a和绝缘膜131a的刻蚀。

[0471] 到氧化物半导体膜122的掺杂剂添加以及后面的热处理可以以与实施例2中的到氧化物半导体膜142的掺杂剂添加以及热处理类似的方式进行。第二区128和129的表面电阻可以通过添加掺杂剂和热处理而减小。因此,第二区128和稍后将形成的导电膜163之间以及第二区129和稍后将形成的导电膜164之间的电阻可以减小。因此,即使当晶体管121小型化时,也可以确保大的导通态电流和高速操作。此外,晶体管121的小型化使得可以增大存储器的单位面积存储容量。

[0472] 接下来,形成绝缘膜以覆盖绝缘膜123a、栅电极124、绝缘膜131等,该绝缘膜和绝缘膜123a通过刻蚀等被处理。通过该步骤,如图13D所示,设置在栅电极124的侧面部分上的侧壁130从绝缘膜形成,设置在栅电极124和侧壁130下面的栅极绝缘膜123从绝缘膜123a形成。将成为侧壁130的绝缘膜可以利用与绝缘膜180类似的材料、叠层结构和膜形成方法来形成。

[0473] 接着,可以进行热处理。热处理通常在高于或等于150℃且低于或等于450℃的温度下进行,优选高于或等于250℃且低于或等于325℃。在热处理中,温度可以从250℃逐渐上升到325℃。

[0474] 当进行热处理时,氧从接触氧化物半导体膜122的绝缘膜扩散到氧化物半导体膜122中,从而氧化物半导体膜122的与绝缘膜接触的表面中及其附近的氧缺陷可以减少。此外,含有掺杂剂的第二区128和129的电阻可减小。

[0475] 接着,通过刻蚀等在绝缘膜119和绝缘膜120中形成开口部分;因此,部分第二区109和110以及部分第二区115和116被暴露。然后,形成并通过刻蚀等处理导电膜;于是,如图14A所示,在绝缘膜120上形成接触第二区109的导电膜161、接触第二区110和第二区115的导电膜162、接触第二区116和第二区128的导电膜163、接触第二区129的导电膜164、以及导电膜133。导电膜161至164以及导电膜133可以利用与导电膜124a类似的材料和分层结构来形成。

[0476] 用于形成导电膜161至164和导电膜133的刻蚀可以在与实施例2中的用于形成导电膜161至164以及导电膜153的刻蚀的条件类似的条件下进行。

[0477] 注意,在此实施例中,导电膜163和导电膜164设置得接触侧壁130。用该结构,即使

当用于形成导电膜163和164的掩模在一定程度上未对准时,也可以防止导电膜163和164接触氧化物半导体膜122的区域的大小发生变化。因此,能抑制由于导电膜163和164的位置偏离引起的氧化物半导体膜122与导电膜163和164之间的电阻的变化,且因此,可以防止晶体管121的导通态电流的变化。此外,在用于形成导电膜163和164的刻蚀中,氧化物半导体膜122更少可能暴露到刻蚀气体,这是优选的。

[0478] 通过上述步骤,可以制造包括在存储元件中的n沟道晶体管102n和p沟道晶体管102p以及晶体管121。

[0479] 接下来,如图14B所示,绝缘膜134形成在第二氧化物绝缘膜120b、导电膜161至164、导电膜133、侧壁130和绝缘膜131上,然后在绝缘膜134上,导电膜135形成在与导电膜133交叠的位置中。

[0480] 绝缘膜134可以利用与实施例2中的绝缘膜154类似的材料、叠层结构和制造方法来形成。此外,导电膜135可以利用与导电膜124a类似的材料和叠层结构来形成。

[0481] 通过上述步骤,可以制造电容器136。

[0482] 接下来,如图14C所示,形成绝缘膜187以覆盖导电膜135和绝缘膜134,然后,通过刻蚀等在绝缘膜187中形成开口部分以暴露部分导电膜162。接下来,在绝缘膜187上形成接触开口部分中的导电膜162的导电膜188。

[0483] 绝缘膜187可以利用与实施例2中的绝缘膜160类似的材料、叠层结构和制造方法来形成。此外,导电膜188可以利用与导电膜124a类似的材料和叠层结构来形成。

[0484] 通过上述步骤,可以制造根据本发明一实施例的半导体器件诸如图14C所示的半导体器件。

[0485] 注意,在该实施例中,掺杂剂利用栅电极124和绝缘膜131作为掩模添加到氧化物半导体膜122;然而,掺杂剂可以在形成侧壁130之后在形成导电膜163和164之前添加到氧化物半导体膜122。

[0486] 在图16A中,添加掺杂剂之前的氧化物半导体膜122、氧化物半导体膜122上的栅极绝缘膜123、栅极绝缘膜123上的栅电极124、栅电极124上的绝缘膜131以及设置在栅极绝缘膜123上在栅电极124的侧面部分上的侧壁130被示出。在上述状态,掺杂剂利用栅电极124、绝缘膜131和侧壁130作为掩模添加到氧化物半导体膜122,从而如图16B所示,与栅电极124交叠且至少一部分用作沟道形成区的第一区127、用作LDD区且与侧壁130交叠并在其间夹着第一区127的第三区192和193、以及用作源和漏且其间夹着第一区127以及第三区192和193的第二区128和129可以形成在氧化物半导体膜122中。

[0487] 例如,在氮用作掺杂剂的情况下,第二区128和129中的氮原子的浓度优选高于或等于 $5 \times 10^{19}/\text{cm}^3$ 且低于或等于 $1 \times 10^{22}/\text{cm}^3$ 。此外,例如,在氮用作掺杂剂的情况下,第三区192和193中的氮原子的浓度优选高于或等于 $5 \times 10^{18}/\text{cm}^3$ 且低于 $5 \times 10^{19}/\text{cm}^3$ 。提供具有比第二区128和129低的掺杂剂浓度的第三区192和193,从而可以减小由于短沟道效应引起的阈值电压的负偏移。

[0488] 本实施例可以通过与任何上述实施例适当地组合来实施。

[0489] (实施例4)

[0490] 在此实施例中,将描述制造其一部分具有图39所示结构的半导体器件的方法的例子。

[0491] 注意,半导体材料诸如锗、硅锗或单晶碳化硅以及硅可以用于包括在存储元件中的n沟道晶体管102n和p沟道晶体管102p。例如,包括硅的n沟道晶体管102n和p沟道晶体管102p可以利用单晶半导体衬底诸如硅晶片、通过SOI法形成的硅薄膜、通过气相沉积法形成的硅薄膜等形成。

[0492] 在此实施例中,首先,如图42A所示,绝缘膜101和岛形单晶半导体膜103n和103p形成在衬底100上。

[0493] 尽管对可以用作衬底100的材料没有特别限制,但是需要材料至少具有足够高的耐热性以经受稍后进行的热处理。例如,通过熔化工艺或浮法工艺形成的玻璃衬底、石英衬底、半导体衬底、陶瓷衬底等可以用作衬底100。在使用玻璃衬底且稍后进行的热处理的温度高的情况下,优选使用应变点高于或等于730℃的玻璃衬底。

[0494] 在本实施例中,单晶硅半导体衬底用作衬底100。单晶半导体衬底具有比玻璃衬底更高的表面平坦度。因此,可以防止由于衬底的表面不平引起的绝缘膜、导电膜等的厚度变化;于是,即使在半导体元件诸如晶体管小型化时,半导体元件的电特性也可以是一致的。

[0495] 绝缘膜101利用绝缘材料诸如氧化硅、氮氧化硅、氧氮化硅或氮化硅形成。绝缘膜101可以是单个绝缘膜或多个绝缘膜的叠层。

[0496] 例如,在使用氧化硅用于绝缘膜101的情况下,绝缘膜101可以利用硅烷和氧的混合气体、TEOS(四乙氧基硅烷)和氧的混合气体等通过气相沉积法诸如热CVD法、等离子体CVD法、大气压CVD法、偏置ECRCVD法来形成。在这种情况下,可以使绝缘膜101的表面经历氧等离子体处理以增加密度。在使用氮化硅用于绝缘膜101的情况下,可以利用硅烷和氨的混合气体通过气相沉积法诸如等离子体CVD法来形成绝缘膜101。此外,当利用氮氧化硅来形成绝缘膜101时,可以利用硅烷和氨的混合气体或硅烷和氧化氮的混合气体通过气相沉积法诸如等离子体CVD法来形成绝缘膜101。

[0497] 可选地,利用有机硅烷气体通过化学气相沉积法形成的氧化硅膜可以用作绝缘膜101。作为有机硅烷气体,可以使用含硅化合物诸如四乙氧基硅烷(TEOS)(化学式: $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷(TMS)(化学式: $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅胺烷(HMDS)、三乙氧基硅烷(化学式: $\text{SiH}(\text{OC}_2\text{H}_5)_3$)、或三(二甲胺基)硅烷(化学式: $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)。

[0498] 还可选地,在使用单晶硅半导体衬底作为衬底100的情况下,绝缘膜101可以利用通过氧化衬底100的表面所形成的氧化物膜来形成。用于形成该氧化物膜的热氧化处理可以是干法氧化并且可以在添加了含卤素气体的氧化气氛中进行。作为含卤素的气体,可以使用从HCl、HF、 NF_3 、HBr、Cl、ClF、 BCl_3 、F、 Br_2 等中选择的一类或多类气体。

[0499] 例如,在使用HCl的情况下,在相对于氧而言含有0.5体积%至10体积%(优选为3体积%)的HCl的气氛中,以700℃或更高的温度来进行热处理。优选在大于或等于950℃且小于或等于1100℃的加热温度下进行热氧化。处理时间可以是0.1小时至6小时、优选0.5小时至1小时。要形成的绝缘膜101的厚度可以设置为15nm至1100nm的范围内(优选为60nm至300nm),例如150nm。

[0500] 通过在含卤素气氛中的该热氧化处理,绝缘膜101可以含有卤素。当绝缘膜101含有 1×10^{17} 原子/ cm^3 至 5×10^{20} 原子/ cm^3 浓度的卤素时,绝缘膜101捕获例如金属的杂质;因此,可以避免稍后形成的半导体膜103n和103p的污染。例如,通过氯的反应,例如金属的杂

质变成挥发性氯化物并释放到空气相中,由此从半导体膜103n和103p除去。

[0501] 在本实施例中,作为形成包括在存储元件中的晶体管的方法,给出利用单晶硅形成半导体膜103n和103p的例子。这里,简要说明用于形成单晶半导体膜103n和103p的方法的具体例子。首先,含有被电场加速的离子的离子束进入接合衬底和易碎层,接合衬底是单晶硅的半导体衬底,易碎层由于在距接合衬底表面一定深度处的区域中形成结晶结构的局部无序而是易碎的。可以通过离子束的加速能量和离子束入射角度调整形成易碎层的深度。然后,把接合衬底和在表面上设置有绝缘膜的衬底100相互贴附,使得绝缘膜夹在它们之间。在接合衬底和衬底100相互交叠之后,对部分接合衬底和部分衬底100施加大约 $1\text{N}/\text{cm}^2$ 至 $500\text{N}/\text{cm}^2$ 、优选 $11\text{N}/\text{cm}^2$ 至 $20\text{N}/\text{cm}^2$ 的压力,以使衬底相互贴附。当施加压力时,接合衬底和绝缘膜101之间的接合从所述部分开始,其导致接合衬底和绝缘膜101相互紧密接触的整个表面的接合。之后,进行热处理,使得存在于易碎层中的微孔发生结合并且微孔体积增大。因此,是接合衬底的一部分的单晶半导体膜沿易碎层从接合衬底分离。在不超过衬底100的应变点的温度下进行热处理。然后,通过刻蚀等把单晶半导体膜加工成想要的形状,从而可以形成半导体膜103n和103p。

[0502] 在本实施例中,使作为单晶硅半导体衬底的衬底100在氧气氛中经历 950°C 的热处理,从而在衬底100上形成具有 400nm 厚度的氧化硅膜。接着,在氧化硅膜上,通过等离子体CVD法形成具有 50nm 厚度的氮氧化硅膜。另一方面,使作为单晶硅半导体衬底的接合衬底在氧中含有 HCl 的气氛中经历 950°C 的热处理,从而在接合衬底上形成具有 100nm 厚度的氧化硅膜。然后,使衬底100和接合衬底相互贴附,从而衬底100上的氮氧化硅膜接触接合衬底上的氧化硅膜。然后,是接合衬底的一部分的单晶半导体膜沿易碎层从接合衬底分离。因此,在本实施例中,绝缘膜101具有如下结构,其中有 400nm 厚度的氧化硅膜、有 50nm 厚度的氮氧化硅膜、以及有 100nm 厚度的氧化硅膜从衬底100侧起依此顺序堆叠。

[0503] 为了控制阈值电压,赋予p型导电性的杂质元素例如硼、铝或镓或者赋予n型导电性的杂质元素例如磷或砷可添加到各半导体膜103n和103p。用于控制阈值电压的杂质元素可以被添加到没有被图案化的半导体膜或可以被添加到图案化的半导体膜103n和103p。此外,用于控制阈值电压的杂质元素可以被添加到接合衬底。此外,杂质元素可以被添加到接合衬底以便大体上控制阈值电压,然后杂质元素可以进一步被添加到没有被图案化的半导体膜或已图案化的半导体膜103n和103p以便精细地控制阈值电压。

[0504] 尽管在本实施例中说明了使用单晶半导体膜的例子,但本发明不局限于此结构。例如,可以使用通过气相沉积法在绝缘膜101上形成的多晶半导体膜。可选地,通过已知技术可以使通过气相沉积法形成的半导体膜结晶以形成多晶半导体膜。作为已知的结晶技术,给出利用激光束的激光结晶法和利用催化元素的结晶法。可选地,可以结合利用催化元素的结晶法和激光结晶法。当使用例如石英衬底的耐热衬底时,可以采用利用电加热炉的热结晶法、利用红外光的灯退火结晶法、利用催化元素的结晶法、或利用大约在 950°C 的高温退火法的结晶法。

[0505] 接着,如图42B所示,在半导体膜103n和半导体膜103p上分别形成栅极绝缘膜104n和栅极绝缘膜104p。然后,在与半导体膜103n交叠的位置中的栅极绝缘膜104n上形成栅电极105n,在与半导体膜103p交叠的位置中的栅极绝缘膜104p上形成栅电极105p。然后,用栅电极105n和105p作为掩模,把赋予一种导电类型的杂质元素添加到半导体膜103n和103p中

的每个。具体来说,在形成掩模以覆盖半导体膜103n之后,赋予p型导电性的杂质元素被添加到半导体膜103p。通过添加杂质元素,在半导体膜103p中形成与栅电极105p交叠的第一区114和其间夹着第一区114的低浓度杂质区117a和118a。接着,在形成掩模以覆盖半导体膜103p之后,赋予n型导电性的杂质元素被添加到半导体膜103n。通过添加杂质元素,在半导体膜103n中形成与栅电极105n交叠的第一区118和其间夹着第一区118的低浓度杂质区111a和112a。

[0506] 通过用高密度等离子体处理、热氧化处理等来氧化或氮化半导体膜103n和103p的表面,可以形成栅极绝缘膜104n和104p。例如,每个栅极绝缘膜104n和104p的厚度可以大于或等于1nm且小于或等于100nm、优选大于或等于10nm且小于或等于50nm。

[0507] 在本实施例中,进行在氧气气氛中950℃25分钟的热处理,然后进行在氮气气氛中950℃一个小时的热处理。以这种方式,热氧化半导体膜103n和103p的表面,从而形成均是具有15nm厚度的氧化硅膜的栅极绝缘膜104n和104p。

[0508] 在例如高密度等离子体处理的情况下,使用例如He、Ar、Kr或Xe的稀有气体和氧气、氧化氮、氨气、氮气等的混合气体。在这种情况下,通过引入微波来激发等离子体,可以产生具有低电子温度和高密度的等离子体。通过用这种高密度等离子体产生的氧自由基(一些情况下含有OH自由基)或氮自由基(一些情况下含有NH自由基)来氧化或氮化半导体膜的表面,可以形成具有1nm至20nm,优选5nm至10nm厚度的绝缘膜以便与半导体膜接触。例如,通过在10Pa至30Pa压力下施加3kW至5kW的微波(2.45GHz)功率,用1倍至3倍(流量比)的Ar稀释的一氧化二氮(N_2O),来氧化或氮化半导体膜103n和103p的表面。通过这种处理,形成了均具有1nm至10nm(优选2nm至6nm)厚度的绝缘膜。此外,引入一氧化二氮(N_2O)和硅烷(SiH_4),在10Pa至30Pa的压力下施加3kW至5kW的微波(2.45GHz)功率以通过气相沉积法形成氧氮化硅膜,由此形成栅极绝缘膜。用固相反应和气相沉积法反应的组合,可以形成具有低界面态密度和良好耐受电压的栅极绝缘膜。

[0509] 半导体膜通过高密度等离子体处理的氧化或氮化通过固相反应继续进行。因此,在栅极绝缘膜104n和半导体膜103n之间的界面态密度以及在栅极绝缘膜104p和半导体膜103p之间的界面态密度可以极低。此外,通过用高密度等离子体处理对半导体膜103n和103p的直接氧化或氮化,可以抑制要形成的绝缘膜的厚度变化。此外,在半导体膜具有结晶性的情况下,通过高密度等离子体处理用固相反应来氧化半导体膜的表面,以抑制仅在晶粒边界中的快速氧化;因此,可以形成具有均匀性和低界面态密度的栅极绝缘膜。其中使用由高密度等离子体处理形成的绝缘膜作为部分栅极绝缘膜或作为整个栅极绝缘膜的晶体管可以具有更小的电特性变化。

[0510] 每个栅极绝缘膜可以通过等离子体CVD法、溅射法等使用包括氧化硅、氮氧化硅、氧氮化硅、氮化硅、氧化钪、氧化铝、氧化钽、氧化铌、硅酸钪($HfSi_xO_y$ ($x>0, y>0$))、添加了氮的硅酸钪($HfSi_xO_y$ ($x>0, y>0$))、添加了氮的铝酸钪($HfAl_xO_y$ ($x>0, y>0$))等的膜的单层或叠层形成。

[0511] 在本说明书中,氧氮化物是指含有氧的量比氮的量大材料,氮氧化物是指含有氮的量比氧的量大材料。

[0512] 导电膜形成得覆盖栅极绝缘膜104n和104p,且然后被加工(图案化)成预定形状,从而可以形成栅电极105n和105p。可以通过CVD法、溅射法、气相沉积法、旋涂法等来形成导

电膜。对于导电膜来说,可以使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、铌(Nb)等。可选地,可以使用含有任何上述金属作为其主要成分的合金或者含有任何上述金属的化合物。还可选地,可以利用例如多晶硅的半导体来形成导电膜,该多晶硅通过把像磷这样的杂质元素添加到半导体膜而形成。

[0513] 请注意,可以利用单层导电膜或多层导电膜的叠层来形成每个栅电极105n和105p。

[0514] 作为两层导电膜的组合,氮化钽或钽可以用于第一导电膜,钨可以用于第二导电膜。除此以外,给出下列组合:氮化钨和钨、氮化钼和钼、铝和钼、铝和钛等。由于钨和氮化钽具有高耐热性,所以可以在形成两层导电膜之后的后序步骤中进行旨在热激活的热处理。可选地,作为两层导电膜的组合,例如,可以使用硅化镍和掺杂有赋予n型导电性的杂质元素的硅、硅化钨和掺杂有赋予n型导电性的杂质元素的硅等。

[0515] 在使用其中堆叠三层导电膜的三层结构的情况下,钼膜、铝膜和钼膜的叠层结构是优选的。

[0516] 可以使用氧化铟、氧化铟和氧化锡的混合物、氧化铟和氧化锌的混合物、氧化锌、氧化铝锌、氧氮化铝锌、氧化镓锌等的透光氧化物导电膜作为每个栅电极105n和105p。

[0517] 在本实施例中,使用每个中在具有大约30nm厚度的氮化钽上堆叠具有大约170nm厚度的钨的栅电极105n和105p。

[0518] 可选地,栅电极105n和105p可以通过滴排(droplet discharge)法选择性形成而不使用掩模。滴排法是用于通过从孔口排放或喷射含有预定成分的滴来形成预定图案的方法,且在其范畴内包括喷墨法等。

[0519] 此外,栅电极105n和105p可以以下列方式形成:形成导电膜,然后通过采用适当控制的刻蚀条件(例如施加到线圈电极的电功率量、施加到衬底侧电极的电功率量、以及衬底侧电极的温度)的感应耦合等离子体(ICP)刻蚀方法把导电膜刻蚀成期望的锥形形状。此外,也可以通过掩模的形状控制锥形形状的角度等。作为刻蚀气体,适当时可使用例如氯气、氯化硼、氯化硅或四氯化碳的基于氯的气体;例如四氟化碳、氟化硫或氟化氮的基于氟的气体;或氧气。

[0520] 接着,在形成绝缘膜以覆盖栅极绝缘膜104n和104p以及栅电极105n和105p之后,通过刻蚀等来处理绝缘膜;从而如图42C所示,在栅电极105n的侧面部分上形成侧壁170n,在栅电极105p的侧面部分上形成侧壁170p。在本实施例中,在形成其中具有100nm厚度的氧氮化硅膜和具有200nm厚度的氧化硅膜以此顺序堆叠的绝缘膜以覆盖栅电极105n和105p之后,通过干法刻蚀处理绝缘膜,从而形成侧壁170n和侧壁170p。

[0521] 请注意,通过上述刻蚀,栅极绝缘膜104n的未被侧壁170n和栅电极105n覆盖的部分被去除,栅极绝缘膜104p的未被侧壁170p和栅电极105p覆盖的部分被去除。

[0522] 接着,如图42D所示,用栅电极105n和105p以及侧壁170n和170p作为掩模,把赋予一种导电类型的杂质元素添加到每个半导体膜103n和103p。具体来说,在形成掩模以覆盖半导体膜103n之后,把赋予p型导电性的杂质元素添加到半导体膜103p。通过杂质元素的添加,杂质被进一步添加到部分低浓度杂质区117a和118a,从而在半导体膜103p中形成与栅电极105p交叠的第一区114、与侧壁170p交叠并且其之间夹着第一区114的第三区117和118、以及在其之间夹着第一区114以及第三区117和118的第二区115和116。接着,在形成掩

模以覆盖半导体膜103p之后,把赋予n型导电性的杂质元素添加到半导体膜103n中。通过杂质元素的添加,杂质被进一步添加到部分低浓度杂质区111a和112a中,从而在半导体膜103n中形成与栅电极105n交叠的第一区108、与侧壁170n交叠并且其之间夹着第一区108的第三区111和112、以及在其之间夹着第一区108以及第三区111和112的第二区109和110。

[0523] 由于第三区117和118与侧壁170p交叠,所以第三区117和118具有比第二区115和116低的赋予p型导电性的杂质浓度。此外,由于第三区111和112与侧壁170n交叠,所以第三区111和112具有比第二区109和110低的赋予n型导电性的杂质浓度。

[0524] 请注意,在此实施例中,通过第一杂质添加形成低浓度杂质区111a和112a以及低浓度杂质区117a和118a,然后通过第二杂质添加形成用作LDD区的第三区111和112以及第三区117和118;然而,本发明的实施例不局限于此结构。例如,当在杂质进入侧壁170n和侧壁170p下面的部分这样的条件下进行第二杂质添加时,可以形成用作LDD区的第三区111和112以及第三区117和118而不需要进行第一杂质添加。可选地,可以按下面的方式在第一区108与第二区109和110之间或在第一区114与第二区115和116之间设置偏差区而不用进行第一杂质添加:在杂质更少可能地进入侧壁170n和侧壁170p下面的部分的条件下进行第二杂质添加。在偏差区中的杂质浓度优选基本等于第一区108或第一区114中的杂质浓度。

[0525] 接着,如图43A所示,形成绝缘膜171以覆盖半导体膜103n和103p、栅电极105n和105p、侧壁170p和170n以及绝缘膜101。然而,通过刻蚀等在绝缘膜171中形成开口部分;于是,暴露部分第二区109和110以及部分第二区115和116。然后,在绝缘膜171上形成与第二区109接触的导电膜106、与第二区110和第二区115接触的导电膜107以及与第二区116接触的导电膜113。

[0526] 具体来说,绝缘膜171可以是氧化硅、氮化硅、氮氧化硅、氧氮化硅、氮化铝、氮氧化铝等的无机绝缘膜。特别地,优选低介电常数(低-k)材料用于绝缘膜171,因为可以充分降低电极或布线的交叠导致的电容。请注意,可以使用含有任何上述材料的多孔绝缘膜作为绝缘膜171。由于多孔绝缘膜具有比致密绝缘膜低的介电常数,所以可以进一步降低由于电极或布线所导致的寄生电容。

[0527] 在本实施例中,具有500nm厚度的氧氮化硅膜用作绝缘膜171。请注意,在本实施例中描述了绝缘膜171是单层绝缘膜的情况作为示例;然而,绝缘膜171可以是多个绝缘膜的叠层。

[0528] 作为要成为导电膜106、107和113的导电膜,可以使用任何下述材料:选自铝、铬、铜、钽、钛、钼或钨的元素;含有任意这些元素的合金;含有上述元素的组合的合金膜等。可选地,可以采用其中在铝、铜等金属膜之上或之下堆叠例如铬、钽、钛、钼或钨的难熔金属膜的结构。铝或铜优选与难熔金属材料组合使用,以便避免耐热性和腐蚀的问题。作为难熔金属材料,可以使用钼、钛、铬、钼、钨、钽、铪、钇等。

[0529] 此外,要成为导电膜106、107和113的导电膜可以具有单层结构或至少两层的叠层结构。例如,可以提供含硅铝膜的单层结构、在铝膜上堆叠钛膜的两层结构、钛膜、铝膜和钛膜依此顺序堆叠的三层结构等。

[0530] 可选地,要成为导电膜106、107和113的导电膜可以用导电金属氧化物来形成。作为导电金属氧化物,可以使用氧化铟、氧化锡、氧化锌、氧化铟和氧化锡的混合物、氧化铟和氧化锌的混合物、或对其添加硅或氧化硅的金属氧化物材料。在本实施例中,具有大约

300nm厚度的钨膜用作导电膜106、导电膜107和导电膜113。

[0531] 通过上述步骤,可以制造包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p。

[0532] 接着,如图43B所示,绝缘膜119和绝缘膜173依此顺序形成在绝缘膜171上以覆盖导电膜106、107和113,然后,在绝缘膜173上形成氧化物半导体膜142b。

[0533] 绝缘膜119具有单层结构或至少两层的叠层结构,优选具有高度平坦的表面。例如,氧化硅、氮化硅、氧氮化硅、氮氧化硅等可以用于绝缘膜119。可以通过例如LPCVD法、等离子体CVD法、光CVD法或热CVD法等CVD法来形成绝缘膜119。

[0534] 对于绝缘膜119来说,可以使用通过利用有机硅烷的化学气相沉积来形成氧化硅膜。对于有机硅烷来说,可以使用四乙氧基硅烷(TEOS)(化学式: $\text{Si}(\text{OC}_2\text{H}_5)_4$)、三甲基硅烷(TMS)(化学式: $(\text{CH}_3)_3\text{SiH}$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅胺烷(HMDS)、三乙氧基硅烷(化学式: $\text{SiH}(\text{OC}_2\text{H}_5)_3$)、或三(二甲氨基)硅烷(化学式: $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等。无需说的是,可以利用例如甲硅烷、乙硅烷或丙硅烷的无机硅烷来形成氧化硅、氧氮化硅、氮化硅、氮氧化硅等。

[0535] 在本实施例中,通过LPCVD法形成包括氧化硅的绝缘膜119。

[0536] 为了抑制稍后要形成的晶体管121的电特性变化,氧化物半导体膜142b的表面优选具有高平坦度。为了增加氧化物半导体膜142b的平坦度,优选确保绝缘膜173的表面的高平坦度。然而,为了防止杂质例如氢进入绝缘膜173和氧化物半导体膜142b之间的界面附近,优选在形成绝缘膜173之后连续形成氧化物半导体膜142b,而不把绝缘膜173暴露到空气。因此,在本实施例中,使位于绝缘膜173下面的绝缘膜119的表面经历平坦化处理。用该结构,即使在绝缘膜173的表面没有受到平坦化处理时,也能确保绝缘膜173表面的平坦度。此外,当确保绝缘膜173表面的平坦度时,可以实现绝缘膜173和氧化物半导体膜142b的连续形成。

[0537] 可以通过例如化学机械抛光(CMP)法或液体喷射抛光法的抛光处理、例如干法刻蚀或湿法刻蚀的刻蚀处理、或抛光处理和刻蚀处理的组合来进行绝缘膜119的平坦化处理。

[0538] 在本实施例中,描述了绝缘膜119受到作为平坦化处理的CMP处理的情况。例如,在下述条件下使绝缘膜119受到平坦化处理:使用聚氨酯抛光布;使用硅浆料(60nm的颗粒尺寸)作为浆料;浆料流速大于或等于100ml/min并且小于或等于500ml/min;抛光压力高于或等于0.005MPa并且低于或等于0.08MPa;主轴旋转速度大于或等于20rpm并且小于或等于50rpm;桌台旋转速度大于或等于20rpm并且小于或等于50rpm。

[0539] 在本实施例中,已经历由CMP法抛光的绝缘膜119的厚度为300nm。

[0540] 通过溅射法、CVD法等形成绝缘膜173。绝缘膜173优选是施加热时释放氧的绝缘膜。优选使用以超过化学计量比的比率含有氧的绝缘膜作为施加热时释放氧的绝缘膜。当使施加热时释放氧的绝缘膜经历热处理时,氧可以被释放并且所释放的氧可以扩散进入(或者提供到)稍后要形成的氧化物半导体膜。绝缘膜173的例子包括氧化硅、氧氮化硅、氮氧化硅、氧化镓、氧化铪、氧化钽等的膜。通过溅射法形成的绝缘膜173能在施加热时容易地释放氧,这是优选的。可以利用单层绝缘膜或多个堆叠的绝缘膜形成绝缘膜173。

[0541] 绝缘膜173的厚度大于或等于50nm并且小于或等于800nm,优选大于或等于200nm并且小于或等于500nm。采用厚的绝缘膜173,可以增加从绝缘膜173释放的氧量,并且可以

降低在绝缘膜173与稍后要形成的氧化物半导体膜142b之间的界面处的界面态密度。

[0542] 在本实施例中,使用通过溅射法形成的具有200nm厚度的氧化硅膜作为绝缘膜173。在用溅射法形成绝缘膜173的情况下,可以使用氧气、氧和稀有气体的混合气体等作为沉积气体。此外,当沉积气体中的氧量增大时,绝缘膜173中所含的氧量增大,这是优选的。典型地,沉积气体中的氧浓度优选高于或等于6%并且低于或等于100%。

[0543] 在形成氧化硅膜作为绝缘膜173的情况下,优选使用下述条件下的RF溅射法:石英(优选合成石英)用作靶;衬底温度高于或等于30℃并且低于或等于450℃(优选高于或等于70℃并且低于或等于200℃);靶与衬底之间的距离(T-S距离)大于或等于20mm并且小于或等于400mm(优选大于或等于40mm并且小于或等于20mm);压力高于或等于0.1Pa并且低于或等于4Pa(优选高于或等于0.2Pa并且低于或等于1.2Pa);高频功率高于或等于0.5kW并且低于或等于12kW(优选高于或等于1kW并且低于或等于5kW);沉积气体中的 $O_2/(O_2+Ar)$ 比例高于或等于1%并且低于或等于100%(优选高于或等于6%并且低于或等于100%)。请注意,硅靶可以替代石英(优选为合成石英)靶用作靶。此外,氧气可以单独用作沉积气体。

[0544] 氧化物半导体膜142b的厚度大于或等于2nm并且小于或等于200nm,优选大于或等于3nm并且小于或等于50nm,更优选大于或等于3nm并且小于或等于20nm。通过利用氧化物半导体靶的溅射法形成氧化物半导体膜。此外,可以在稀有气体(例如氩)气氛、氧气氛或者稀有气体(例如氩)和氧气的混合气氛下通过溅射法来形成氧化物半导体膜。

[0545] 请注意,在通过溅射法形成氧化物半导体膜之前,优选通过其中引入氩气并产生等离子体的反向溅射来去除绝缘膜173表面上的灰尘。反向溅射法是指这样一种方法,其中不施加电压到靶侧,在氩气氛下使用RF电源施加电压到衬底一侧以在衬底附近产生等离子体,从而改变表面。请注意,可以使用氮气氛、氦气氛等替代氩气氛。可选地,可以使用添加了氧气、一氧化二氮等的氩气氛。可选地,可以使用添加了氯气、四氟化碳等的氩气氛。

[0546] 对于氧化物半导体膜来说,可以使用上述材料。在本实施例中,使用利用包括铟(In)、镓(Ga)和锌(Zn)的靶通过溅射法获得的具有20nm厚度的In-Ga-Zn类氧化物半导体薄膜作为氧化物半导体膜。作为靶,使用具有例如 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [摩尔比]的组成比率的靶。可选地,可以使用具有 $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [摩尔比]的组成比率的靶或具有 $In_2O_3:Ga_2O_3:ZnO=1:1:4$ [摩尔比]的组成比率的靶。含有In、Ga和Zn的靶的填充速率为90%或更高以及100%或更低,优选95%或更高且低于100%。使用高填充速率的靶子,形成致密氧化物半导体膜。

[0547] 在使用In-Zn类材料作为氧化物半导体的情况下,用于其的靶具有按原子比为In:Zn=50:1至1:2(按摩尔比为 $In_2O_3:ZnO=25:1$ 至1:4)的组成比率,优选按原子比为In:Zn=20:1至1:1(按摩尔比为 $In_2O_3:ZnO=10:1$ 至1:2),更优选按原子比为In:Zn=1.5:1至15:1(按摩尔比为 $In_2O_3:ZnO=3:4$ 至15:2)。例如,在用于形成具有In:Zn:O=X:Y:Z的原子比的In-Zn类氧化物半导体的靶中,满足 $Z>1.5X+Y$ 的关系。通过将Zn的比率保持在上述范围内可以提高迁移率。

[0548] 在使用In-Sn-Zn类材料作为氧化物半导体的情况下,要使用的靶的组成比率优选按原子比为In:Sn:Zn=1:2:2、2:1:3、1:1:1或4:9:7。

[0549] 在本实施例中,氧化物半导体膜以这种方式沉积:衬底保持在处理室中,处理室保持在减压状态下,残留在处理室中的湿气被去除,引入去除了氢和湿气的溅射气体,并使用

上述靶。在膜形成时,衬底温度可以高于或等于100℃并且低于或等于600℃,优选高于或等于200℃并且低于或等于400℃。通过在加热衬底的状态下形成氧化物半导体膜,可以减少所形成的氧化物半导体膜中包括的杂质浓度。此外,降低了由溅射而导致的损伤。为了去除处理室中的残留湿气,优选使用捕集真空泵。例如,优选使用低温泵、离子泵或钛升华泵。抽真空单元可以是设有冷阱的涡轮泵。例如,在用低温泵抽真空的处理室中,氢原子、含有氢原子的化合物例如水(H₂O)(更优选地,还有含碳原子的化合物)等被去除,由此可以减少在处理室中形成的氧化物半导体膜中的杂质浓度。

[0550] 膜形成条件的例子如下:衬底和靶之间的距离为100mm,压力为0.4Pa,直流(DC)电源的功率为0.5kW,气氛含有氩和氧(氩的流速为30sccm,氧的流速为15sccm)。请注意,脉冲直流(DC)电源是优选的,因为可以减少沉积中产生的灰尘并且可以使膜厚度均匀。

[0551] 当溅射装置的处理室的泄漏速率设置为 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{s}$ 或更小时,可以减少进入正在通过溅射法沉积的氧化物半导体膜的例如碱金属或氢化物的杂质。此外,使用捕集真空泵作为抽真空系统,可以降低杂质例如碱金属、氢原子、氢分子、水、羟基或氢化物从抽真空系统的反向流动。

[0552] 当靶的纯度设置为99.99%或更高时,可以减少进入氧化物半导体膜的碱金属、氢原子、氢分子、水、羟基、氢化物等。此外,当使用该靶时,可以减少在氧化物半导体膜中的碱金属例如锂、钠或钾的浓度。

[0553] 请注意,为了使氧化物半导体膜中所含有的氢、羟基和湿气尽可能少,优选作为用于沉积的预处理,通过在溅射装置的预加热室中预加热其上形成达至绝缘膜173的层的衬底100,消除且排出在形成于衬底100上的绝缘膜和导电膜上吸附的杂质例如湿气或氢。预加热的温度高于或等于100℃并且低于或等于400℃,优选高于或等于150℃并且低于或等于300℃。作为抽真空单元,低温泵优选设置在预加热室中。请注意,可以省略该预加热处理。也可以在稍后要进行的绝缘膜143a的形成之前以类似方式进行该预加热。

[0554] 请注意,在某些情况下,通过溅射法等沉积的氧化物半导体膜含有作为杂质的大量湿气或氢(包括羟基)。湿气或氢容易形成施主能级并由此成为氧化物半导体中的杂质。根据本发明的实施例,为了减少氧化物半导体膜142b中的杂质例如湿气或氢(对氧化物半导体膜142b进行脱水或脱氢),在减压气氛、例如氮气的惰性气体或稀有气体的气氛、氧气气氛或超干空气气氛(在用腔衰荡激光光谱(CRDS)方法的露点计进行测量的情况下,空气中的湿气的量为20ppm(转化为露点是-55℃)或更少,优选1ppm或更少,更优选10ppb或更少)下,使氧化物半导体膜142b经历热处理。

[0555] 当氧化物半导体膜142b经历热处理时,可以消除氧化物半导体膜142b中的湿气或氢。具体来说,在高于或等于250℃并且低于或等于750℃,优选高于或等于400℃并且低于或等于衬底应变点的温度下进行热处理。例如,可以在500℃进行热处理大约长于或等于三分钟并且短于或等于六分钟。当RTA法用于热处理时,可以在短时间内进行脱水或脱氢;从而,甚至可以在高于玻璃衬底的应变点的温度下进行处理。

[0556] 在本实施例中,使用为热处理装置之一的电炉。

[0557] 请注意,热处理装置不局限于电炉,可以具有用于通过来自例如电阻加热元件的加热元件的热传导或热辐射来加热对象的器件。例如,可以使用诸如气体快速热退火(GRTA)装置或灯快速热退火(LRTA)装置的快速热退火(RTA)装置。LRTA装置是用于通过从

例如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯的灯所发射的光辐射(电磁波)来加热待处理对象的装置。GRTA装置是利用高温气体用于热处理的装置。作为气体,使用不通过热处理与待处理对象反应的惰性气体像氮气或例如氩气的稀有气体。

[0558] 在热处理中,优选在氮气和例如氦气、氖气或氩气的稀有气体中不含有湿气、氢等。可选地,引入到热处理装置中的氮气或例如氦气、氖气或氩气的稀有气体的纯度优选大于或等于6N(99.9999%),更优选大于或等于7N(99.99999%) (即杂质浓度优选小于或等于1ppm,更优选小于或等于0.1ppm)。

[0559] 通过上述步骤,可以降低氧化物半导体膜142b中的氢浓度。此外,通过使用其中氢浓度降低的氧化物半导体膜,能够制造具有高耐受电压和极小截止态电流的晶体管。可以在形成氧化物半导体膜142b之后的任何时候进行上述热处理。

[0560] 请注意,氧化物半导体膜142b可以是非晶的或可以具有结晶性。对于具有结晶性的氧化物半导体膜来说,可以使用含有具有c轴排列的晶体的结晶氧化物半导体(也称为c轴排列结晶氧化物半导体(CAAC-OS)),其在从a-b平面、表面或界面的方向看时具有三角形或六边形原子排列。在晶体中,金属原子以分层方式排列,或者金属原子和氧原子沿c轴以分层方式排列,a轴或b轴方向在a-b平面中改变(晶体围绕c-轴转动)。CAAC-OS是优选的,因为能获得增大晶体管可靠性的效果。

[0561] 接着,如图43C所示,通过刻蚀等来处理氧化物半导体膜142b和绝缘膜173,使得形成了岛形氧化物半导体膜142和作为稍后要形成的绝缘膜140的一部分的第三氧化物绝缘膜140c。局部刻蚀第三氧化物绝缘膜140c的不与岛形氧化物半导体膜142交叠的区域。

[0562] 请注意,用于形成氧化物半导体膜142的刻蚀可以是湿法刻蚀、干法刻蚀或者既有干法刻蚀又有湿法刻蚀。作为用于干法刻蚀的气体,优选使用含氯的气体(基于氯的气体,例如氯气(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)或四氯化碳(CCl_4))。可选地,可以使用含氟气体(基于氟的气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)或三氟甲烷(CHF_3))、溴化氢(HBr)、氧气(O_2)、添加了例如氦(He)或氩(Ar)的稀有气体的任何这些气体等。

[0563] 作为干法刻蚀方法,可以使用平行板RIE(反应离子刻蚀)法或ICP(感应耦合等离子体)刻蚀法。为了将膜刻蚀成具有期望形状,可以适当地调整刻蚀条件(例如施加到线圈电极的电功率量、施加到衬底侧电极的电功率量以及衬底侧的电极温度)。

[0564] 作为用于湿法刻蚀的刻蚀剂,可以使用磷酸、醋酸和硝酸的混合溶液、或者例如柠檬酸或草酸的有机酸。

[0565] 可以通过喷墨法形成用于形成氧化物半导体膜142的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;从而可以减少制造成本。

[0566] 请注意,优选在后序步骤中形成导电膜之前进行反向溅射,以便去除附着到氧化物半导体膜142b和绝缘膜173的表面上的抗蚀剂残留物等。

[0567] 在本实施例中,通过干法刻蚀来处理氧化物半导体膜142b和绝缘膜173。例如,在下述条件下进行干法刻蚀:ICP功率为45W;偏置功率为100W;压力为1.9Pa;刻蚀气体是 BCl_3 和 Cl_2 的混合气体; BCl_3 的流速为60sccm; Cl_2 的流速为20sccm。当在这种条件下进行干法刻蚀时,在形成了岛形氧化物半导体膜142之后,可以从绝缘膜173形成第三氧化物绝缘膜140c。优选在刻蚀中不含有包括氢的杂质。

[0568] 在通过干法刻蚀来形成氧化物半导体膜142的情况下,当氧化物半导体膜142的侧表面附近即氧化物半导体膜142的末端部分暴露到包括氯自由基、氟自由基等的等离子体时,在氧化物半导体膜142的末端部分暴露的金属原子键合到氯自由基、氟自由基等。此时,键合到氯原子或氟原子的金属原子被释放,结果氧化物半导体膜142中到金属原子的键被打断的氧原子变成活性的。活性的氧原子容易反应和释放。从而,在氧化物半导体膜142的末端部分处可能导致氧缺陷。

[0569] 当在刻蚀步骤中暴露的氧化物半导体膜的末端部分是活性时,在减压气氛或还原气氛中,或在减压气氛的热处理中,氧被取出,并在氧化物半导体膜的末端部分处导致氧缺陷。一些氧缺陷成为施主并且产生作为载流子的电子,使得氧化物半导体膜142的末端部分具有n型导电性。

[0570] 在稍后要形成的导电膜145和146与具有n型导电性的氧化物半导体膜142的末端部分接触的情况下,通过该末端部分在导电膜145和146之间产生泄漏电流。泄漏电流使晶体管的截止态电流增加。

[0571] 接着,如图44A所示,在第三氧化物绝缘膜140c和氧化物半导体膜142上形成绝缘膜174和绝缘膜175。像绝缘膜173那样,优选利用加热时从其释放氧的绝缘膜来形成绝缘膜174。利用防止氧扩散的绝缘膜来形成绝缘膜175。氧化铝、氧氮化铝等可以作为绝缘膜175的例子给出。

[0572] 可以通过与绝缘膜173的沉积方法类似的沉积方法适当地形成绝缘膜174和绝缘膜175。优选在尽可能低的温度下,优选在室温下形成绝缘膜174和绝缘膜175,以便在形成绝缘膜174和绝缘膜175时减少从氧化物半导体膜142的末端部分释放的氧量。

[0573] 即使在氧化物半导体膜142的末端部分处产生氧缺陷时,加热时从其释放氧的绝缘膜174接触氧化物半导体膜142的末端部分,并且防止氧扩散的绝缘膜175与氧化物半导体膜142的末端部分交叠,绝缘膜174置于它们之间,使得氧可以通过稍后的热处理从绝缘膜174提供到氧化物半导体膜142的末端部分。因此,在氧化物半导体膜142的末端部分处的氧缺陷可以减少。

[0574] 在本实施例中,具有大约20nm厚度的氧化硅膜用作绝缘膜174,具有大约100nm厚度的氧化铝膜用作绝缘膜175。

[0575] 接着如图44B所示,使绝缘膜175经历平坦化处理,以便从绝缘膜175形成第二氧化物绝缘膜140b。可以通过例如化学机械抛光(CMP)法或液体喷射抛光法的抛光处理、例如干法刻蚀或湿法刻蚀的刻蚀处理、或抛光处理和刻蚀处理的组合来进行平坦化处理。在本实施例中,使绝缘膜175受到作为平坦化处理的CMP法。对绝缘膜175进行平坦化处理直到露出绝缘膜174。在氧化物半导体膜142为数纳米至数十纳米薄的情况下,优选氧化物半导体膜142不被平坦化处理去除。

[0576] 例如,在下述条件下使绝缘膜175受到CMP处理:使用聚氨酯抛光布;使用硅浆料(60nm的颗粒尺寸)作为浆料;浆料流速大于或等于100ml/min并且小于或等于500ml/min;抛光压力高于或等于0.005MPa并且低于或等于0.08MPa;主轴旋转速度大于或等于20rpm并且小于或等于50rpm;桌台旋转速度大于或等于20rpm并且小于或等于50rpm。

[0577] 接着,如图44C所示,去除绝缘膜174的暴露部分,从而暴露氧化物半导体膜142的表面。通过上述步骤,从绝缘膜174形成第一氧化物半导体膜140a。通过刻蚀处理去除绝缘

膜174的暴露部分。请注意,需要采用相对于氧化物半导体膜142的绝缘膜174选择比高的刻蚀条件。在去除绝缘膜174的暴露部分之后平坦化氧化物半导体膜142的表面,从而能提高稍后要完成的晶体管121的电特性。

[0578] 例如,在下述条件下进行干法刻蚀:ICP功率为500W;偏置功率为50W;压力为1.5Pa;刻蚀气体是 CF_4 和 O_2 的混合气体; CF_4 的流速为70sccm;以及 O_2 的流速为30sccm。当在这种条件下进行干法刻蚀时,可以选择性地去除绝缘膜174以形成第一氧化物绝缘膜140a。此外,可以防止氧化物半导体膜142被去除。优选在刻蚀中不含有包括氢的杂质。

[0579] 在形成第一氧化物绝缘膜140a之后可以进行热处理。通过热处理,可以去除在氧化物半导体膜142中的包括氢的杂质。此外,从第一氧化物绝缘膜140a和第三氧化物绝缘膜140c释放氧,使得氧可以被提供到氧化物半导体膜142的末端部分和下部部分,并由此可以减少氧缺陷。

[0580] 接着,如图45A所示,绝缘膜143a、导电膜144a和绝缘膜151a依此顺序堆叠以覆盖第一氧化物绝缘膜140a、第二氧化物绝缘膜140b和氧化物半导体膜142。

[0581] 可以利用与栅极绝缘膜104n或栅极绝缘膜104p类似的任何材料和叠层结构来形成绝缘膜143a和绝缘膜151a。稍后要成为栅极绝缘膜143的绝缘膜143a优选含有尽可能少的杂质例如湿气或氢,并且可以是单层绝缘膜或多个堆叠的绝缘膜。当在栅极绝缘膜143中含有氢时,氢进入氧化物半导体膜142或用氢取出氧化物半导体膜142中的氧,由此氧化物半导体膜142具有更低的电阻(n型导电性);于是,可能形成寄生沟道。因此重要的是,采用不使用氢的膜形成方法以形成含氢尽可能少的栅极绝缘膜143。具有高阻挡特性的材料优选用于栅极绝缘膜143。例如,可以使用氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等作为具有高阻挡特性的绝缘膜。在使用多个层叠绝缘膜的情况下,在与具有高阻挡特性的绝缘膜相比更靠近氧化物半导体膜142的一侧形成具有低比率的氮的绝缘膜例如氧化硅膜或氧氮化硅膜。然后,形成具有高阻挡特性的绝缘膜以与氧化物半导体膜142交叠,具有低比率的氮的绝缘膜置于它们之间。当使用具有高阻挡特性的绝缘膜时,可以防止例如湿气或氢的杂质进入氧化物半导体膜142、栅极绝缘膜143或在氧化物半导体膜142与其它绝缘膜之间的界面及其周围。此外,形成具有低比率的氮的绝缘膜例如氧化硅膜或氧氮化硅膜与氧化物半导体膜142接触,从而可以防止利用具有高阻挡特性的材料形成的绝缘膜与氧化物半导体膜142直接接触。

[0582] 在本实施例中,用等离子体CVD法形成的具有20nm厚度的氧氮化硅膜用作绝缘膜143a,用溅射法形成的具有100nm厚度的氧化硅膜用作绝缘膜151a。

[0583] 在形成绝缘膜143a之后,可以进行热处理。在氮气气氛、超干空气或稀有气体(例如氩气或氦气)气氛中,优选在高于或等于200℃且低于或等于400℃,例如高于或等于250℃且低于或等于350℃的温度下,进行热处理。优选气体中的水含量为20ppm或更少,优选1ppm或更少,更优选10ppb或更少。

[0584] 可选地,可以在氧气气氛中对氧化物半导体膜142进行热处理以添加氧到氧化物半导体中,从而减少氧化物半导体膜142中用作施主的氧缺陷。例如在高于或等于100℃并低于350℃,优选高于或等于150℃并低于250℃的温度下进行热处理。优选用于氧气气氛下的热处理的氧气不含有水、氢等。可选地,引入到热处理装置中的氧气的纯度优选大于或等于6N(99.9999%),更优选大于或等于7N(99.99999%) (即氧气中的杂质浓度小于或等于1ppm,

优选小于或等于0.1ppm)。

[0585] 可选地,可以通过离子注入法、离子掺杂法等把氧添加到氧化物半导体膜142中,以便减少用作施主的氧缺陷。例如,用2.45GHz微波制作成等离子体的氧可被添加到氧化物半导体膜142。

[0586] 可以通过溅射法或真空蒸镀法来形成导电膜144a。作为用于形成导电膜144a的导电膜,可以使用任何下列材料:选自铝、铬、铜、钽、钛、钼或钨的元素;包括任意这些元素的合金;包括上述元素的组合的合金膜等。可选地,可以采用其中在铝、铜等的金属膜之上或之下堆叠例如铬、钽、钛、钼或钨的难熔金属膜的结构。铝或铜优选与难熔金属组合使用,以便避免耐热性和腐蚀的问题。作为难熔金属材料,可以使用钼、钛、铬、钼、钨、钽、钕等。

[0587] 要成为导电膜144a的导电膜可以具有单层结构或至少两层的分层结构。作为导电膜144a,可以使用含有选自铝、铬、铜、钽、钛、钼和钨的元素的膜;含有任何这些元素作为成分的合金膜;含有任何这些元素的组合的合金膜等。可选地,可以利用其中在铝、铜等的金属膜之上或之下堆叠例如铬、钽、钛、钼或钨的难熔金属膜的结构。铝或铜优选与难熔金属材料组合使用,以便避免耐热性和腐蚀的问题。作为难熔金属材料,可以使用钼、钛、铬、钽、钨、钹、钐、铈等。Cu-Mg-Al合金、Mo-Ti合金、Ti和Mo具有高的与氧化物膜的粘合性。因此,在绝缘膜143a包括氧化物的情况下,具有高的与氧化物膜的粘合性的任何上述材料优选用于在绝缘膜143a上的导电膜144a。例如,作为导电膜144a,具有低电阻的含Cu导电膜堆叠在包含Cu-Mg-Al合金、Mo-Ti合金、Ti或Mo的导电膜上,从而可以增加导电膜144a和含有氧化物膜的绝缘膜143a之间的粘合性并可以降低导电膜144a的电阻。

[0588] 可选地,要成为导电膜144a的导电膜可以用导电金属氧化物来形成。作为导电金属氧化物,可以使用氧化铟、氧化锡、氧化锌、氧化铟和氧化锡的混合物、氧化铟和氧化锌的混合物或者添加硅或氧化硅的任何金属氧化物材料。

[0589] 在形成导电膜之后进行热处理的情况下,导电膜优选具有足够高的耐热性以耐受热处理。

[0590] 在本实施例中,作为导电膜144a,使用具有30nm厚度的氮化钽膜和在其上的具有135nm厚度的钨膜的叠层。

[0591] 接着,在绝缘膜151a上形成掩模,并刻蚀导电膜144a和绝缘膜151a;于是,如图45B所示,形成栅电极144和在栅电极144上的绝缘膜151。

[0592] 在导电膜144a和绝缘膜151a的刻蚀中可以使用湿法刻蚀或干法刻蚀,或者可以组合使用湿法刻蚀和干法刻蚀。根据材料适当地设置刻蚀条件(例如刻蚀气体或刻蚀剂、刻蚀时间和温度),从而导电膜144a和绝缘膜151a可以被刻蚀成期望形状。请注意,为了细微地处理晶体管121的沟道长度(L),优选使用干法刻蚀。

[0593] 作为用于刻蚀绝缘膜151a的刻蚀气体,例如可以使用含氟气体诸如六氟化硫(SF₆)、三氟化氮(NF₃)、三氟甲烷(CHF₃)、四氟化碳(CF₄)和氢的混合气体等。稀有气体(氦(He)、氩(Ar)或氙(Xe))、一氧化碳、二氧化碳等可以被添加到刻蚀气体。作为用于刻蚀导电膜144a的刻蚀气体,适当时可以使用基于氯的气体例如氯气、氯化硼、氯化硅或四氟化碳;基于氟的气体例如四氟化碳、氟化硫或氟化氮;或者氧气。

[0594] 接着,如图45C所示,用栅电极144和绝缘膜151作为掩模,添加掺杂剂到氧化物半导体膜142,从而形成与栅电极144交叠并且至少一部分用作沟道形成区的第一区147以及

用作源和漏并在其间夹着第一区147的第二区148和149。

[0595] 可以通过离子掺杂法或离子注入法把掺杂剂添加到氧化物半导体膜142。作为要添加的掺杂剂,例如可以使用诸如氢、氩或氙的稀有气体、属于15族的元素诸如氮、磷、砷或锑等中的至少一种。

[0596] 例如,在使用氮作为掺杂剂的情况下,第二区148和149中的氮原子浓度优选高于或等于 $5 \times 10^{19}/\text{cm}^3$ 并低于或等于 $1 \times 10^{22}/\text{cm}^3$ 。

[0597] 此外,还可以利用与离子掺杂法和离子注入法不同的方法来进行掺杂剂的添加。例如,可以按下列方式来添加掺杂剂:在含有待添加元素的气体气氛中产生等离子体,并对要添加掺杂剂的对象进行等离子体处理。作为用于产生等离子体的装置,可以使用干法刻蚀装置、等离子体CVD装置、高密度等离子体CVD装置等。

[0598] 对于掺杂条件,例如,在掺杂剂为氮的情况下,加速电压设置为20kV。在掺杂剂为磷的情况下,加速电压设置为40kV。在氮或磷的剂量小于或等于 $1 \times 10^{14}/\text{cm}^2$ 的情况下,优选在低于450℃的温度下进行热处理。从而,含有掺杂剂的第二区148和149的表面电阻可以低于或等于 $1 \times 10^7 \Omega/\text{sq}$ 。在剂量大于或等于 $5 \times 10^{14}/\text{cm}^2$ 并且小于 $5 \times 10^{15}/\text{cm}^2$ 的情况下,优选在高于或等于450℃并且低于或等于600℃的温度下进行热处理。因此,第二区148和149的表面电阻可以低于或等于 $1 \times 10^5 \Omega/\text{sq}$ 。在剂量大于或等于 $5 \times 10^{15}/\text{cm}^2$ 的情况下,优选在高于或等于600℃的温度下进行热处理。从而,含有掺杂剂的第二区148和149的表面电阻可以低于或等于 $1 \times 10^5 \Omega/\text{sq}$ 。

[0599] 减小第二区148和149的表面电阻,从而可以减小在第二区148和稍后要形成的导电膜145之间以及在第二区149和稍后要形成的导电膜146之间的电阻。因此,即使在晶体管121小型化时,也可以确保大的导通态电流和高速操作。此外,晶体管121的小型化使得能够增大存储器件的每单位面积的存储容量。

[0600] 接着,形成绝缘膜以覆盖绝缘膜143a、栅电极144、绝缘膜151等,且通过刻蚀等处理该绝缘膜和绝缘膜143a。通过该步骤,如图46A所示,从绝缘膜形成设置在栅电极144的侧面部分上的侧壁150,从绝缘膜143a形成设置在栅电极144和侧壁150下面的栅极绝缘膜143。可以利用与绝缘膜173类似的材料和膜形成方法来形成要成为侧壁150的绝缘膜。例如,可以采用其中在氮化硅膜上形成氧化硅膜的叠层结构。在本实施例中,形成氧化硅膜作为要成为侧壁150的绝缘膜。

[0601] 接着,可以进行热处理。通常在高于或等于150℃并且低于或等于450℃,优选高于或等于250℃并且低于或等于325℃的温度下进行热处理。在热处理中,温度可以从250℃逐渐增大至325℃。

[0602] 当进行热处理时,氧从与氧化物半导体膜142接触的绝缘膜扩散到氧化物半导体膜142中,使得可以减少在与绝缘膜接触的氧化物半导体膜142的表面中以及在其附近的氧缺陷。此外,可以减少含有掺杂剂的第二区148和149的电阻。

[0603] 接着,形成并通过刻蚀等处理导电膜;从而,如图46B所示,形成导电膜145、导电膜146和导电膜153。导电膜145与第二区148接触,导电膜146与第二区149接触。此外,导电膜153形成在第二氧化物绝缘膜140b上。可以利用与导电膜144a类似的材料和叠层结构来形成导电膜145、导电膜146和导电膜153。

[0604] 用于形成导电膜145和146以及导电膜153的刻蚀可以是湿法刻蚀或干法刻蚀。可

选地,可以组合使用湿法刻蚀和干法刻蚀。根据材料来适当地设置刻蚀条件(例如刻蚀气体或刻蚀剂、刻蚀时间和温度),使得导电膜145和146以及导电膜153可以被刻蚀成具有期望形状。请注意,为了精细处理晶体管,优选使用干法刻蚀。作为用于干法刻蚀的刻蚀气体,例如,可以使用含氟的气体诸如六氟化硫(SF₆)、三氟化氮(NF₃)、三氟甲烷(CHF₃)、四氟化碳(CF₄)和氢的混合气体等。稀有气体(氦(He)、氩(Ar)或氙(Xe))、一氧化碳、二氧化碳等可以被添加到刻蚀气体。

[0605] 在本实施例中,使用具有大约100nm厚度的钨膜作为导电膜145和146以及导电膜153。在使用钨膜作为导电膜145和146以及导电膜153的情况下,在例如下述条件下进行刻蚀:ICP功率为500W;偏置功率为150W;压力为1.0Pa;刻蚀气体是CF₄、Cl₂和O₂的混合气体;CF₄的流速为25sccm;Cl₂的流速为25sccm;O₂的流速为10sccm。

[0606] 请注意,在本实施例中,导电膜145和导电膜146设置得与侧壁150接触。用该结构,即使在用于形成导电膜145和导电膜146的掩模在一定程度上未对准时,也可以防止导电膜145和导电膜146与氧化物半导体膜142接触的区域的大小发生变化。因此,可以抑制由于导电膜145和导电膜146的位置偏离而引起的氧化物半导体膜142与导电膜145和146之间的电阻的改变,并由此,可以防止晶体管121的导通态电流的改变。此外,在用于形成导电膜145和146的刻蚀中,氧化物半导体膜142更少可能暴露到刻蚀气体,这是优选的。

[0607] 通过上述步骤,可以制作晶体管121。

[0608] 接着,如图47A所示,在第二氧化物绝缘膜140b、导电膜145、导电膜146、导电膜153、侧壁150和绝缘膜151上形成绝缘膜154,然后通过刻蚀等在绝缘膜154中形成开口部分以暴露部分导电膜146。此后,在绝缘膜154上,在与导电膜153交叠的位置中形成导电膜155,且形成在开口部分中与导电膜146接触的导电膜156。

[0609] 可以利用包括无机绝缘材料诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝或氧化钽的材料来形成绝缘膜154。此外,可以利用例如聚酰亚胺或丙烯酸树脂的有机绝缘材料来形成绝缘膜154。

[0610] 在本实施例中,绝缘膜154具有如下结构,其中用溅射法形成的具有50nm厚度的氧化铝膜和用等离子体CVD法形成的具有300nm厚度的氧氮化硅膜按此顺序堆叠。绝缘膜154可以是单层绝缘膜或至少三层绝缘膜的叠层。

[0611] 可以利用与导电膜144a类似的材料和叠层结构来形成导电膜155和导电膜156中的每个。在本实施例中,以下面的方式来形成导电膜155和导电膜156中的每个:通过溅射法依序形成具有20nm厚度的钛膜、具有50nm厚度的钨膜、具有200nm厚度的铝膜以及具有5nm厚度的钛膜。

[0612] 通过上述步骤,可以制造电容器136。

[0613] 接着,如图47B所示,形成绝缘膜160以覆盖导电膜155、导电膜156和绝缘膜154,然后,通过刻蚀等在绝缘膜160中形成开口部分以暴露部分导电膜156。接着,在绝缘膜160上形成与开口部分中的导电膜156接触的导电膜158。

[0614] 优选平坦化绝缘膜160的表面。可以利用包括无机绝缘材料诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝或氧化钽的材料来形成绝缘膜160。可选地,可以利用例如聚酰亚胺或丙烯酸树脂的有机绝缘材料来形成绝缘膜160。在本实施例中,使用具有1500nm厚度的聚酰亚胺膜作为绝缘膜160。

[0615] 可以利用与导电膜144a类似的材料和叠层结构来形成导电膜158。在本实施例中，以下面的方式来形成导电膜158：通过溅射法依序形成具有20nm厚度的钛膜、具有50nm厚度的钨膜、具有300nm厚度的铝膜以及具有5nm厚度的钛膜。

[0616] 通过上述步骤，可以制造根据本发明一实施例的半导体器件，例如图47B所示的半导体器件。

[0617] 请注意，在本实施例中，使用栅电极144和绝缘膜151作为掩模把掺杂剂添加到氧化物半导体膜142；然而，可以在形成侧壁150之后在形成导电膜145和146之前把掺杂剂添加到氧化物半导体膜142。

[0618] 可以通过与上述实施例适当地结合来实施本实施例。

[0619] (实施例5)

[0620] 在本实施例中，将描述用于制造其一部分具有图36所示的结构 of 的半导体器件的方法的例子。

[0621] 请注意，诸如锗、硅锗或单晶碳化硅以及硅的半导体材料可以用于包含在存储元件中的n沟道晶体管102n和p沟道晶体管102p。例如，可以利用单晶半导体衬底诸如硅晶片、通过SOI法形成的硅薄膜、用气相沉积法形成的硅薄膜等形成含有硅的n沟道晶体管102n和p沟道晶体管102p。

[0622] 请注意，可以按与实施例4描述的方式类似的方式来制造n沟道晶体管102n和p沟道晶体管102p。因此，在本实施例中，对于直到图43A所示步骤的那些步骤，可以参考实施例4的描述。

[0623] 在图43A所示的步骤之后，如图48A所示，绝缘膜119和绝缘膜180依此顺序堆叠在绝缘膜171上以覆盖导电膜106、导电膜107和导电膜113。

[0624] 对于绝缘膜119的材料、结构和制造方法，可以参考实施例4。此外，绝缘膜180的材料、叠层结构和制造方法可以与在实施例4中描述的绝缘膜173的那些类似。

[0625] 接着，如图48B所示，通过刻蚀等去除部分绝缘膜180，从而形成具有突出部分的第一氧化物绝缘膜120a。第一氧化物绝缘膜120a将成为稍后形成的绝缘膜120的一部分。可以通过干法刻蚀、湿法刻蚀或它们二者来进行绝缘膜180的刻蚀。优选在刻蚀中不含有包括氢的杂质。

[0626] 接着，如图48C所示，形成绝缘膜181以覆盖第一氧化物绝缘膜120a。绝缘膜181的材料、叠层结构和制造方法可以与实施例4中描述的绝缘膜175的那些类似。请注意，形成绝缘膜181以使其厚度大于第一氧化物绝缘膜120a的突出部分的高度。用该结构，可以在稍后的平坦化步骤中形成都具有高平坦度的第一氧化物绝缘膜120a和第二氧化物绝缘膜120b。

[0627] 接着，如图49A所示，使绝缘膜181受到平坦化处理，以便从绝缘膜181形成第二氧化物绝缘膜120b。可以按与实施例4中描述的对绝缘膜175进行的平坦化处理类似的方式进行该平坦化处理。通过对绝缘膜181进行的平坦化处理，暴露第一氧化物绝缘膜120a的突出部分。请注意，在该平坦化处理中可以去除第一氧化物绝缘膜120a的部分突出部分。

[0628] 接着，如图49B所示，在第一氧化物绝缘膜120a和第二氧化物绝缘膜120b上形成岛形氧化物半导体膜122。氧化物半导体膜122的材料、叠层结构和制造方法可以与实施例4中描述的氧化物半导体膜142的那些类似。请注意，确定氧化物半导体膜122的位置使得稍后在氧化物半导体膜122中形成的第一区127与第一氧化物绝缘膜120a接触，且使得稍后在氧

化物半导体膜122中形成的第二区128与第一氧化物绝缘膜120a和第二氧化物绝缘膜120b接触。

[0629] 接着,如图49C所示,绝缘膜123a、导电膜124a和绝缘膜131a依此顺序堆叠以覆盖第一氧化物绝缘膜120a、第二氧化物绝缘膜120b和氧化物半导体膜122。

[0630] 可以利用与实施例4中的绝缘膜143a类似的材料和叠层结构来形成绝缘膜123a,可以利用与实施例4中的绝缘膜151a类似的材料和叠层结构来形成绝缘膜131a。请注意,可以在形成绝缘膜123a之后进行热处理。可以在与实施例4中在形成绝缘膜143a之后进行的热处理的条件类似的条件下来进行该热处理。

[0631] 可以利用与实施例4中的导电膜144a类似的材料和层叠结构来形成导电膜124a。

[0632] 接着,在绝缘膜131a上形成掩模,并刻蚀导电膜124a和绝缘膜131a;从而,如图50A所示,形成栅电极124和在栅电极124上的绝缘膜131。可以在与实施例4中的导电膜144a和绝缘膜151a的刻蚀的条件类似的条件下来进行导电膜124a和绝缘膜131a的刻蚀。

[0633] 接着,如图50B所示,用栅电极124和绝缘膜131作为掩模,把掺杂剂添加到氧化物半导体膜122,以便形成与栅电极124交叠并且至少一部分用作沟道形成区的第一区127、以及用作源和漏并在其间夹着第一区127的第二区128和129。

[0634] 可以按与实施例4中对氧化物半导体膜142的掺杂剂添加和热处理的方式类似的方式来进行对氧化物半导体膜122的掺杂剂添加和随后的热处理。通过添加掺杂剂和热处理可以减小第二区128和129的表面电阻。因此,可以减少在第二区128和稍后要形成的导电膜125之间以及在第二区129和稍后要形成的导电膜126之间的电阻。从而,即使在晶体管121小型化时,也能确保大的导通态电流和高速操作。此外,晶体管121的小型化使得能够增加存储器件的每单位面积的存储容量。

[0635] 接着,形成绝缘膜以覆盖绝缘膜123a、栅电极124、绝缘膜131等,并通过刻蚀等处理该绝缘膜和绝缘膜123a。通过该步骤,如图51A所示,从绝缘膜形成设置在栅电极124的侧面部分上的侧壁130,且从绝缘膜123a形成设置在栅电极124和侧壁130下面的栅极绝缘膜123。可以利用与绝缘膜180类似的材料、叠层结构和膜形成方法来形成要成为侧壁130的绝缘膜。

[0636] 接着,可以进行热处理。通常在高于或等于150℃并且低于或等于450℃,优选高于或等于250℃并且低于或等于325℃的温度下进行热处理。在热处理中,温度可以从250℃逐渐上升至325℃。

[0637] 当进行热处理时,氧从与氧化物半导体膜122接触的绝缘膜扩散到氧化物半导体膜122中,从而可以减少与绝缘膜接触的氧化物半导体膜122的表面及其附近中的氧缺陷。此外,可以减少含有掺杂剂的第二区128和129的电阻。

[0638] 接着,形成并通过刻蚀等处理导电膜;从而,如图51B所示,形成导电膜125、导电膜126和导电膜133。导电膜125与第二区128接触,导电膜126与第二区129接触。此外,导电膜133形成在第二氧化物绝缘膜120b上。可以利用与导电膜124a类似的材料和叠层结构来形成导电膜125、导电膜126和导电膜133。

[0639] 可以在与实施例4中用于形成导电膜145和146以及导电膜153的刻蚀的条件类似的条件下进行用于形成导电膜125和126以及导电膜133的刻蚀。

[0640] 请注意,在本实施例中,设置导电膜125和导电膜126与侧壁130接触。用该结构,即

使在用于形成导电膜125和导电膜126的掩模在一定程度上未对准时,也可以防止导电膜125和126与氧化物半导体膜122接触的区域的大小发生变化。因此,可以抑制由于导电膜125和126的位置偏离而引起的氧化物半导体膜122与导电膜125和126之间的电阻的改变,并由此,可以防止晶体管121的导通态电流的改变。此外,在用于形成导电膜125和126的刻蚀中,氧化物半导体膜122更少可能暴露到刻蚀气体,这是优选的。

[0641] 通过上述步骤,可以制造晶体管121。

[0642] 接着,如图52A所示,在第二氧化物绝缘膜120b、导电膜125、导电膜126、导电膜133、侧壁130和绝缘膜131上形成绝缘膜134,然后,通过刻蚀等在绝缘膜134中形成开口部分以露出部分导电膜126。此后,在绝缘膜134上,在与导电膜133交叠的位置中形成导电膜135,并且形成与开口部分中的导电膜126接触的导电膜186。

[0643] 可以利用与实施例4中的绝缘膜154类似的材料、叠层结构和制造方法来形成绝缘膜134。此外,可以利用与导电膜124a类似的材料和叠层结构来形成导电膜135和导电膜186。

[0644] 通过上述步骤,可以制造电容器136。

[0645] 接着,如图52B所示,形成绝缘膜187以覆盖导电膜135、导电膜186和绝缘膜134,然后,通过刻蚀等在绝缘膜187中形成开口部分以露出部分导电膜186。接着,在绝缘膜187上形成与开口部分中的导电膜186接触的导电膜188。

[0646] 可以利用与实施例4中的绝缘膜160类似的材料、叠层结构和制造方法来形成绝缘膜187。此外,可以利用与导电膜124a类似的材料和叠层结构来形成导电膜188。

[0647] 通过上述步骤,可以制造根据本发明一实施例的半导体器件,例如图52B中所示的半导体器件。

[0648] 请注意,在本实施例中,使用栅电极144和绝缘膜151作为掩模把掺杂剂添加到氧化物半导体膜142;然而,可以在形成侧壁150之后在形成导电膜145和146之前把掺杂剂添加到氧化物半导体膜142。

[0649] 可以通过与任何上述实施例适当地结合来实施本实施例。

[0650] [示例1]

[0651] 在本示例中,将参考图34A和34B等描述其中使用In-Sn-Zn类氧化物半导体膜的晶体管的示例。

[0652] 图34A和34B是具有顶栅顶接触结构的共面晶体管的俯视图和横截面图。图34A是晶体管的俯视图。图34B是沿图34A中的虚线A1-A2截取的横截面图。

[0653] 图34B中所示的晶体管包括:衬底1500;设置在衬底1500上的基部绝缘膜1502;设置在基部绝缘膜1502周围的保护绝缘膜1504;设置在基部绝缘膜1502和保护绝缘膜1504上并包括高电阻区1506a和低电阻区1506b的氧化物半导体膜1506;设置在氧化物半导体膜1506上的栅极绝缘膜1508;设置得与氧化物半导体膜1506交叠的栅电极1510,栅极绝缘膜1508位于它们之间;设置得与栅电极1510的侧表面接触的侧壁绝缘膜1512;设置得至少与低电阻区1506b接触的一对电极1514;设置得至少覆盖氧化物半导体膜1506、栅电极1510和该对电极1514的层间绝缘膜1516;以及设置得通过层间绝缘膜1516中形成的开口部分连接到该对电极1514中的至少一个的布线1518。

[0654] 尽管未示出,但是可以设置保护膜以覆盖层间绝缘膜1516和布线1518。用该保护

膜,可以减少由于层间绝缘膜1516的表面传导而产生的微量泄漏电流,且因此晶体管的截止态电流可以减小。

[0655] [示例2]

[0656] 在本示例中,将在下面描述其中使用In-Sn-Zn类氧化物半导体膜作为氧化物半导体膜的晶体管的另一示例。

[0657] 图35A和35B是示出本示例中制造的晶体管的结构俯视图和横截面图。图35A是晶体管的俯视图。图35B是沿图35A中的虚线B1-B2截取的横截面图。

[0658] 图35B所示的晶体管包括衬底1600;在衬底1600上设置的基部绝缘膜1602;在基部绝缘膜1602上设置的氧化物半导体膜1606;与氧化物半导体膜1606接触的一对电极1614;设置在氧化物半导体膜1606和该对电极1614上的栅极绝缘膜1608;设置得与氧化物半导体膜1606交叠的栅电极1610,栅极绝缘膜1608位于它们之间;设置得覆盖栅极绝缘膜1608和栅电极1610的层间绝缘膜1616;通过层间绝缘膜1616中形成的开口部分与该对电极1614连接的布线1618;以及设置得覆盖层间绝缘膜1616和布线1618的保护膜1620。

[0659] 作为衬底1600,使用玻璃衬底。作为基部绝缘膜1602,使用氧化硅膜。作为氧化物半导体膜1606,使用In-Sn-Zn类氧化物半导体膜。作为一对电极1614,使用钨膜。作为栅极绝缘膜1608,使用氧化硅膜。栅电极1610具有氮化钽膜和钨膜的叠层结构。层间绝缘膜1616具有氧氮化硅膜和聚酰亚胺的叠层结构。布线1618具有其中钛膜、铝膜和钛膜依此顺序形成的叠层结构。作为保护膜,使用聚酰亚胺膜。

[0660] 请注意,在具有图35A所示结构的晶体管中,栅电极1610与一对电极1614之一交叠的部分的宽度被称为 L_{ov} 。类似地,一对电极1614的不与氧化物半导体膜1606交叠的部分的宽度被称为 dW 。

[0661] [示例3]

[0662] 根据本发明一实施例的半导体器件能确保高速操作,抑制功耗并实现高集成度。可以用能高速操作的半导体器件或高集成度的半导体器件提供精密的电子器件。此外,可以用低功耗的半导体器件提供具有低功耗的电子器件。特别地,在难以连续接收功率的便携式电子器件的情况下,当添加根据本发明一实施例的具有低功耗的半导体器件作为电子器件的组成部分时,可以获得连续操作时间增加的优势。

[0663] 根据本发明一实施例的半导体器件可以用于显示器、个人计算机或具有记录介质的图像再现装置(通常为再现记录介质诸如数字万用盘(DVD)的内容并具有显示器以用于显示所再现的图像的装置)。可以包括根据本发明一实施例的半导体器件的电子装置的其它示例是移动电话、包括便携式游戏机的游戏机、便携式信息终端、电子书阅读器、视频摄像机、数字静态摄像机、眼罩型显示器(头部安装显示器)、导航系统、音频再现装置(例如汽车音响系统和数字音频播放器)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)以及自动售货机。在图17A至17C中示出了这些电子装置的具体例子。

[0664] 图17A示出一种便携式游戏机,包括外壳7031、外壳7032、显示部分7033、显示部分7034、麦克风7035、扬声器7036、操作键7037、手写笔7038等。根据本发明一实施例的半导体器件可以用于控制便携式游戏机的驱动的集成电路。根据本发明一实施例的半导体器件用于控制便携式游戏机的驱动的集成电路,从而能够提供精密的便携式游戏机和具有低功耗的便携式游戏机。请注意,尽管图17A所示的便携式游戏机包括两个显示部分7033和7034,

但便携式游戏机所包含的显示部分不限于两个。

[0665] 图17B示出一种移动电话,包括外壳7041、显示部分7042、音频输入部分7043、音频输出部分7044、操作键7045、光接收部分7046等。光接收部分7046所接收的光被转化成电信号,从而可以加载外部图像。根据本发明一实施例的半导体器件可以用于控制移动电话的驱动的集成电路。根据本发明一实施例的半导体器件用于控制移动电话的驱动的集成电路,从而能提供精密的移动电话和具有低功耗的移动电话。

[0666] 图17C示出一种便携式信息终端,包括外壳7051、显示部分7052、操作键7053等。调制解调器可以包括在图17C所示的便携式信息终端的外壳7051中。根据本发明一实施例的半导体器件可以用于控制便携式信息终端的驱动的集成电路。根据本发明一实施例的半导体器件用于控制便携式信息终端的驱动的集成电路,从而能够提供精密的便携式信息终端和具有低功耗的便携式信息终端。

[0667] 该示例可以通过与任意上述实施例适当地组合来实施。

[0668] 本申请基于2011年4月29日向日本专利局提交的日本专利申请序列号No.2011-102569、2011年4月29日向日本专利局提交的日本专利申请序列号No.2011-102571、2011年5月20日向日本专利局提交的日本专利申请序列号No.2011-113237和2011年5月20日向日本专利局提交的日本专利申请序列号No.2011-113238,这些申请的整个内容通过引用合并于此。

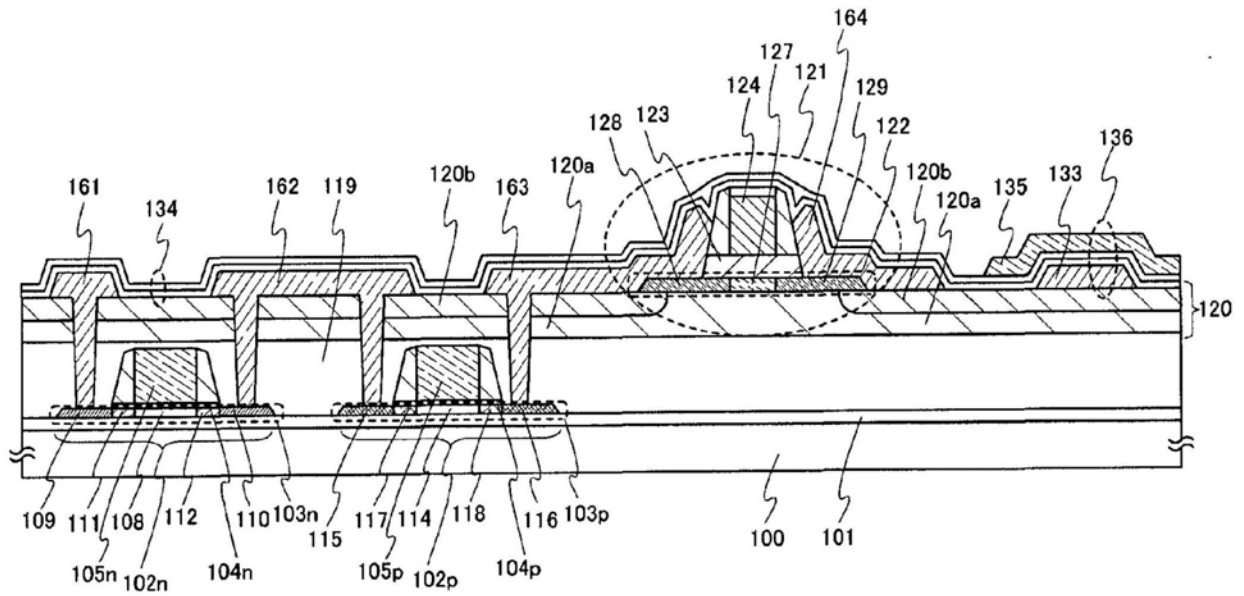


图1

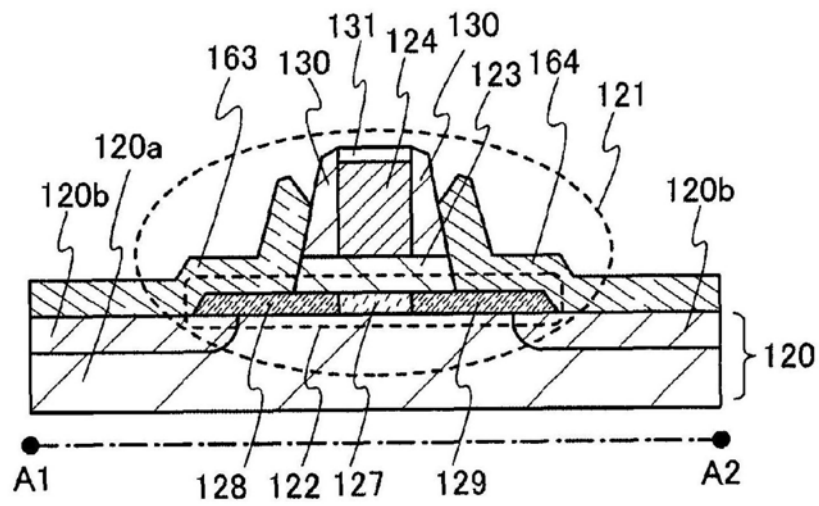


图2A

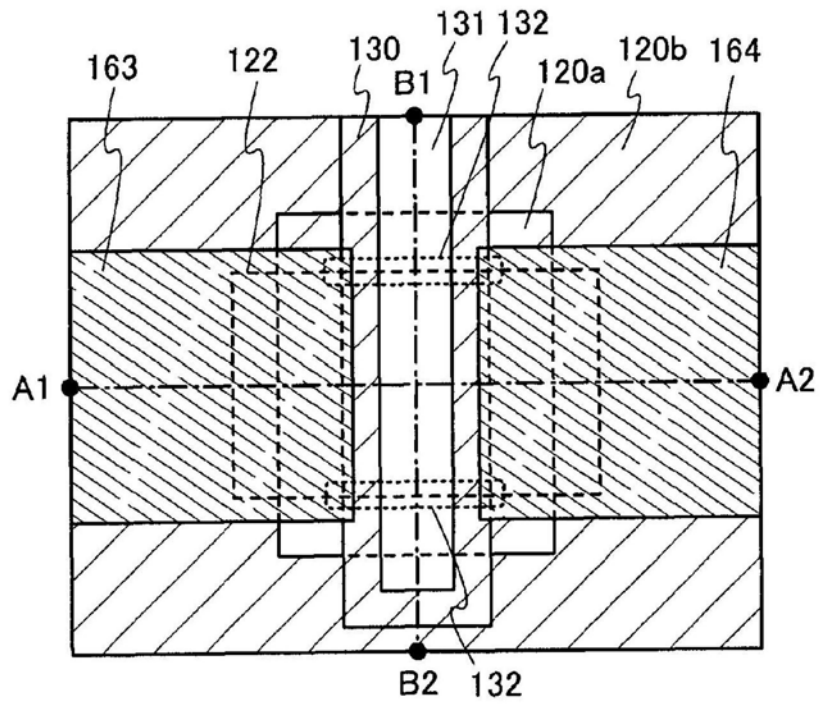


图2B

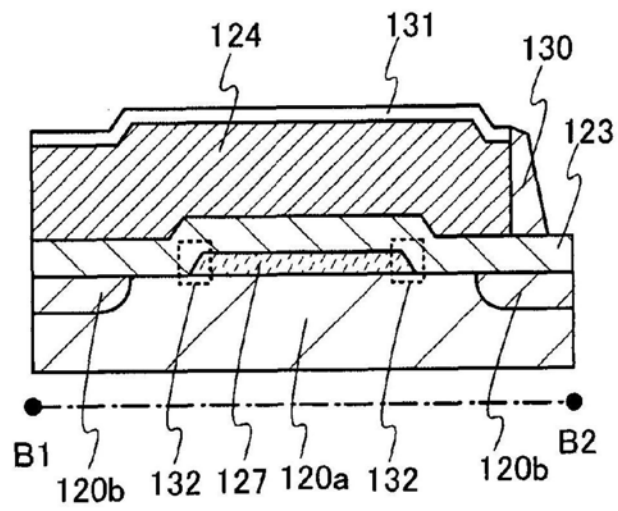


图2C

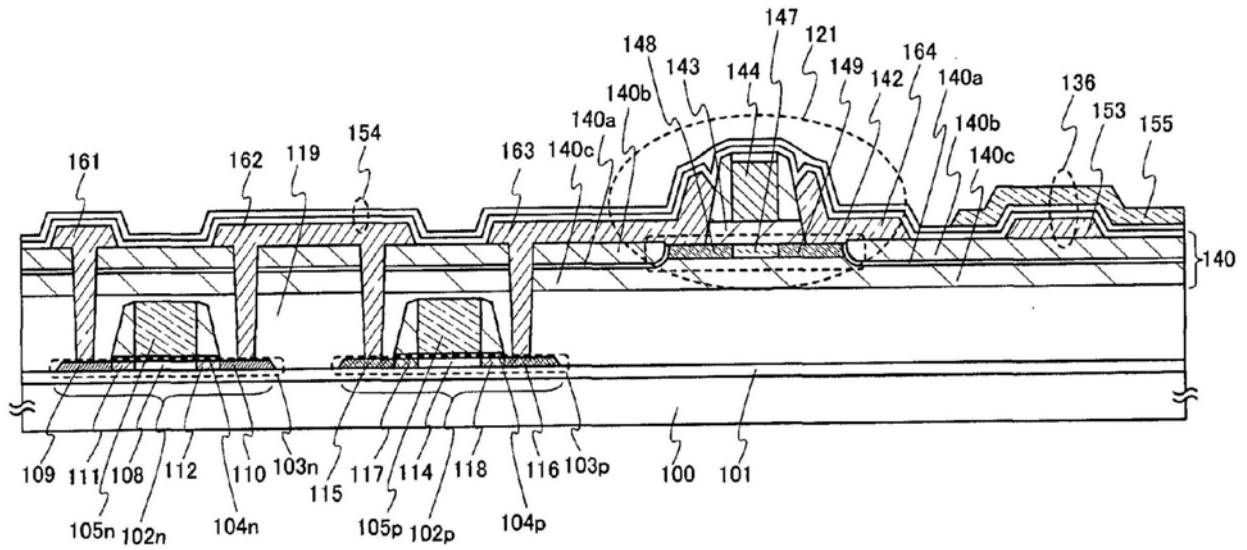


图3

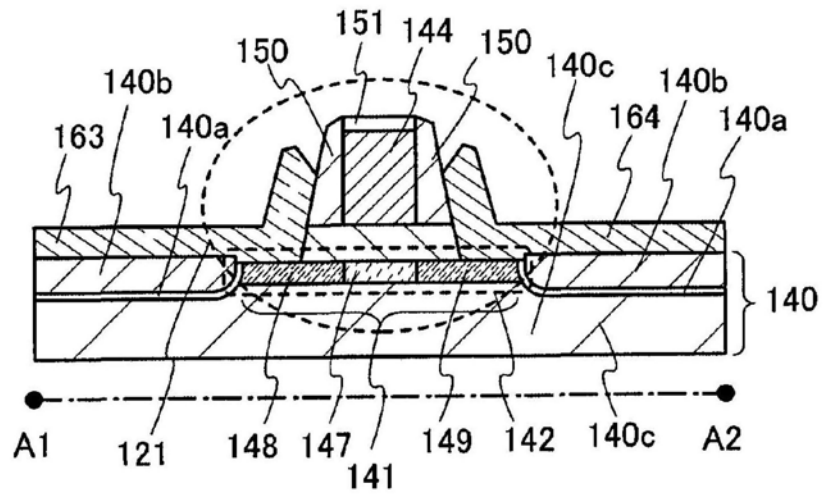


图4A

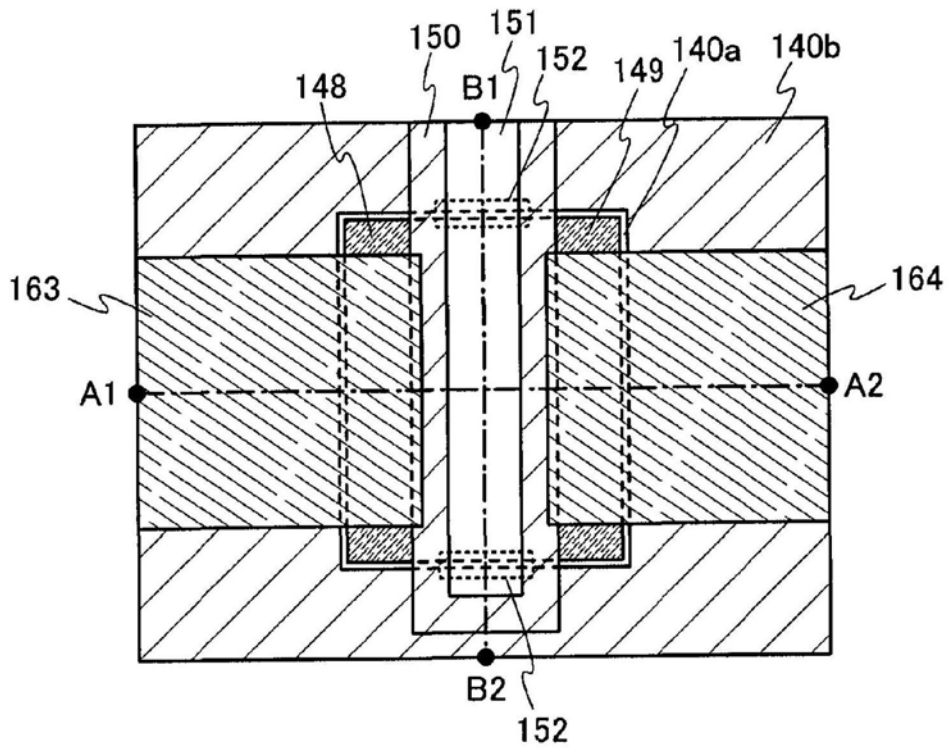


图4B

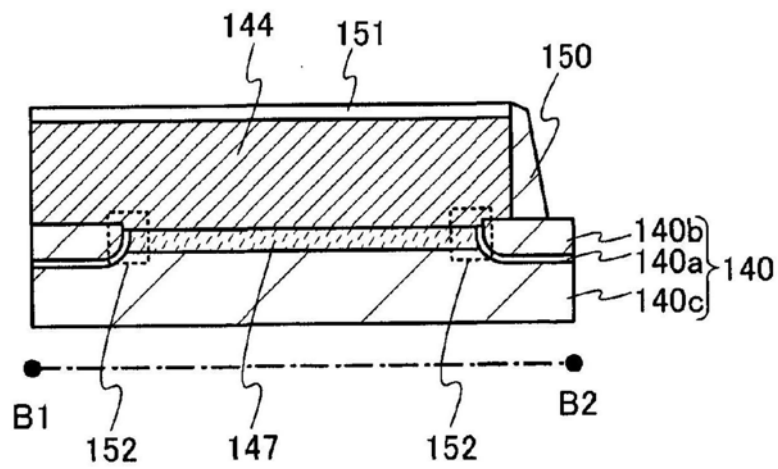


图4C

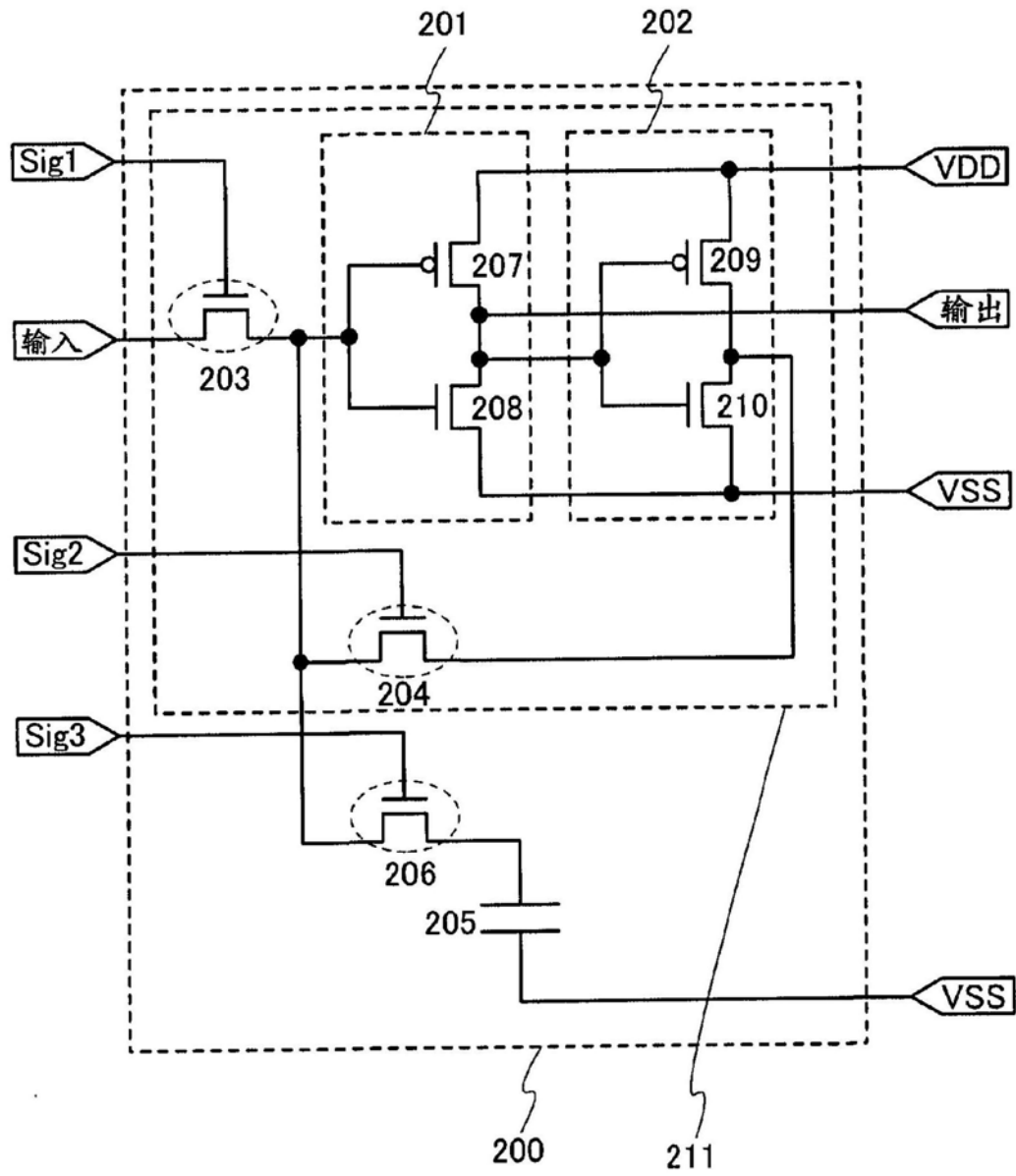


图5

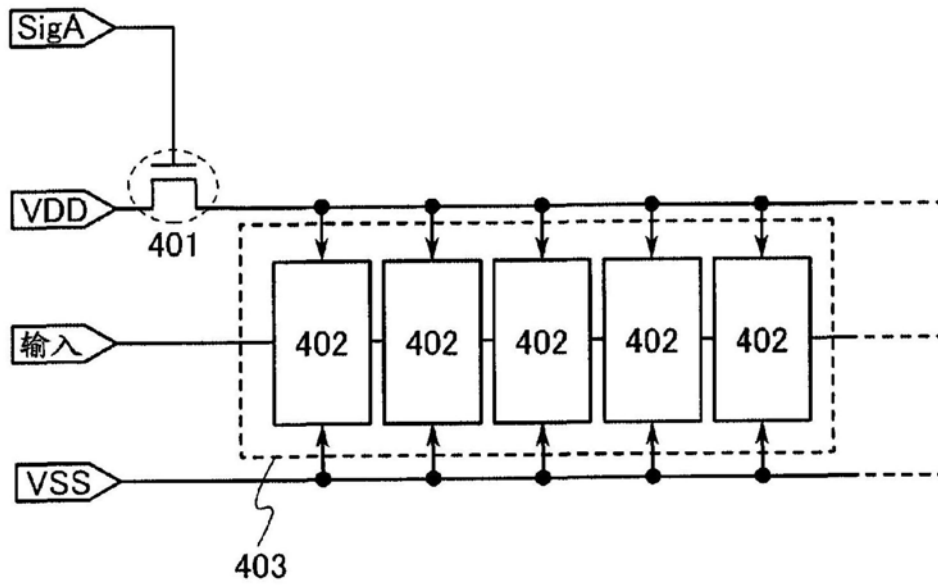


图6A

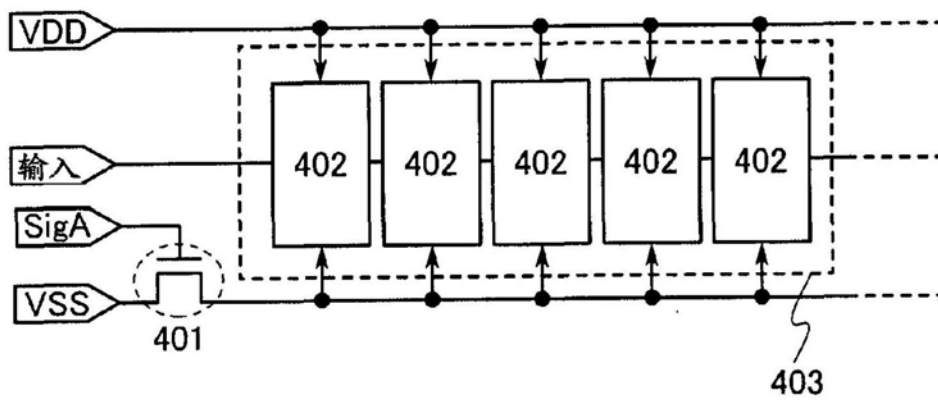


图6B

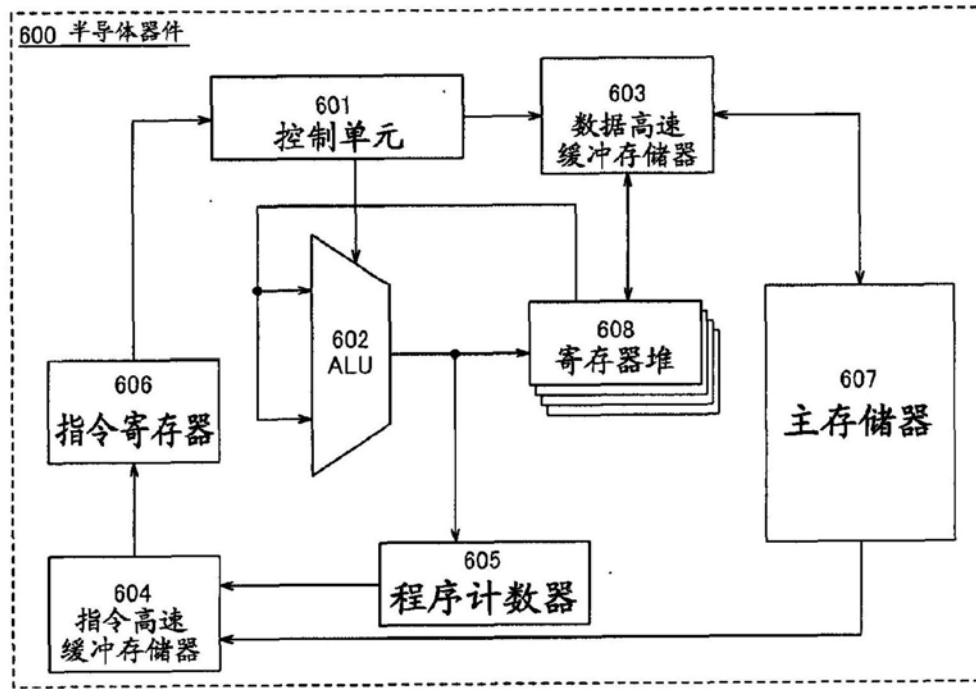


图7

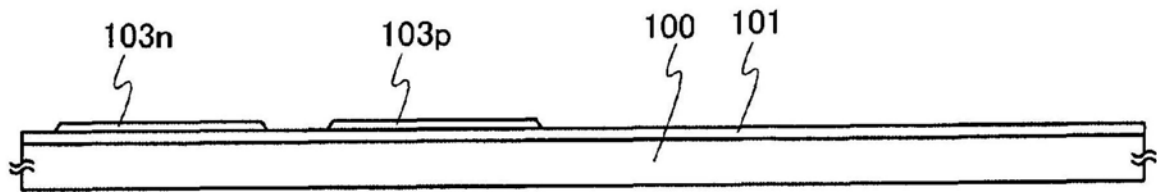


图8A

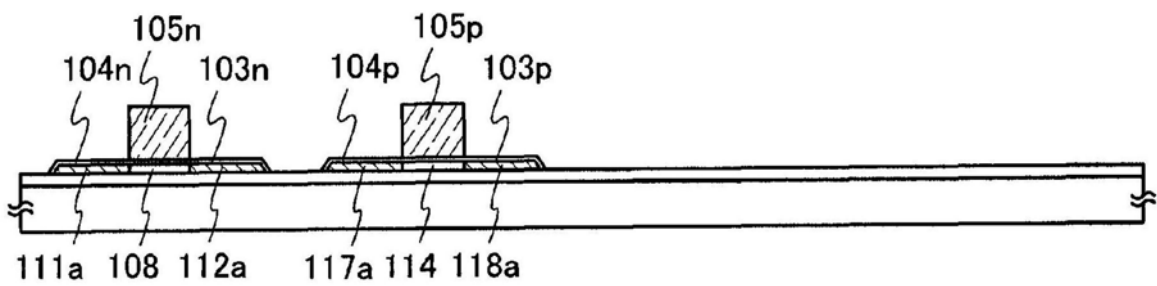


图8B

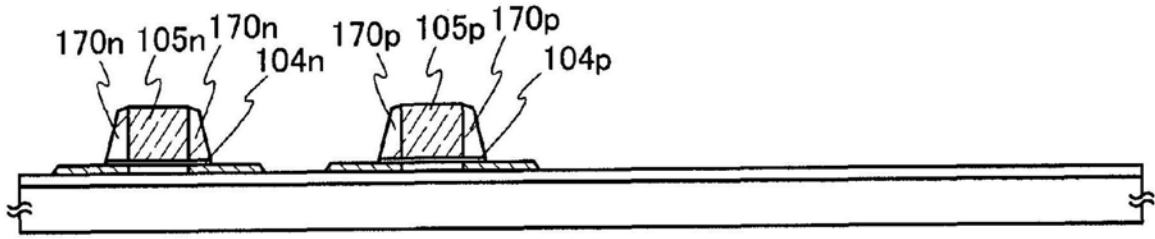


图8C

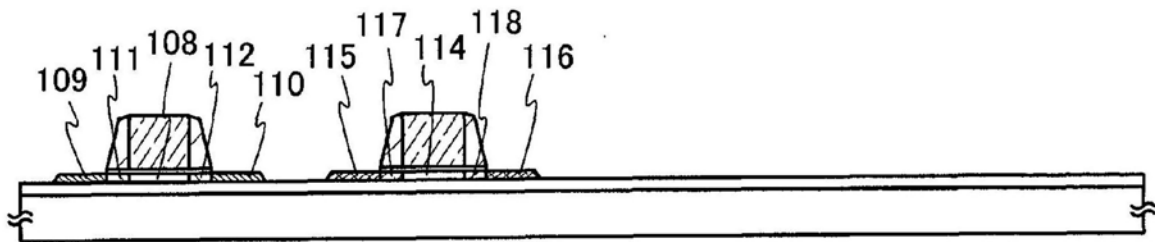


图8D

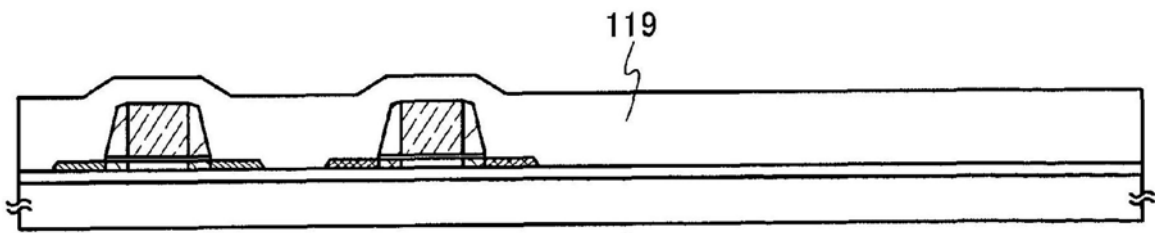


图8E

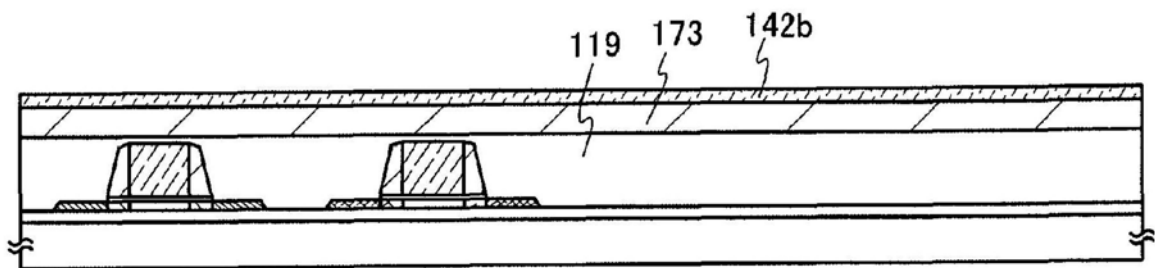


图9A

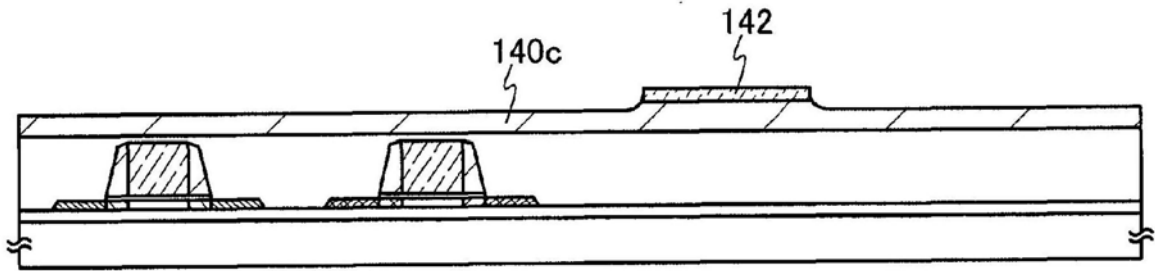


图9B

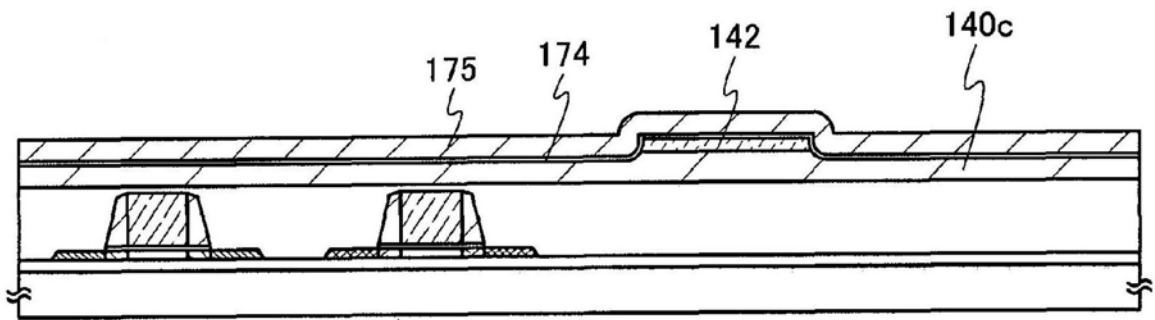


图9C

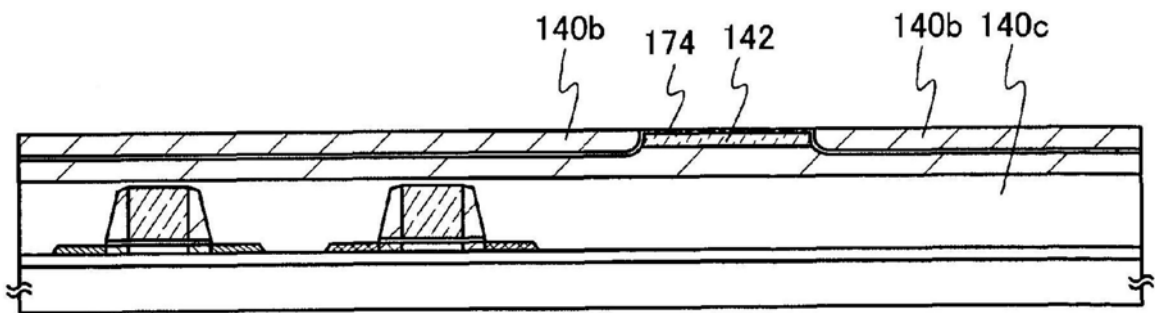


图9D

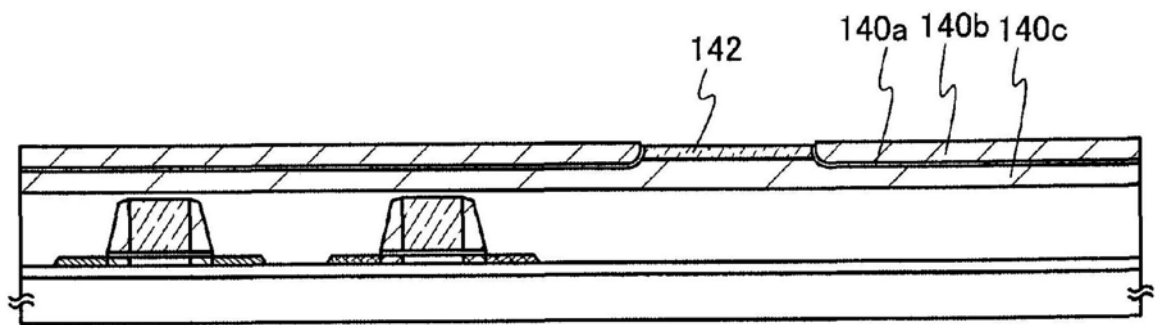


图10A

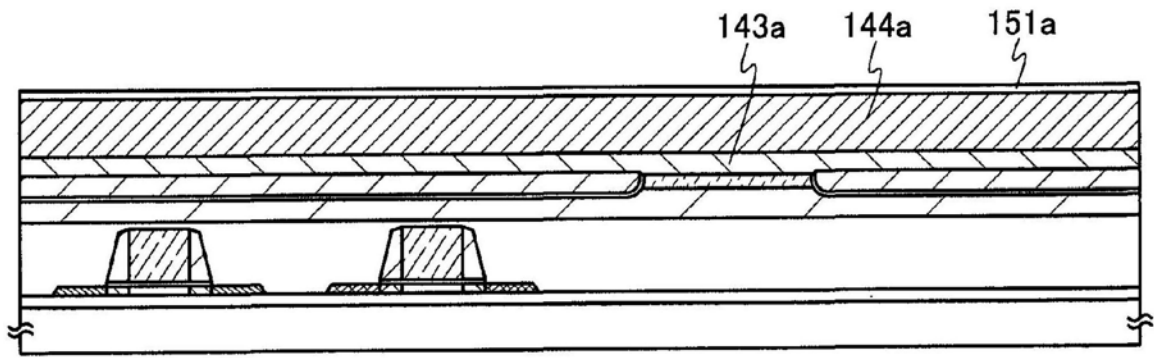


图10B

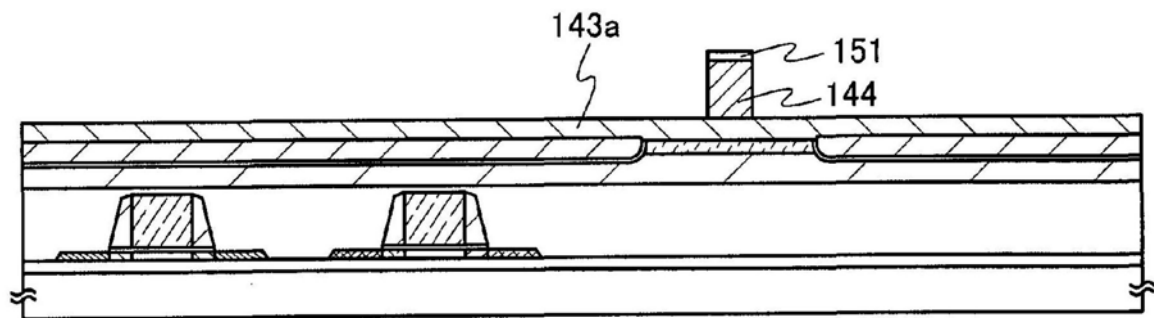


图10C

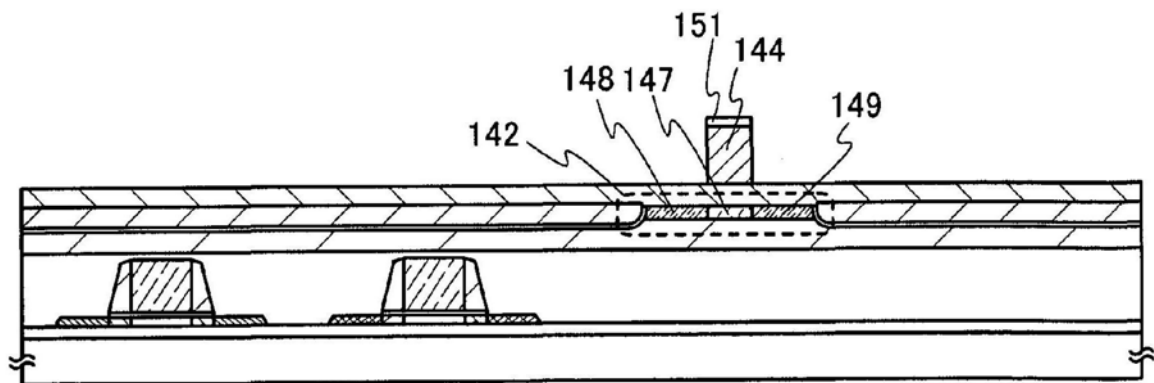


图10D

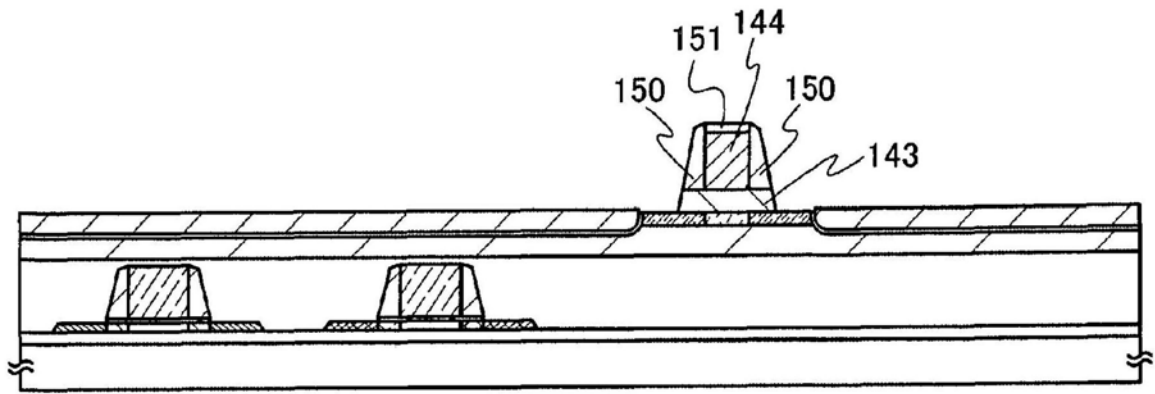


图11A

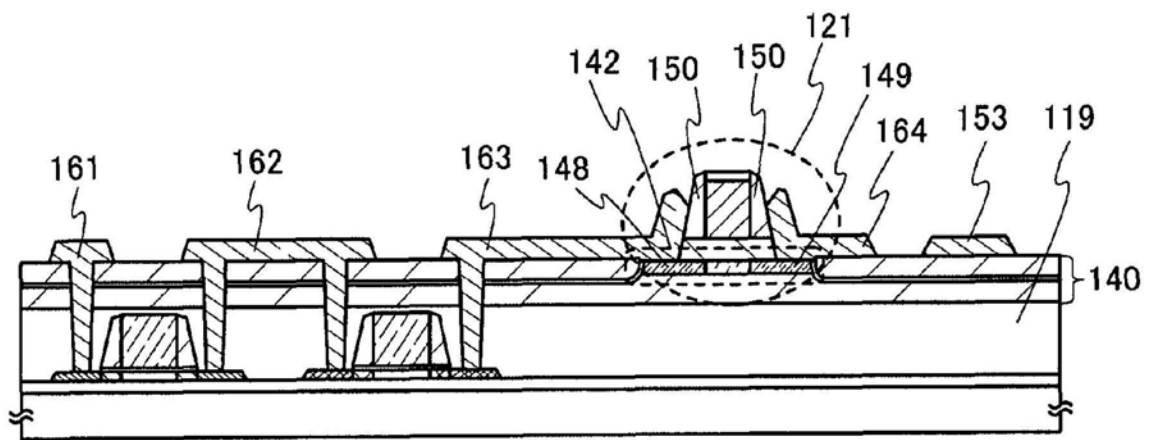


图11B

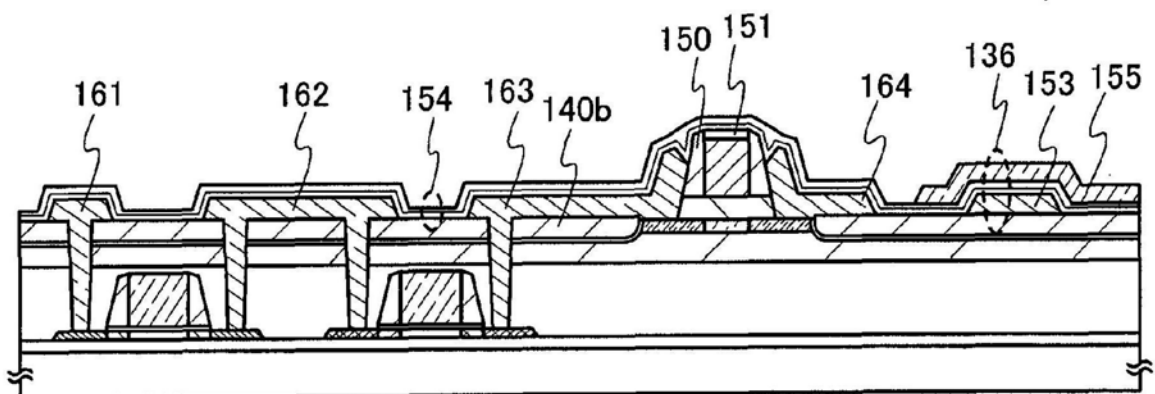


图11C

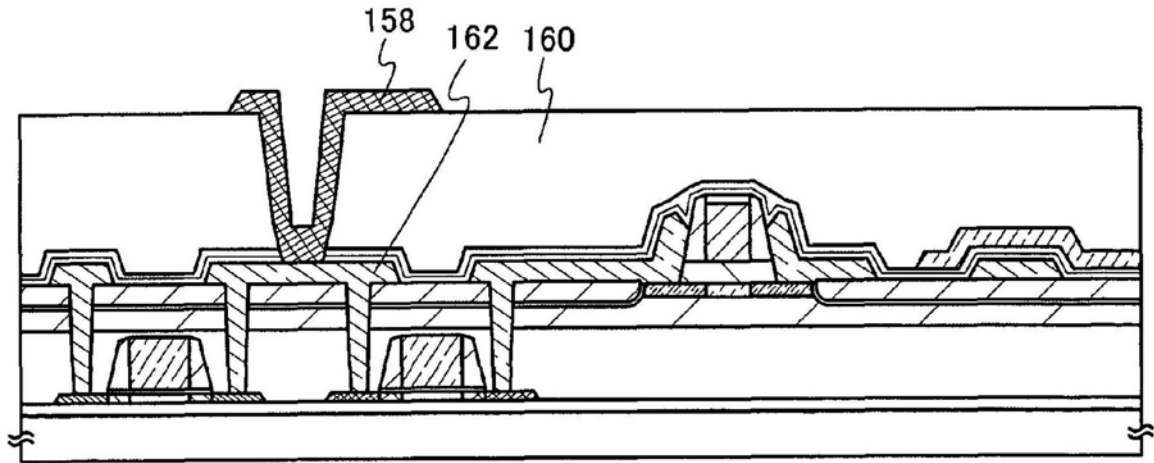


图11D

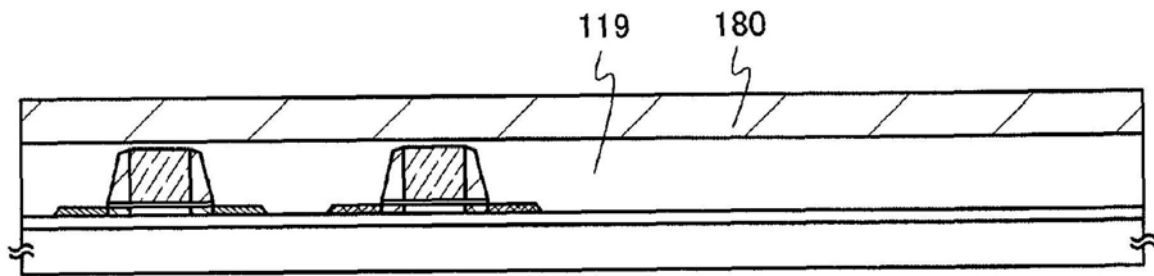


图12A

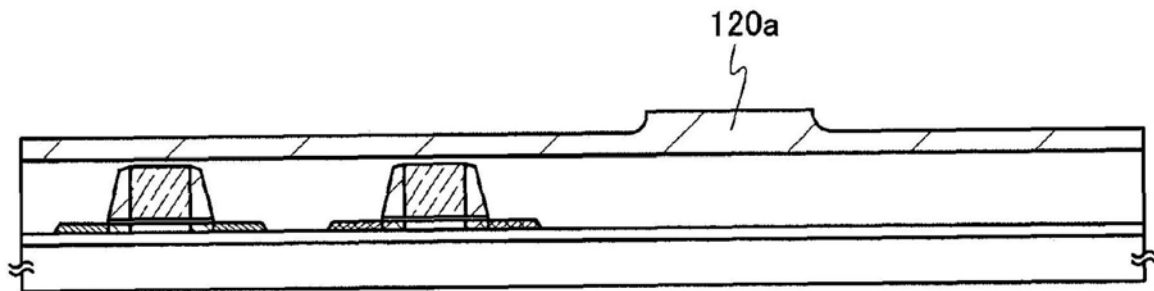


图12B

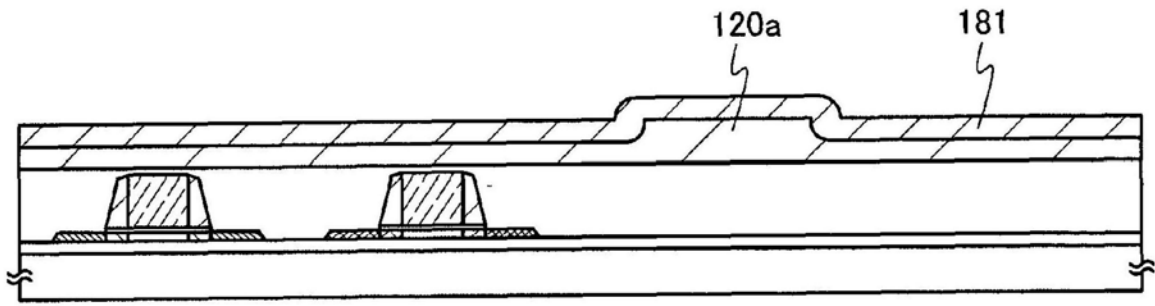


图12C

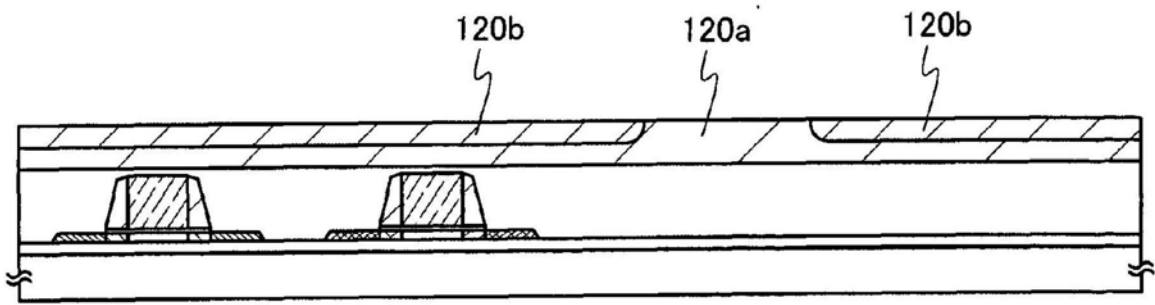


图12D

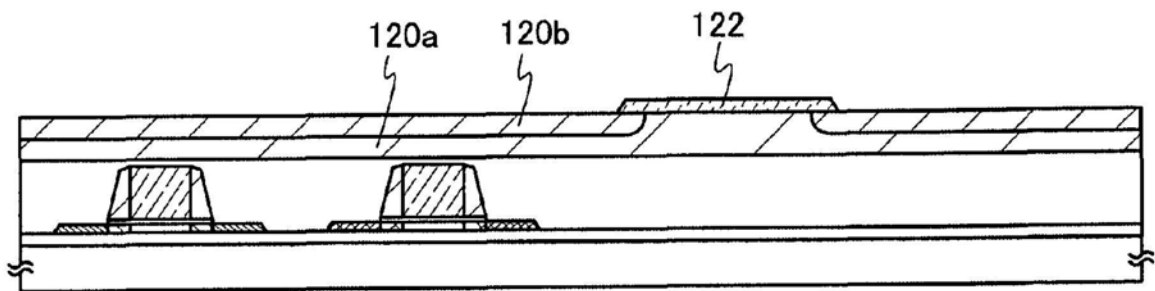


图13A

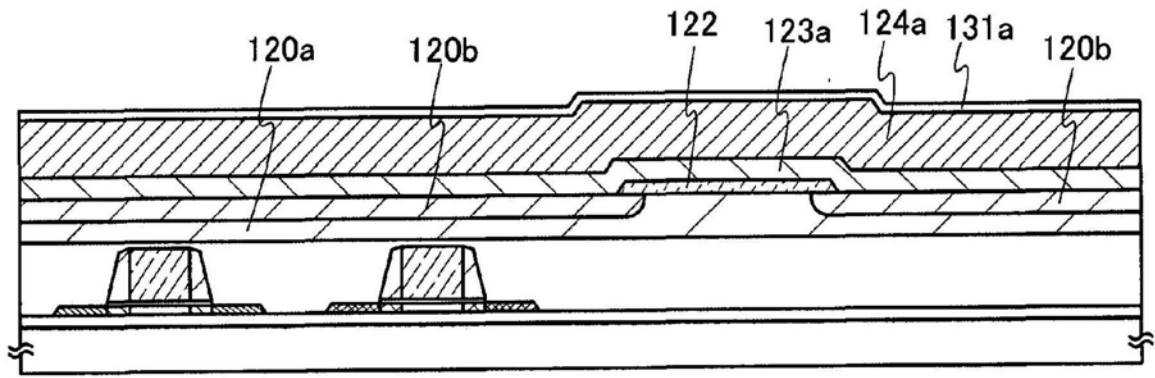


图13B

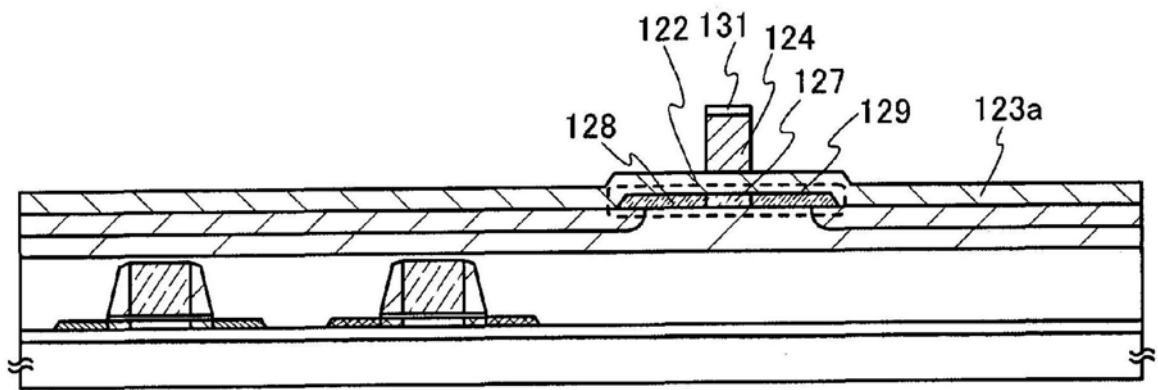


图13C

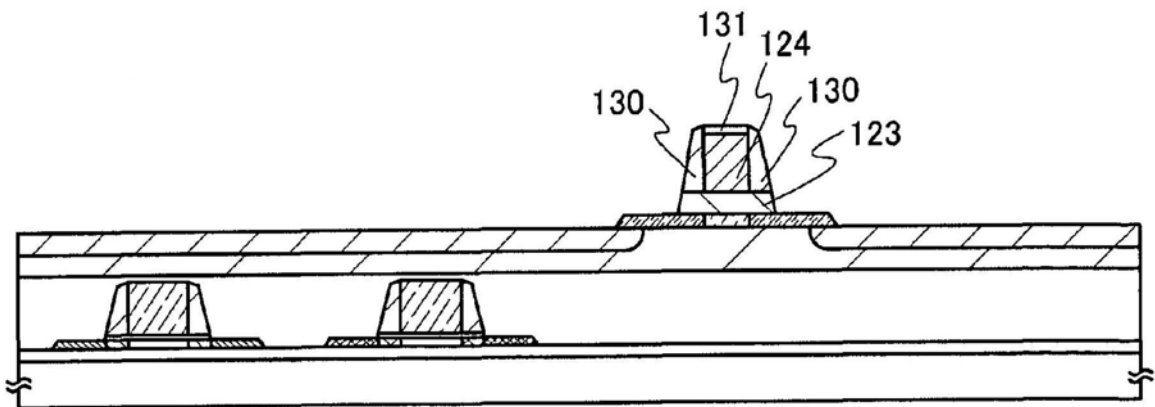


图13D

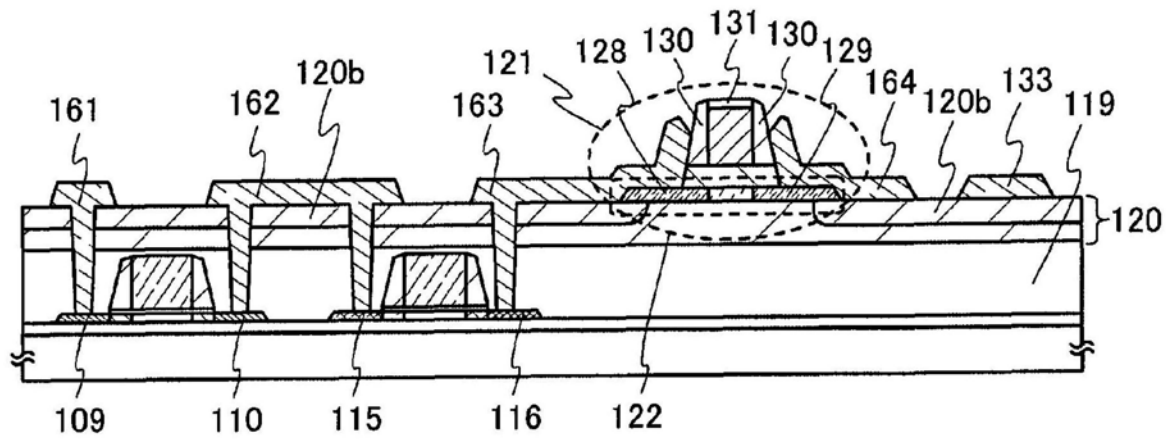


图14A

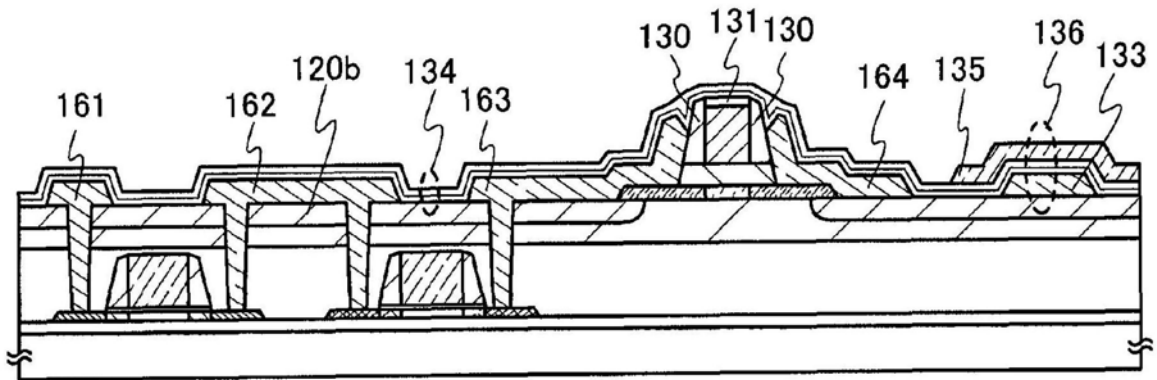


图14B

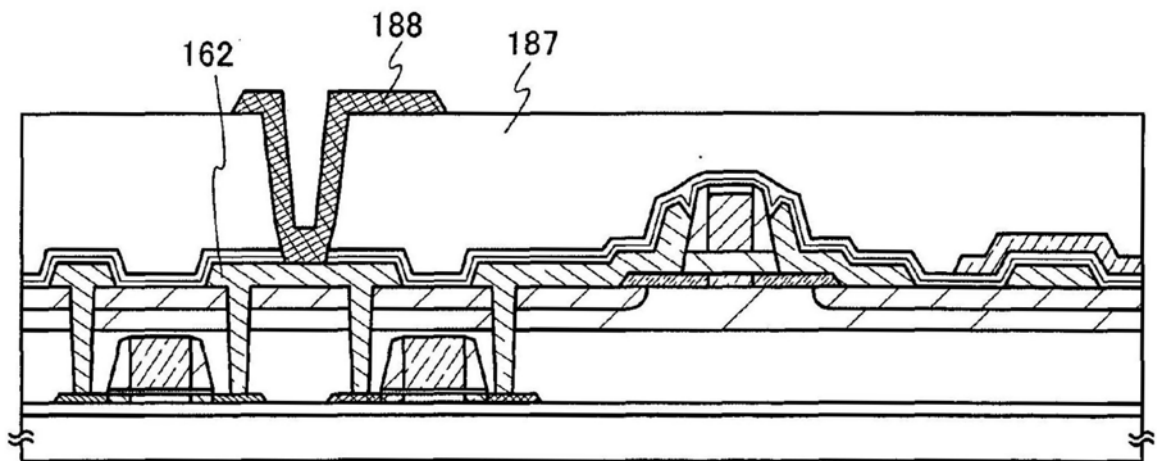


图14C

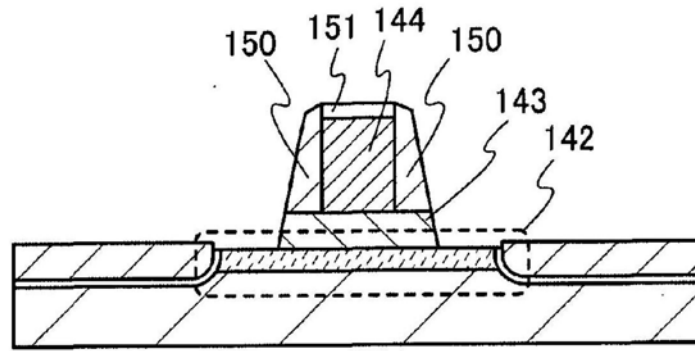


图15A

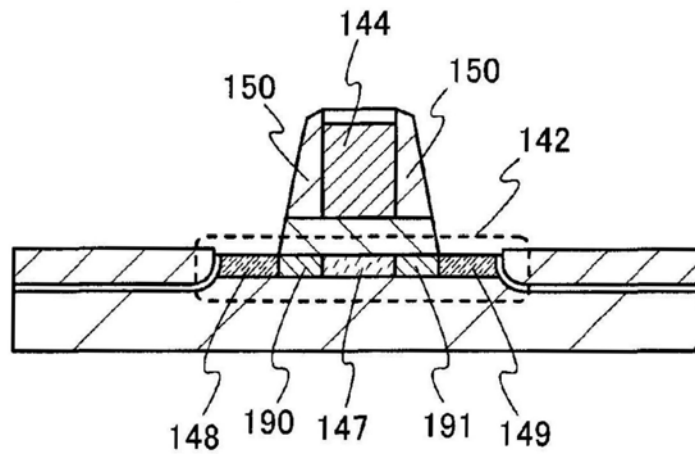


图15B

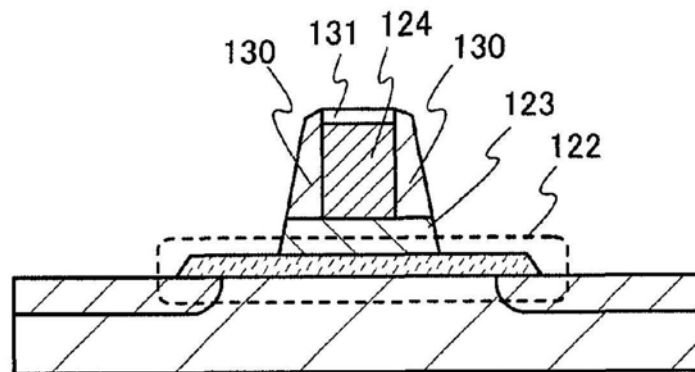


图16A

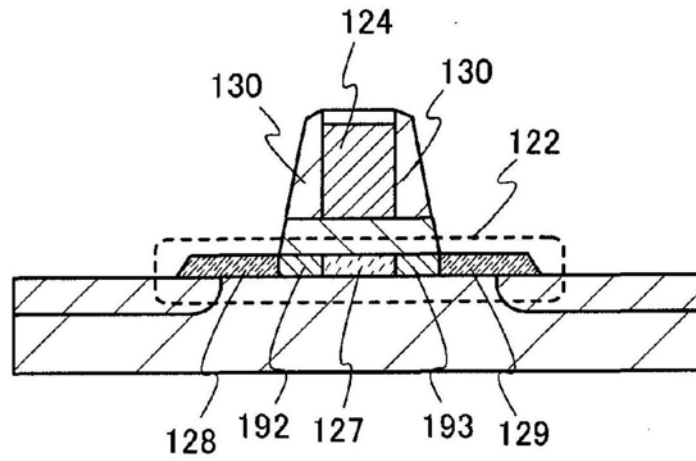


图16B

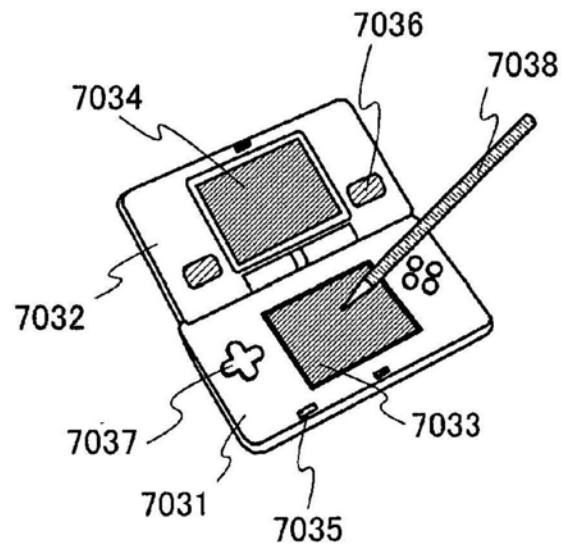


图17A

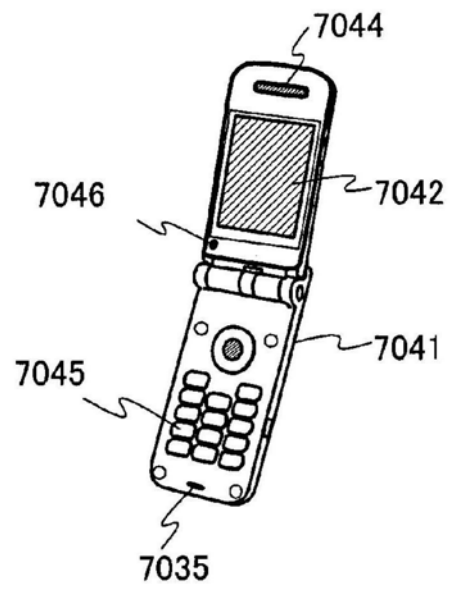


图17B

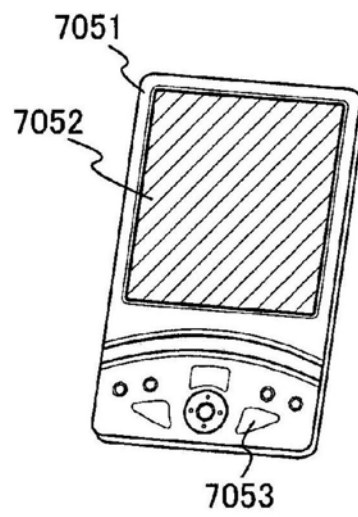


图17C

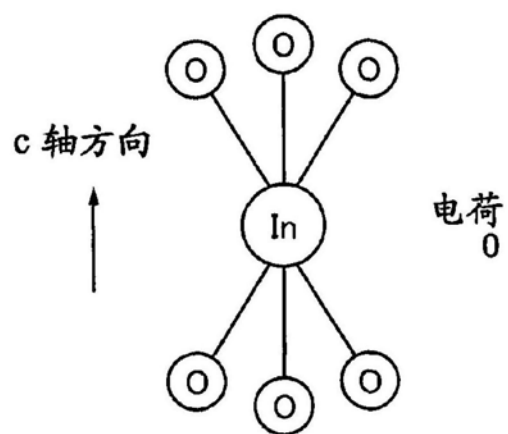


图18A

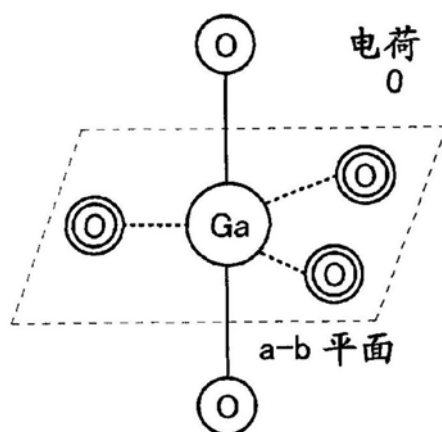


图18B

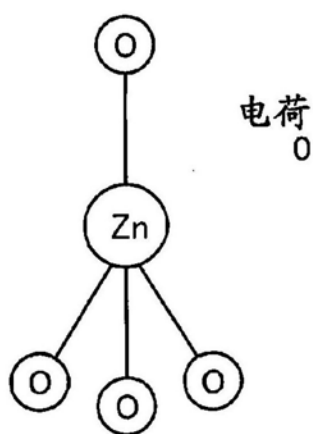


图18C

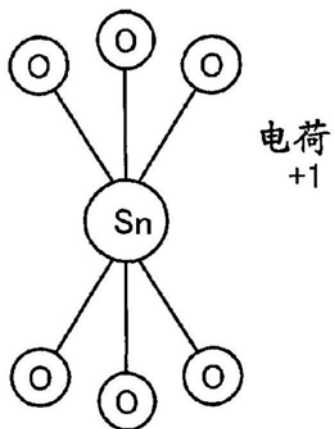


图18D

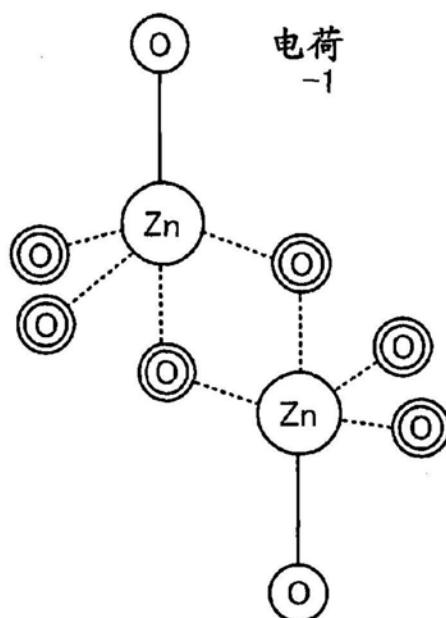


图18E

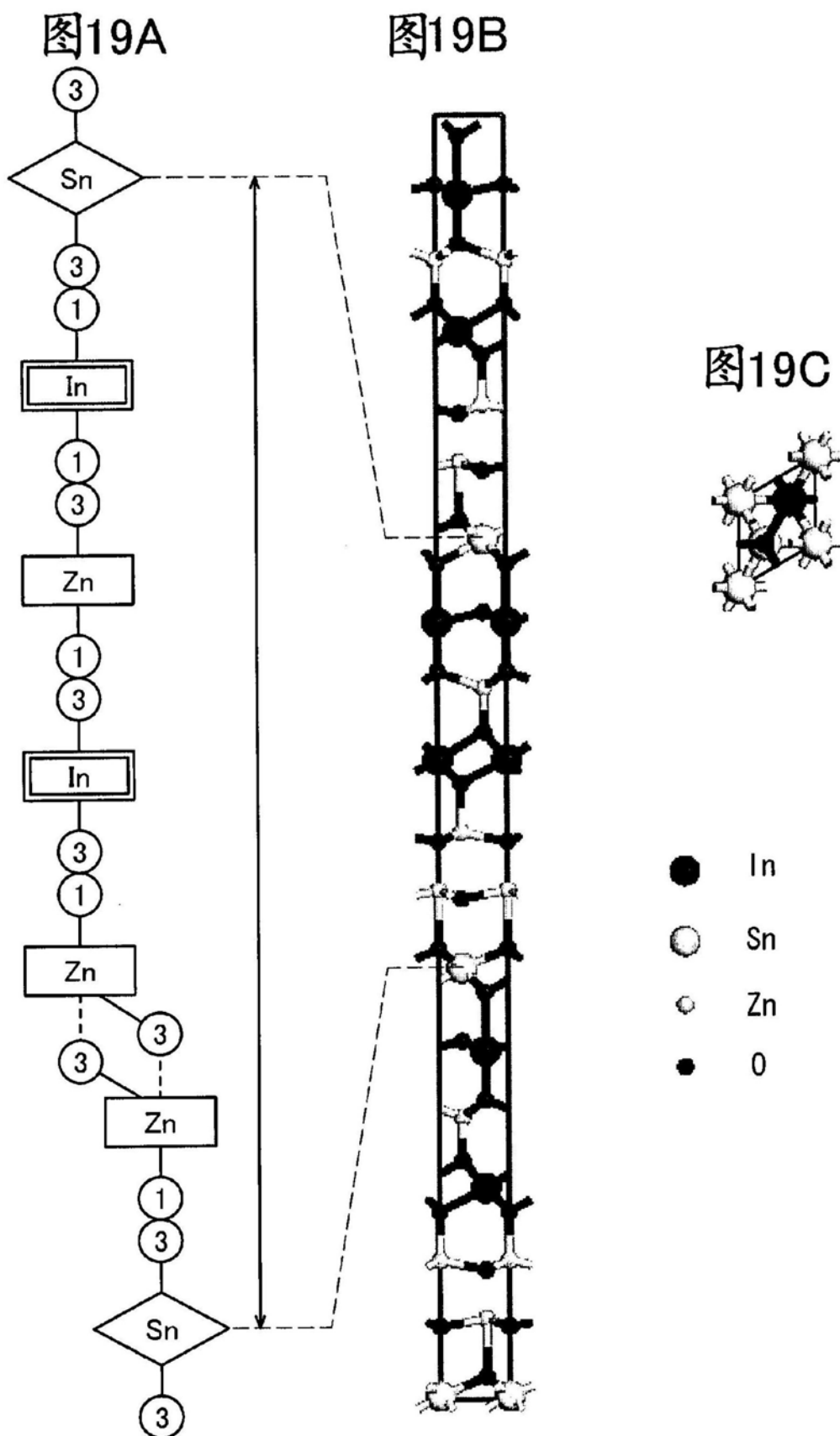


图20A

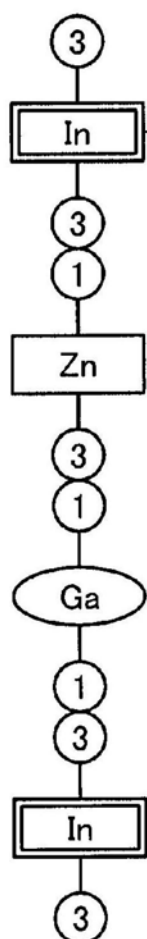


图20B

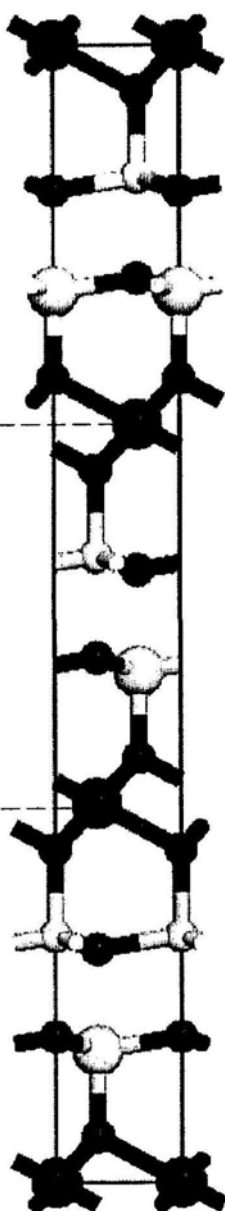
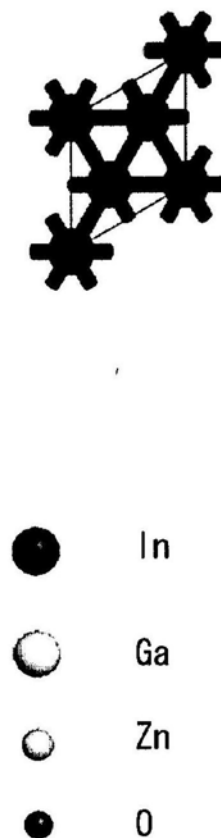


图20C



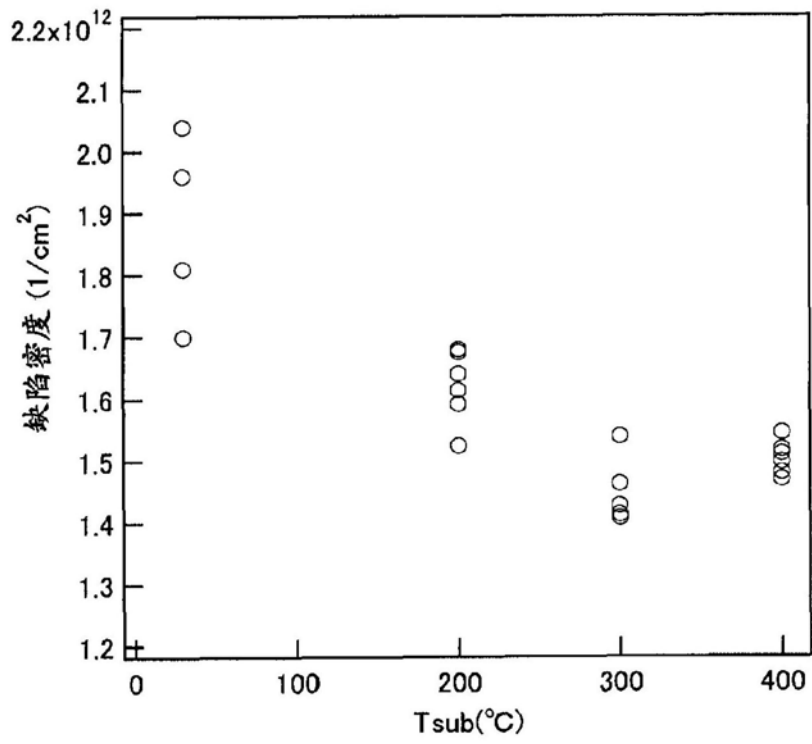


图21

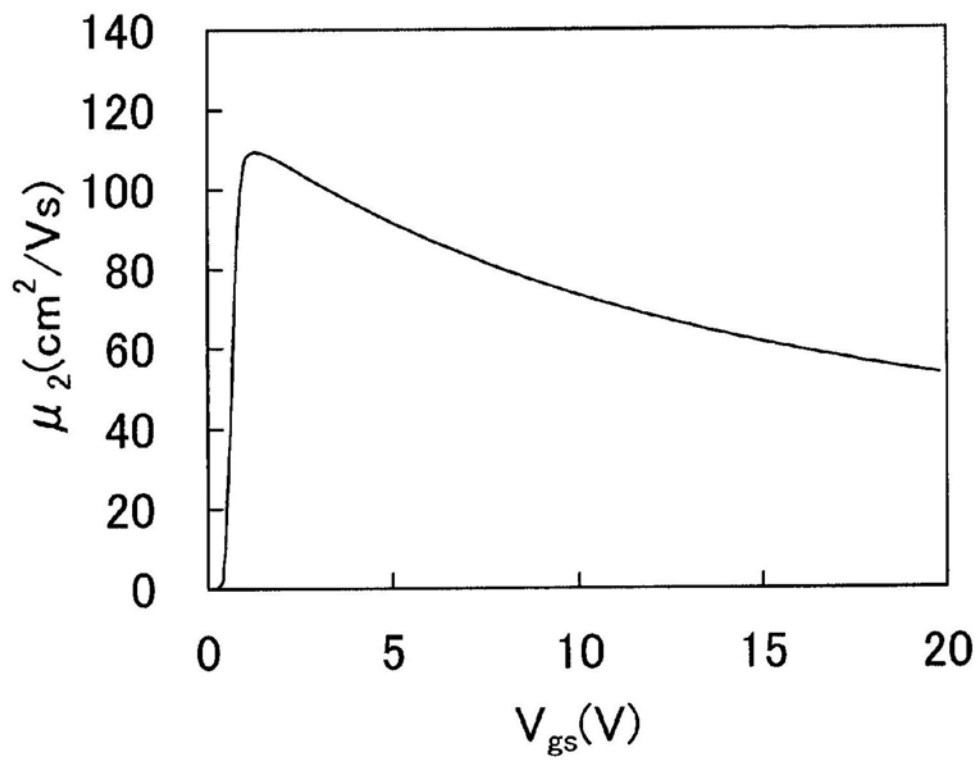


图22

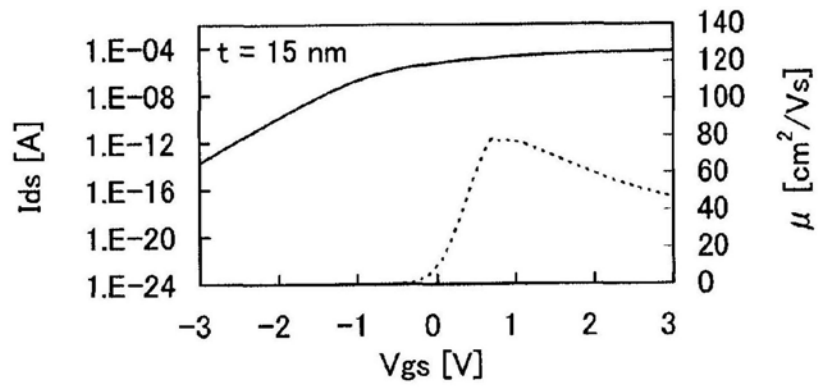


图23A

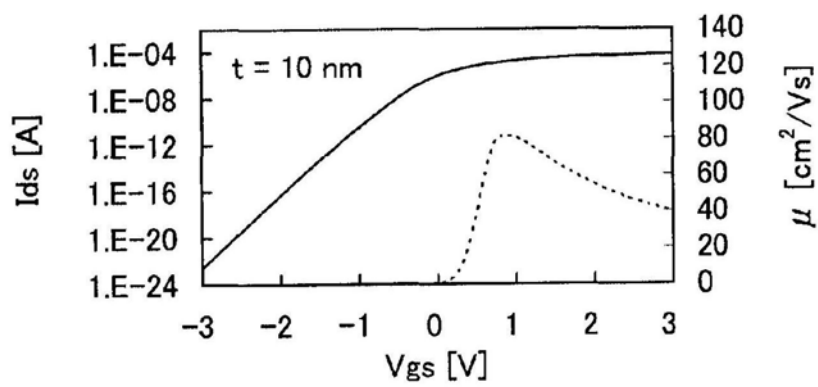


图23B

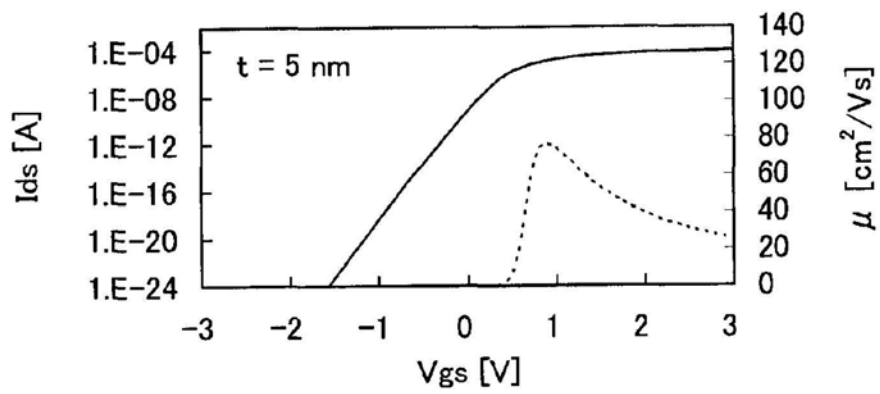


图23C

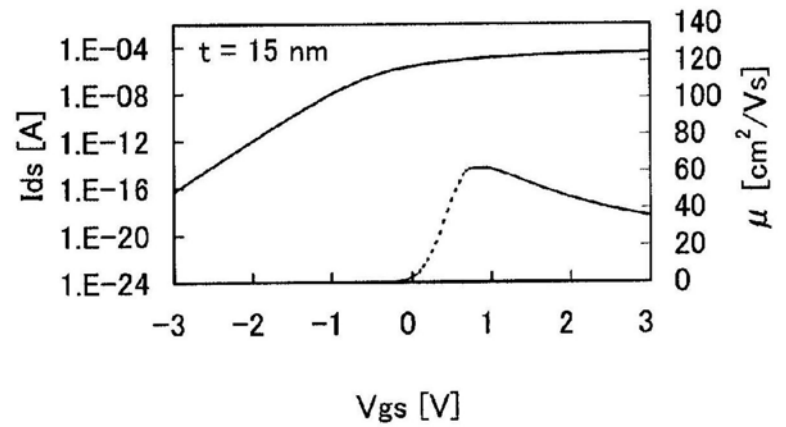


图24A

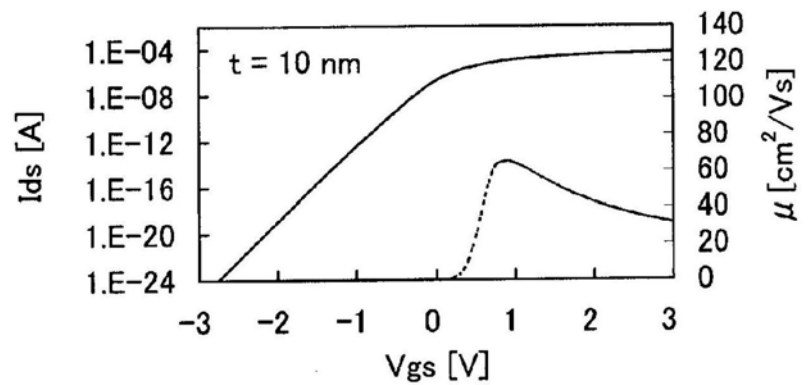


图24B

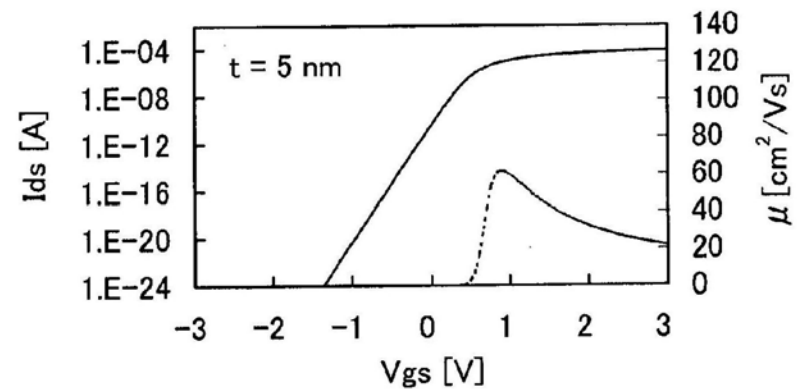


图24C

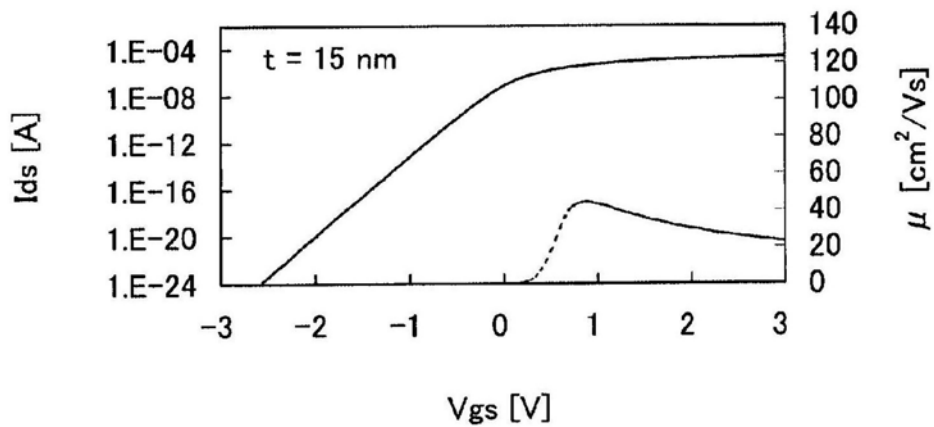


图25A

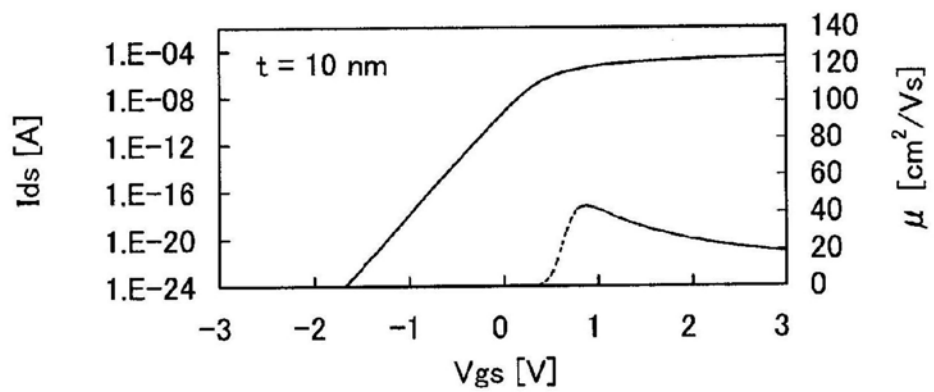


图25B

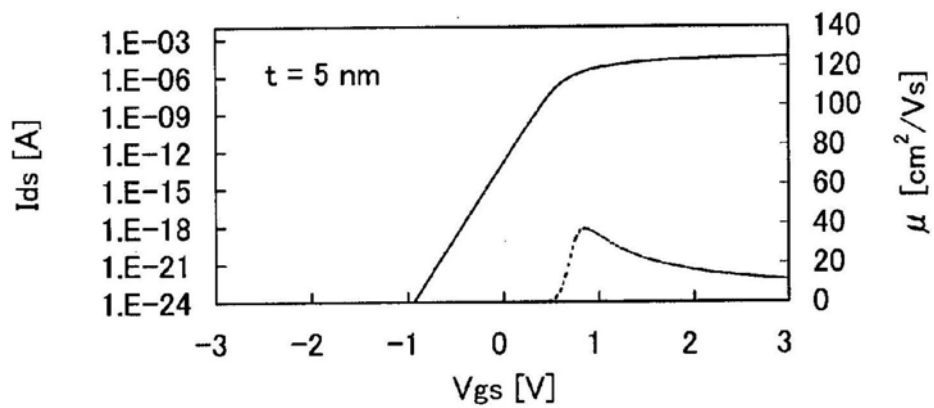


图25C

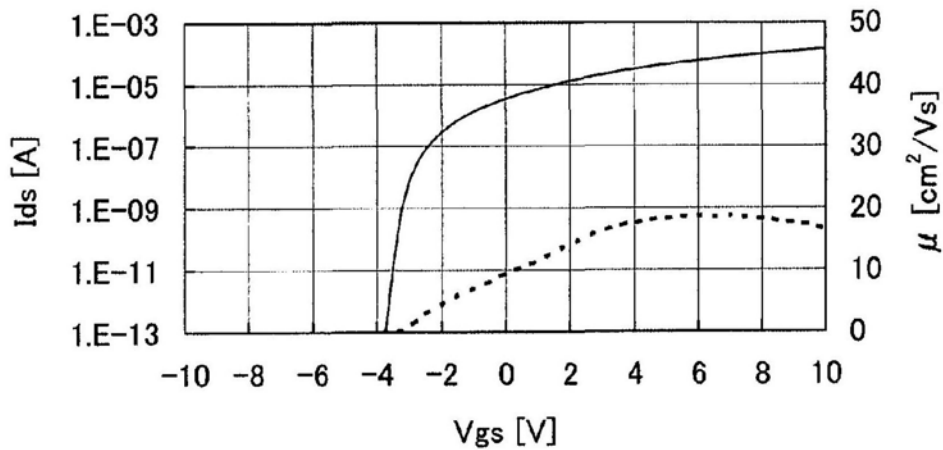


图27A

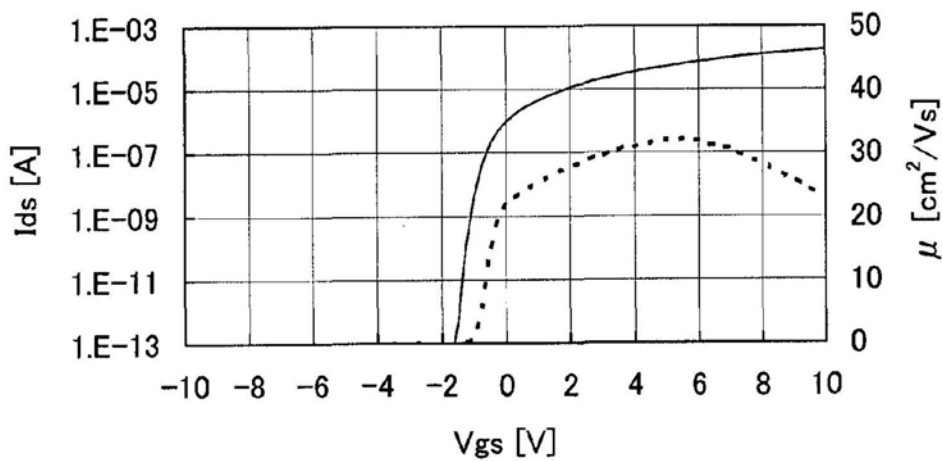


图27B

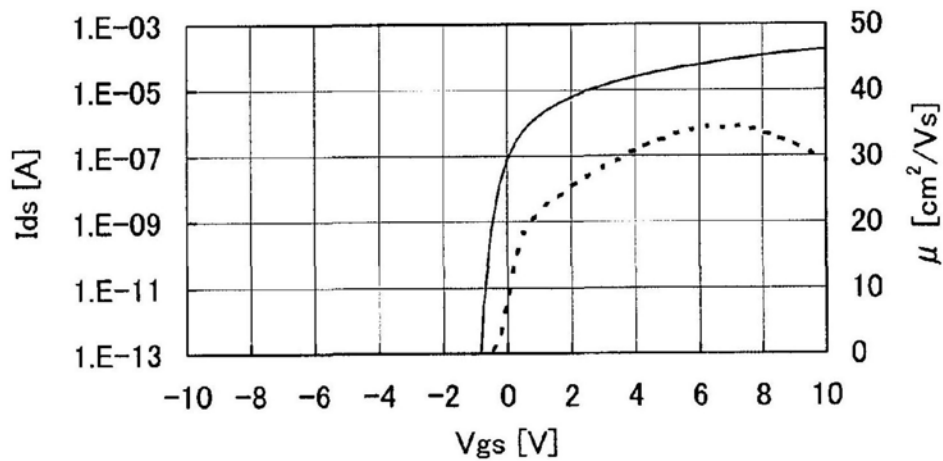


图27C

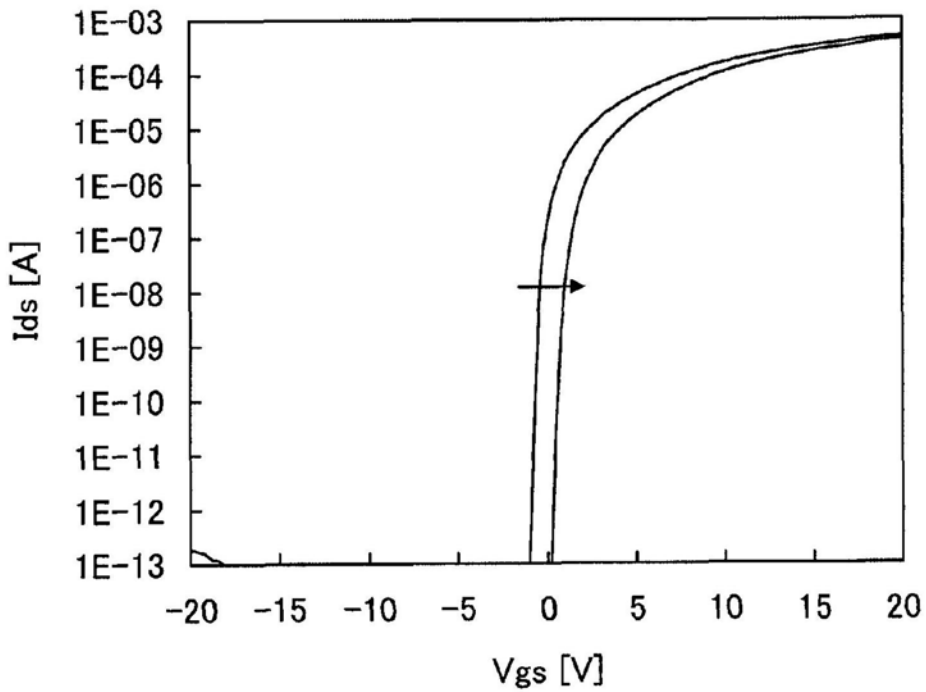


图28A

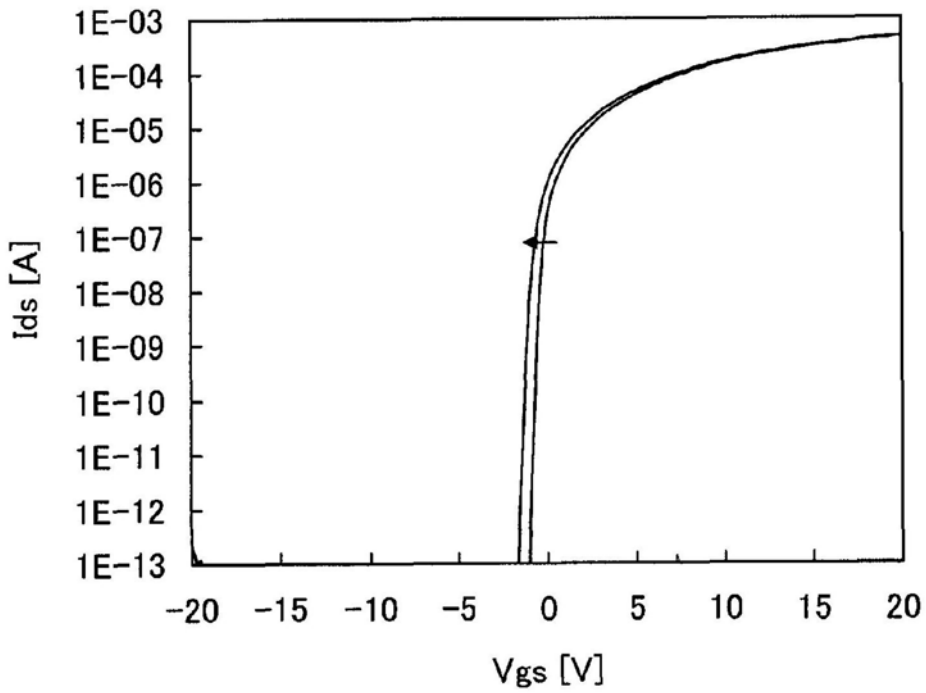


图28B

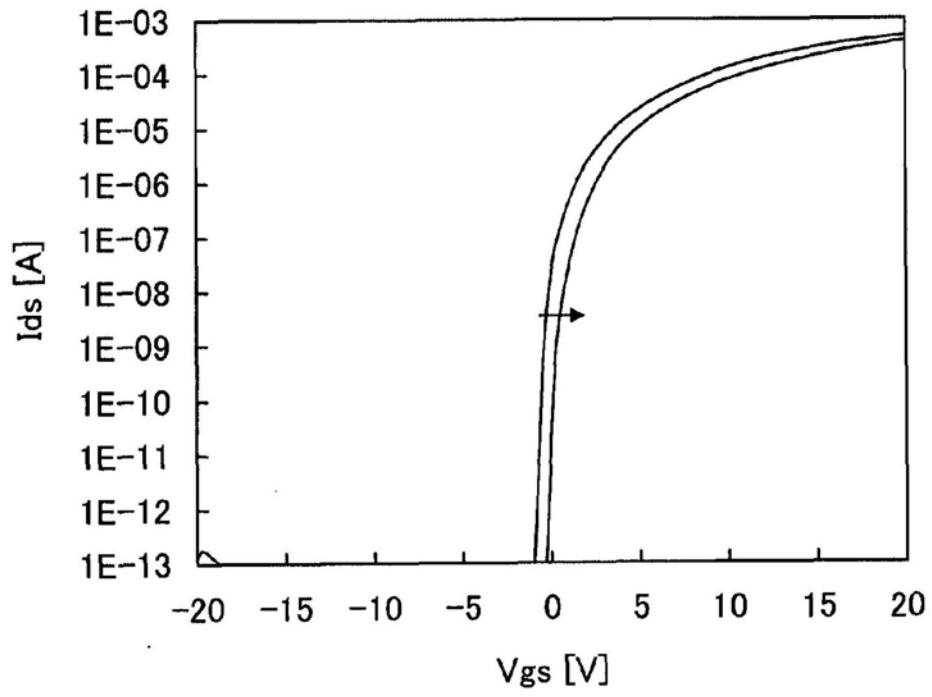


图29A

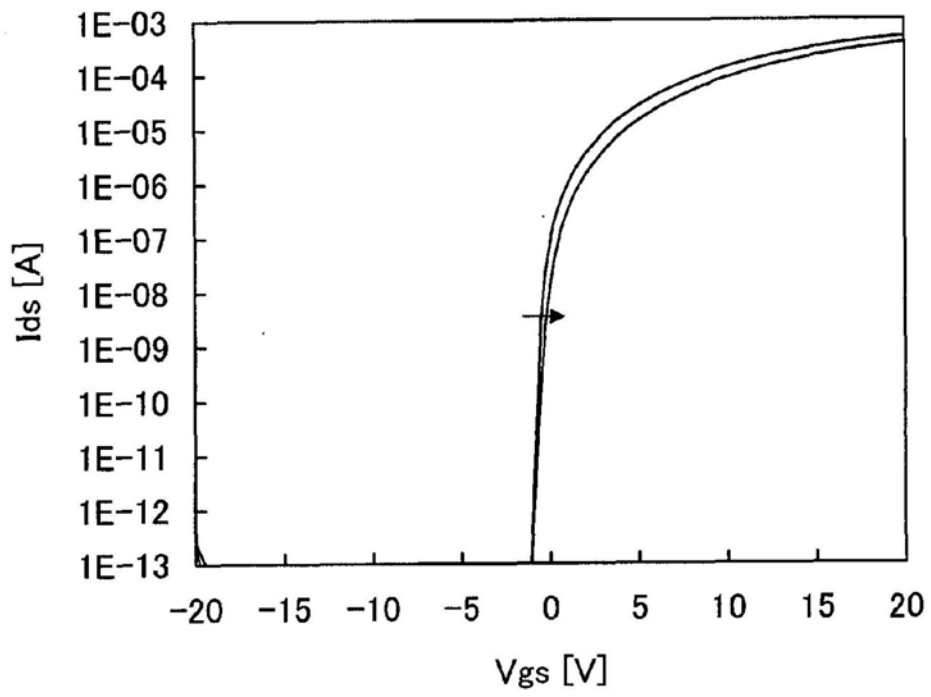


图29B

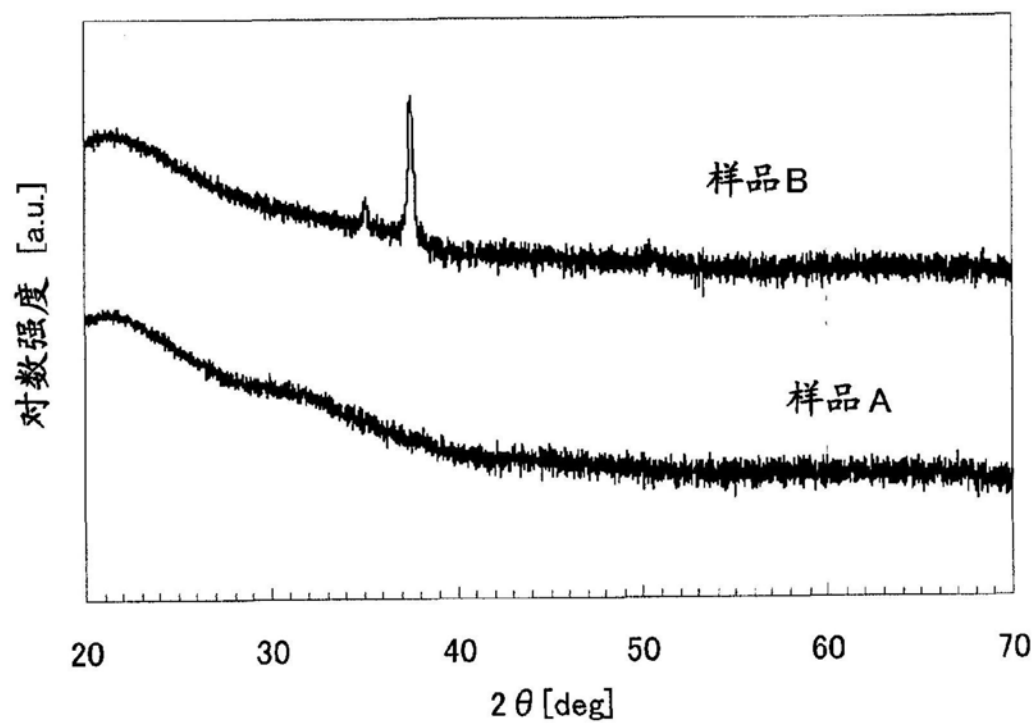


图30

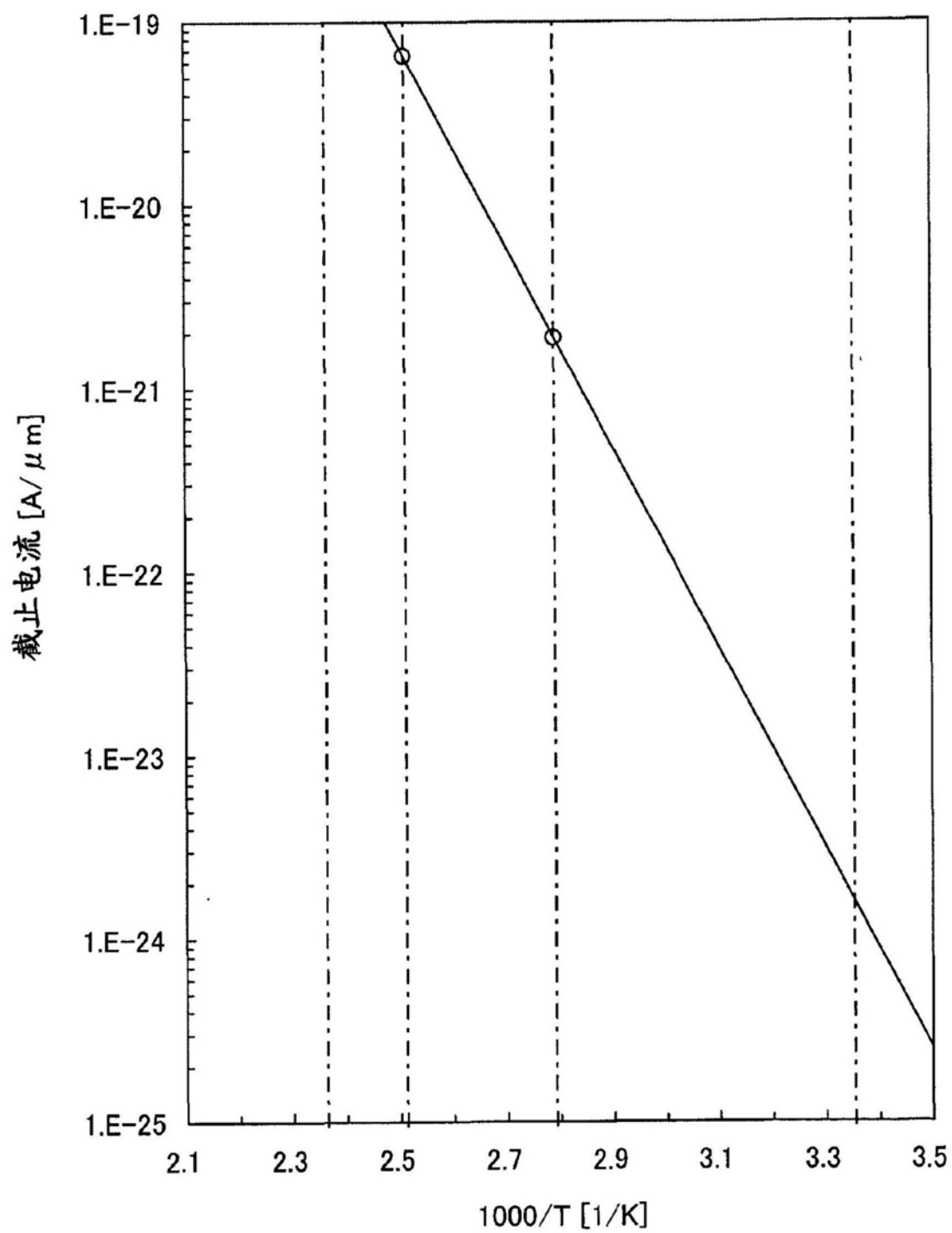


图31

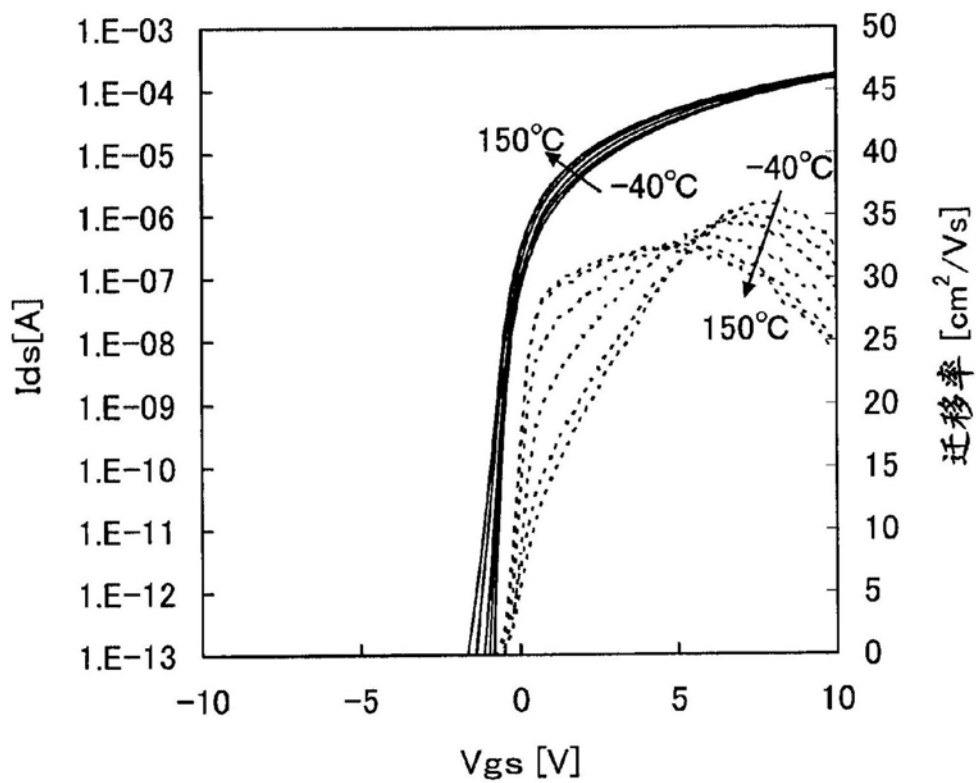


图32

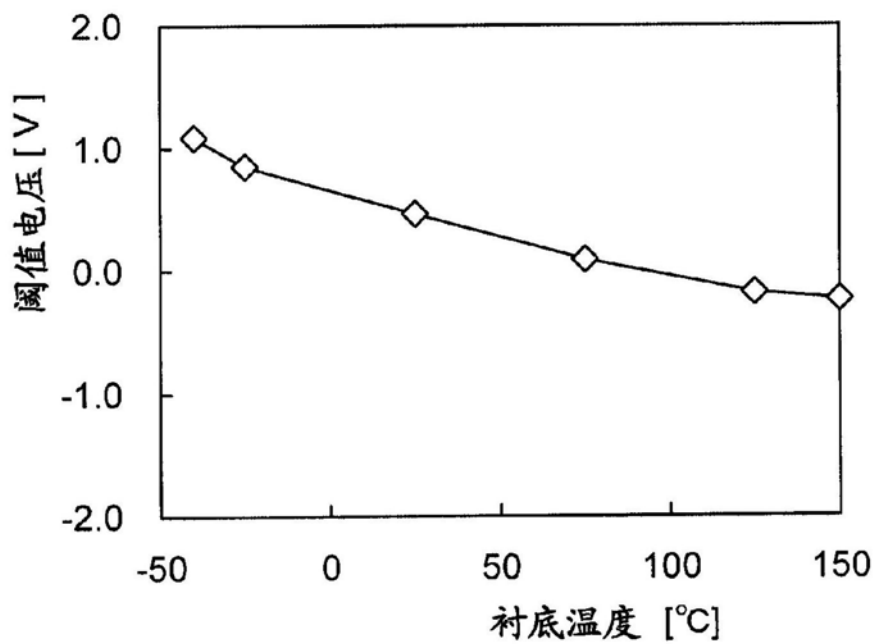


图33A

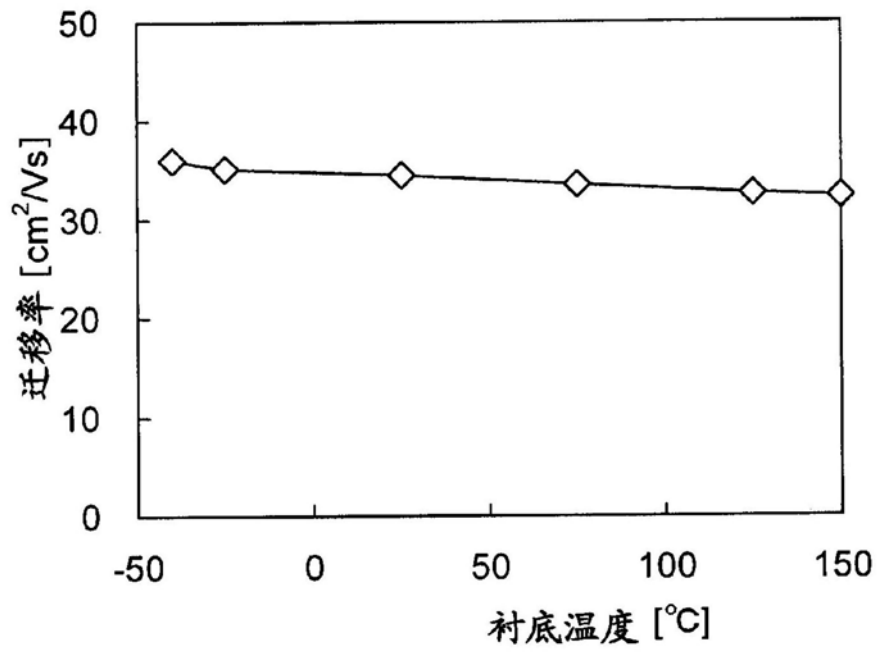


图33B

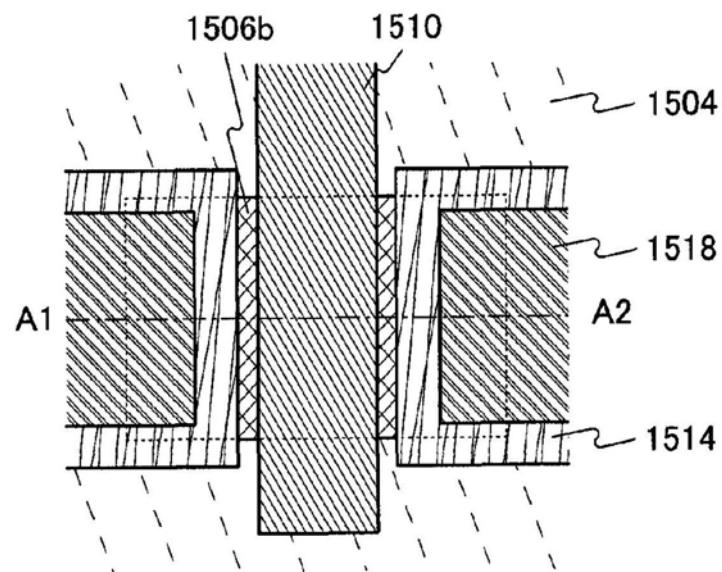


图34A

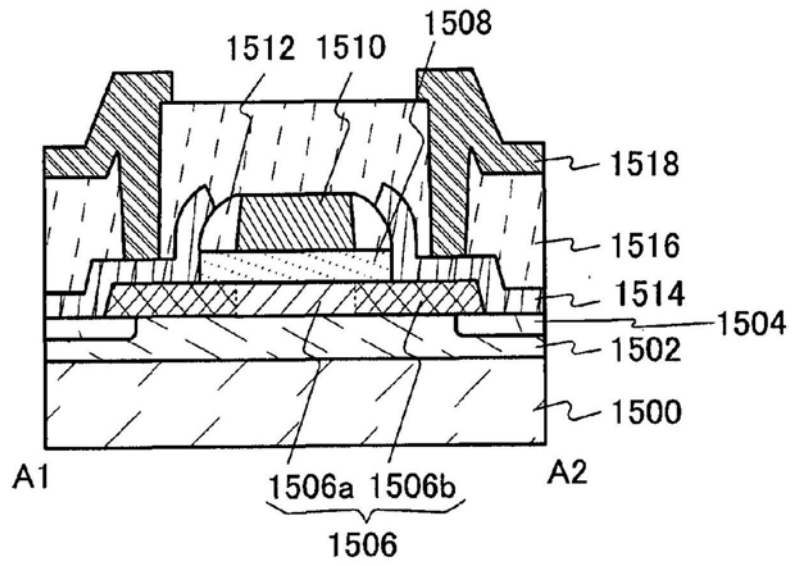


图34B

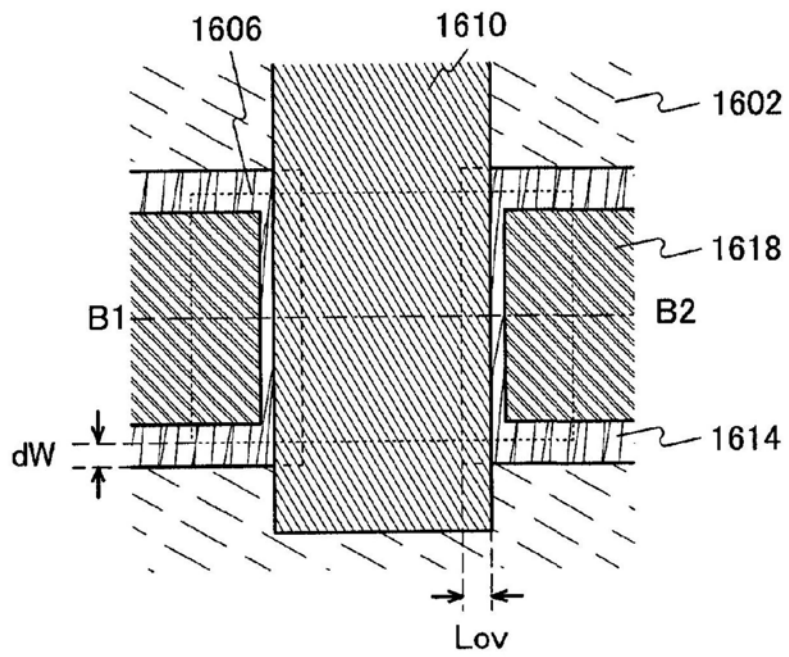


图35A

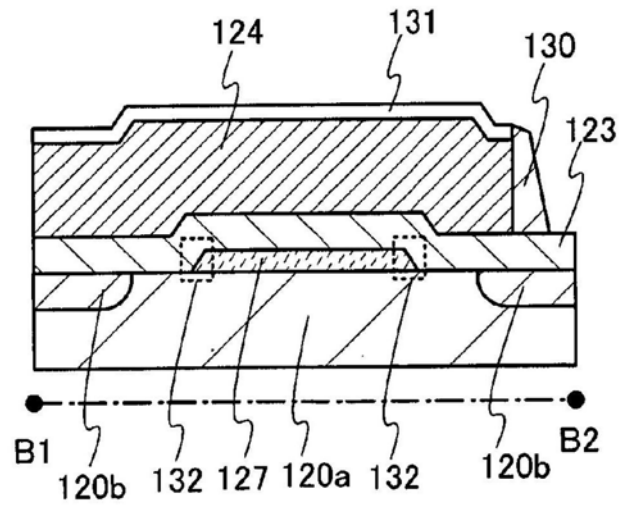


图37C

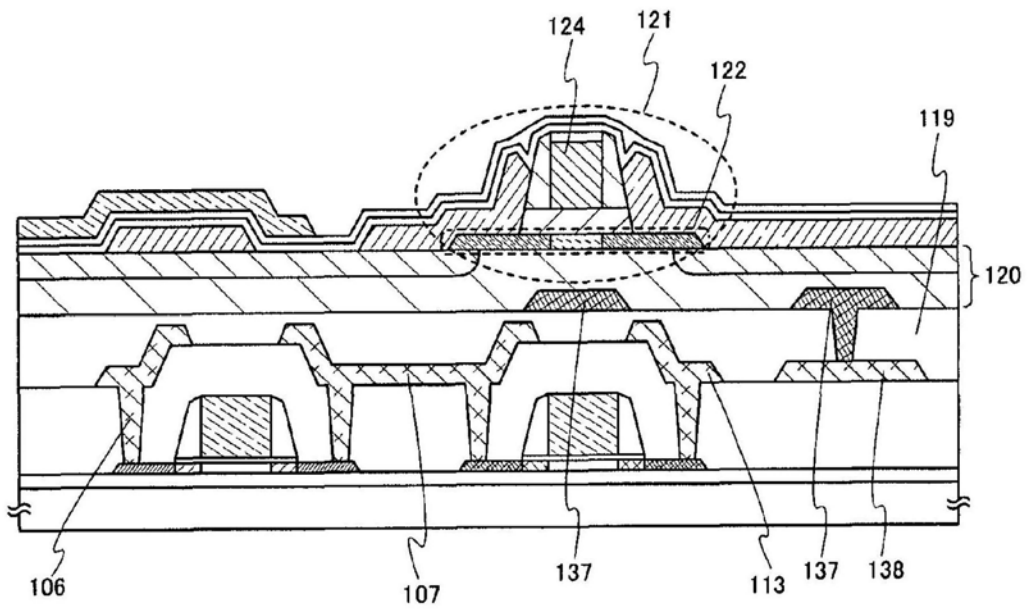


图38

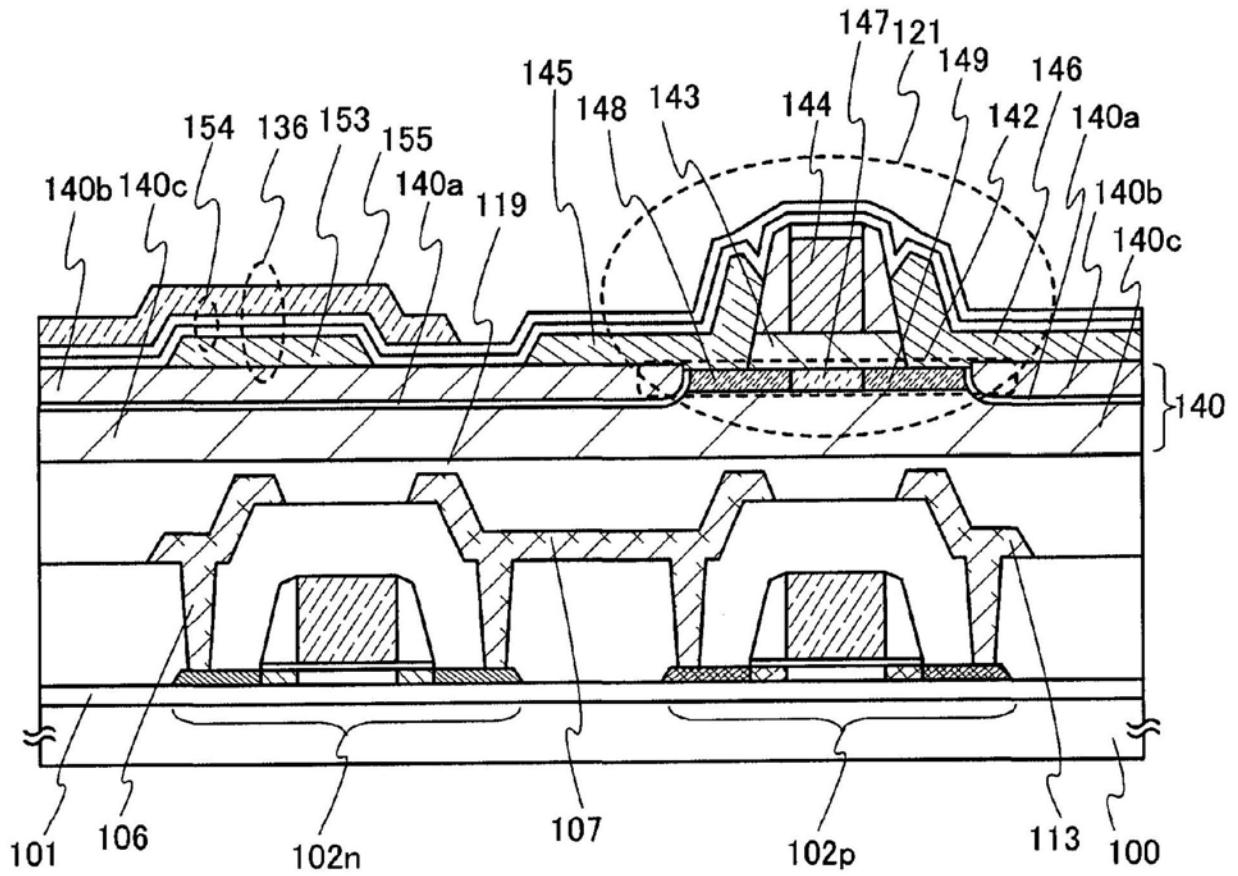


图39

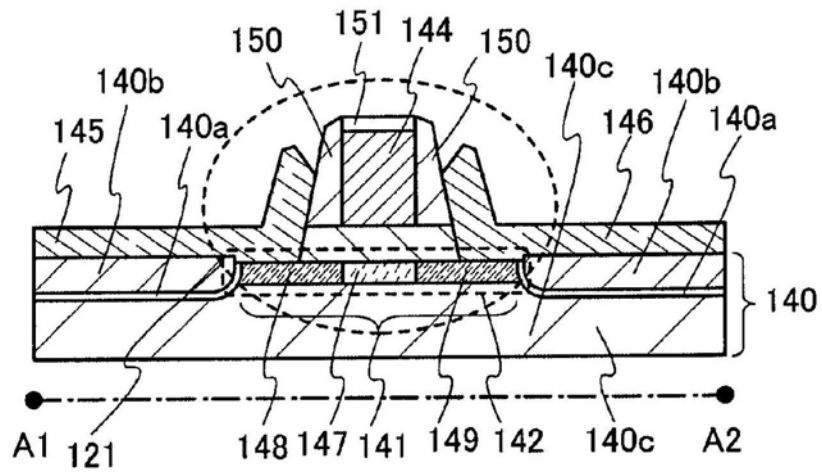


图40A

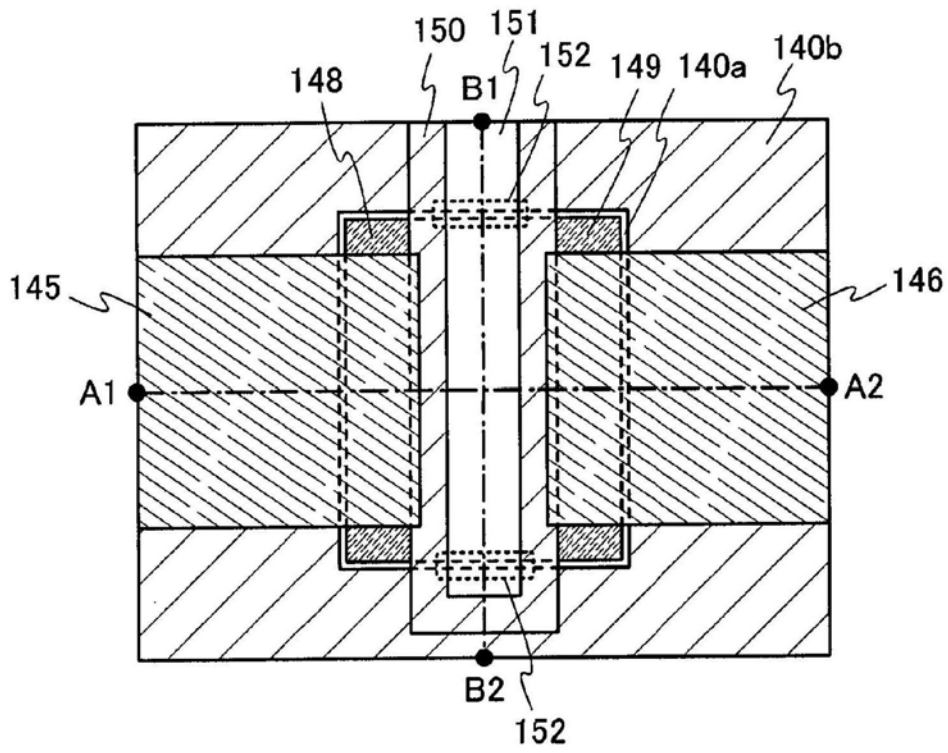


图40B

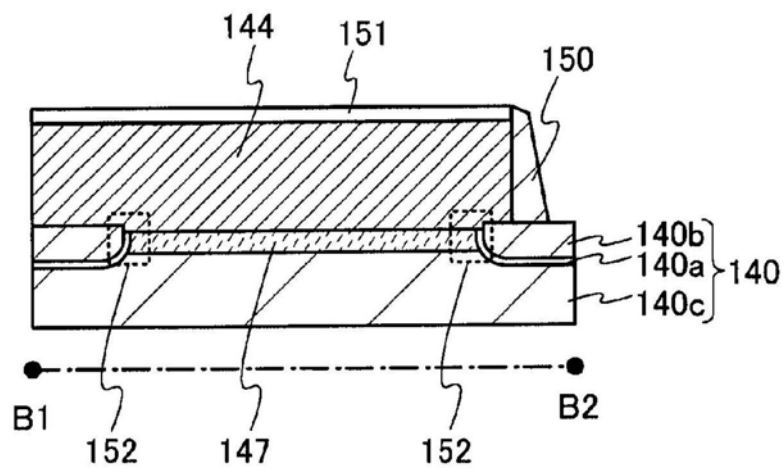


图40C

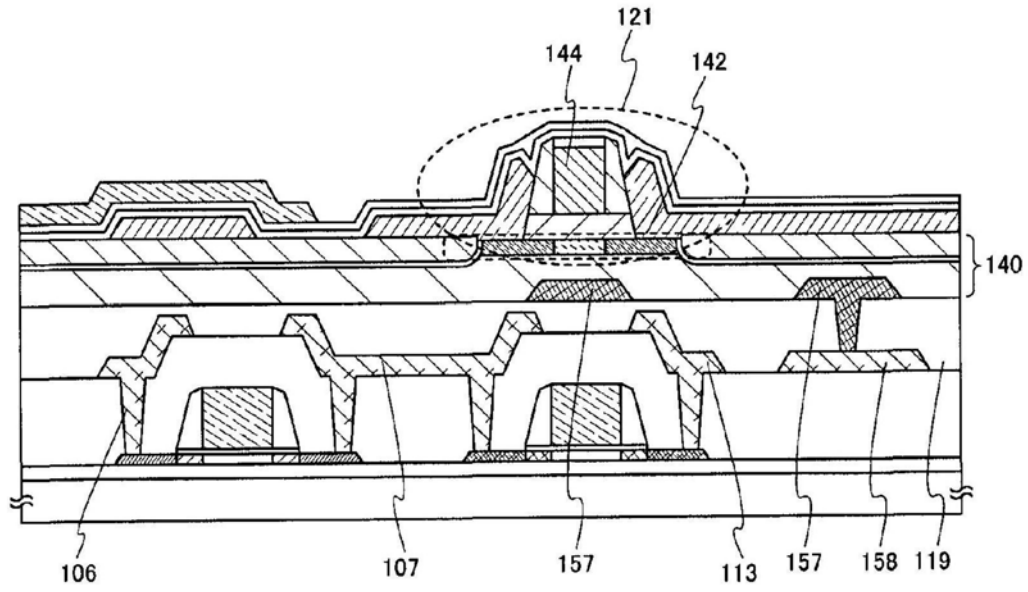


图41

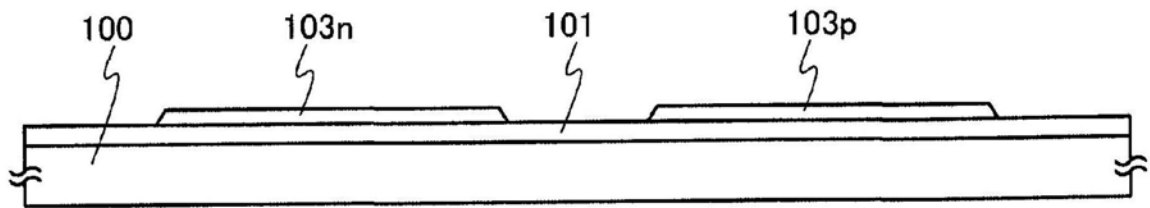


图42A

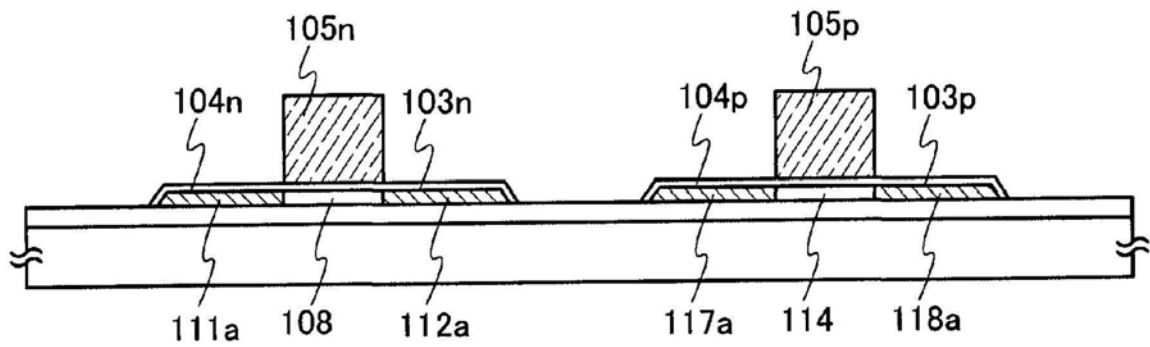


图42B

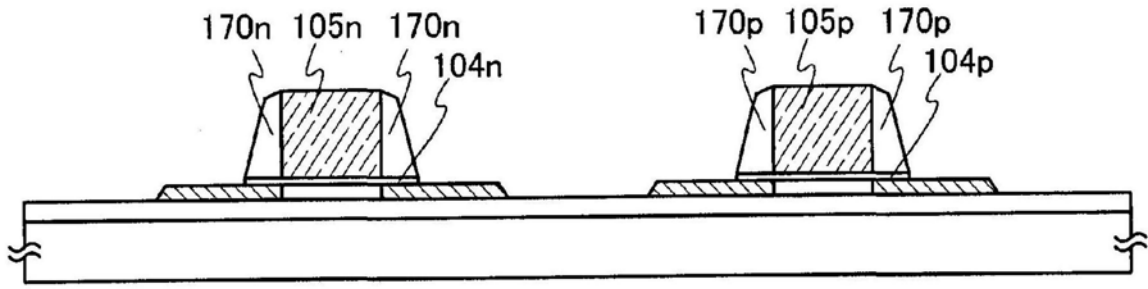


图42C

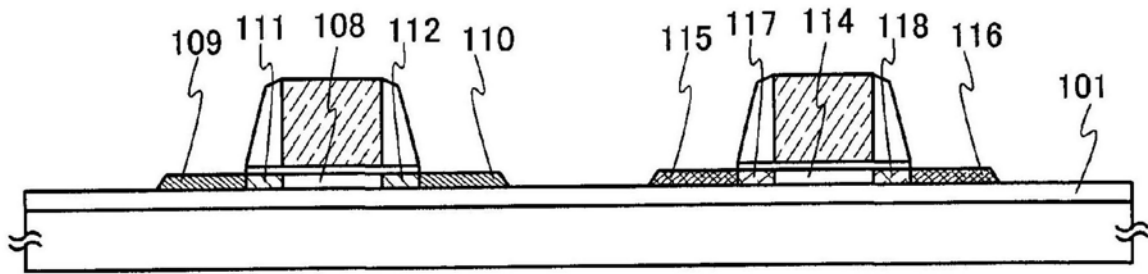


图42D

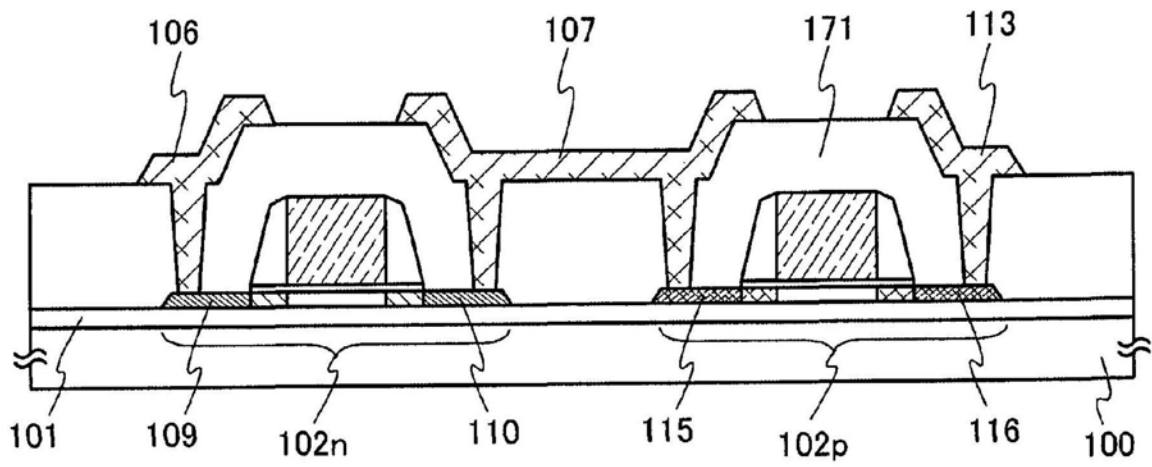


图43A

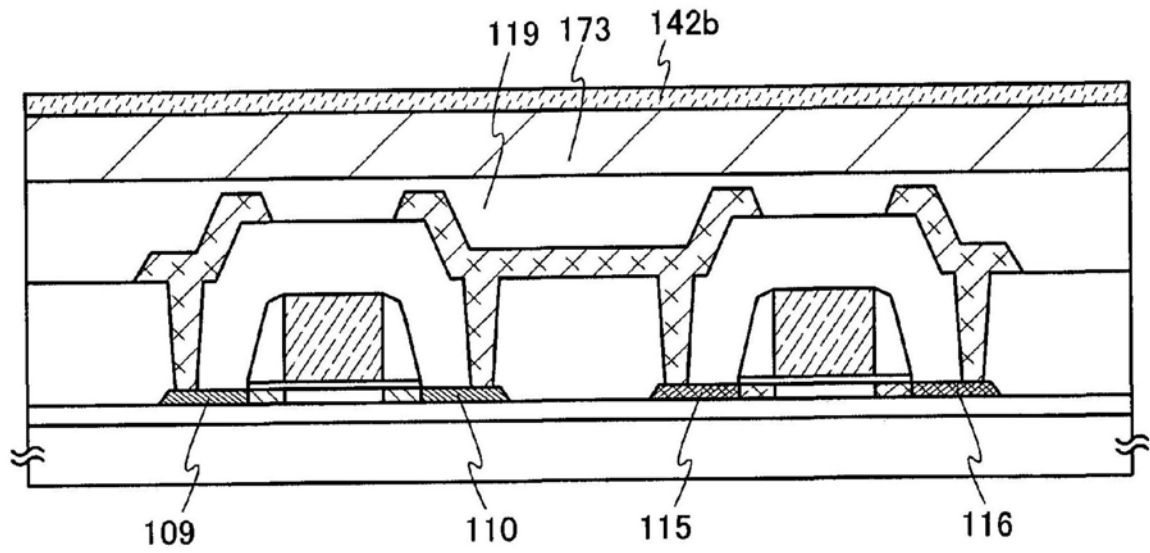


图43B

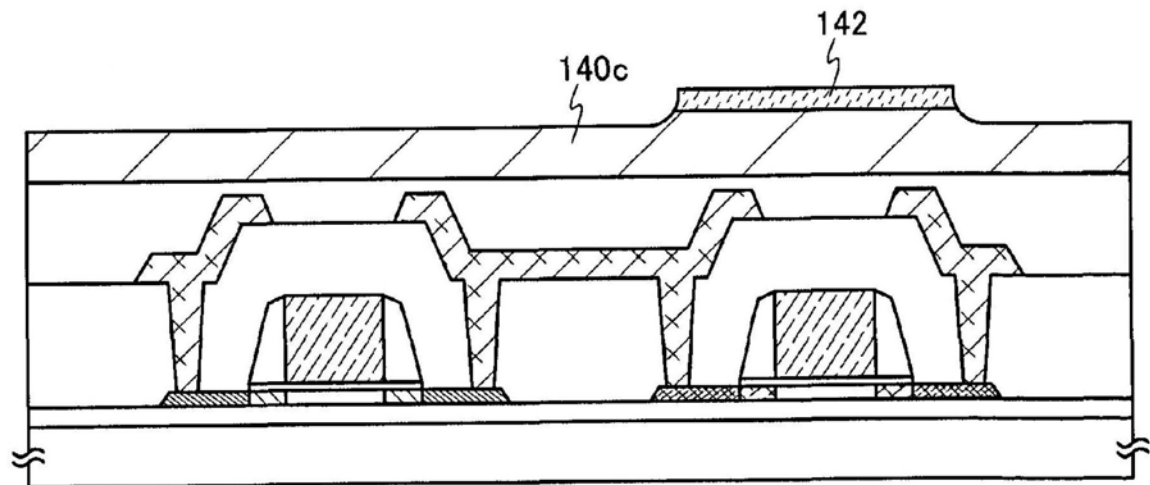


图43C

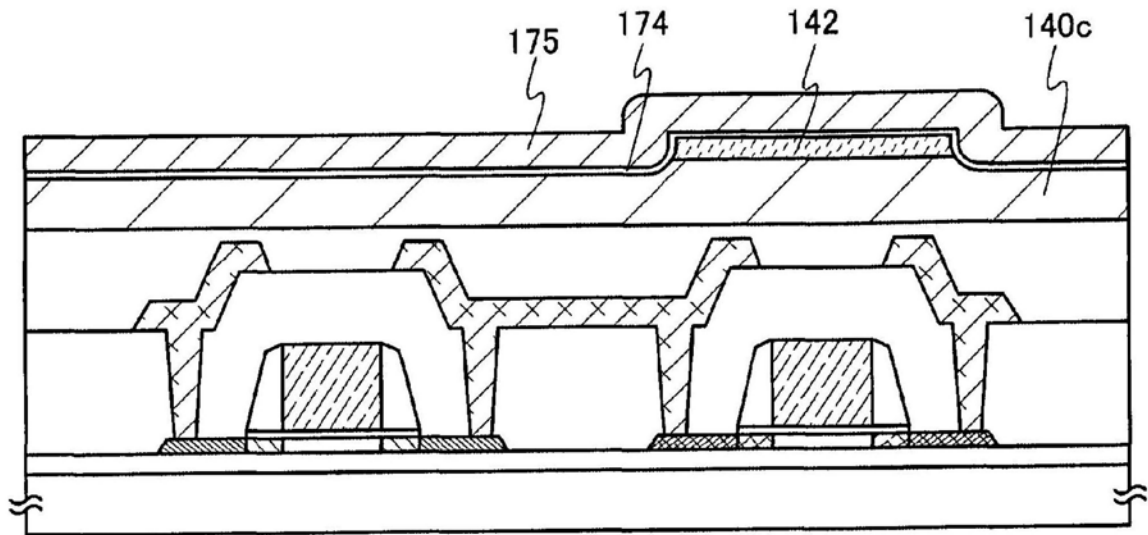


图44A

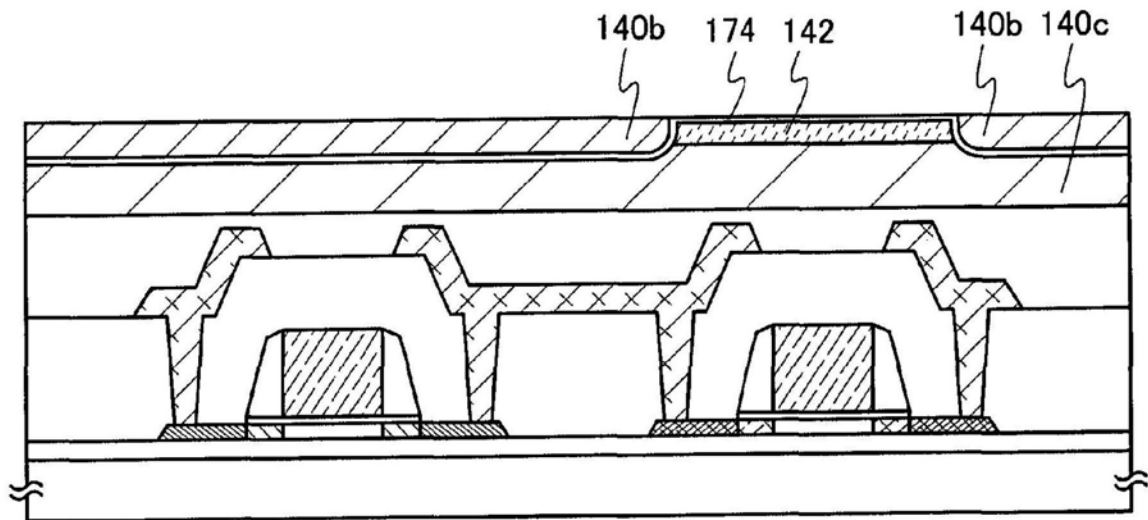


图44B

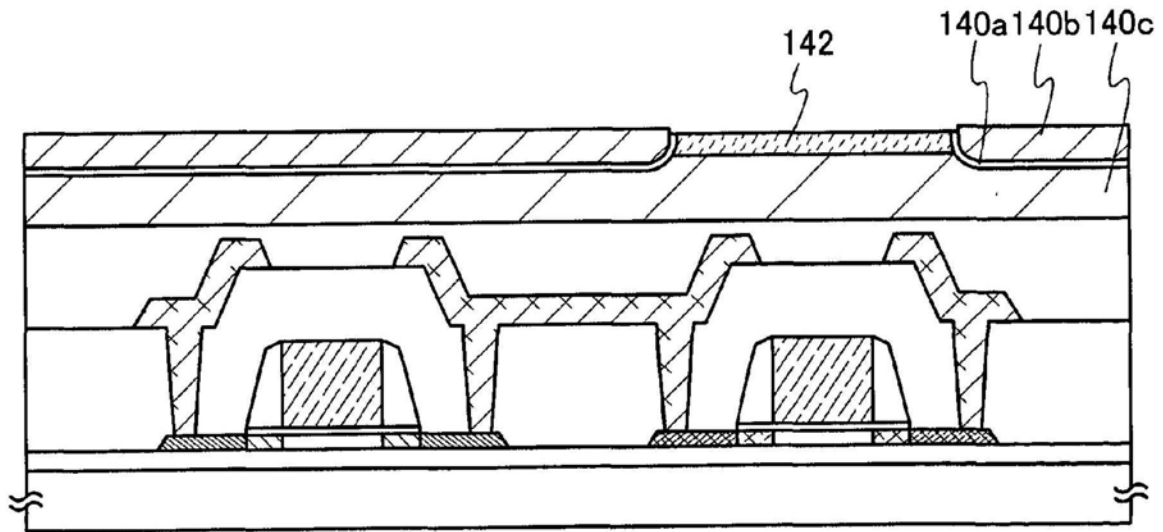


图44C

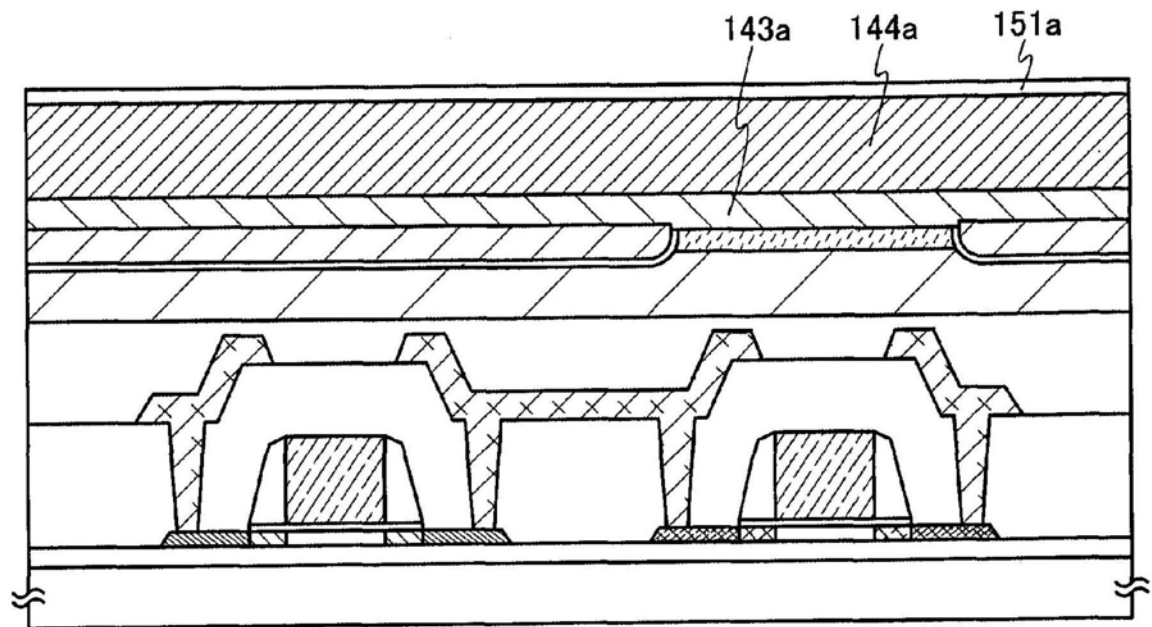


图45A

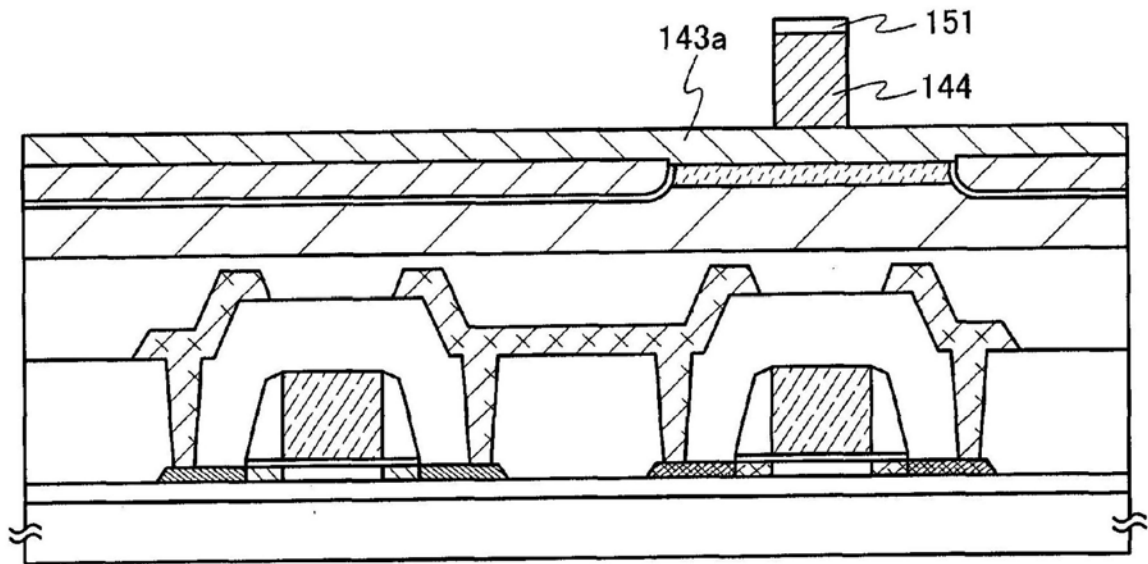


图45B

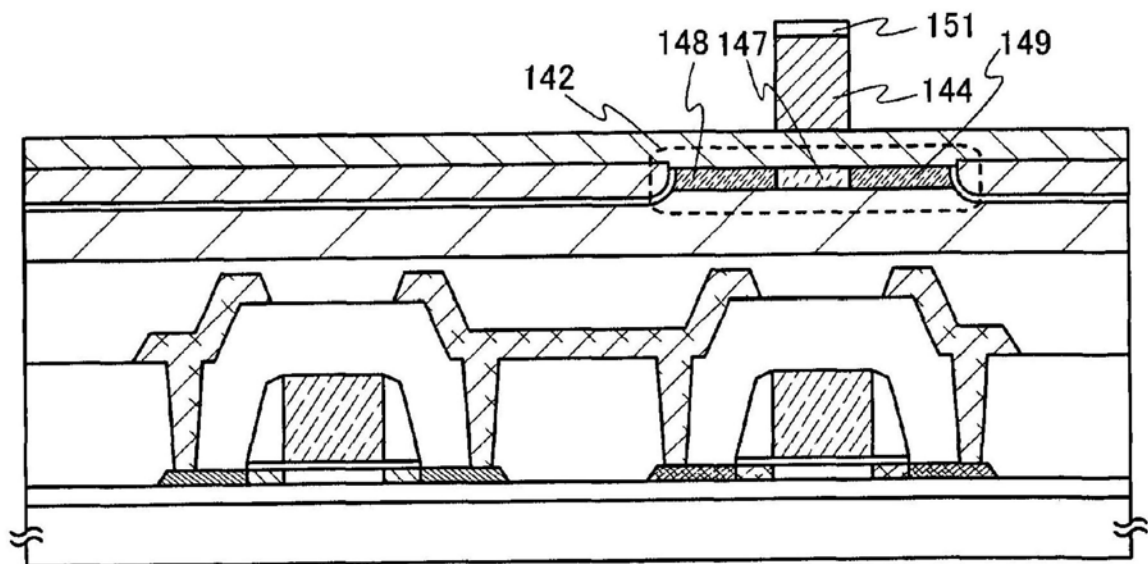


图45C

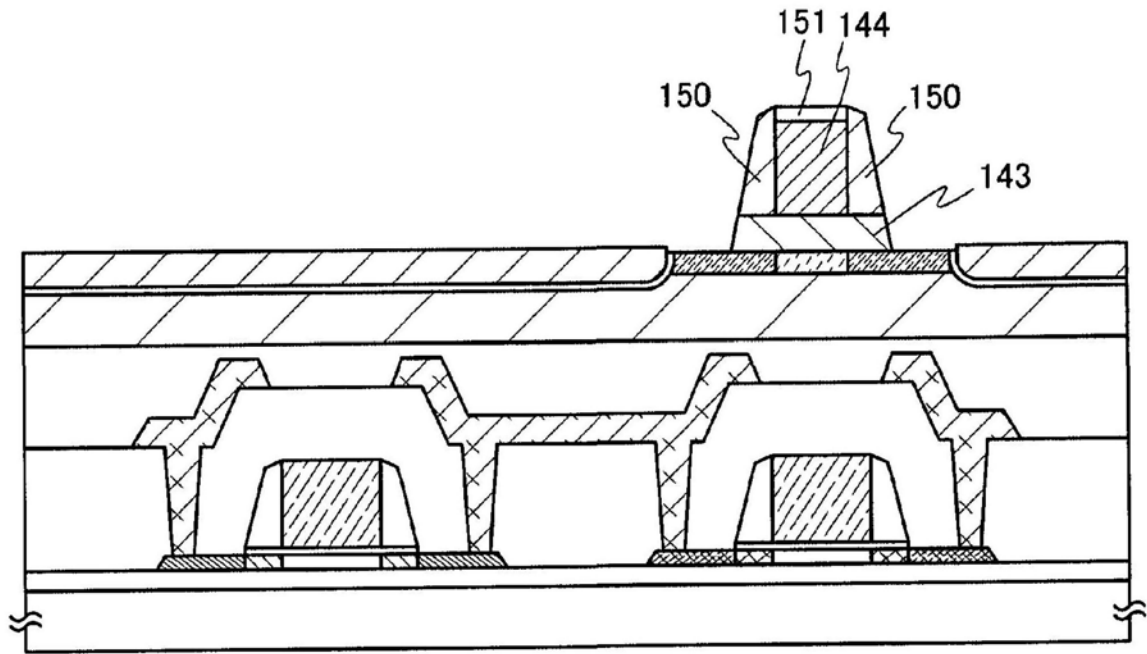


图46A

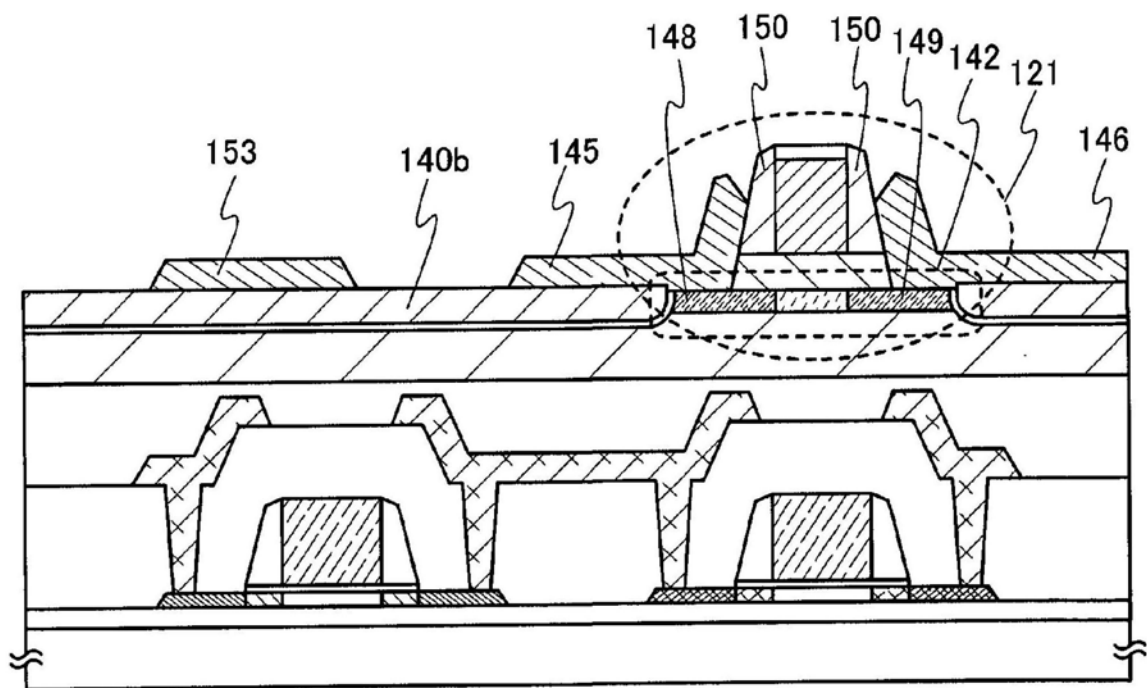


图46B

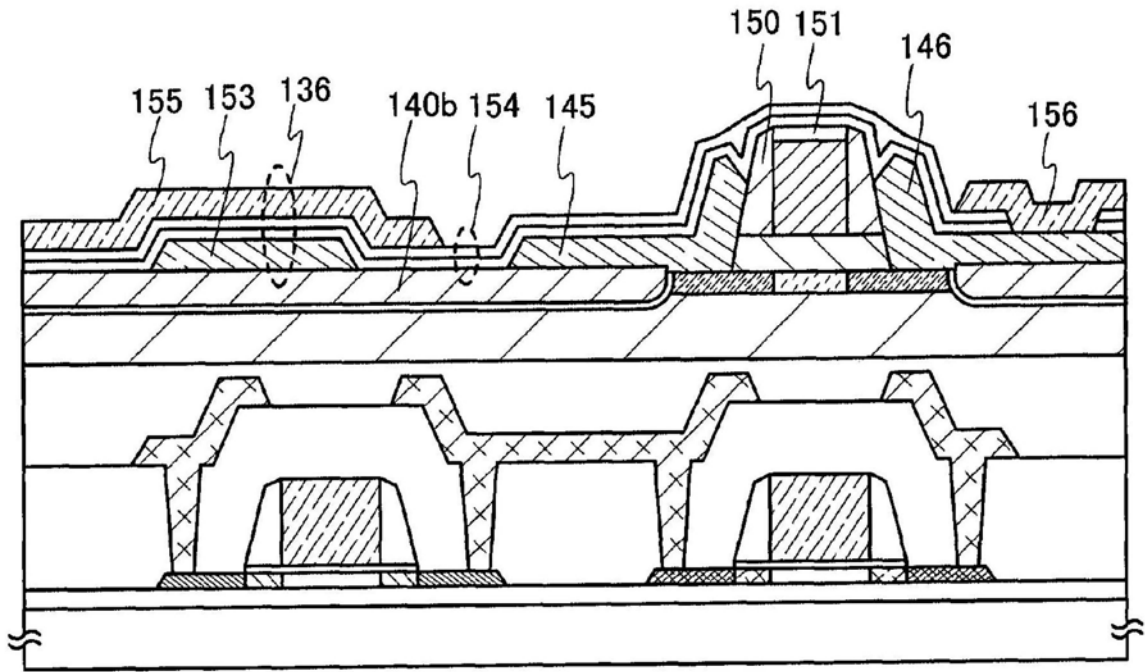


图47A

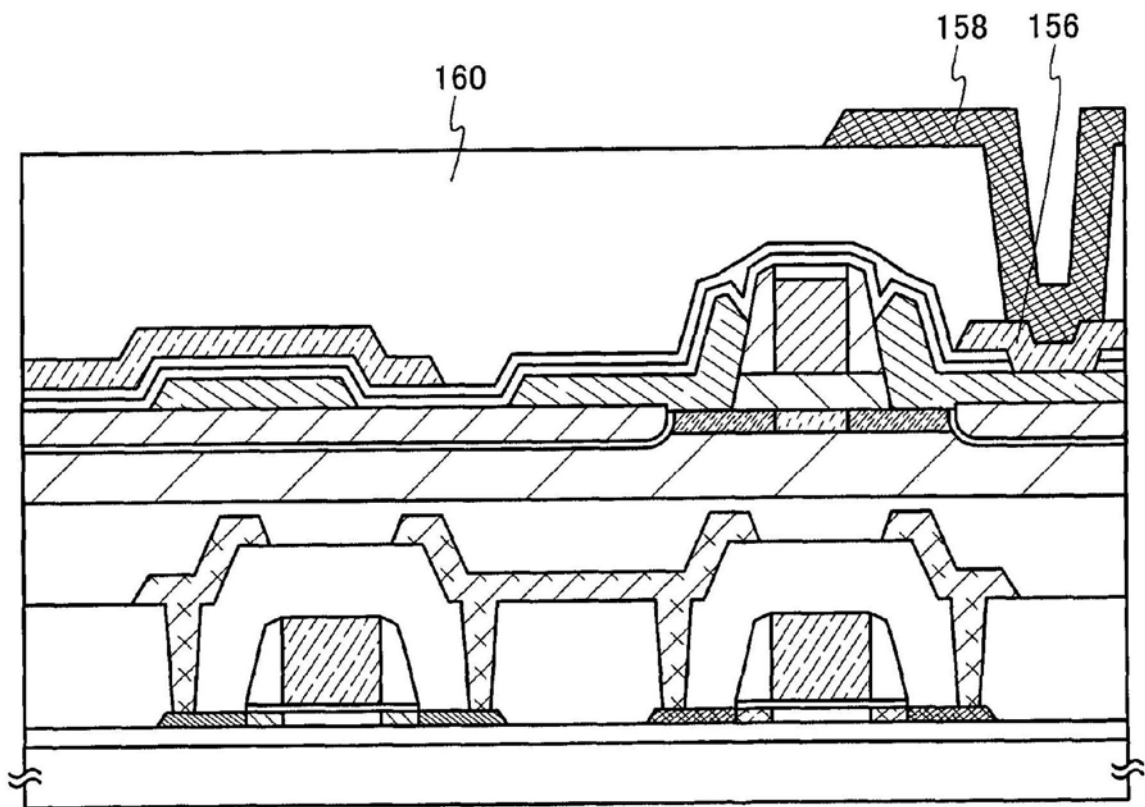


图47B

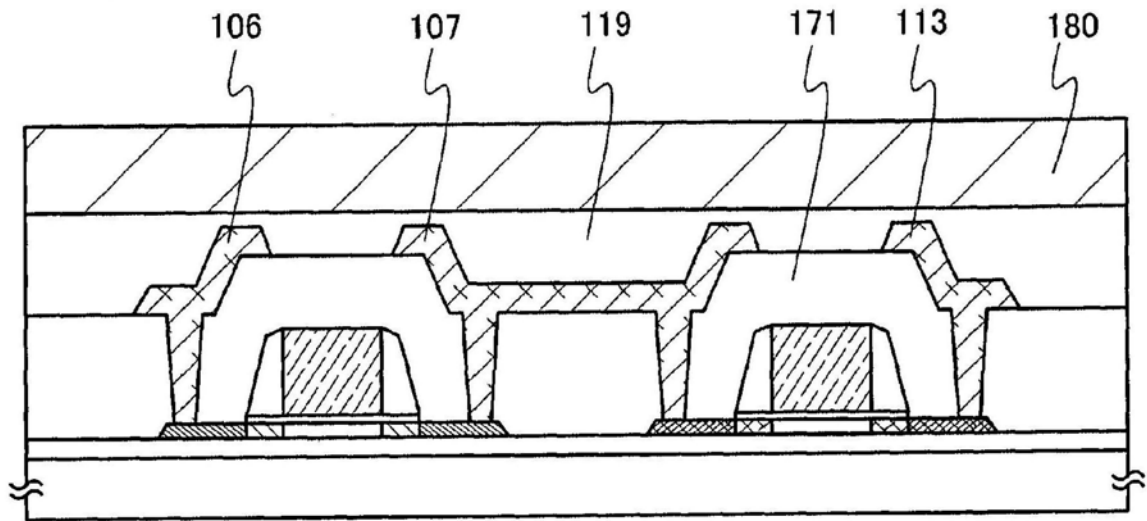


图48A

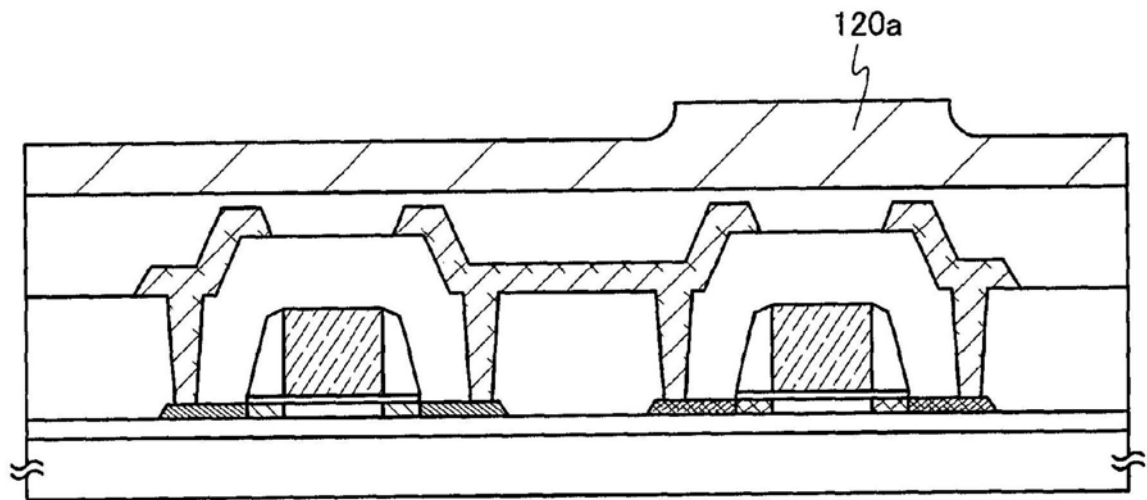


图48B

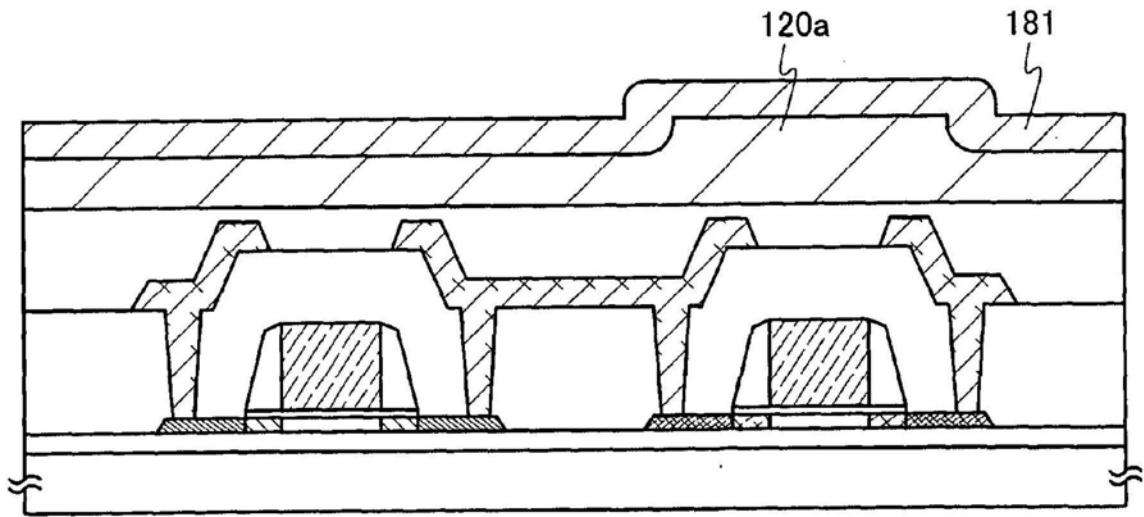


图48C

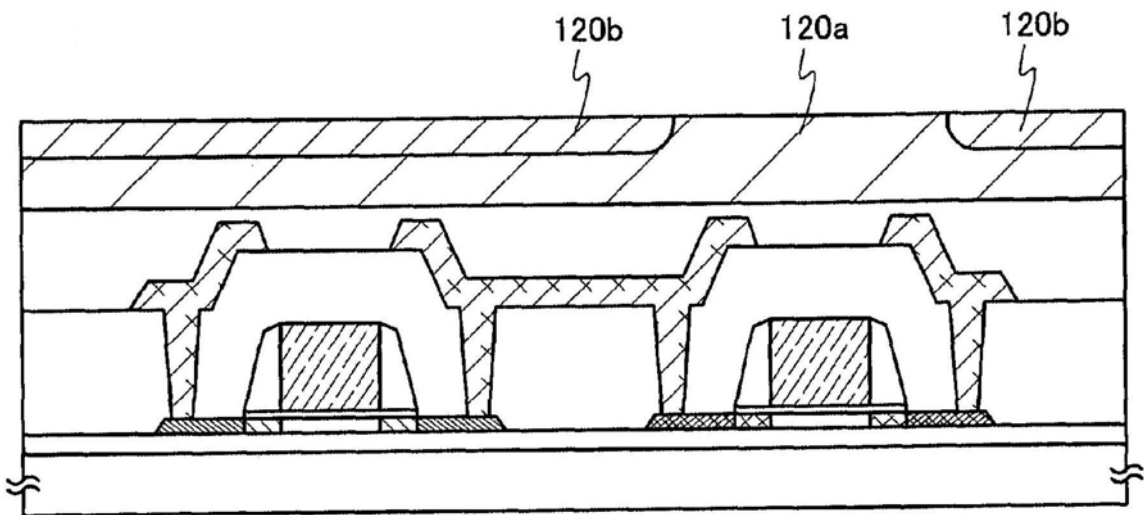


图49A

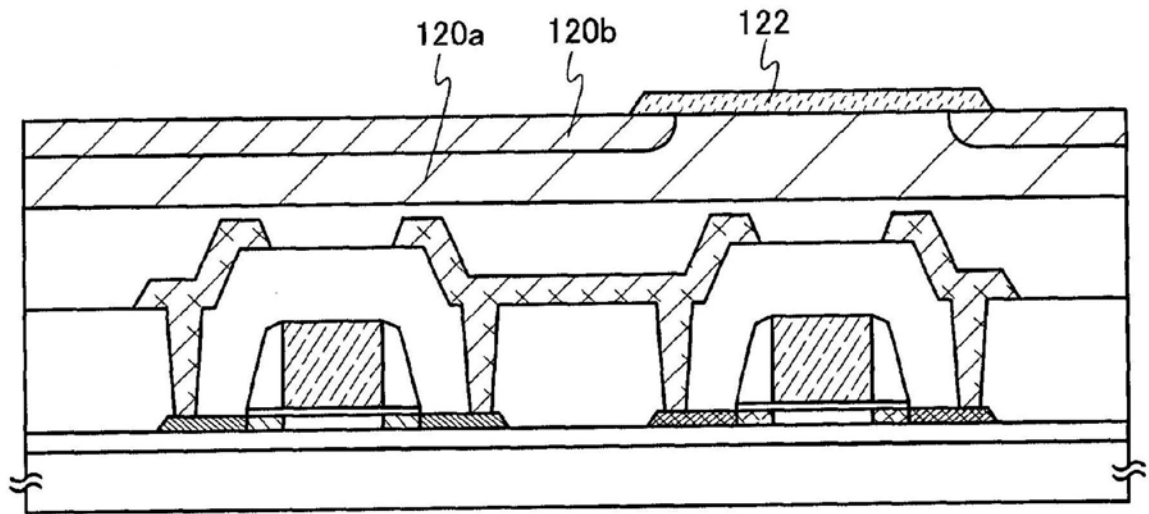


图49B

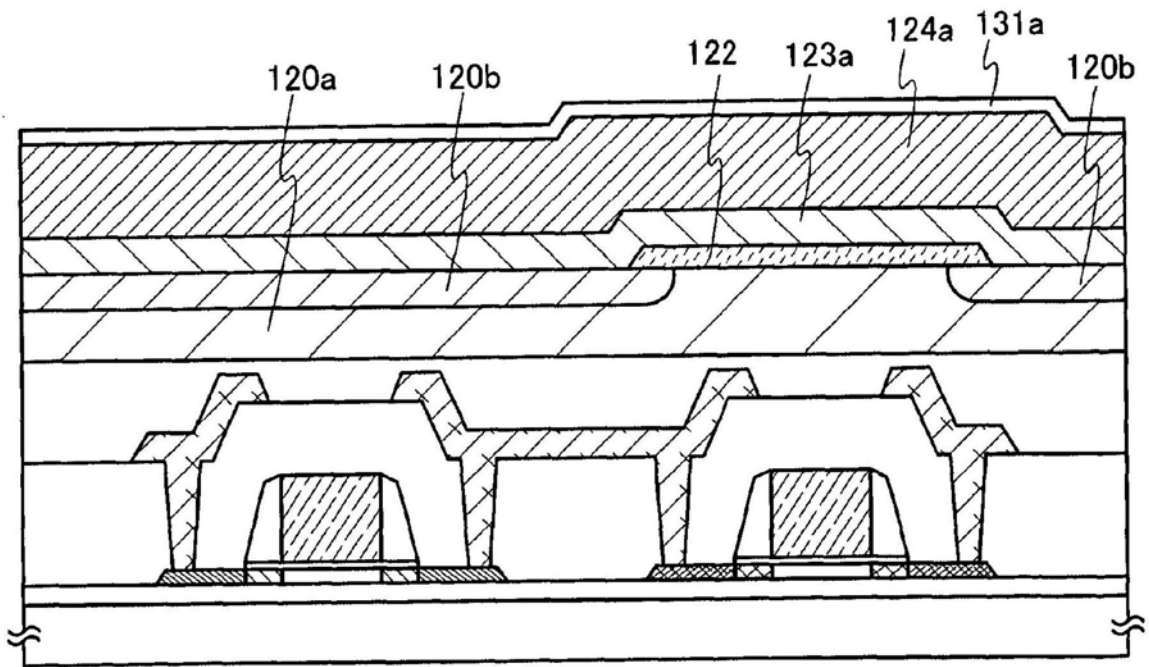


图49C

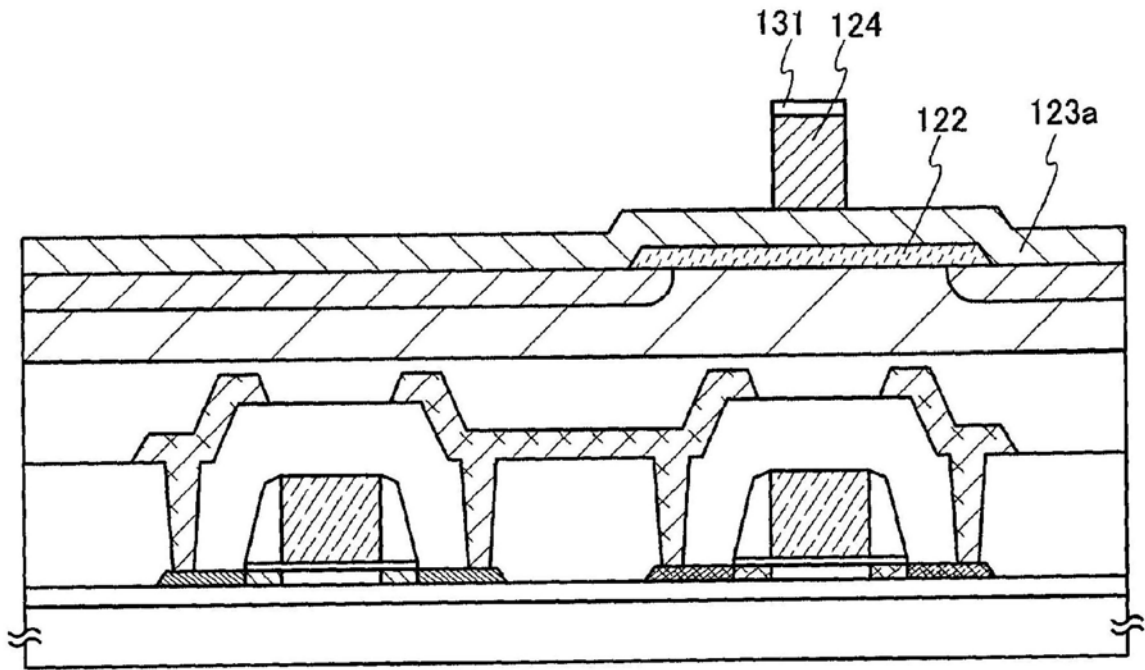


图50A

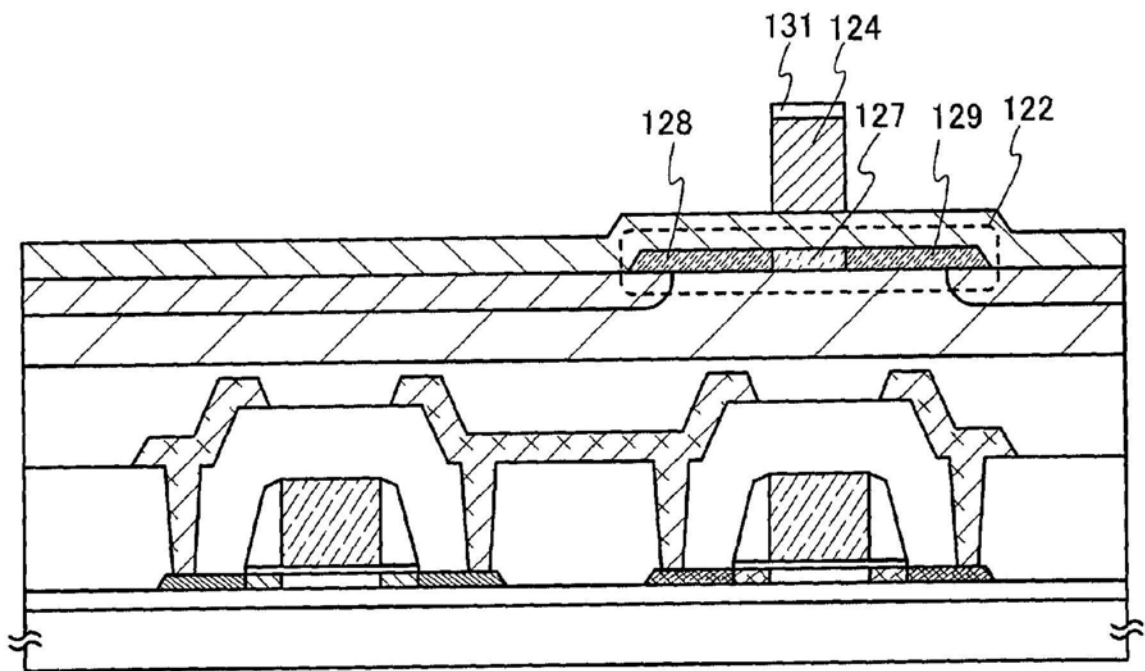


图50B

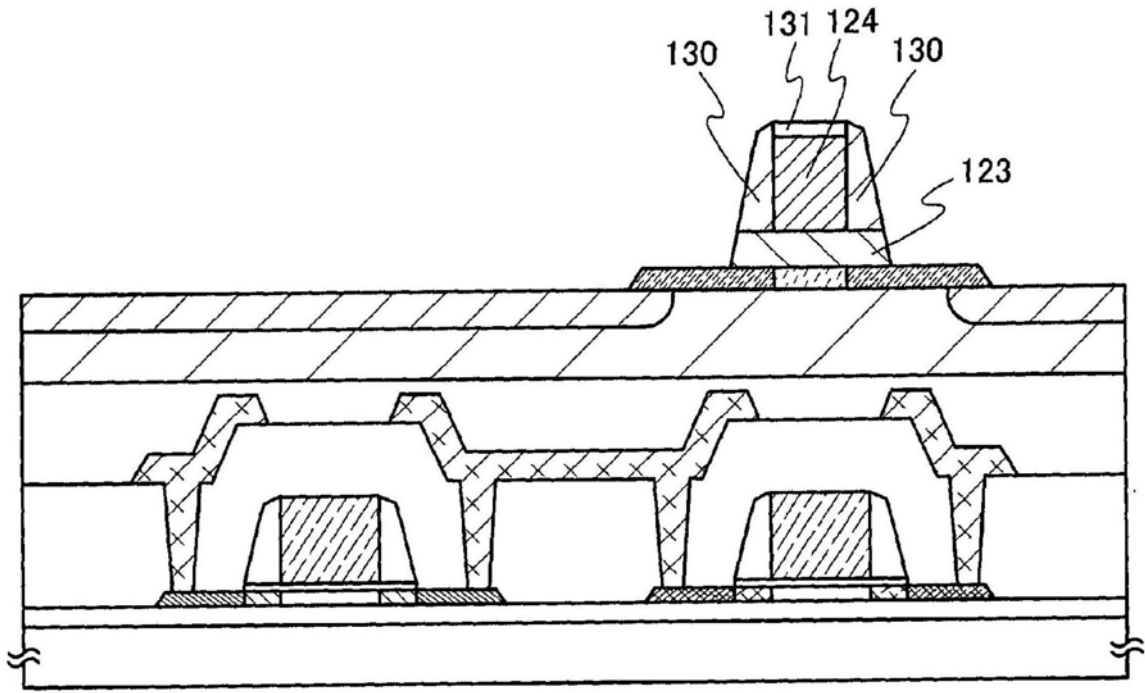


图51A

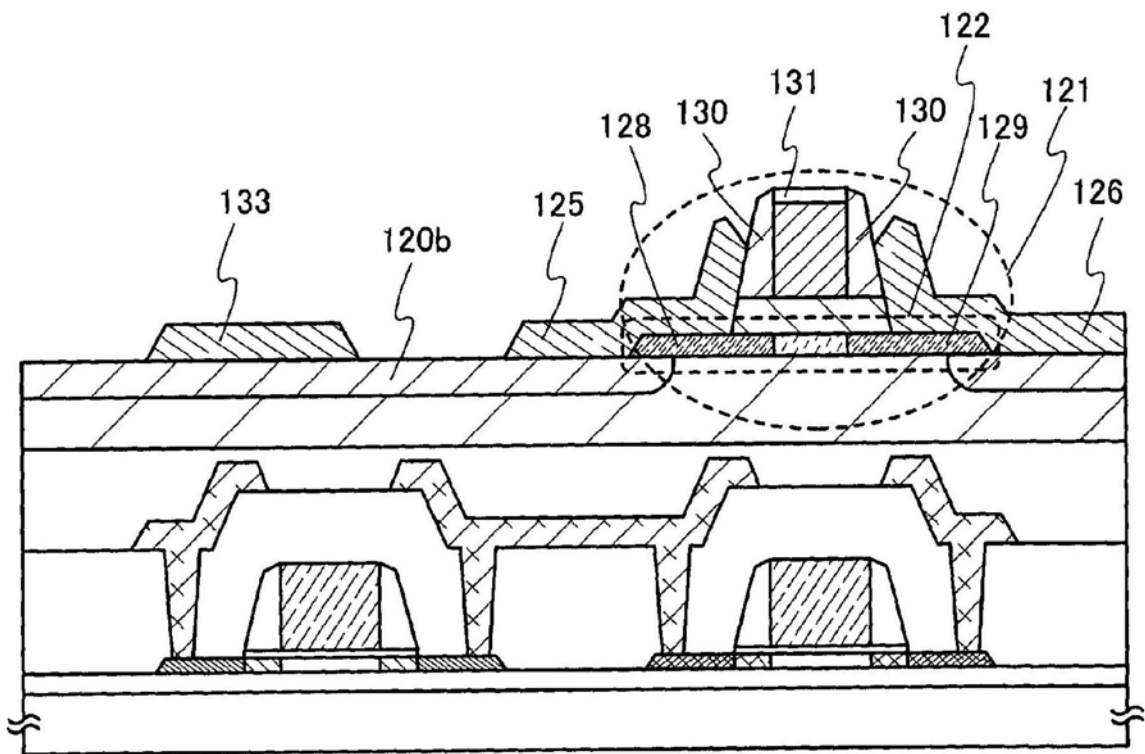


图51B

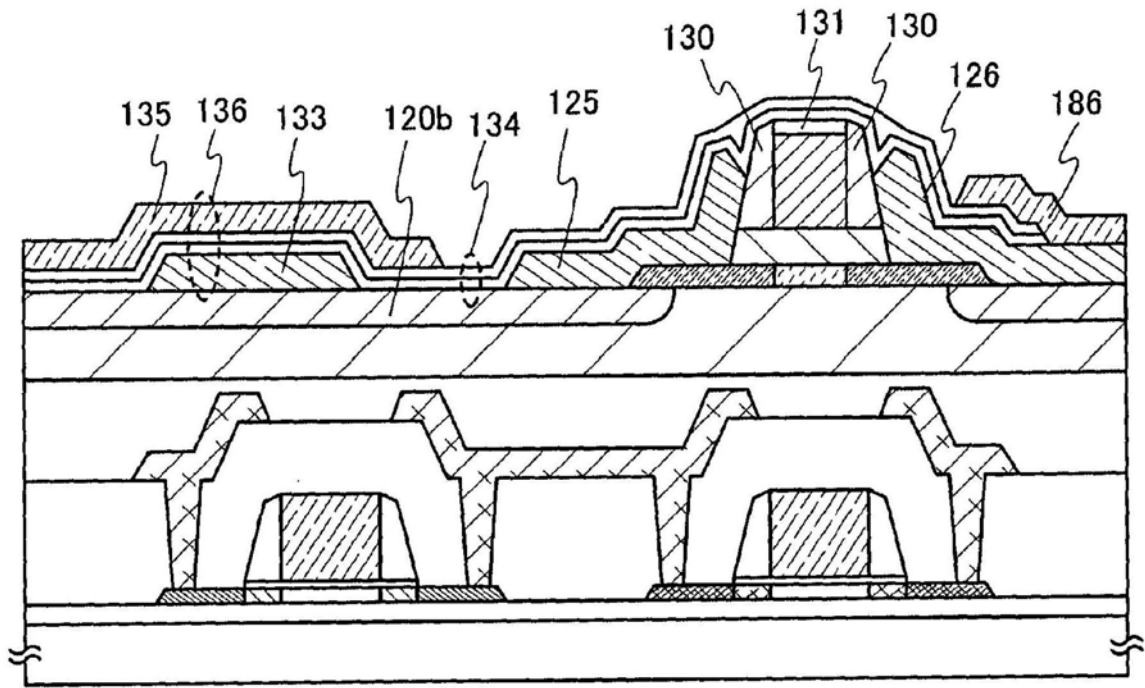


图52A

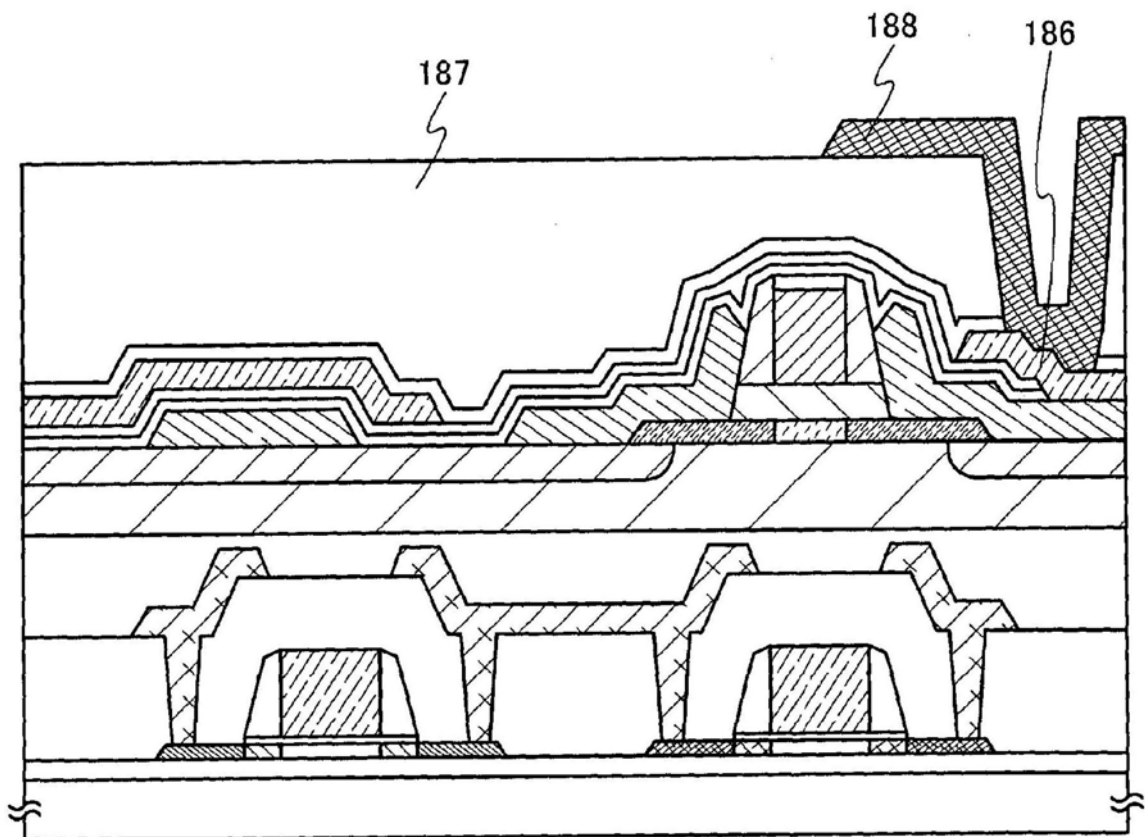


图52B