

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4056765号  
(P4056765)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	613A
HO1L 21/336	(2006.01)	HO1L 29/78	617L
HO1L 21/8238	(2006.01)	HO1L 29/78	616A
HO1L 27/092	(2006.01)	HO1L 27/08	321A
HO1L 27/08	(2006.01)	HO1L 27/08	331E

請求項の数 7 (全 38 頁) 最終頁に続く

(21) 出願番号	特願2002-52794 (P2002-52794)
(22) 出願日	平成14年2月28日 (2002.2.28)
(65) 公開番号	特開2002-334995 (P2002-334995A)
(43) 公開日	平成14年11月22日 (2002.11.22)
審査請求日	平成17年2月18日 (2005.2.18)
(31) 優先権主張番号	特願2001-56049 (P2001-56049)
(32) 優先日	平成13年2月28日 (2001.2.28)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	浜田 崇 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	荒井 康行 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

第1絶縁膜上に形成された第1半導体膜、第2半導体膜、及び第3半導体膜上に第2絶縁膜を形成し、

前記第2絶縁膜上に第1導電膜及び第2導電膜を積層形成し、

第1エッチング処理により、前記第1導電膜及び第2導電膜をエッチングして、前記第1半導体膜、前記第2半導体膜、及び前記第3半導体膜にそれぞれ対応して、端部にテープーを有する第1形状の第1電極、前記第1形状の第2電極、及び前記第1形状の第3電極を形成し、

第1ドーピング処理により、前記第1形状の第1電極、前記第1形状の第2電極、及び前記第1形状の第3電極をマスクとして、前記第1半導体膜、前記第2半導体膜、及び前記第3半導体膜のそれぞれに、 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$  の濃度で一対の一導電型不純物領域を形成し、

第2エッチング処理により、前記第1形状の第1電極、前記第1形状の第2電極、及び前記第1形状の第3電極の前記第2導電膜を異方性エッチングして、前記第1導電膜による突出部が形成された第2形状の第1電極、前記第2形状の第2電極、及び前記第2形状の第3電極を形成し、

前記第1半導体膜上の前記第2形状の第1電極及び前記第1半導体膜の前記一対の一導電型不純物領域の一部を覆う第1レジスト、前記第3半導体膜の全体を覆う第2レジスト、及び前記第2形状の第2電極をマスクとして、第2ドーピング処理により、前記第1レ

10

20

ジストで覆われた前記第1半導体膜に前記 $1 \times 10^{17} \sim 1 \times 10^{19}$  / cm<sup>3</sup> の濃度で一導電型不純物領域である一対の第1不純物領域、前記第2形状の第2電極の前記第1導電膜による突出部と重なる前記第2半導体膜に $1 \times 10^{16} \sim 1 \times 10^{17}$  / cm<sup>3</sup> の濃度で一導電型不純物領域である一対の第2不純物領域、前記第1レジストと重ならない前記第1半導体膜、及び前記第2形状の第2電極と重ならない前記第2半導体膜のそれぞれに $1 \times 10^{20} \sim 1 \times 10^{21}$  / cm<sup>3</sup> の濃度で一導電型不純物領域である一対の第3不純物領域を形成し、

第3ドーピング処理により、前記第2形状の第3電極をマスクとして、前記第2形状の第3電極の前記第1導電膜による突出部と重なる前記第3半導体膜に前記一導電型とは反対の導電型の $1 \times 10^{18} \sim 1 \times 10^{19}$  / cm<sup>3</sup> の濃度で一対の第4不純物領域及び、前記第2形状の第3電極と重ならない前記第3半導体膜に前記一導電型とは反対の導電型の $1 \times 10^{20} \sim 1 \times 10^{21}$  / cm<sup>3</sup> の濃度で一対の第5不純物領域を形成することを特徴とする半導体装置の作製方法であって、

前記第1不純物領域、前記第2不純物領域、および前記第4不純物領域はLDD領域として機能し、かつ前記第3不純物領域及び前記第5不純物領域はソース領域又はドレイン領域として機能することを特徴とする半導体装置の作製方法。

#### 【請求項2】

請求項1において、前記第1導電膜はTa、W、Ti、Moから選ばれた一種又は複数種と窒素との化合物で形成することを特徴とする半導体装置の作製方法。

#### 【請求項3】

請求項1において、前記第2導電膜はTa、W、Ti、Moから選ばれた一種又は複数種の合金で形成することを特徴とする半導体装置の作製方法。

#### 【請求項4】

請求項1において、前記第2導電膜はシリコンを主成分とする膜で形成することを特徴とする半導体装置の作製方法。

#### 【請求項5】

請求項1において、前記第2導電膜はアルミニウム又は銅を主成分とする膜で形成することを特徴とする半導体装置の作製方法。

#### 【請求項6】

請求項1乃至請求項5のいずれか一において、前記第1半導体膜乃至第3半導体膜、及び前記第1電極乃至第3電極上に、第3絶縁膜を形成し、

前記第3絶縁膜の表面に窒素又は不活性ガスのプラズマ処理を行うことを特徴とする半導体装置の作製方法。

#### 【請求項7】

請求項1乃至請求項6のいずれか一において、前記第1電極と前記第1半導体膜とを有する第1TFTは画素部に形成し、前記第2電極と前記第2半導体膜とを有する第2TFT及び、前記第3電極と前記第3半導体膜とを有する第3TFTは駆動回路部に形成することを特徴とする半導体装置の作製方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、基板上に形成された結晶構造を有する半導体膜を用いた薄膜トランジスタ(Thin Film Transistor、以下TFTと記す)を用いた半導体装置及びその作製方法に関する。

##### 【0002】

##### 【従来の技術】

テレビ受像器、パソコンコンピュータ、携帯電話など半導体素子を内蔵した様々な半導体装置において、文字や画像を表示するためのディスプレイは情報を人間が認識する手段として必要不可欠なものとなっている。従来から用いられている代表的なディスプレイとしてCRTが知られているが、最近では電子装置の軽量化及び小型化を図るために液晶表

10

20

30

40

50

示装置に代表される平板型のディスプレイ（フラットパネルディスプレイ）の占める割合が飛躍的に増加している。

#### 【0003】

フラットパネルディスプレイの一つの形態として、画素又はドット毎にTFTを設け、データ信号を順次書き込むことにより映像表示を行うアクティブマトリクス駆動方式が知られている。TFTはアクティブマトリクス駆動方式を実現する上で必須の素子となっている。

#### 【0004】

TFTは非晶質シリコンを用いて作製されるものがほとんどであったが、そのTFTは高速動作が不可能なので、ドット毎に設けるスイッチング素子としてのみ使用されていた。データ線に映像信号を出力するデータ線側駆動回路や、走査線に走査信号を出力する走査線側駆動回路はTAB (Tape Automated Bonding) やCOG (Chip on Glass) により実装する外付けのIC (ドライバIC) で賄っていた。

10

#### 【0005】

しかしながら、画素密度が増加すると画素ピッチが狭くなるので、ドライバICを実装する方式には限界があると考えられている。例えば、UXGA (画素数 $1200 \times 1600$ 個) を想定した場合、RGBカラー方式では単純に見積もっても6000個の接続端子が必要になる。接続端子数の増加は接点不良の発生確率を増加させる原因となる。又、画素部の周辺部分の領域（額縁領域）が増大し、これをディスプレイとする半導体装置の小型化や外観のデザインを損なう要因となる。このような背景から、駆動回路一体型の表示装置の必要性が明瞭になっている。画素部と走査線側及びデータ線側駆動回路を同一の基板に一体形成することで接続端子の数は激減し、又額縁領域の面積も縮小させることができる。

20

#### 【0006】

しかし、その駆動回路は高い駆動能力（オン電流、 $I_{on}$ ）及びホットキャリア効果による劣化を防ぎ信頼性を向上させることが求められる一方、画素部は低いオフ電流（ $I_{off}$ ）が求められている。オフ電流値を低減するためのTFT構造として、低濃度ドレイン（LDD : Lightly Doped drain）構造が知られている。この構造は、チャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域或いはドレイン領域との間に、低濃度に不純物元素を添加したLDD領域を設けたものである。又、ホットキャリアによるオン電流値の劣化を防ぐのに有効な構造として、LDD領域の一部分がゲート電極と重なるLDD構造（以下、Gate-drain Overlapped LDDを省略してGOLDと呼ぶ）が知られている。

30

#### 【0007】

##### 【発明が解決しようとする課題】

TFTは半導体膜や絶縁膜、或いは導電膜を、フォトマスクを用いて所定の形状にエッチング加工しながら積層することにより作製する。しかし、画素部や各駆動回路の要求に合わせてTFTの構造を最適化するために単純にフォトマスクの数を増やすと、製造工程が複雑となり工程数が必然的に増加してしまう。

40

#### 【0008】

本発明はこのような問題点を解決することを目的とし、画素部や駆動回路の駆動条件に最適なTFTの構造を、少ないフォトマスクの数で実現する技術を提供することを目的とする。

#### 【0009】

##### 【課題を解決するための手段】

上記課題を解決するために、本発明は、チャネル長方向の長さが異なり、ゲート絶縁膜と接する第1層目の方が長い二層構造のゲート電極を適用し、駆動回路部のnチャネル型TFTはこの二層構造のゲート電極を用いてソース及びドレイン領域とLDD領域とを自己整合的に形成し、画素部のnチャネル型TFTにおいては、フォトマスクを使ってソース及びドレイン領域とLDD領域とを非自己整合的に形成する。又、駆動回路部のnチャネ

50

ル型 TFT の LDD 領域はゲート電極と重なる位置に設けられ、画素部の n チャネル型 TFT においてはゲート電極の外側（ゲート電極と重ならない）に LDD 領域が設けられた構造とする。このゲート電極と配置関係が異なる 2 種類の LDD 領域とソース及びドレイン領域とは 2 回のドーピング処理で形成する。

#### 【 0010 】

上記の如く、本発明の半導体装置の作製方法は、第 1 絶縁膜上に、互いに分離された第 1 半導体膜乃至第 3 半導体膜を形成し、第 1 半導体膜乃至第 3 半導体膜上にそれぞれ第 1 形状の第 1 電極乃至第 3 電極を第 2 絶縁膜を介して形成し、第 1 形状の第 1 電極乃至第 3 電極をマスクとして、第 1 ドーピング処理により第 1 半導体膜乃至第 3 半導体膜に第 1 濃度の一導電型不純物領域を形成し、第 1 形状の第 1 電極乃至第 3 電極から第 2 形状の第 1 電極乃至第 3 電極を形成し、第 2 ドーピング処理により第 2 半導体膜に第 2 形状の第 2 電極と重なる第 2 濃度の一導電型不純物領域を形成し、さらに、第 1 半導体膜及び第 2 半導体膜に第 3 濃度の一導電型不純物領域を形成し、第 3 ドーピング処理により、第 3 半導体膜に一導電型とは反対の導電型の第 4 不純物領域及び第 5 不純物領域を形成する工程を有することを特徴としている。即ち、TFT のゲート電極を形成するためのエッチング処理とドーピング処理とを組み合わせて、自己整合的に LDD やソース又はドレイン領域を形成することを特徴としている。10

#### 【 0011 】

又、他の構成として、第 1 絶縁膜上に、互いに分離された第 1 半導体膜乃至第 3 半導体膜を形成し、第 1 半導体膜上に、第 1 形状の第 1 電極を第 2 絶縁膜を介して形成し、第 1 半導体膜に、第 1 形状の第 1 電極をマスクとして第 1 濃度の一導電型不純物領域を形成し、第 2 半導体膜及び第 3 半導体膜上に、第 1 形状の第 2 電極及び第 3 電極を、第 2 絶縁膜を介して形成し、第 1 形状の第 2 電極及び第 3 電極をエッチングして、第 2 形状の第 2 電極及び第 3 電極を形成し、第 2 ドーピング処理により、第 2 半導体膜に第 2 形状の第 2 電極と重なる第 2 濃度の一導電型不純物領域を形成し、さらに、第 1 半導体膜及び第 2 半導体膜に第 3 濃度の一導電型不純物領域を形成し、第 3 ドーピング処理により、第 3 半導体膜に一導電型とは反対の導電型の第 4 不純物領域及び第 5 不純物領域を形成する工程を有することを特徴としている。20

#### 【 0012 】

このような作製方法により、駆動回路に形成する n チャネル型 TFT はゲート電極と重なる LDD を自己整合的に形成する。この LDD はゲート電極の膜厚差（段差）を利用してドーピングすることにより、ソース又はドレイン領域と同時に、同一のドーピング工程で行うことができる。一方、画素部に形成する n チャネル型 TFT はゲート電極と重ならない LDD をマスクにより形成する。30

#### 【 0013 】

尚、本発明でいう半導体装置は、半導体特性を利用して機能する装置全般を指し、TFT を内蔵した液晶表示装置に代表される表示装置、半導体集積回路（マイクロプロセッサ、信号処理回路又は高周波回路等）を範疇に含んでいる。

#### 【 0014 】

##### 【 発明の実施の形態 】

###### [ 実施の形態 1 ]

本発明の実施の形態を図 1 ~ 図 6 を用いて説明する。ここでは、同一基板上に画素部と、画素部の近くに設ける駆動回路の TFT ( n チャネル型 TFT 及び p チャネル型 TFT ) を同時に作製する方法について詳細に説明する。

#### 【 0015 】

図 1 ( A ) において、基板 101 はガラス基板、石英基板、セラミック基板などを用いることができる。又、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したもの用いても良い。又、本実施の形態の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

#### 【 0016 】

10

20

30

40

50

まず、基板 101 上に第 1 絶縁膜 102、103 を形成する。ここでは 2 層構造で示しているが、勿論一層のみとしても良い。半導体膜 104～107 は結晶構造を有する半導体で形成する。これは、第 1 絶縁膜上に形成した非晶質半導体膜を結晶化して得る。非晶質半導体膜は堆積した後、加熱処理やレーザー光の照射により結晶化させる。非晶質半導体膜の材料に限定はないが、好ましくはシリコン又はシリコンゲルマニウム ( $\text{Si}_x\text{Ge}_{1-x}$ ;  $0 < x < 1$ 、代表的には、 $x = 0.001 \sim 0.05$ ) 合金などで形成する。

#### 【0017】

非晶質半導体膜をレーザー光の照射により結晶化させるには、パルス発振型又は連続発振の気体レーザー又は固体レーザーが適用される。気体レーザーとしては  $\text{KrF}$ 、 $\text{ArF}$ 、 $\text{XeCl}$ などのエキシマレーザーが適用される。 $\text{YAG}$ 、 $\text{YVO}_4$ 、 $\text{YLF}$ 、 $\text{YAlO}_3$ などの結晶に  $\text{Cr}$ 、 $\text{Nd}$ 、 $\text{Er}$ 、 $\text{Ho}$ 、 $\text{Ce}$ 、 $\text{Co}$ 、 $\text{Ti}$  又は  $\text{Tm}$  をドープした結晶を使ったレーザー発振装置が適用される。発振波長の基本波はドープする材料によっても異なるが、 $1 \mu\text{m}$ から $2 \mu\text{m}$ の波長で発振する。非晶質半導体膜を結晶化させるためにはレーザー光を半導体膜で選択的に吸収させるために、可視域から紫外域の波長のレーザー光を適用し、基本波の第 2 高調波～第 4 高調波を適用するのが好ましい。代表的には、非晶質半導体膜の結晶化に際して、 $\text{Nd:YVO}_4$  レーザー発振装置（基本波  $1064 \text{ nm}$ ）の第 2 高調波（ $532 \text{ nm}$ ）を用いる。その他に、アルゴンレーザー発振装置、クリプトンレーザー発振装置などの気体レーザー発振装置を適用することもできる。

#### 【0018】

結晶化法として、ニッケルなどの半導体の結晶化に対し触媒作用のある金属元素を添加して結晶化させても良い。例えば、ニッケルを含有する溶液を非晶質珪素膜上に保持させた後、脱水素化（500、1時間）続けて熱結晶化（550、4時間）を行い、更に結晶性を向上させるため  $\text{YAG}$  レーザー、 $\text{YVO}_4$  レーザー、 $\text{YLF}$  レーザーから選ばれた連続発振レーザー光の第 2 高調波を照射する。

#### 【0019】

次いで、半導体膜 104～107 を覆う第 2 絶縁膜 108 を形成する。第 2 絶縁膜 108 は、プラズマ CVD 法やスパッタ法でシリコンを含む絶縁物で形成する。その厚さは  $40 \sim 150 \text{ nm}$  とする。半導体膜 104～107 を覆って形成される第 2 絶縁膜は、本実施の形態において作製する TFT のゲート絶縁膜として用いる。

#### 【0020】

第 2 絶縁膜 108 上にはゲート電極や配線を形成するために導電膜を形成する。本発明においてゲート電極は 2 層又はそれ以上の導電膜を積層して形成する。第 2 絶縁膜 108 上に形成する第 1 導電膜 109 はモリブデン、タンクステンなどの高融点金属の窒化物で形成し、その上に形成する第 2 導電膜 110 は高融点金属又はアルミニウムや銅などの低抵抗金属、或いはポリシリコンなどで形成する。具体的には、第 1 導電膜として  $\text{W}$ 、 $\text{Mo}$ 、 $\text{Ta}$ 、 $\text{Ti}$  から選ばれ一種又は複数種の窒化物を選択し、第 2 導電膜として  $\text{W}$ 、 $\text{Mo}$ 、 $\text{Ta}$ 、 $\text{Ti}$ 、 $\text{Al}$ 、 $\text{Cu}$  から選ばれ一種又は複数種の合金、或いは  $n$  型多結晶シリコンを用いる。

#### 【0021】

次に、図 1 (B) に示すようにレジストマスク 111～115 を形成し、第 1 導電膜及び第 2 導電膜に対する第 1 エッチング処理を行う。このエッチング処理により、端部にテーパーを有する第 1 形状の電極 116～118 と第 1 形状の配線 119～121 を形成する。テーパーは  $45 \sim 75$  度で形成する。第 1 形状の電極 116～118 及び第 1 形状の配線 119～121 で覆われない第 2 絶縁膜 122 の表面は  $20 \sim 50 \text{ nm}$  程度エッチングされ薄くなった領域が形成される。

#### 【0022】

第 1 ドーピング処理は、イオン注入法又は質量分離をしないでイオンを注入するイオンドープ法により行う。ドーピングは第 1 形状の電極 116～118 をマスクとして用い、半導体膜 104～107 に第 1 濃度の一導電型不純物領域 123～126 を形成する。第 1 濃度は  $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$  とする。

10

20

30

40

50

## 【0023】

次に、レジストマスク 111～115を除去せずに図2(A)に示すように第2エッチング処理を行う。このエッチング処理では、第2導電膜を異方性エッチングして第2形状の電極127～129と第2形状の配線130、131を形成する。第2形状の電極127～129及び第2形状の配線130、131で覆われない第2絶縁膜の表面は20～50nm程度エッチングされ薄くなる。

## 【0024】

その後、半導体膜104の全体を覆うマスク133、半導体膜106上の第2形状の電極129を覆うマスク134、半導体膜107を覆うマスク134を形成し、第2ドーピング処理を行う。第2ドーピング処理を行い、半導体膜105に第2濃度の一導電型不純物領域と、半導体膜105、106に第3濃度の一導電型不純物領域を形成する。  
10

## 【0025】

第2濃度の一導電型不純物領域135は、第2形状の電極128を構成する第1導電膜128aと重なる位置に自己整合的に形成される。イオンドープ法で添加される不純物は、第1導電膜128aを通過させて添加するため、半導体膜に達するイオンの数は減少し、必然的に第3濃度のn型不純物領域より低濃度となる。その濃度は $1 \times 10^{16} \sim 1 \times 10^{17}/cm^3$ となる。又、第3濃度の不純物領域136、137は $1 \times 10^{20} \sim 1 \times 10^{21}/cm^3$ の濃度でn型不純物が添加される。

## 【0026】

次いで、図3(A)で示すようにレジストマスク138を形成し第3ドーピング処理を行う。この第3ドーピング処理により、半導体膜104に第4濃度の一導電型とは反対の導電型の不純物領域139及び第5濃度の一導電型とは反対の導電型の不純物領域140を形成する。第4一導電型とは反対の導電型の不純物領域は第2形状の電極127と重なる領域に形成されるものであり、 $1 \times 10^{18} \sim 1 \times 10^{19}/cm^3$ の濃度範囲で当該不純物元素が添加される。この不純物濃度はLDDとして機能しうる不純物濃度となる。第5濃度は140には $2 \times 10^{20} \sim 3 \times 10^{21}/cm^3$ の濃度範囲で当該不純物元素が添加されるようとする。  
20

## 【0027】

以上までの工程でそれぞれの半導体膜に価電子制御を目的とした不純物を添加した領域が形成される。第2形状の電極127～129はゲート電極となる。又、第2形状の配線130は画素部において保持容量を形成する一方の電極となる。さらに、第2形状の配線131は画素部においてデータ線を形成する。  
30

## 【0028】

次いで、プラズマCVD法又はスパッタ法を用い第3絶縁膜143を形成する。第3絶縁膜143は酸化窒化シリコン膜や酸化シリコン膜などで形成する。

## 【0029】

その後、図3(B)に示すように、それぞれの半導体膜に添加された不純物元素を活性化処理する工程を行う。この活性化はファーネスアニール炉又は瞬間熱アニール(RTA)法を用いて行う。加熱処理の温度は窒素雰囲気中で400～700、代表的には450～500で行う。この他に、YAGレーザーの第2高調波(532nm)を用いたレーザー-アニール法を適用することもできる。レーザー光の照射により活性化を行うには、YAGレーザーの第2高調波(532nm)を用いてこの光を半導体膜に照射する。勿論、レーザー光に限らずランプ光源を用いるRTA法でも同様であり、基板の両面又は基板側からランプ光源の輻射により半導体膜を加熱する。  
40

## 【0030】

その後、図4に示すように、プラズマCVD法で窒化シリコンから成る第4絶縁膜144を50～100nmの厚さに形成し、クリーンオーブンを用いて410の熱処理を行い、窒化シリコン膜から放出される水素で半導体膜の水素化を行う。

## 【0031】

次いで、第4絶縁膜144上に有機絶縁物材料から成る第5絶縁膜145を形成する。有  
50

機絶縁物材料を用いる理由は第5絶縁膜の最表面を平坦化させるためである。そして、エッチング処理により第3乃至第5絶縁膜を貫通するコンタクトホールを形成する。このエッチング処理においては外部入力端子部の第3及び第5絶縁膜も除去する。そして、チタン膜とアルミニウム膜を積層して形成される配線146～149、画素電極151、走査線152、接続電極150、外部入力端子に接続する配線153を形成する。

#### 【0032】

以上までの工程において、一導電型不純物領域をn型、一導電型とは反対の不純物領域をp型とすると、同一基板上にpチャネル型TFT200、第1nチャネル型TFT201を有する駆動回路205と、第2nチャネル型TFT203と容量部204を有する画素部206を形成することができる。容量部204は半導体膜107、第2絶縁膜122で形成される絶縁膜、第1形状の容量配線130で形成されている。10

#### 【0033】

駆動回路205のpチャネル型TFT200にはチャネル形成領域154、ゲート電極を形成する第2電極127の外側に第5濃度のp型不純物領域140（ソース領域又はドレイン領域として機能する領域）と、第2電極127と重なる第4濃度のp型不純物領域（LDD）を有している。

#### 【0034】

第1nチャネル型TFT201はチャネル形成領域155、ゲート電極を形成する第2形状の電極128と重なる第2濃度のn型不純物領域124（LDD）と、ソース領域又はドレイン領域として機能する第3濃度のn型不純物領域135を有している。LDDのチャネル長方向の長さは0.5～2.5μm、好ましくは1.5μmで形成する。このようなLDDの構成は、主にホットキャリア効果によるTFTの劣化を防ぐことを目的としている。これらnチャネル型TFT及びpチャネル型TFTによりシフトレジスタ回路、バッファ回路、レベルシフタ回路、ラッチ回路などを形成することができる。特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、第1nチャネル型TFT201の構造が適している。20

#### 【0035】

画素部206の第2nチャネル型TFT203にはチャネル形成領域156、ゲート電極を形成する第2形状の電極129の外側に形成される第1濃度の一導電型不純物領域125と、ソース領域又はドレイン領域として機能する第3一導電型不純物領域136を有している。又、容量部204の一方の電極として機能する半導体膜107には一導電型とは反対の導電型の不純物領域141、142が形成されている。30

#### 【0036】

画素部206において、151は画素電極であり、150はデータ線131と半導体膜106の第3濃度のn型不純物領域136とを接続する接続電極である。又、152はゲート配線であり、図中には示されていないが、ゲート電極として機能する第2形状の電極129と接続するものである。

#### 【0037】

以上のように、本発明はゲート電極と重なるLDDを有する一導電型の不純物領域で形成される第1nチャネル型TFTと、ゲート電極と重ならない第2nチャネル型TFTを同一基板上に形成することを可能としている。これらのTFTは駆動回路部と画素部というように動作条件のことなる回路に対応して適宜配置を決めることができる。一方、pチャネル型TFTはゲート電極と重なるLDDをもって形成される。40

#### 【0038】

本実施の形態で形成される駆動回路部205、画素部206を備えた基板を便宜上アクティブマトリクス基板と呼ぶ。このようなアクティブマトリクス基板を用いて、アクティブマトリクス駆動をする表示装置を形成することができる。本実施例では画素電極を光反射性の材料で形成したため、液晶表示装置に適用すれば反射型の表示装置を形成することができる。このような基板から液晶表示装置や有機発光素子で画素部を形成する発光装置を形成することができる。50

## 【0039】

## [実施の形態2]

本発明の他の実施の形態を以下に図7乃至図10を用いて説明する。ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT( nチャネル型TFT及びpチャネル型TFT)を同時に作製する方法について詳細に説明する。

## 【0040】

図7(A)において、基板301、第1絶縁膜302、303、半導体膜304～307、第2絶縁膜308、第1導電膜309、第2導電膜310は実施の形態と同様なものとする。

## 【0041】

図7(B)では、マスク311、312を形成する。マスク311は駆動回路部を覆うマスクであり、マスク312は画素部に形成するマスクである。この状態で第1エッティング処理を行い、第1導電膜及び第2導電膜をエッティングすることにより、第1形状の電極313、第1形状の配線314、315を形成する(これらは、第1導電膜313a～315aと第2導電膜313b～315bで成る)。次いで、第1ドーピング処理を行い、半導体膜306、307に一導電型の不純物を添加して、第1濃度の一導電型不純物領域316、360を形成する。

10

## 【0042】

マスク311、312を除去した後、図8(A)に示すように第1形状の電極313、第1形状の配線314、315を覆うマスク317を形成する。さらに、駆動回路部にマスク318～320を形成し、第2エッティング処理により駆動回路部に第1形状の電極321～323を形成する。

20

## 【0043】

第1エッティング処理及び第2エッティング処理は、共に第1導電膜及び第2導電膜をエッティングし、端部に45～75度のテーパー部を形成する。

## 【0044】

第2エッティング処理に續いて、図8(B)に示すように第3エッティング処理を行う。第3エッティング処理は、第2導電膜を選択的にエッティングするものであり、第2形状の電極324～326が形成される。第2形状の電極は、第1導電膜324a～326aによる突出部が形成された状態となる。

30

## 【0045】

この第2形状の電極324、325を用い、第1導電膜324a、325aと第2導電膜324b、325bの膜厚差を利用して、第2ドーピング処理により半導体膜304、305に一導電型の不純物領域を形成する。第2濃度の一導電型不純物領域330、331は第2形状の電極と重なる位置に形成され、第3濃度の一導電型不純物領域327、328はその外側の領域に形成される。又、半導体膜306にも第3濃度の一導電型不純物領域329を形成する。

## 【0046】

その後、図9(A)に示すように、マスク332、333を形成し、第3ドーピング処理により一導電型とは反対の導電型の不純物を半導体膜304に添加して、第4濃度の一導電型とは反対の導電型の不純物領域335と、第5濃度の一導電型とは反対の導電型の不純物領域334を形成する。又、半導体膜307にも第5濃度の一導電型とは反対の導電型の不純物領域336を形成する。

40

## 【0047】

以降、実施の形態1と同様に第3絶縁膜337を形成し、半導体膜に添加した不純物の活性化処理を行う。

## 【0048】

その後、図10に示すように、第4絶縁膜338を形成し、410の熱処理を行い半導体膜の水素化を行う。次いで、第4絶縁膜338上に有機絶縁物材料から成る第5絶縁膜339を形成する。有機絶縁物材料を用いる理由は第5絶縁膜の最表面を平坦化させるた

50

めである。そして、エッティング処理により第3～第5絶縁膜を貫通するコンタクトホールを形成する。配線340～343、画素電極345、ゲート線346、配線344、347を形成する。

#### 【0049】

以上までの工程において、一導電型不純物領域をn型、一導電型とは反対の不純物領域をp型とすると、同一基板上にpチャネル型TFT400、第1nチャネル型TFT401を有する駆動回路405と、第2nチャネル型TFT403と容量部404を有する画素部406を形成することができる。容量部404は半導体膜307、第2絶縁膜361で形成される絶縁膜、第1形状の容量配線314で形成されている。

#### 【0050】

駆動回路405のpチャネル型TFT400にはチャネル形成領域348、ゲート電極を形成する第2電極324と重なる位置に第4濃度の一導電型不純物領域332、第2電極324の外側に第5濃度の一導電型とは反対の導電型の不純物領域333を有している。

#### 【0051】

第1nチャネル型TFT401はチャネル形成領域349、ゲート電極を形成する第2形状の電極325と重なる第2濃度の一導電型不純物領域331(LDD領域)と、ソース領域又はドレイン領域として機能する第3濃度の一導電型不純物領域328を有している。LDDのチャネル長方向の長さは0.5～2.5μm、好ましくは1.5μmで形成する。このようなLDD領域の構成は、主にホットキャリア効果によるTFTの劣化を防ぐことを目的としている。これらnチャネル型TFT及びpチャネル型TFTによりシフトレジスタ回路、バッファ回路、レベルシフタ回路、ラッチ回路などを形成することができる。特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、第1nチャネル型TFT401の構造が適している。

#### 【0052】

画素部406の第2nチャネル型TFT403にはチャネル形成領域350、ゲート電極を形成する第1形状の電極313の外側に形成される第1濃度の一導電型不純物領域316と、ソース領域又はドレイン領域として機能する第3濃度の一導電型不純物領域329を有している。又、容量部404の一方の電極として機能する半導体膜307には第5濃度の一導電型とは反対の導電型の不純物領域336が形成されている。

#### 【0053】

以上のように、本実施の形態においては駆動回路部のゲート電極と画素部のゲート電極の構造を異ならすことにより、LDDの構造が異なるTFTを形成している。ゲート電極と重なるLDDは自己整合的に形成され、フォトマスクを用いず精度良く形成することができる。

#### 【0054】

##### 【実施例】

###### 【実施例1】

本発明の一実施例を、以下に図1乃至図6を用いて説明する。ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT(nチャネル型TFT及びpチャネル型TFT)を同時に作製する方法について詳細に説明する。

#### 【0055】

図1(A)において、基板101はアルミニノホウケイ酸ガラスを用いる。この基板101上に第1絶縁膜を形成する。本実施例では、SiH<sub>4</sub>、NH<sub>3</sub>及びN<sub>2</sub>Oを反応ガスとして成膜される第1酸化窒化シリコン膜102を50nm、SiH<sub>4</sub>及びN<sub>2</sub>Oを反応ガスとして成膜される第2酸化窒化シリコン膜103を100nmの厚さに積層形成する。

#### 【0056】

半導体膜104～107は結晶構造を有する半導体で形成する。これは、第1絶縁膜上に非晶質半導体膜を形成した後、公知の結晶化法を用いて形成する。本実施例では、非晶質シリコン膜を50nmの厚さに堆積した後、エキシマレーザー光を光学系で線状に集光し、

10

20

30

40

50

それを照射することにより結晶化させる。当該レーザー光のパワー密度は 300 mJ/cm<sup>2</sup>とし、太さ 500 μm の線状レーザー光を 90 ~ 98 % 割合で重畠させながら非晶質シリコン膜の全面に渡って照射する。

#### 【0057】

又、他の手段として、連続発振型の YVO<sub>4</sub> レーザーを用い、波長変換素子により第2高調波に変換し、10Wのエネルギービームを 1 ~ 100 cm/sec の速度で走査して結晶化させても良い。

#### 【0058】

結晶化後、TFT のしきい値電圧を制御するために、アクセプタ型の不純物として硼素をイオンドープ法により半導体膜に添加する。添加する濃度は実施者は適宣決定すれば良い。

10

#### 【0059】

こうして形成された多結晶シリコン膜をエッチング処理により島状に分割して、半導体膜 104 ~ 107 を形成する。その上に、第2絶縁膜 108 として、SiH<sub>4</sub>、N<sub>2</sub>O を用い プラズマ CVD 法により作製される酸化窒化シリコン膜を 110 nm の厚さに形成する。

#### 【0060】

さらに、第2絶縁膜 108 上に第1導電膜 109 として窒化タンタル膜をスパッタ法で 30 nm の厚さに形成し、さらに第2導電膜 110 としてタンゲステンを 300 nm の厚さに形成する。

#### 【0061】

この窒化タンタル膜の厚さはイオンドープ法で n 型不純物として用いるリンのドーピング効率（又は、リンに対する窒化タンタル膜の阻止能力）を考慮して決めている。図 30 は、ゲート絶縁膜厚を一定として、窒化タンタル膜の厚さを 15 ~ 45 nm に変化させた時のリンの濃度分布を示している。ドーピングにおける加速電圧は 90 keV である。半導体膜に注入されるリン濃度は、その上層にある被膜（ゲート絶縁膜や窒化タンタル膜）の厚さや材質により変化する。窒化タンタル膜の厚さをゲート絶縁膜の厚さに換算したプロファイルが図 31 である。これより、リンの阻止能力から見た窒化タンタル膜の厚さをゲート絶縁膜の厚さで換算すると 2.4 ~ 2.66 倍となる。即ち、窒化タンタル膜の方が、薄くともリンの阻止能力が高いことが分かる。

20

#### 【0062】

窒化タンタル膜の厚さは抵抗値と、このドーピング阻止能力とを考慮して決められるものであり、図 30 と図 31 を参照すれば 15 nm ~ 300 nm が最も適した範囲であると考察することができる。

30

#### 【0063】

次に、図 1 (B) に示すように光感光性のレジスト材料を用い、マスク 111 ~ 115 を形成する。そして、第1導電膜 109 及び第2導電膜 110 に対する第1エッチング処理を行う。エッチングには ICP (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法を用いる。エッチング用ガスに限定はないが W 膜や窒化タンタル膜のエッチングには CF<sub>4</sub> と Cl<sub>2</sub> と O<sub>2</sub> を用いる。それぞれのガス流量を 25 : 25 : 10 とし、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してエッチングを行う。この場合、基板側（試料ステージ）にも 150 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1エッチング条件により主に W 膜を所定の形状にエッチングする。

40

#### 【0064】

この後、エッチング用ガスを CF<sub>4</sub> と Cl<sub>2</sub> に変更し、それぞれのガス流量比を 30 : 30 とし、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入して プラズマを生成して約 30 秒程度のエッチングを行う。基板側（試料ステージ）にも 20 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF<sub>4</sub> と Cl<sub>2</sub> の混合ガスは窒化タンタル膜と W 膜とを同程度の速度でエッチングする。こうして、端部にテーパーを有する第1形状の電極 116 ~ 118 と第1形状の配線 119

50

～121を形成する。テーパーは45～75度で形成する。尚、第2絶縁膜上に残渣を残すことなくエッティングするためには10～20%程度の割合でエッティング時間を増加させると良い。第1形状の電極116～118及び第1形状の配線119～121で覆われない第2絶縁膜122の表面は20～50nm程度エッティングされ薄くなつた領域が形成される。

#### 【0065】

第1ドーピング処理は、質量分離をしないでイオンを注入するイオンドープ法により行う。ドーピングは第1形状の電極116～118をマスクとして用い、水素希釈のフォスフイン( $\text{PH}_3$ )ガス又は希ガスで希釈したフォスフィンガスを用い、半導体膜104～107に第1濃度のn型不純物領域123～126を形成する。このドーピングにより形成する第1濃度のn型不純物領域の燐濃度は $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ となるようにする。10

#### 【0066】

次に、マスク111～114を除去せずに図2(A)に示すように第2エッティング処理を行う。エッティング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、それぞれのガス流量比を20：20：20とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッティングを行う。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1エッティング処理に比べ低い自己バイアス電圧を印加する。このエッティング条件により第2導電膜として用いたW膜をエッティングする。こうしてW膜を異方性エッティングして第2形状の電極127～129と第2形状の配線130、131を形成する。第2形状の電極127～129及び第2形状の配線130、131で覆われない第2絶縁膜の表面は20～50nm程度エッティングされ薄くなる。20

#### 【0067】

その後、半導体膜104の全体を覆うマスク133、半導体膜106上の第2形状の電極129を覆うマスク134、半導体膜107を覆うマスク134を形成し、第2ドーピング処理を行う。第2ドーピング処理を行い、半導体膜105に第2濃度のn型不純物領域と、半導体膜105、106に第3濃度のn型不純物領域を形成する。イオンドープ法の条件はフォスフィンを用い、ドーズ量を $1.5 \times 10^{14}/\text{cm}^3$ とし、加速電圧を100keVとして行う。30

#### 【0068】

第2濃度のn型不純物領域135は、第2形状の電極128を構成する第1導電膜128aと重なる位置に自己整合的に形成される。イオンドープ法で添加される不純物は、第1導電膜128aを通過して添加されるため、第3濃度のn型不純物領域より遙かに低濃度になり、 $1 \times 10^{16} \sim 1 \times 10^{17}/\text{cm}^3$ の濃度となる。又、第3濃度の不純物領域136、137は $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度となるように燐を添加する。

#### 【0069】

次いで、図3(A)で示すようにマスク138を形成し第3ドーピング処理を行う。ドーピングは水素希釈のジボラン( $\text{B}_2\text{H}_6$ )ガス又は希ガスで希釈したジボランガスを用い、半導体膜104に第4濃度のp型不純物領域139及び第5濃度のp型不純物領域140を形成する。第4p型不純物領域は第2形状の電極127と重なる領域に形成されるものであり、 $1 \times 10^{18} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度範囲で硼素を添加し、第5不純物領域140には $2 \times 10^{20} \sim 3 \times 10^{21}/\text{cm}^3$ の濃度範囲で硼素が添加されるようにする。又、第5濃度のp型不純物領域142及び第4濃度のp型不純物領域141は画素部において保持容量を形成する半導体膜107に形成される。40

#### 【0070】

以上までの工程でそれぞれの半導体膜に燐又は硼素が添加された領域が形成される。第2形状の電極127～129はゲート電極となる。又、第2形状の配線130は画素部において保持容量を形成する一方の電極となる。さらに、第2形状の配線131は画素部においてデータ線を形成する。

#### 【0071】

10

20

30

40

50

次いで、プラズマCVD法を用い、厚さを50nmの第3絶縁膜143を酸化窒化シリコン膜で形成する。その後、図3(B)に示すように、それぞれの半導体膜に添加された不純物元素を活性化処理するために、YAGレーザーの第2高調波(532nm)を用いてこのレーザー光を半導体膜に照射する。

#### 【0072】

その後、図4に示すように、プラズマCVD法で窒化シリコンから成る第4絶縁膜144を50nmの厚さに形成し、クリーンオーブンを用いて410の熱処理を行い、窒化シリコン膜から放出される水素で半導体膜の水素化を行う。

#### 【0073】

次いで、第4絶縁膜144上に第5絶縁膜145をアクリルで形成する。そしてコントラクトホールを形成する。このエッティング処理においては外部入力端子部の第3及び第5絶縁膜も除去する。そして、チタン膜とアルミニウム膜を積層して形成される配線146～149、画素電極151、走査線152、接続電極150、外部入力端子に接続する配線153を形成する。

#### 【0074】

以上のようにして、同一基板上にpチャネル型TFT200、第1nチャネル型TFT201を有する駆動回路205と、第2nチャネル型TFT203と容量部204を有する画素部206を形成することができる。容量部204は半導体膜107、第2絶縁膜122で形成される絶縁膜、第1形状の容量配線130で形成されている。

#### 【0075】

駆動回路205のpチャネル型TFT200にはチャネル形成領域154、ゲート電極を形成する第2電極127の外側に第5濃度のp型不純物領域140(ソース領域又はドレイン領域として機能する領域)と、第2電極127と重なる第4濃度のp型不純物領域を有している。

#### 【0076】

第1nチャネル型TFT201はチャネル形成領域155、ゲート電極を形成する第2形状の電極128と重なる第2濃度のn型不純物領域124(LDD)と、ソース領域又はドレイン領域として機能する第3濃度のn型不純物領域135を有している。LDDのチャネル長方向の長さは0.5～2.5μm、好ましくは1.5μmで形成する。このようなLDD領域の構成は、主にホットキャリア効果によるTFTの劣化を防ぐことを目的としている。これらnチャネル型TFT及びpチャネル型TFTによりシフトレジスタ回路、バッファ回路、レベルシフタ回路、ラッチ回路などを形成することができる。特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、第1nチャネル型TFT201の構造が適している。

#### 【0077】

画素部206の第2nチャネル型TFT203にはチャネル形成領域156、ゲート電極を形成する第2形状の電極129の外側に形成される第1濃度のn型不純物領域125と、ソース領域又はドレイン領域として機能する第3濃度のn型不純物領域136を有している。又、容量部204の一方の電極として機能する半導体膜107にはp型不純物領域141、142が形成されている。

#### 【0078】

画素部206において、151は画素電極であり、150はデータ線131と半導体膜106の第3濃度のn型不純物領域136とを接続する接続電極である。又、152はゲート配線であり、図中には示されていないが、ゲート電極として機能する第2形状の電極129と接続するものである。

#### 【0079】

画素部206の上面図を図5に示す。図5ではほぼドットの上面図を示し、付与する符号は図4と共通なものとしている。又、A-A'線の断面構造が図4に対応している。図5の画素構造において、ゲート配線とゲート電極とを異なる層上に形成することにより、ゲート配線と半導体膜を重畠させることができとなり、ゲート配線に遮光膜としての機能

10

20

30

40

50

が付加されている。又、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置され、遮光膜（ブラックマトリクス）の形成を省略できる構造としている。その結果、従来に比べ開口率を向上させることができることが可能となっている。

#### 【0080】

以上のように、本発明はゲート電極と重なるLDDを有するnチャネル型TFTと、オーバーラップしないnチャネル型TFTを同一基板上に形成することを可能としている。これらのTFTは駆動回路部と画素部というように動作条件のことなる回路に対応して適宜配置を決めることができる。この時、pチャネル型TFTはシングルドレイン構造を前提としている。

#### 【0081】

図6はアクティブマトリクス基板の回路構成の一例を示す回路ブロックである。TFTを組み込まれて形成される画素部601、データ信号線駆動回路602、走査信号線駆動回路606が形成されている。

#### 【0082】

データ信号線駆動回路602は、シフトレジスタ603、ラッチ604、605、その他バッファ回路などから構成される。シフトレジスタ603にはクロック信号、スタート信号が入力し、ラッチにはデジタルデータ信号やラッチ信号が入力する。又、走査信号線駆動回路606もシフトレジスタ、バッファ回路などから構成されている。画素部601の画素数は任意なものとするが、XGAならば $1024 \times 768$ 個の画素が設けられる。

#### 【0083】

このようなアクティブマトリクス基板を用いて、アクティブマトリクス駆動をする表示装置を形成することができる。本実施例では画素電極を光反射性の材料で形成したため、液晶表示装置に適用すれば反射型の表示装置を形成することができる。このような基板から液晶表示装置や有機発光素子で画素部を形成する発光装置を形成することができる。こうして反射型の表示装置に対応したアクティブマトリクス基板を作製することができる。

#### 【0084】

#### [実施例2]

本発明の他の実施例を以下に図7～図10を用いて説明する。本実施例も同一基板上に画素部と画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について説明する。図7（A）における基板301、第1絶縁膜302、303、半導体膜304～307、第2絶縁膜308、第1導電膜309、第2導電膜310は実施例1と同様なものとする。

#### 【0085】

図7（B）では、マスク311、312を形成する。マスク311は駆動回路部を覆うマスクであり、マスク312は画素部に形成するマスクである。この状態で第1エッチング処理を行い、第1形状の電極313、第1形状の配線314、315を形成する（これらは、第1導電膜313a～315aと第2導電膜313b～315bで成る）。エッチング条件は実施例1における第1エッチングと同様にして行う。次いで、第1ドーピング処理を行い、半導体膜306、307にイオンドープ法で燐を不純物を添加して、第1濃度のn型不純物領域316、360を形成する。第1濃度のn型不純物領域の燐濃度は $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ となるようにする。

#### 【0086】

マスク311、312を除去した後、図8（A）に示すように第1形状の電極313、第1形状の配線314、315を覆うマスク317を形成する。さらに、駆動回路部にマスク318～320を形成し、第2エッチング処理により駆動回路部に第1形状の電極321～323を形成する。第2エッチング処理の条件は本実施例の第1エッチング処理と同じ条件で行う。

#### 【0087】

続いて、図8（B）に示すように第3エッチング処理を行う。第3エッチング処理は、第2導電膜として形成したW膜を選択的にエッチングするものである。その結果、第1導電

10

20

30

40

50

膜 3 2 4 a ~ 3 2 6 a による突出部が形成された第 2 形状の電極 3 2 4 ~ 3 2 6 を形成することができる。このエッチング条件は実施例 1 の第 2 エッチング処理と同様な条件で行うことができる。

#### 【 0 0 8 8 】

この第 2 形状の電極 3 2 4 、 3 2 5 を用い、第 1 導電膜 3 2 4 a 、 3 2 5 a と第 2 導電膜 3 2 4 b 、 3 2 5 b の膜厚差を利用して、第 2 ドーピング処理により燐を半導体膜 3 0 4 、 3 0 5 に添加して n 型の不純物領域を形成する。水素で 5 % に希釈した PH<sub>3</sub> を用い、ドーズ量を  $1.6 \times 10^{14}/\text{cm}^3$  とし、加速電圧を 1 0 0 keV として行うことにより、一回のドーピングで第 2 濃度の n 型不純物領域 3 3 0 、 3 3 1 と第 3 濃度の n 型不純物領域 3 2 7 、 3 2 8 を形成することができる。第 2 濃度の n 型不純物領域 3 3 0 、 3 3 1 は第 2 形状の電極と重なる位置に形成され、第 1 導電膜の存在により添加される燐濃度は  $1 \times 10^{16} \sim 1 \times 10^{17}/\text{cm}^3$  となる。第 3 濃度の n 型不純物領域 3 2 7 、 3 2 8 はその外側の領域に形成され、添加する燐濃度は  $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$  とする。又、半導体膜 3 0 6 にも第 3 濃度の n 型不純物領域 3 2 9 を形成する。10

#### 【 0 0 8 9 】

その後、図 9 ( A ) に示すように、マスク 3 3 2 、 3 3 3 を形成し、第 3 ドーピング処理により硼素を半導体膜 3 0 4 に添加して、第 4 濃度の p 型不純物領域 3 3 5 と、第 5 濃度の p 型不純物領域 3 3 4 を形成する。又、半導体膜 3 0 7 にも第 5 濃度の p 型不純物領域 3 3 6 を形成する。20

#### 【 0 0 9 0 】

以降は実施例 1 と同様に行う。第 3 絶縁膜 3 3 7 を形成し、半導体膜に添加した不純物の活性化処理を行う。その後、図 1 0 に示すように、第 4 絶縁膜 3 3 8 を形成し、4 1 0 の熱処理を行い半導体膜の水素化を行う。次いで、第 4 絶縁膜 3 3 8 上に有機絶縁物材料から成る第 5 絶縁膜 3 3 9 を形成する。そして、エッチング処理によりコンタクトホールを形成する。配線 3 4 0 ~ 3 4 3 、画素電極 3 4 5 、ゲート線 3 4 6 、配線 3 4 4 、 3 4 7 を形成する。20

#### 【 0 0 9 1 】

以上のようにして、同一基板上に p チャネル型 TFT 4 0 0 、第 1 n チャネル型 TFT 4 0 1 を有する駆動回路 4 0 5 と、第 2 n チャネル型 TFT 4 0 3 と容量部 4 0 4 を有する画素部 4 0 6 を形成することができる。容量部 4 0 4 は半導体膜 3 0 7 、第 2 絶縁膜 3 6 1 で形成される絶縁膜、第 1 形状の容量配線 3 1 4 で形成されている。30

#### 【 0 0 9 2 】

駆動回路 4 0 5 の p チャネル型 TFT 4 0 0 にはチャネル形成領域 3 4 8 、ゲート電極を形成する第 2 電極 3 2 4 と重なる位置に第 4 濃度の一導電型とは反対の導電型の不純物領域 3 3 2 、第 2 電極 3 2 4 の外側に第 5 濃度の一導電型とは反対の導電型の不純物領域 3 3 3 を有している。30

#### 【 0 0 9 3 】

第 1 n チャネル型 TFT 4 0 1 はチャネル形成領域 3 4 9 、ゲート電極を形成する第 2 形状の電極 3 2 5 と重なる第 2 濃度の一導電型不純物領域 3 3 1 ( LDD 領域 ) と、ソース領域又はドレイン領域として機能する第 3 濃度の一導電型不純物領域 3 2 8 を有している。LDD のチャネル長方向の長さは  $0.5 \sim 2.5 \mu\text{m}$  、好ましくは  $1.5 \mu\text{m}$  で形成する。このような LDD 領域の構成は、主にホットキャリア効果による TFT の劣化を防ぐことを目的としている。これら n チャネル型 TFT 及び p チャネル型 TFT によりシフトレジスタ回路、バッファ回路、レベルシフタ回路、ラッチ回路などを形成することができる。特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、第 1 n チャネル型 TFT 4 0 1 の構造が適している。40

#### 【 0 0 9 4 】

画素部 4 0 6 の第 2 n チャネル型 TFT 4 0 3 にはチャネル形成領域 3 5 0 、ゲート電極を形成する第 1 形状の電極 3 1 3 の外側に形成される第 1 濃度の一導電型不純物領域 3 1 6 と、ソース領域又はドレイン領域として機能する第 3 濃度の一導電型不純物領域 3 2 9 を有する。50

を有している。又、容量部 404 の一方の電極として機能する半導体膜 307 には第 5 濃度の一導電型とは反対の導電型の不純物領域 336 が形成されている。

#### 【0095】

以上のように、本実施例においては駆動回路部のゲート電極と画素部のゲート電極の構造を異ならせることにより、LDD の構造が異なる TFT を形成している。ゲート電極と重なる LDD は自己整合的に形成され、フォトマスクを用いず精度良く形成することができる。こうして反射型の表示装置に対応したアクティブマトリクス基板を作製することができる。

#### 【0096】

##### [実施例 3]

10

本実施例では透過型の表示装置を形成するためのアクティブマトリクス基板の構成について図 11 を用いて説明する。図 11 では実施例 2 で形成されるアクティブマトリクス基板の画素部 406 の構成を示している。第 2n チャネル型 TFT 403 や容量部 404 は実施例 2 と同様にして形成する。

#### 【0097】

図 11 (A) は第 4 絶縁膜 338 及び第 5 絶縁膜 339 を形成した後、コンタクトホールを形成し、透明電極 370 を第 5 絶縁膜 339 上に所定のパターンで形成した状態を示している。透明導電膜 370 は 100 nm の厚さに形成する。酸化インジウム、酸化スズ、酸化亜鉛又はこれらの酸化物同士の化合物を透明導電膜として適用することができる。又、端子部上にも透明導電膜 371 を形成する。

20

#### 【0098】

次に、図 11 (B) に示すように透明電極 370 に接続する電極 373、374、ゲート線 375、接続電極 372 を形成する。これらは 100 nm のチタン膜と、300 nm のアルミニウム膜を積層して形成する。このような構成により透過型の表示装置に対応したアクティブマトリクス基板を形成する。尚、本実施例の構成は、実施例 1 のアクティブマトリクス基板に応用することができる。

#### 【0099】

##### [実施例 4]

本実施例では、実施例 3 で作製したアクティブマトリクス基板から、アクティブマトリクス駆動の液晶表示装置を作製する工程を図 12 を参照して説明する。

30

#### 【0100】

図 11 (B) の状態のアクティブマトリクス基板を得た後、そのアクティブマトリクス基板上に配向膜 383 を形成しラビング処理を行う。なお、図示しないが、配向膜 383 を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成しておいても良い。又、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

#### 【0101】

次いで、対向基板 380 上に対向電極 381 を形成し、その上に配向膜 382 を形成しラビング処理を施す。対向電極 381 は ITO で形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤（図示せず）で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って 2 枚の基板が貼り合せられる。その後、両基板の間に液晶材料 385 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。

40

#### 【0102】

このようにして図 12 に示すアクティブマトリクス駆動の液晶表示装置が完成する。ここでは、実施例 3 で作製される透過型のアクティブマトリクス基板を用いる例を示したが、同様に実施例 1 又は 2 で作製される反射型のアクティブマトリクス基板を用いても同様に液晶表示装置を完成させることができる。

#### 【0103】

50

**[実施例 5]**

図13は、本発明を用いたアクティブマトリクス駆動方式の発光装置における画素部の構成を示す一例である。画素部450のnチャネル型TFT203及びpチャネル型TFT200は実施例1の工程により作製されたものが適用される。第5絶縁膜501の表面は窒素又は不活性ガスのプラズマ処理により表面を緻密化する。代表的にはアルゴンプラズマ処理が適用され、緻密化は表面に炭素を主成分とする極薄膜を形成することで成し遂げられる。その後、コンタクトホールを形成し配線を形成する。配線はチタン、アルミニウムなどを用いて形成する。

**【0104】**

画素部450では、データ線502がnチャネル型TFT203のソース側に接続し、ドレイン側の配線503はpチャネル型TFT200のゲート電極と接続している。又、pチャネル型TFT200のソース側は電源供給配線505と接続し、ドレイン側の電極504が発光素子451の陽極と接続している。

**【0105】**

本実施例における発光装置は有機発光素子をマトリクス状に配列させて構成する。有機発光素子451は陽極と陰極とその間に形成された有機化合物層とから成る。陽極506はITOを用い、配線を形成した後に形成する。有機化合物層は、正孔移動度が相対的に高い正孔輸送性材料、その逆の電子輸送性材料、発光性材料などを組み合わせて形成する。それらは層状に形成しても良いし、混合して形成しても良い。

**【0106】**

有機化合物材料は合計しても100nm程度の薄膜層として形成する。そのため、陽極として形成するITOの表面は平坦性を高めておく必要がある。平坦性が悪い場合は、最悪有機化合物層の上に形成する陰極とショートしてしまう。それを防ぐための他の手段としては、1~5nmの絶縁層508を形成する方法を採用することもできる。絶縁層508としては、ポリイミド、ポリイミドアミド、ポリアミド、アクリルなどを用いることができる。

**【0107】**

陰極は、MgAgやLiFなどのアルカリ金属又はアルカリ土類金属などの材料を用いて形成する陰極510とから成っている。有機化合物層509の詳細な構造は任意なものとする。

**【0108】**

有機化合物層509や陰極510はウエット処理（薬液によるエッティングや水洗などの処理）を行うことができないので、陽極506に合わせて、有機絶縁膜501上に感光性樹脂材料で形成される隔壁層507を設ける。隔壁層507は陽極506の端部を被覆するよう形成する。具体的には、隔壁層507はネガ型のレジストを塗布し、ベーク後に1~2μm程度の厚さとなるように形成する。或いは、感光性アクリル又は感光性ポリイミドを使用することもできる。

**【0109】**

陰極510は、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=1:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、又、LiFA1電極が挙げられる。さらにその上層には、窒化シリコン又は、DLC膜で成る絶縁膜511を2~30nm、好ましくは5~10nmの厚さで形成する。DLC膜はプラズマCVD法で形成可能であり、100以下の温度で形成しても、被覆性良く隔壁層507の端部を覆って形成することができる。DLC膜の内部応力は、アルゴンを微量に混入させることで緩和することが可能であり、保護膜として用いることが可能である。そして、DLC膜は酸素をはじめ、CO、CO<sub>2</sub>、H<sub>2</sub>Oなどのガスバリア性が高いので、バリア膜として用いる絶縁膜511として適している。

**【0110】**

図13ではスイッチング用に用いるnチャネル型TFT203をマルチゲート構造とし、電流制御用に用いるpチャネル型TFT200にはゲート電極と重なるLDDを設けてい

10

20

30

40

50

る。本発明は同一の工程において異なる LDD 構造の TFT を形成することが可能である。発光装置への好適な応用例は図 13 に示され、画素部において機能に応じて LDD 構造の異なる TFT (オフ電流の十分に低いスイッチング用の n チャネル型 TFT 203 と、ホットキャリア注入に強い電流制御用の p チャネル型 TFT 200) の形成を可能としている。その結果、高い信頼性を有し、且つ、良好な画像表示が可能な(動作性能の高い)発光装置を得ることができる。

#### 【0111】

図 14 はこのような画素部 450 と駆動回路 460 を有する発光装置の構成を示す図であり、画素部 450 に形成した絶縁膜 511 上に有機樹脂 512 を充填し、基板 513 で封止している。端部にはシール部材を設けさらに気密性を高めても良い。フレキシブルプリント回路 (FPC) は端子部 453 に装着する。  
10

#### 【0112】

ここで本実施例のアクティブマトリクス型自発光装置の構成を図 15 の斜視図を用いて説明する。本実施例のアクティブマトリクス駆動の発光装置は、ガラス基板 601 上に形成された、画素部 602 と、走査線駆動回路 603 と、データ線駆動回路 604 で構成される。画素部のスイッチング用 TFT 605 は n チャネル型 TFT であり、ゲート側駆動回路 603 に接続されたゲート配線 606、ソース側駆動回路 604 に接続されたソース配線 607 の交点に配置されている。又、スイッチング用 TFT 605 のドレイン領域は電流制御用 TFT 608 のゲートに接続されている。  
20

#### 【0113】

さらに、電流制御用 TFT 608 のデータ線側は電源供給線 609 に接続される。本実施例のような構造では、電源供給線 609 には接地電位(アース電位)が与えられている。又、電流制御用 TFT 608 のドレイン領域には有機発光素子 610 が接続されている。又、有機発光素子 610 のカソードには所定の電圧(本実施例では 10 ~ 12V)が加えられる。  
20

#### 【0114】

そして、外部入出力端子となる FPC 611 には駆動回路まで信号を伝達するための入出力配線(接続配線) 612、613、及び電源供給線 609 に接続された入出力配線 614 が設けられている。以上のように、TFT と有機発光装置を組み合わせて画素部を形成し、発光装置を完成させることができる。  
30

#### 【0115】

##### [実施例 6]

実施例 1 又は 2 で用いる半導体膜の作製方法の一実施例を図 16 を用いて説明する。図 16 において、非晶質構造を有する半導体膜の全面に触媒作用のある金属元素を全面に添加して結晶化した後、ゲッタリングを行う方法である。

#### 【0116】

図 16 (A) において、基板 701 はその材質に特段の限界はないが、好ましくはバリウムホウケイ酸ガラスやアルミニウムホウケイ酸ガラス、或いは石英などを用いることができる。基板 701 の表面には、第 1 絶縁膜としてプラズマ CVD 法で SiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>O から作製される第 1 酸化窒化シリコン膜 702 を 50 nm の厚さに形成し、SiH<sub>4</sub> と N<sub>2</sub>O から作製される第 2 酸化窒化シリコン膜 703 を 100 nm の厚さに形成したものを適用する。第 1 絶縁膜はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設けるものであり、石英を基板とする場合には省略することも可能である。  
40

#### 【0117】

第 1 絶縁膜の上に形成する非晶質構造を有する半導体膜 704 は、シリコンを主成分とする半導体材料を用いる。代表的には、非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などが適用され、プラズマ CVD 法や減圧 CVD 法、或いはスパッタ法で 10 ~ 100 nm の厚さに形成する。良質な結晶を得るために、非晶質構造を有する半導体膜 704 に含まれる酸素、窒素などの不純物濃度を  $5 \times 10^{18} / \text{cm}^3$  以下に低減させておくと良い。こ  
50

これらの不純物は非晶質半導体の結晶化を妨害する要因となり、又結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。そのために、高純度の材料ガスを用いることはもとより、反応室内の鏡面処理（電界研磨処理）やオイルフリーの真空排気系を備えた超高真空対応のCVD装置を用いることが望ましい。

#### 【0118】

その後、非晶質構造を有する半導体膜704の表面に、結晶化を促進する触媒作用のある金属元素を添加する。半導体膜の結晶化を促進する触媒作用のある金属元素としては鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Plt)、銅(Cu)、金(Au)などであり、これらから選ばれた一種又は複数種を用いることができる。10 代表的にはニッケルを用い、重量換算で1~100ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布して触媒含有層705を形成する。この場合、当該溶液の馴染みをよくするために、非晶質構造を有する半導体膜704の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンなど半導体膜の表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

#### 【0119】

勿論、触媒含有層705はこのような方法に限定されず、スパッタ法、蒸着法、プラズマ処理などにより形成しても良い。又、触媒含有層705は非晶質構造を有する半導体膜704を形成する前、即ち第1絶縁膜上に形成しておいても良い。20

#### 【0120】

非晶質構造を有する半導体膜704と触媒含有層705とを接触した状態を保持したまま結晶化のための加熱処理を行う。加熱処理の方法としては、電熱炉を用いるファーネスアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いた瞬間熱アニール(Rapid Thermal Annealing)法(以下、RTA法と記す)を採用する。生産性を考慮すると、RTA法を採用することが好ましいと考えられる。

#### 【0121】

RTA法で行う場合には、加熱用のランプ光源を1~60秒、好ましくは30~60秒点灯させ、それを1~10回、好ましくは2~6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600~1000、好ましくは650~750程度にまで加熱されるようとする。このような高温になったとしても、半導体膜が瞬間に加熱されるのみであり、基板700はそれ自身が歪んで変形することはない。こうして、非晶質構造を有する半導体膜を結晶化させ、図16(B)に示す結晶構造を有する半導体膜706を得ることができるが、このような処理で結晶化できるのは触媒含有層を設けることによりはじめて達成できるものである。30

#### 【0122】

その他の方法としてファーネスアニール法を用いる場合には、加熱処理に先立ち、500にて1時間程度の加熱処理を行い、非晶質構造を有する半導体膜704が含有する水素を放出させておく。そして、電熱炉を用いて窒素雰囲気中にて550~600、好ましくは580で4時間の加熱処理を行い結晶化を行う。こうして、図16(B)に示す結晶構造を有する半導体膜(第1半導体膜)706を形成する。40

#### 【0123】

さらに結晶化率(膜の全体積における結晶成分の割合)を高め、結晶粒内に残される欠陥を補修するためには、結晶構造を有する半導体膜706に対してレーザー光を照射することも有効である。レーザーには波長400nm以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波を用いる。いずれにしても、繰り返し周波数10~1000Hz程度のパルスレーザー光を用い、当該レーザー光を光学系にて100~400mJ/cm<sup>2</sup>に集光し、90~95%のオーバーラップ率をもって結晶構造を有する半導体膜706に対50

するレーザー処理を行っても良い。

**【0124】**

このようにして得られる結晶構造を有する半導体膜706には、触媒元素（ここではニッケル）が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19}/\text{cm}^3$ を越える濃度で残存している。勿論、このような状態でもTFTをはじめ各種半導体素子を形成することが可能であるが、以降に示す方法でゲッタリングにより当該元素を除去する。

**【0125】**

まず、図16(C)に示すように結晶構造を有する半導体膜706の表面に薄いバリア層707を形成する。バリア層の厚さは特に限定されないが、簡便にはオゾン水で処理することにより形成されるケミカルオキサイドで代用しても良い。又、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液で処理しても同様にケミカルオキサイドを形成することができる。他の方法としては、酸化雰囲気中のプラズマ処理や、酸素含有雰囲気中の紫外線照射によりオゾンを発生させて酸化処理を行っても良い。又、クリーンオーブンを用い、200~350程度に加熱して薄い酸化膜を形成しバリア層としても良い。或いは、プラズマCVD法やスパッタ法、蒸着法などで1~5nm程度の酸化膜を堆積してバリア層としても良い。

10

**【0126】**

その上にプラズマCVD法やスパッタ法で半導体膜708を25~250nmの厚さで形成する。代表的にはアルゴンを用いたスパッタ法でアルゴンを0.01~20原子%含む非晶質シリコン膜で形成する。この半導体膜708は後に除去するので、結晶構造を有する半導体膜706とエッチングの選択比を高くするため、密度の低い膜としておくことが望ましい。非晶質シリコン膜中に希ガス元素を添加させて、膜中に希ガス元素を同時に取り込ませると、それによりゲッタリングサイトを形成することができる。

20

**【0127】**

希ガス元素としてはヘリウム(He)、ネオン(Ne)、アルゴン(Argon)、クリプトン(Kr)、キセノン(Xe)から選ばれた一種又は複数種を用いる。本発明はゲッタリングサイトを形成するためにこれら希ガス元素をイオンソースとして用い、イオンドープ法或いはイオン注入法で半導体膜に注入することに特徴を有している。これら希ガス元素のイオンを注入する意味は二つある。一つは注入によりダンギングボンドを形成し半導体膜に歪みを与えることであり、他の一つは半導体膜の格子間に当該イオンを注入することで歪みを与えることである。不活性気体のイオンを注入はこの両者を同時に満たすことができるが、特に後者はアルゴン(Argon)、クリプトン(Kr)、キセノン(Xe)などシリコンより原子半径の大きな元素を用いた時に顕著に得られる。

30

**【0128】**

ゲッタリングを確実に成し遂げるにはその後加熱処理をすることが必要となる。加熱処理はファーネスアニール法やRTA法で行う。ファーネスアニール法で行う場合には、窒素雰囲気中にて450~600で0.5~12時間の加熱処理を行う。又、RTA法を用いる場合には、加熱用のランプ光源を1~60秒、好ましくは30~60秒点灯させ、それを1~10回、好ましくは2~6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600~1000、好ましくは700~750程度にまで加熱されるようとする。

40

**【0129】**

ゲッタリングは、被ゲッタリング領域（捕獲サイト）にある触媒元素が熱エネルギーにより放出され、拡散によりゲッタリングサイトに移動する。従って、ゲッタリングは処理温度に依存し、より高温であるほど短時間でゲッタリングが進むことになる。図16(E)において矢印で示すように、触媒元素が移動する方向は半導体膜の厚さ程度の距離であり、ゲッタリングは比較的短時間で完遂する。

**【0130】**

尚、この加熱処理によっても $1 \times 10^{20}/\text{cm}^3$ 以上の濃度で希ガス元素を含む半導体膜70

50

8は結晶化することはない。これは、希ガス元素が上記処理温度の範囲においても再放出されず膜中に残存して、半導体膜の結晶化を阻害するためであると考えられる。

#### 【0131】

その後、非晶質半導体708を選択的にエッチングして除去する。エッチングの方法としては、 $C_1F_3$ によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキサイド（化学式  $(CH_3)_4NOH$ ）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層707はエッティングストッパーとして機能する。又、バリア層707はその後フッ酸により除去すれば良い。

#### 【0132】

こうして図16(E)に示すように触媒元素の濃度が $1 \times 10^{17}/cm^3$ 以下にまで減じられた結晶構造を有する半導体膜710を得ることができる。こうして形成された結晶構造を有する半導体膜710は、触媒元素の作用により細い棒状又は細い扁平棒状結晶として形成され、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。本実施例で作製される結晶構造を有する半導体膜710は、実施例1又は2で示す半導体膜に適用することができる。

10

#### 【0133】

##### [実施例7]

実施例8で得られた結晶構造を有する半導体膜706に残存する触媒元素をゲッタリングする他の方法を図17に示す。結晶構造を有する半導体膜706上にマスク用の酸化シリコン膜を150nm形成し、レジストのマスク712を形成した後、当該酸化シリコン膜をエッティングすることによりマスク絶縁膜711を得る。その後、希ガス元素、又は希ガス元素と燐、又は燐のみをイオンドープ法で結晶構造を有する半導体膜706に注入し、ゲッタリングサイト713を形成する。

20

#### 【0134】

その後、図17(B)で示すようにファーネスアニール法でにより、窒素雰囲気中にて450~600で0.5~12時間の加熱処理を行う。この加熱処理により、結晶構造を有する半導体膜706に残存する触媒元素はゲッタリングサイト713に移動し濃集させることができる。

30

#### 【0135】

その後、マスク絶縁膜711及びゲッタリングサイトをエッティングして除去することにより結晶構造を有する半導体膜710を得ることができる。本実施例で作製される結晶構造を有する半導体膜710は、実施例1又は2で示す半導体膜に適用することができる。

#### 【0136】

##### [実施例8]

実施例6において基板701上に形成する第1絶縁膜として、1~10nmの窒化シリコン膜を用いることもできる。図29はそのような第1絶縁膜720を用い、実施例6と同様にして作製した結晶構造を有する半導体膜706、バリア層707、半導体膜708、希ガス元素を添加した半導体膜709が形成され、加熱処理によりゲッタリングを行っている状態を示している。ニッケルなどの触媒元素は酸素又は酸素の近傍に捕獲される性質があるため、第1絶縁膜を窒化シリコン膜で形成することにより、結晶構造を有する半導体膜706から触媒元素を半導体膜708又は希ガス元素を添加した半導体膜709に移動させることが容易となる。

40

#### 【0137】

##### [実施例9]

液晶テレビなどが普及し、その画面サイズが大型化するに従い、画素部におけるデータ線及びゲート線における配線遅延の問題は無視することができなくなる。例えば、実施例1で示す画素構造は、開口率を向上させることができるが、データ線はゲート電極と同じ材料で形成されるため、画面サイズの大型化と共に配線遅延の問題を考慮する必要がある。

#### 【0138】

50

例えば画素密度がVGAの場合、480本のゲート配線と640本のソース配線が形成され、XGAの場合には768本のゲート配線と1024本のソース配線が形成される。表示領域の画面サイズは、13インチクラスの場合対角線の長さは340mmとなり、18インチクラスの場合には460mmとなる。本実施例ではこのような表示装置において遅延時間の問題を解決し、又配線に要する面積を最小限とする方法を示す。

## 【0139】

本実施例で示すTFTのゲート電極は実施形態1又は実施例1で示すように少なくとも2種類の導電膜を積層して形成する。低抵抗材料として好適に用いるAlやCuなどは導電性は高いものの、耐熱性や耐腐食性が悪いため何らかの配慮が必要となる。

## 【0140】

具体的には、ゲート絶縁膜と接する第1導電膜には窒化タンタルや窒化チタンなど窒化物金属材料や、Mo、Wなどの高融点金属材料などを用い、AlやCuの拡散を阻止するバリア性のある材料を採用する。第2導電膜はAl又はCuを用い、その上にTiやWなどの第3導電膜を形成する。これは上層に形成する配線とのコンタクト抵抗を低減させるための配慮であり、AlやCuが比較的酸化されやすいことに起因するものである。

## 【0141】

図18は第1導電膜としてW膜、第2導電膜としてAl膜、第3導電膜としてTi膜を形成してゲート電極及びデータ線、容量線を形成した一例を示している。駆動回路部205、画素部206の構成は実施例1と同様なものとしている。

## 【0142】

第1エッティング処理は、ICPエッティング装置を用いる場合、エッティングガスにBCl<sub>3</sub>、Cl<sub>2</sub>、O<sub>2</sub>(流量比65:10:5)を用い、1.2Paの圧力でエッティングする。基板側には高周波電力を印加して実質的に負にバイアスさせておく。この条件でAlをエッティングし、さらにエッティングガスをCF<sub>4</sub>、Cl<sub>2</sub>、O<sub>2</sub>(流量比25:25:10)に切り換えW膜をエッティングする。

## 【0143】

又、第2エッティングはエッティングガスとしてBCl<sub>3</sub>、Cl<sub>2</sub>(流量比20:60)を用い、基板側には高周波電力を印加して実質的に負にバイアスさせる。これによりAl及びTiを選択的にエッティングして図18に示す第2形状の電極127~129と第2形状の配線130~132を形成することができる(これらは、第1導電膜127e~132e、第2導電膜127f~132f、第3導電膜127g~132gから成る)。

## 【0144】

図18ではデータ線131及びゲート線をいずれもAlを用いて形成することで配線抵抗を十分低減させることができ。従って、画素部(画面サイズ)が4インチクラス以上の表示装置に適用することができる。又、実施例5で示す発光装置の電源供給線など配線に流れる電流密度を高くしたい場合にはCuが適している。Cu配線はAlを用いて形成すると比べエレクトロマイグレーションに対する耐性が高いという特徴を有している。

## 【0145】

## [実施例10]

実施例1又は2に示す第1nチャネル型TFTは、チャネル形成領域となる半導体に周期表の15族に属する元素(好ましくはリン)もしくは周期表の13族に属する元素(好ましくはボロン)を添加することによりエンハンスマント型とデプレッション型とを作り分けることができる。又、nチャネル型TFTを組み合わせてNMO S回路を形成する場合、エンハンスマント型TFT同士で形成する場合(以下、EEMOS回路という)と、エンハンスマント型とデプレッション型とを組み合わせて形成する場合(以下、EDMOS回路という)がある。

## 【0146】

ここでEEMOS回路の例を図19(A)に、EDMOS回路の例を図19(B)に示す。図19(A)において、31、32はどちらもエンハンスマント型のnチャネル型TFT(以下、E型NTFTという)である。又、図19(B)において、33はE型NTF

10

20

30

40

50

T、34はデプレッション型のnチャネル型TFT（以下、D型NFTTという）である。尚、図19（A）、（B）において、VDHは正の電圧が印加される電源線（正電源線）であり、VDLは負の電圧が印加される電源線（負電源線）である。負電源線は接地電位の電源線（接地電源線）としても良い。

#### 【0147】

さらに、図19（A）に示したEEMOS回路もしくは図19（B）に示したEDMOS回路を用いてシフトレジスタを作製した例を図20に示す。図20において、40、41はフリップフロップ回路である。又、42、43はE型NFTTであり、E型NFTT42のゲートにはクロック信号（CL）が入力され、E型NFTT43のゲートには極性の反転したクロック信号（CLバー）が入力される。又、44で示される記号はインバータ回路であり、図20（B）に示すように、図19（A）に示したEEMOS回路もしくは図19（B）に示したEDMOS回路が用いられる。従って、液晶表示装置の駆動回路を全てnチャネル型TFTで構成することも可能である。

#### 【0148】

##### [実施例11]

本実施例では、アクティブマトリクス駆動の表示装置の回路構成例の一例を示す。特に本実施例では、ソース側駆動回路およびゲート側駆動回路を全て実施例10で述べたE型NFTTで形成した場合について図21～図23を用いて説明する。本発明ではシフトレジスタの代わりにnチャネル型TFTのみを用いたデコーダを用いる。

#### 【0149】

図21はゲート側駆動回路の例である。図21において、1000がゲート側駆動回路のデコーダ、1001がゲート側駆動回路のバッファ部である。なお、バッファ部とは複数のバッファ（緩衝増幅器）が集積化された部分を指す。又、バッファとは後段の影響を前段に与えずに駆動を行う回路を指す。

#### 【0150】

まずゲート側デコーダ1000を説明する。1002はデコーダ1000の入力信号線（以下、選択線という）であり、ここではA1、A1バー（A1の極性が反転した信号）、A2、A2バー（A2の極性が反転した信号）、…An、Anバー（Anの極性が反転した信号）を示している。即ち、2n本の選択線が並んでいると考えれば良い。選択線の本数はゲート側駆動回路から出力されるゲート配線が何列あるかによってその数が決まる。例えばVGA表示の画素部をもつ場合はゲート配線が480本となるため、9bit分（n=9に相当する）で合計18本の選択線が必要となる。選択線1002は図22のタイミングチャートに示す信号を伝送する。図22に示すように、A1の周波数を1とすると、A2の周波数は $2^{-1}$ 倍、A3の周波数は $2^{-2}$ 倍、Anの周波数は $2^{-(n-1)}$ 倍となる。

#### 【0151】

又、1003aは第1段のNAND回路（NANDセルともいう）、1003bは第2段のNAND回路、1003cは第n段のNANDである。NAND回路はゲート配線の本数分が必要であり、ここではn個が必要となる。即ち、本発明ではデコーダ1000が複数のNAND回路からなる。

#### 【0152】

又、NAND回路1003a～1003cは、nチャネル型TFT1004～1009が組み合わされてNAND回路を形成している。なお、実際には2n個のTFTがNAND回路1003に用いられている。又、nチャネル型TFT1004～1009の各々のゲートは選択線1002（A1、A1バー、A2、A2バー…An、Anバー）のいずれかに接続されている。

#### 【0153】

このとき、NAND回路1003aにおいて、A1、A2…An（これらを正の選択線と呼ぶ）のいずれかに接続されたゲートを有するnチャネル型TFT1004～1006は、互いに並列に接続されており、共通のソースとして負電源線（VDL）1010に接続され、共通のドレインとして出力線1011に接続されている。又、A1バー、A2バー…

10

20

30

40

50

A n バー（これらを負の選択線と呼ぶ）のいずれかに接続されたゲートを有するnチャネル型TFT1007～1009は、互いに直列に接続されており、回路端に位置するnチャネル型TFT1009のソースが正電源線( $V_{DH}$ )1012に接続され、もう一方の回路端に位置するnチャネル型TFT1007のドレインが出力線1011に接続されている。

#### 【0154】

以上のように、本発明においてNAND回路は直列に接続されたn個のnチャネル型TFTおよび並列に接続されたn個のnチャネル型TFTを含む。但し、n個のNAND回路1003a～1003cにおいて、nチャネル型TFTと選択線との組み合わせはすべて異なる。即ち、出力線1011は必ず1本しか選択されないようになっており、選択線1002には出力線1011が端から順番に選択されていくような信号が入力される。10

#### 【0155】

次に、バッファ部1001はNAND回路1003a～1003cの各々に対応して複数のバッファ1013a～1013cにより形成されている。但しバッファ1013a～1013cはいずれも同一構造で良い。

#### 【0156】

又、バッファ1013a～1013cはnチャネル型TFT1014～1016を用いて形成される。デコーダからの出力線1011はnチャネル型TFT1014（第1nチャネル型TFT）のゲートとして入力される。nチャネル型TFT1014は正電源線( $V_{DH}$ )1017をソースとし、画素部に続くゲート配線1018をドレインとする。又、nチャネル型TFT1015（第2nチャネル型TFT）は正電源線( $V_{DH}$ )1017をゲートとし、負電源線( $V_{DL}$ )1019をソースとし、ゲート配線1018をドレインとして常時オン状態となっている。20

#### 【0157】

即ち、本発明において、バッファ1013a～1013cは第1nチャネル型TFT（nチャネル型TFT1014）および第1nチャネル型TFTに直列に接続され、且つ、第1nチャネル型TFTのドレインをゲートとする第2nチャネル型TFT（nチャネル型TFT1015）を含む。

#### 【0158】

又、nチャネル型TFT1016（第3nチャネル型TFT）はリセット信号線（Reset）をゲートとし、負電源線( $V_{DL}$ )1019をソースとし、ゲート配線1018をドレインとする。なお、負電源線( $V_{DL}$ )1019は接地電源線（GND）としても構わない。30

#### 【0159】

このとき、nチャネル型TFT1015のチャネル幅（W1とする）とnチャネル型TFT1014のチャネル幅（W2とする）との間にはW1 < W2の関係がある。なお、チャネル幅とはチャネル長に垂直な方向におけるチャネル形成領域の長さである。

#### 【0160】

バッファ1013aの動作は次の通りである。まず出力線1011に負電圧が加えられているとき、nチャネル型TFT1014はオフ状態（チャネルが形成されていない状態）となる。一方でnチャネル型TFT1015は常にオン状態（チャネルが形成されている状態）であるため、ゲート配線1018には負電源線1019の電圧が加えられる。40

#### 【0161】

出力線1011に正電圧が加えられた場合、nチャネル型TFT1014がオン状態となる。このとき、nチャネル型TFT1014のチャネル幅がnチャネル型TFT1015のチャネル幅よりも大きいため、ゲート配線1018の電位はnチャネル型TFT1014側の出力に引っ張られ、結果的に正電源線1017の電圧がゲート配線1018に加えられる。従って、ゲート配線1018は、出力線1011に正電圧が加えられるときは正電圧（画素のスイッチング素子として用いるnチャネル型TFTがオン状態になるような電圧）を出力し、出力線1011に負電圧が加えられているときは常に負電圧（画素のスイッチング素子として用いるnチャネル型TFTがオフ状態になるような電圧）を出力す50

る。

#### 【0162】

なお、nチャネル型TFT1016は正電圧が加えられたゲート配線1018を強制的に負電圧に引き下げるリセットスイッチとして用いられる。即ち、ゲート配線118の選択期間が終了したら。リセット信号を入力してゲート配線1018に負電圧を加える。但し nチャネル型TFT1016は省略することもできる。

#### 【0163】

以上のような動作のゲート側駆動回路によりゲート配線が順番に選択されることになる。次に、ソース側駆動回路の構成を図23に示す。図23に示すソース側駆動回路はデコーダ1021、ラッチ1022およびバッファ部1023を含む。なお、デコーダ1021およびバッファ部1023の構成はゲート側駆動回路と同様であるので、ここでの説明は省略する。10

#### 【0164】

図23に示すソース側駆動回路の場合、ラッチ1022は第1段目のラッチ1024および第2段目のラッチ1025からなる。又、第1段目のラッチ1024および第2段目のラッチ1025は、各々m個のnチャネル型TFT1026a～1026cで形成される複数の単位ユニット1027を有する。デコーダ1021からの出力線1028は単位ユニット1027を形成するm個のnチャネル型TFT1026a～1026cのゲートに入力される。なお、mは任意の整数である。

#### 【0165】

例えば、VGA表示の場合、ソース配線の本数は640本である。m=1の場合はNAND回路も640個必要となり、選択線は20本(10bit分に相当する)必要となる。しかし、m=8とすると必要なNAND回路は80個となり、必要な選択線は14本(7bit分に相当する)となる。即ち、ソース配線の本数をM本とすると、必要なNAND回路は(M/m)個となる。20

#### 【0166】

nチャネル型TFT1026a～1026cのソースは各々ビデオ信号線(V1、V2...Vk)1029に接続される。即ち、出力線1028に正電圧が加えられると一斉にnチャネル型TFT1026a～1026cがオン状態となり、各々に対応するビデオ信号が取り込まれる。又、こうして取り込まれたビデオ信号は、nチャネル型TFT1026a～1026cの各々に接続されたコンデンサ1030a～1030cに保持される。30

#### 【0167】

又、第2段目のラッチ1025も複数の単位ユニット1027bを有し、単位ユニット1027bはm個のnチャネル型TFT1031a～1031cで形成される。nチャネル型TFT1031a～1031cのゲートはすべてラッチ信号線1032に接続され、ラッチ信号線1032に負電圧が加えられると一斉にnチャネル型TFT1031a～1031cがオン状態となる。

#### 【0168】

その結果、コンデンサ1030a～1030cに保持されていた信号が、nチャネル型TFT1031a～1031cの各々に接続されたコンデンサ1033a～1033cに保持されると同時にバッファ1023へと出力される。そして、図21で説明したようにバッファを介してソース配線1034に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。40

#### 【0169】

以上のように、nチャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてnチャネル型TFTで形成することが可能となる。本実施例の構成は、実施例1又は2のアクティブマトリクス基板の駆動回路に適用することができる。

#### 【0170】

[実施例12]

50

本実施例では、アクティブマトリクス駆動の表示装置の回路構成例の他の一例を示す。特に本実施例では、ソース側駆動回路およびゲート側駆動回路を全て実施例1又は2で示すpチャネル型TFTのみを用いる場合である。一般的なシフトレジスタの代わりにpチャネル型TFTを用いたデコーダを用いる。なお、図24はゲート側駆動回路の例である。

#### 【0171】

図24において、1200がゲート側駆動回路のデコーダ、1201がゲート側駆動回路のバッファ部である。なお、バッファ部とは複数のバッファ（緩衝増幅器）が集積化された部分を指す。又、バッファとは後段の影響を前段に与えずに駆動を行う回路を指す。

#### 【0172】

まずゲート側デコーダ1200を説明する。1202はデコーダ1200の入力信号線（以下、選択線という）であり、ここではA1、A1バー（A1の極性が反転した信号）、A2、A2バー（A2の極性が反転した信号）、…An、Anバー（Anの極性が反転した信号）を示している。即ち、2n本の選択線が並んでいると考えれば良い。

#### 【0173】

選択線の本数はゲート側駆動回路から出力されるゲート配線が何列あるかによってその数が決まる。例えばVGA表示の画素部をもつ場合はゲート配線が480本となるため、9bit分（n=9に相当する）で合計18本の選択線が必要となる。選択線1202は図25のタイミングチャートに示す信号を伝送する。図25に示すように、A1の周波数を1とすると、A2の周波数は $2^{-1}$ 倍、A3の周波数は $2^{-2}$ 倍、Anの周波数は $2^{-(n-1)}$ 倍となる。

10

20

#### 【0174】

又、1203aは第1段のNAND回路（NANDセルともいう）、1203bは第2段のNAND回路、1203cは第n段のNANDである。NAND回路はゲート配線の本数分が必要であり、ここではn個が必要となる。即ち、本発明ではデコーダ1200が複数のNAND回路からなる。

#### 【0175】

又、NAND回路1203a～1203cは、pチャネル型TFT1204～1209が組み合わされてNAND回路を形成している。なお、実際には2n個のTFTがNAND回路1203に用いられている。又、pチャネル型TFT1204～1209の各々のゲートは選択線1202（A1、A1バー、A2、A2バー…An、Anバー）のいずれかに接続されている。

30

#### 【0176】

このとき、NAND回路1203aにおいて、A1、A2…An（これらを正の選択線と呼ぶ）のいずれかに接続されたゲートを有するpチャネル型TFT1204～1206は、互いに並列に接続されており、共通のソースとして正電源線（V<sub>DH</sub>）1210に接続され、共通のドレインとして出力線1211に接続されている。又、A1バー、A2バー…Anバー（これらを負の選択線と呼ぶ）のいずれかに接続されたゲートを有するpチャネル型TFT1207～1209は、互いに直列に接続されており、回路端に位置するpチャネル型TFT1209のソースが負電源線（V<sub>DL</sub>）1212に接続され、もう一方の回路端に位置するpチャネル型TFT1207のドレインが出力線1211に接続されている。

40

#### 【0177】

以上のように、本発明においてNAND回路は直列に接続されたn個の一導電型TFT（ここではpチャネル型TFT）および並列に接続されたn個の一導電型TFT（ここではpチャネル型TFT）を含む。但し、n個のNAND回路1203a～103cにおいて、pチャネル型TFTと選択線との組み合わせはすべて異なる。即ち、出力線1211は必ず1本しか選択されないようになっており、選択線1202には出力線1211が端から順番に選択されていくような信号が入力される。

#### 【0178】

次に、バッファ1201はNAND回路1203a～1203cの各々に対応して複数のバ

50

バッファ1213a～1213cにより形成されている。但しバッファ1213a～1213cはいずれも同一構造で良い。

#### 【0179】

又、バッファ1213a～1213cは一導電型TFTとしてpチャネル型TFT1214～1216を用いて形成される。デコーダからの出力線1211はpチャネル型TFT1214(第1一導電型TFT)のゲートとして入力される。pチャネル型TFT1214は接地電源線(GND)1217をソースとし、ゲート配線1218をドレインとする。又、pチャネル型TFT1215(第2一導電型TFT)は接地電源線1217をゲートとし、正電源線(V<sub>DH</sub>)1219をソースとし、ゲート配線1218をドレインとして常時オン状態となっている。

10

#### 【0180】

即ち、本発明において、バッファ1213a～1213cは第1一導電型TFT(pチャネル型TFT1214)および第1一導電型TFTに直列に接続され、且つ、第1一導電型TFTのドレインをゲートとする第2一導電型TFT(pチャネル型TFT1215)を含む。

#### 【0181】

又、pチャネル型TFT1216(第3一導電型TFT)はリセット信号線(Reset)をゲートとし、正電源線1219をソースとし、ゲート配線1218をドレインとする。なお、接地電源線1217は負電源線(但し画素のスイッチング素子として用いるpチャネル型TFTがオン状態になるような電圧を与える電源線)としても構わない。

20

#### 【0182】

このとき、pチャネル型TFT1215のチャネル幅(W1とする)とpチャネル型TFT1214のチャネル幅(W2とする)との間にはW1 < W2の関係がある。なお、チャネル幅とはチャネル長に垂直な方向におけるチャネル形成領域の長さである。

#### 【0183】

バッファ1213aの動作は次の通りである。まず出力線1211に正電圧が加えられているとき、pチャネル型TFT1214はオフ状態(チャネルが形成されていない状態)となる。一方でpチャネル型TFT1215は常にオン状態(チャネルが形成されている状態)であるため、ゲート配線1218には正電源線1219の電圧が加えられる。

#### 【0184】

ところが、出力線1211に負電圧が加えられた場合、pチャネル型TFT1214がオン状態となる。このとき、pチャネル型TFT1214のチャネル幅がpチャネル型TFT1215のチャネル幅よりも大きいため、ゲート配線1218の電位はpチャネル型TFT1214側の出力に引っ張られ、結果的に接地電源線1217の電圧がゲート配線1218に加えられる。

30

#### 【0185】

従って、ゲート配線1218は、出力線1211に負電圧が加えられるときは負電圧(画素のスイッチング素子として用いるpチャネル型TFTがオン状態になるような電圧)を出力し、出力線1211に正電圧が加えられているときは常に正電圧(画素のスイッチング素子として用いるpチャネル型TFTがオフ状態になるような電圧)を出力する。

40

#### 【0186】

なお、pチャネル型TFT1216は負電圧が加えられたゲート配線1218を強制的に正電圧に引き上げるリセットスイッチとして用いられる。即ち、ゲート配線1218の選択期間が終了したら。リセット信号を入力してゲート配線1218に正電圧を加える。但し pチャネル型TFT1216は省略することもできる。

#### 【0187】

以上のような動作のゲート側駆動回路によりゲート配線が順番に選択されることになる。次に、ソース側駆動回路の構成を図26に示す。図26に示すソース側駆動回路はデコーダ1301、ラッチ1302およびバッファ1303を含む。なお、デコーダ1301およびバッファ1303の構成はゲート側駆動回路と同様であるので、ここでの説明は省略

50

する。

#### 【0188】

図25に示すソース側駆動回路の場合、ラッチ1302は第1段目のラッチ1304および第2段目のラッチ1305からなる。又、第1段目のラッチ1304および第2段目のラッチ1305は、各々m個のpチャネル型TFT1306a～1306cで形成される複数の単位ユニット1307を有する。デコーダ1301からの出力線1308は単位ユニット1307を形成するm個のpチャネル型TFT1306a～1306cのゲートに入力される。なお、mは任意の整数である。

#### 【0189】

例えば、VGA表示の場合、ソース配線の本数は640本である。m=1の場合はNAND回路も640個必要となり、選択線は20本(10bit分に相当する)必要となる。しかし、m=8とすると必要なNAND回路は80個となり、必要な選択線は14本(7bit分に相当する)となる。即ち、ソース配線の本数をM本とすると、必要なNAND回路は(M/m)個となる。

#### 【0190】

そして、pチャネル型TFT1306a～1306cのソースは各々ビデオ信号線(V1、V2…V<sub>k</sub>)1309に接続される。即ち、出力線1308に負電圧が加えられると一斉にpチャネル型TFT1306a～1306cがオン状態となり、各々に対応するビデオ信号が取り込まれる。又、こうして取り込まれたビデオ信号は、pチャネル型TFT1306a～1306cの各々に接続されたコンデンサ1310a～1310cに保持される。

#### 【0191】

又、第2段目のラッチ1305も複数の単位ユニット1307bを有し、単位ユニット1307bはm個のpチャネル型TFT1311a～1311cで形成される。pチャネル型TFT1311a～1311cのゲートはすべてラッチ信号線1312に接続され、ラッチ信号線1312に負電圧が加えられると一斉にpチャネル型TFT1311a～1311cがオン状態となる。

#### 【0192】

その結果、コンデンサ1310a～1310cに保持されていた信号が、pチャネル型TFT1311a～1311cの各々に接続されたコンデンサ1313a～1313cに保持されると同時にバッファ1303へと出力される。そして、図24で説明したようにバッファを介してソース配線1314に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。

#### 【0193】

以上のように、pチャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてpチャネル型TFTで形成することが可能となる。従って、アクティブマトリクス型の電気光学装置を作製する上でTFT工程の歩留まりおよびスループットを大幅に向上させることができ、製造コストを低減することができる。本実施例の構成は、実施例1又は2のアクティブマトリクス基板の駆動回路に適用することができる。

#### 【0194】

##### [実施例13]

本発明を用いることにより様々な半導体装置を製造することができる。その様な半導体装置として、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置(ヘッドマウントディスプレー)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パソコンコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置などが挙げられる。それら半導体装置の具体例を図19および図20に示す。

#### 【0195】

図27(A)はディスクトップ型パソコンコンピュータなどのモニターであり、筐体3301、支持台3302、表示部3303などから成っている。表示部3303は実施例

10

20

30

40

50

8で示すアクティブマトリクス駆動の液晶表示装置又は実施例9で示す発光装置を適用可能であり、又、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いて、ディスクトップ型パーソナルコンピュータなどのモニターを完成させることができる。

#### 【0196】

図27(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。表示部3312は実施例8で示すアクティブマトリクス駆動の液晶表示装置又は実施例9で示す発光装置を適用可能であり、又、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いてビデオカメラを完成させることができる。 10

#### 【0197】

図27(C)はヘッドマウントディスプレーの一部(右片側)であり、本体3321、信号ケーブル3322、頭部固定バンド3323、投影部3324、光学系3325、表示部3326等を含む。表示部3326は実施例8で示すアクティブマトリクス駆動の液晶表示装置又は実施例9で示す発光装置を適用可能であり、又、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いてヘッドマウントディスプレーを完成させることができる。

#### 【0198】

図27(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335などから成っている。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示するが、表示部3334、3335は実施例8で示すアクティブマトリクス駆動の液晶表示装置又は実施例9で示す発光装置を適用可能であり、又、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いて画像再生装置を完成させることができる。 20

#### 【0199】

図27(E)はゴーグル型表示装置(ヘッドマウントディスプレー)であり、本体3341、表示部3342、アーム部3343を含む。表示部3342は実施例8で示すアクティブマトリクス駆動の液晶表示装置又は実施例9で示す発光装置を適用可能であり、又、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いてゴーグル型表示装置を完成させることができる。 30

#### 【0200】

図27(F)はノート型パーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。表示部3353は実施例8で示すアクティブマトリクス駆動の液晶表示装置又は実施例9で示す発光装置を適用可能であり、又、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いてノート型パーソナルコンピュータを完成させることができる。

#### 【0201】

図28(A)は携帯電話であり、表示用パネル2701、操作用パネル2702、接続部2703から成り、表示用パネル2701には液晶表示装置又はEL表示装置に代表される表示装置2704、音声出力部2705、アンテナ2709などが設けられている。操作パネル2702には操作キー2706、電源スイッチ2702、音声入力部27058などが設けられている。表示部2704は実施例8で示すアクティブマトリクス駆動の液晶表示装置又は実施例9で示す発光装置を適用可能であり、又、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いて携帯電話を完成させることができる。 40

#### 【0202】

図28(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。表示部3412は実施例8で示すア 50

クティップマトリクス駆動の液晶表示装置又は実施例9で示す発光装置を適用可能であり、又、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いて音響再生装置、具体的にはカーオーディオを完成させることができる。

#### 【0203】

図28(C)はデジタルカメラであり、本体3501、表示部(A)3502、接眼部3503、操作スイッチ3504、表示部(B)3505、バッテリー3506を含む。表示部3502、3505は実施例8で示すアクティップマトリクス駆動の液晶表示装置又は実施例9で示す発光装置を適用可能であり、又、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いてデジタルカメラを完成させることができる。

10

#### 【0204】

以上の様に、本発明の適用範囲は極めて広く、様々な電子装置に適用することが可能である。又、本実施例の電子装置は実施例1～12のどのような組み合わせからなる構成を用いても実現することができる。

#### 【0205】

##### 【発明の効果】

以上示したように、本発明によれば同一基板上にLDD構造の異なるnチャネル型TFTとpチャネル型TFTとを同一工程で形成することができる。このようなアクティップマトリクス基板を用いて液晶表示装置や、同一基板上に発光層を有する表示装置を形成することができる。

20

#### 【0206】

フォトマスク数の低減は生産性の向上をもたらすが、本発明はそればかりでなく、上述のようにnチャネル型TFTのLDD構造を最適化することによりアクティップマトリクス基板の信頼性と動作特性を同時に向上させることができる。

#### 【図面の簡単な説明】

【図1】 本発明のTFTの作製工程を説明する断面図。

【図2】 本発明のTFTの作製工程を説明する断面図。

【図3】 本発明のTFTの作製工程を説明する断面図。

【図4】 本発明のTFTの作製工程を説明する断面図。

【図5】 反射型の表示装置に対応するアクティップマトリクス基板の画素部の構成を説明する上面図。

30

【図6】 アクティップマトリクス基板の回路構成を説明する図。

【図7】 本発明のTFTの作製工程を説明する断面図。

【図8】 本発明のTFTの作製工程を説明する断面図。

【図9】 本発明のTFTの作製工程を説明する断面図。

【図10】 本発明のTFTの作製工程を説明する断面図。

【図11】 透過型の表示装置の作製方法を説明する断面図。

【図12】 透過型の液晶表示装置の構造を示す断面図。

【図13】 発光装置の画素部の構成を説明する断面図。

【図14】 発光装置の構成を示す断面図。

40

【図15】 アクティップマトリクス基板の構成を説明する斜視図。

【図16】 結晶構造を有する半導体膜の作製工程を説明する図。

【図17】 結晶構造を有する半導体膜の作製工程を説明する図。

【図18】 本発明のアクティップマトリクス基板の構造を説明する断面図。

【図19】 NMOS回路の構成を示す図。

【図20】 シフトレジスタの構成を示す図。

【図21】 nチャネル型TFTで形成したゲート線駆動回路の構成を示す図。

【図22】 デコーダ入力信号のタイミングチャートを説明する図。

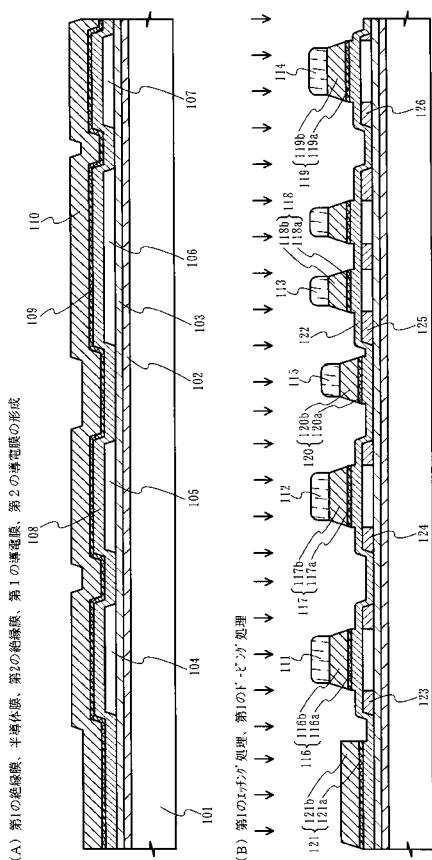
【図23】 nチャネル型TFTで形成したデータ線駆動回路の構成を示す図。

【図24】 pチャネル型TFTで形成したゲート線駆動回路の構成を示す図。

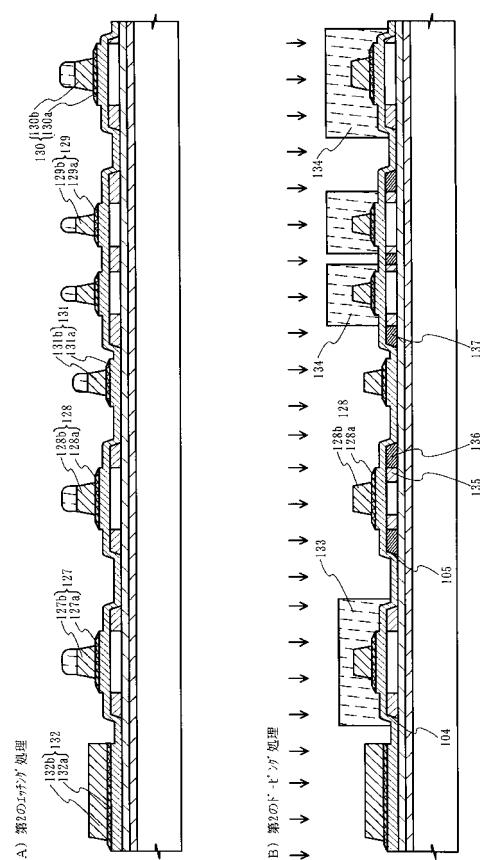
50

- 【図 25】 デコーダ入力信号のタイミングチャートを説明する図。
- 【図 26】 p チャネル型 TFT で形成したデータ線駆動回路の構成を示す図。
- 【図 27】 半導体装置の一例を示す図。
- 【図 28】 半導体装置の一例を示す図。
- 【図 29】 結晶構造を有する半導体膜の作製工程を説明する図。
- 【図 30】 ゲート絶縁膜及び窒化タンタル膜を通したリンのドーピングプロファイルを示すグラフ。
- 【図 31】 窒化タンタル膜厚をゲート絶縁膜に換算してフィッティングさせたグラフであり、定数倍を掛けて換算した結果を示している。

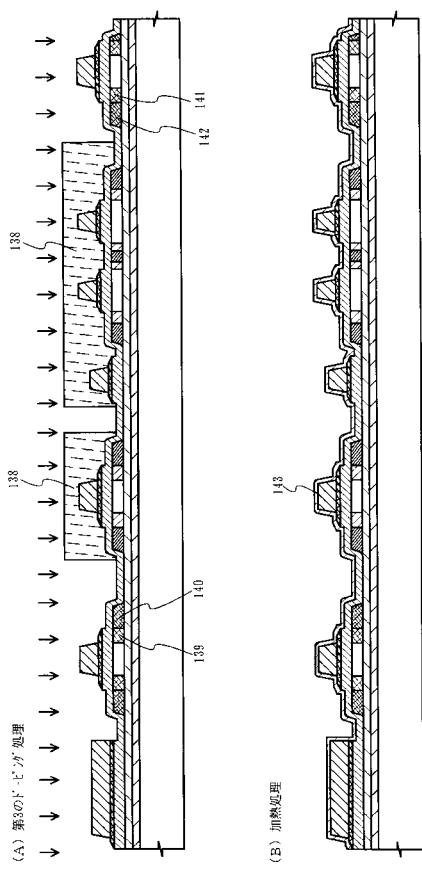
【図 1】



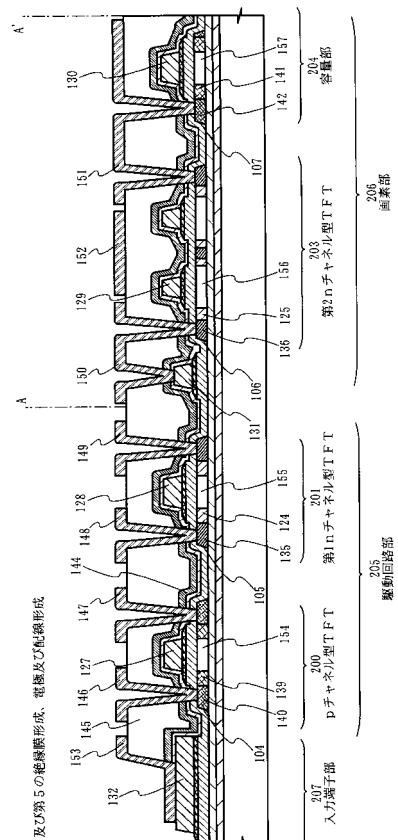
【図 2】



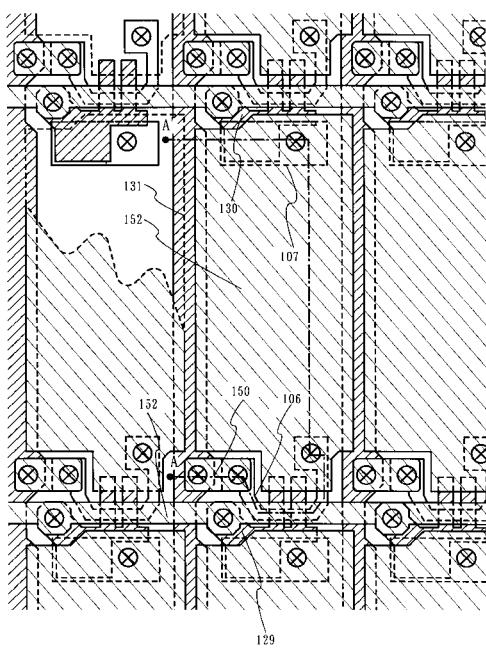
【 3 】



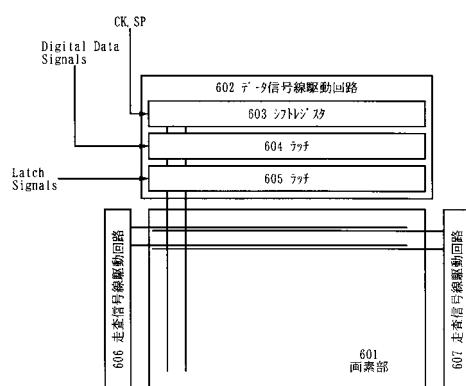
【図4】



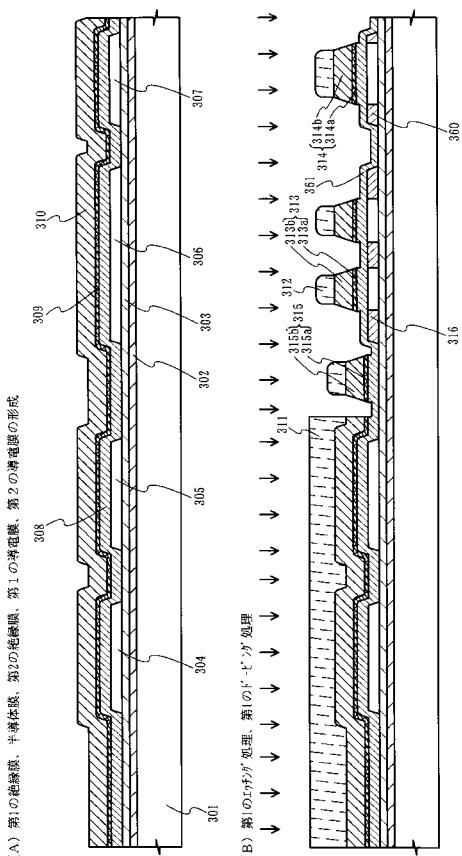
【 四 5 】



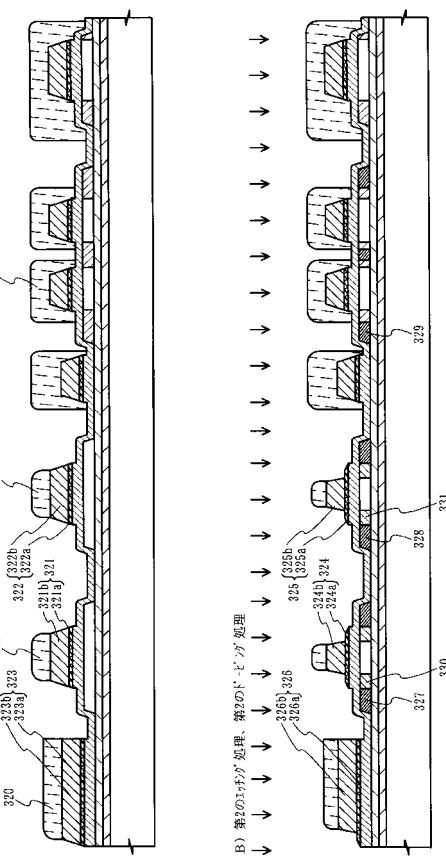
【図6】



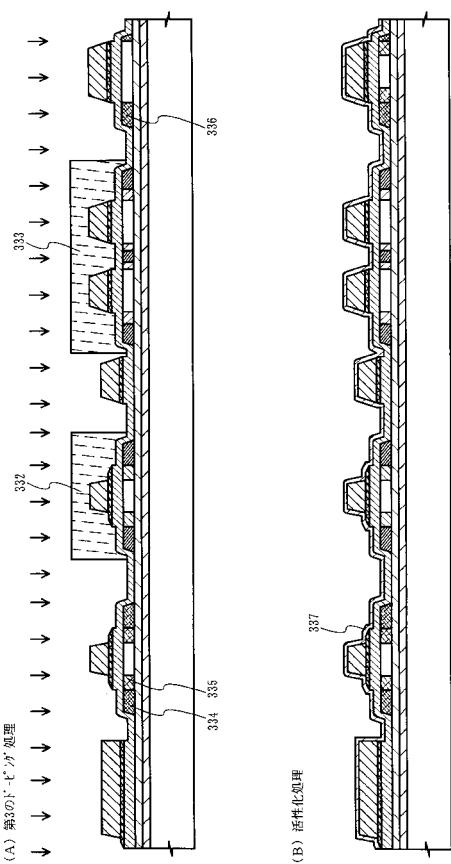
【圖 7】



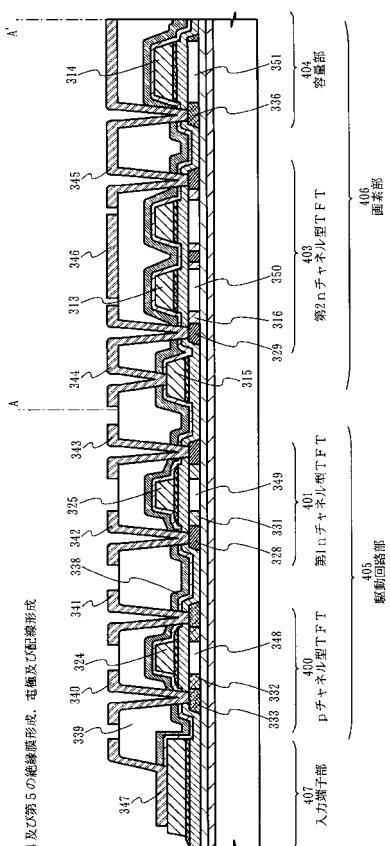
【 四 8 】



【 四 9 】

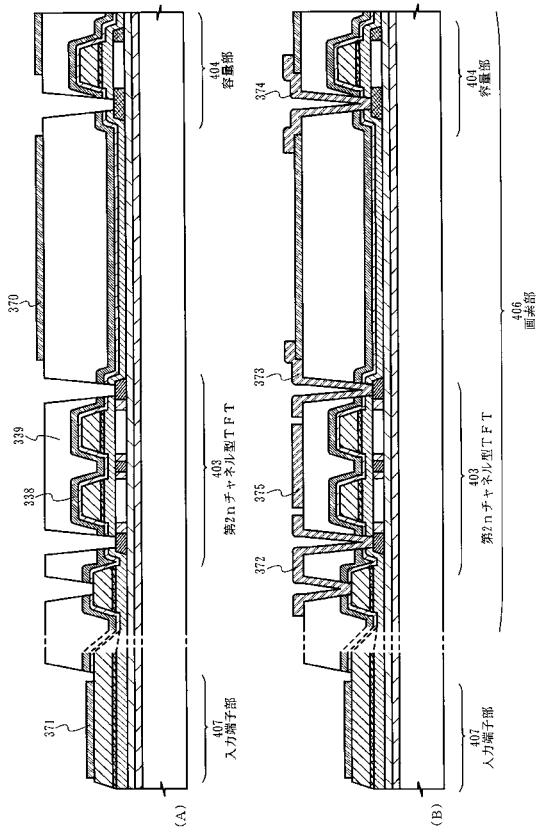


【 四 1 0 】

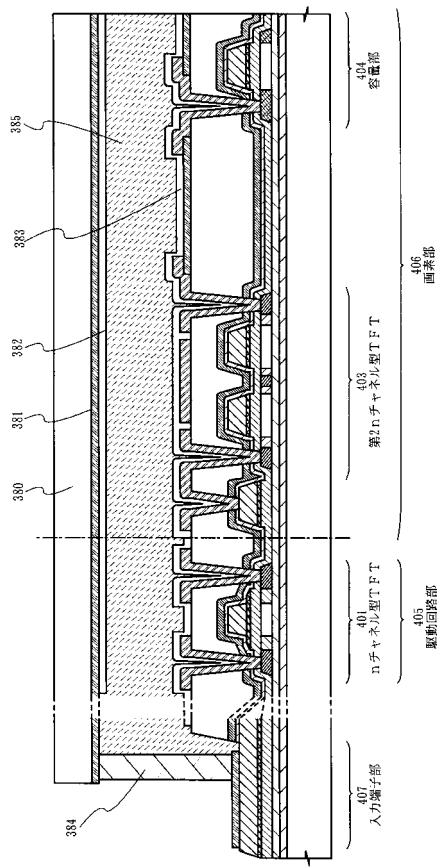


第4及び第5の絶縁膜形成、電極及び配線形成

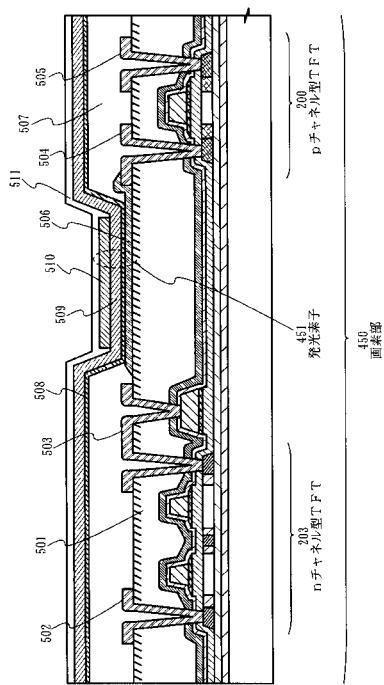
【図11】



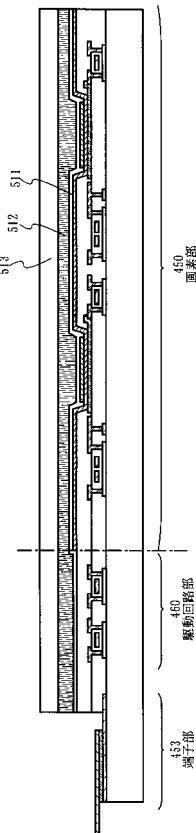
【図12】



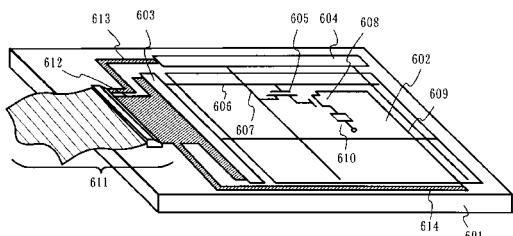
【図13】



【図14】

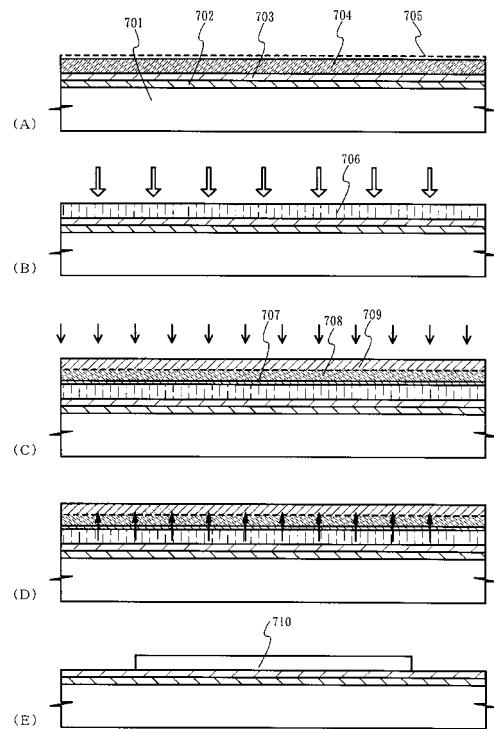


【図15】

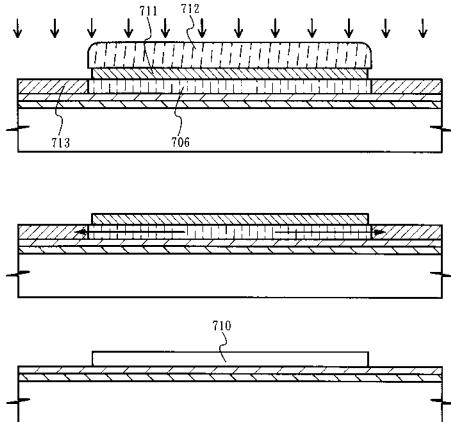


601: 基板 602: 画素部 603: シグナル駆動回路  
604: シグナル用TFT 605: メモリ用TFT  
606: T-S配線 607: シグナル配線 608: 電流制御用TFT  
609: EL駆動電源線 610: EL素子 611: FPC  
612~614: 入出力配線

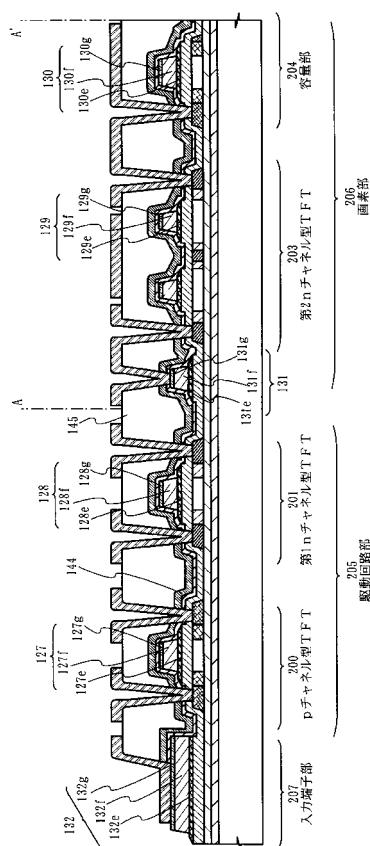
【図16】



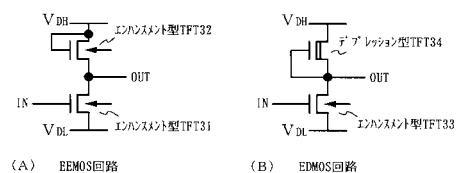
【図17】



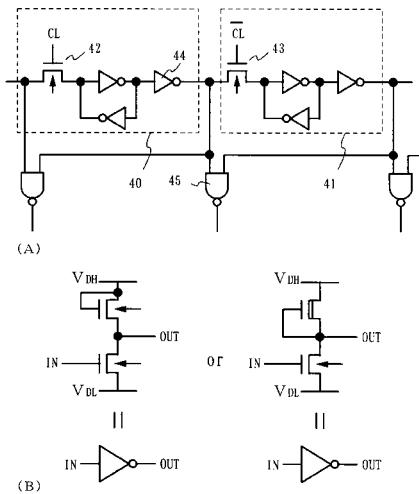
【図18】



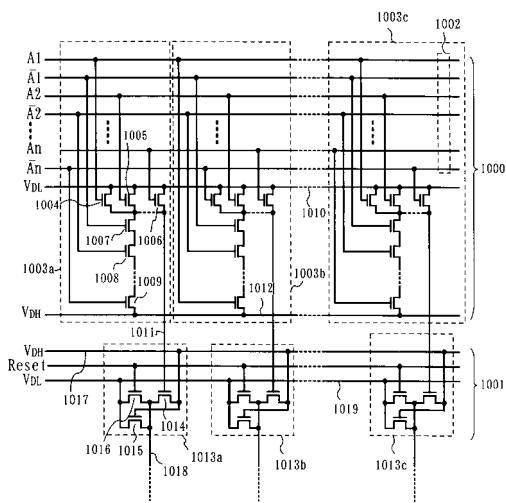
【図19】



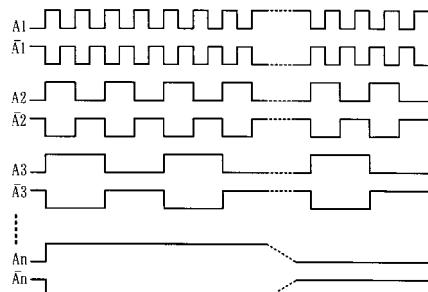
【図20】



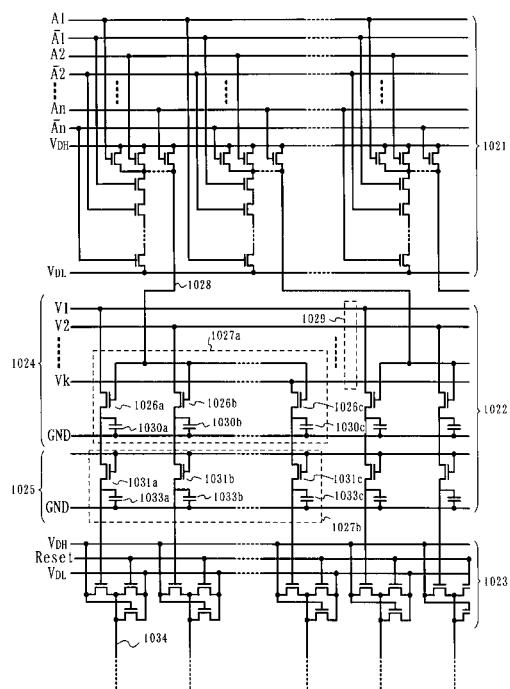
【図21】



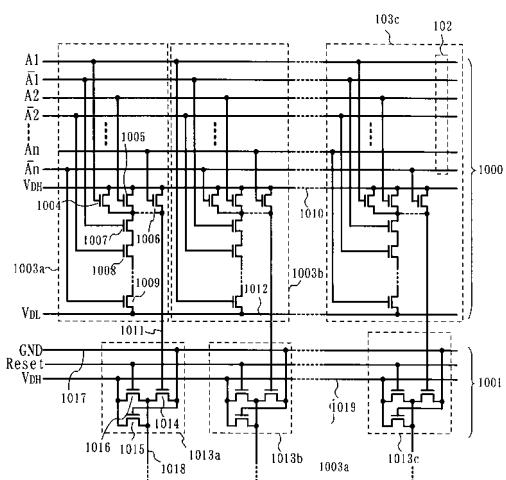
【図22】



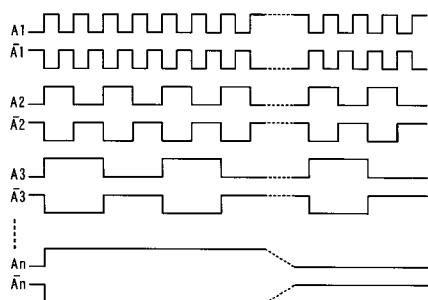
【図23】



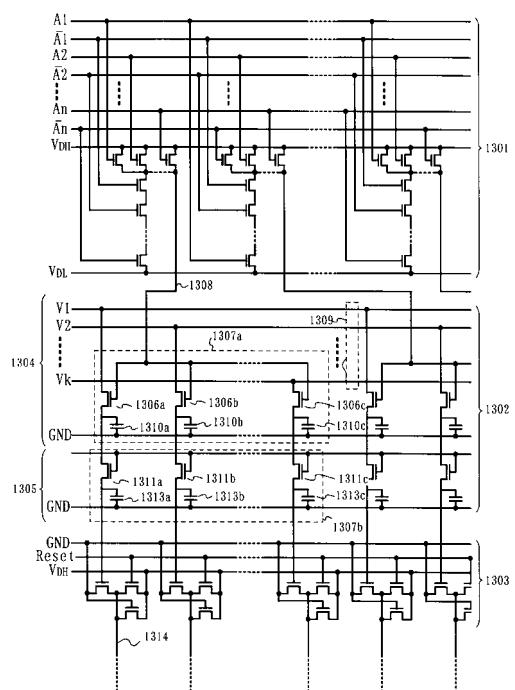
【図24】



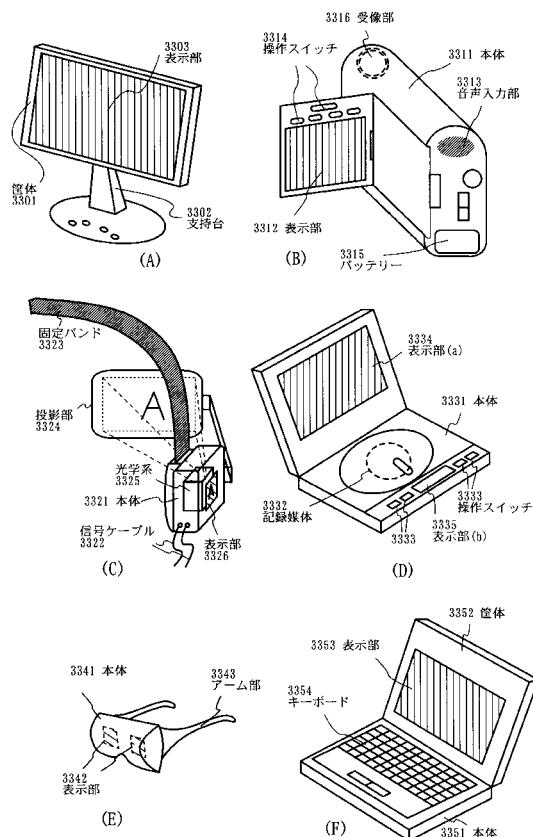
【図25】



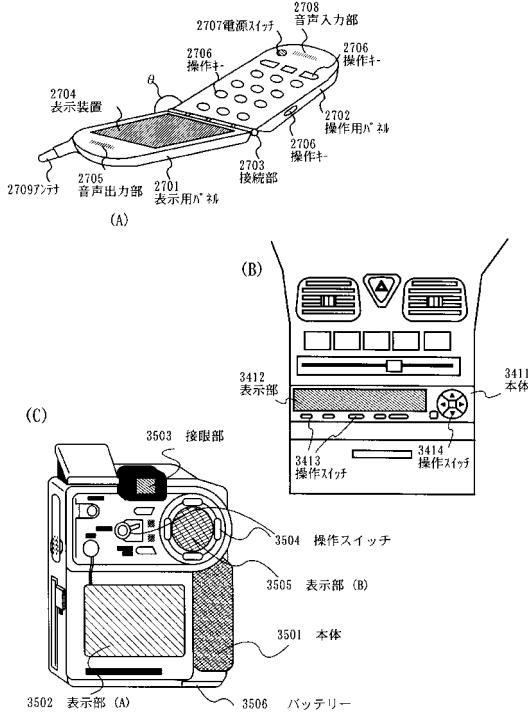
【図26】



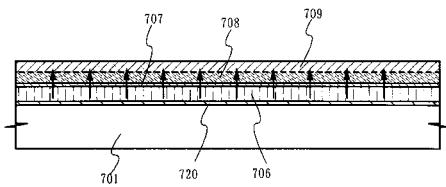
【図27】



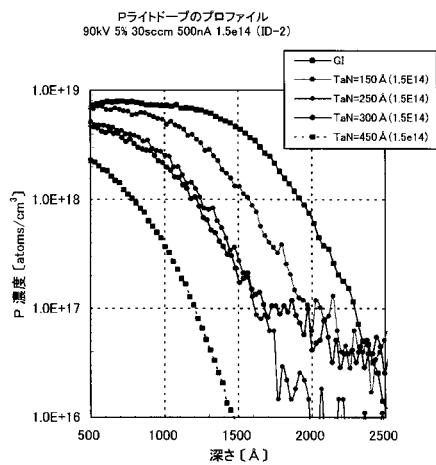
【図28】



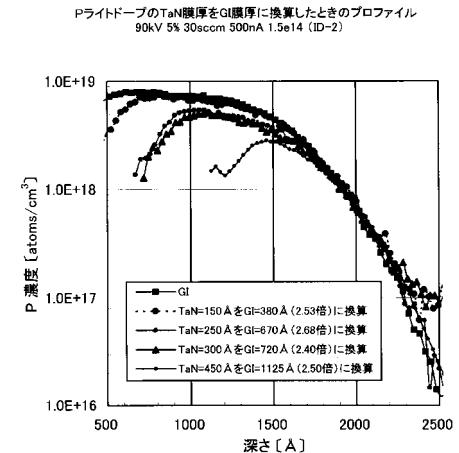
【図29】



【図30】



【図31】



---

フロントページの続き

(51)Int.Cl. F I  
H 01 L 29/423 (2006.01) H 01 L 29/58 G  
H 01 L 29/49 (2006.01) G 02 F 1/1368  
G 02 F 1/1368 (2006.01)

(56)参考文献 特開2000-216399 (JP, A)  
特開2000-299469 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786  
H01L 21/336  
H01L 21/8238  
H01L 27/092  
G02F 1/1368