

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2016-531424

(P2016-531424A)

(43) 公表日 平成28年10月6日 (2016. 10. 6)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 21/82 (2006.01)	H01L 21/82 C	5F038
H01L 21/027 (2006.01)	H01L 21/30 541J	5F056
G03F 7/20 (2006.01)	G03F 7/20 504	5F064
H01L 21/822 (2006.01)	H01L 27/04 D	
H01L 27/04 (2006.01)	H01L 27/04 T	
審査請求 未請求 予備審査請求 未請求 (全 16 頁)		

(21) 出願番号 特願2016-526688 (P2016-526688)
 (86) (22) 出願日 平成26年5月8日 (2014. 5. 8)
 (85) 翻訳文提出日 平成28年1月8日 (2016. 1. 8)
 (86) 国際出願番号 PCT/GB2014/051398
 (87) 国際公開番号 W02015/008021
 (87) 国際公開日 平成27年1月22日 (2015. 1. 22)
 (31) 優先権主張番号 13/944, 129
 (32) 優先日 平成25年7月17日 (2013. 7. 17)
 (33) 優先権主張国 米国 (US)

(71) 出願人 594154428
 エイアールエム リミテッド
 イギリス国 シービー1 9エヌジェイ
 ケンブリッジ, チェリー ヒントン, フル
 バーン ロード 110
 (74) 代理人 110000855
 特許業務法人浅村特許事務所
 (72) 発明者 イェリク、グレゴリー マンソン
 アメリカ合衆国、テキサス、オースティン
 、エス モパック エクスプレスウェイ
 3711、ザ パーク オン パートン
 クリーク、ビルディング 1、スウィート
 400、アーム インコーポレイテッド
 気付

最終頁に続く

(54) 【発明の名称】 直接描画リソグラフィを使用する集積回路製造

(57) 【要約】

集積回路が、直接描画リソグラフィ・ステップを使用して製造され、集積回路内に少なくとも1つの層が少なくとも部分的に形成される。少なくとも部分的に形成された集積回路の性能特性が測定され、次に、直接描画リソグラフィ・ステップで適用されるレイアウト設計がこれらの性能特性に応じて変更される。したがって、個々の集積回路、集積回路のウエハ、又はウエハのバッチの性能が変えられ得る。

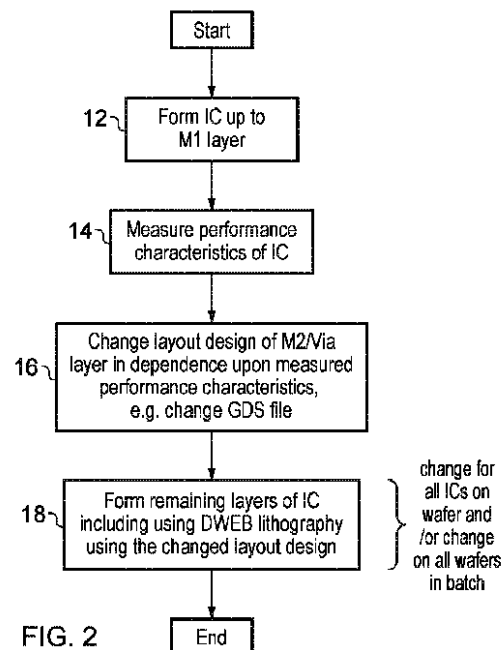


FIG. 2

【特許請求の範囲】**【請求項 1】**

それぞれのレイアウト設計をもち、少なくとも部分的には直接描画リソグラフィ・ステップを使用して形成される 1 つ又は複数の層を有する集積回路を製造する方法であって、
少なくとも部分的に形成された集積回路の 1 つ又は複数の性能特性を測定するステップと、

変更済みのレイアウト設計を生成するために、前記 1 つ又は複数の性能特性に応じて、前記直接描画リソグラフィ・ステップを使用して形成される前記 1 つ又は複数の層のうち少なくとも 1 つの層の前記レイアウト設計を変更するステップと、

前記変更済みのレイアウト設計に従って、前記 1 つ又は複数の層のうちの前記少なくとも 1 つの層を前記直接描画リソグラフィ・ステップを使用して形成するステップとを含む、方法。

10

【請求項 2】

前記変更するステップが、所定の規則に従って行われる自動フィードバック・プロセスである、請求項 1 に記載の方法。

【請求項 3】

前記変更済みのレイアウト設計を使用して形成される前記 1 つ又は複数の層のうちの前記少なくとも 1 つの層が、部分的には前記直接描画リソグラフィ・ステップによって形成され、部分的にはマスクを使用するリソグラフィ・ステップによって形成される、請求項 1 又は 2 に記載の方法。

20

【請求項 4】

前記測定するステップ及び前記形成するステップが、
集積回路の共通のインスタンス、
複数の集積回路を製造するために使用される共通のウエハ、及び
それぞれのウエハが複数の集積回路を製造するために使用される共通のウエハのバッチ
のうちの 1 つで行われる、

請求項 1、2 及び 3 のいずれか一項に記載の方法。

【請求項 5】

前記直接描画リソグラフィ・ステップが、
直接描画電子線リソグラフィ、
直接描画インクジェット回路プリント法、及び
直接描画エアロジェット回路プリント法のうちの 1 つである、
請求項 1 から 4 までのいずれか一項に記載の方法。

30

【請求項 6】

前記変更するステップが、前記レイアウト設計を指定するコンピュータ・ファイルを変更して、前記変更済みのレイアウト設計を指定する、変更済みのコンピュータ・ファイルを形成することを含み、前記形成するステップが前記変更済みのコンピュータ・ファイルを読み出す、

請求項 1 から 5 までのいずれか一項に記載の方法。

40

【請求項 7】

前記 1 つ又は複数の性能特性が前記集積回路の少なくとも一部の動作速度を含み、前記変更済みのレイアウト設計が前記集積回路の前記少なくとも一部の、変更済みの公称動作速度を提供する、

請求項 1 から 6 までのいずれか一項に記載の方法。

【請求項 8】

前記測定するステップが、前記集積回路内に第 1 の金属層を形成した後、且つ、前記集積回路の製造を完了する前に行われる、

請求項 1 から 7 までのいずれか一項に記載の方法。

【請求項 9】

50

前記測定するステップが、前記集積回路内にある１つ又は複数のテスト回路領域を使用して行われる、

請求項１から８までのいずれか一項に記載の方法。

【請求項１０】

前記変更済みのレイアウト設計が、

第２又はそれより上の金属層、

ローカル相互接続層、及び

ビア層のうちの１つ又は複数のレイアウト設計である、

請求項１から９までのいずれか一項に記載の方法。

【請求項１１】

前記変更済みのレイアウト設計がバッファ回路内で接続されるゲートフィンガの数を変更し、それによって前記バッファ回路の駆動強度を変更する、

請求項１から１０までのいずれか一項に記載の方法。

【請求項１２】

前記集積回路が回路要素の複数のインスタンスを含み、前記変更済みのレイアウト設計が、前記集積回路の動作中にアクティブとなるように、接続される前記回路要素のインスタンスの数を変更する、

請求項１から１１までのいずれか一項に記載の方法。

【請求項１３】

前記変更済みのレイアウト設計が、

前記集積回路を有する１つ又は複数の相互接続ラインの抵抗値、及び

前記１つ又は複数の相互接続ラインの静電容量のうちの１つ又は複数を変えるために

、
前記１つ又は複数の相互接続ラインの構成を変更する、

請求項１から１２までのいずれか一項に記載の方法。

【請求項１４】

前記１つ又は複数の相互接続ラインが１つ又は複数の平行な相互接続ラインを含み、前記変更される構成が、前記平行な相互接続ライン間の接続の追加及び除去のうちの１つを含む、

請求項１３に記載の方法。

【請求項１５】

前記変更される構成が、前記１つ又は複数の相互接続ラインの横断面積を含む、

請求項１３又は１４に記載の方法。

【請求項１６】

前記変更される構成が、前記１つ又は複数の相互接続ラインに提供されるシールドの程度を含む、

請求項１３、１４及び１５のいずれか一項に記載の方法。

【請求項１７】

シールド導体が有する電位が浮遊電位から接地電位まで変化する、

請求項１６に記載の方法。

【請求項１８】

それぞれのレイアウト設計をもち、少なくとも部分的には直接描画リソグラフィ・ステップを使用して形成される１つ又は複数の層を有する集積回路を製造する方法であって、

前記集積回路に電氣的に読み取り可能な識別子を生成するように前記集積回路内の１つ又は複数の回路要素を構成するために、前記直接描画リソグラフィ・ステップを使用して形成される前記１つ又は複数の層のうち少なくとも１つの層の前記レイアウト設計を変更するステップと、

前記変更済みのレイアウト設計に従って、前記１つ又は複数の層のうちの前記少なくとも１つの層を前記直接描画リソグラフィ・ステップを使用して形成するステップとを含む、方法。

10

20

30

40

50

【請求項 19】

個別に設計された複数の機能ブロックと、それぞれのレイアウト設計をもち、少なくとも部分的には直接描画リソグラフィ・ステップを使用して形成される１つ又は複数の層とを有するシステム・オン・チップ集積回路を製造する方法であって、

前記複数の機能ブロックのうちの１つの機能ブロックの設計を、その他の複数の機能ブロックを変更しないままに変更するために、前記直接描画リソグラフィ・ステップを使用して形成される前記１つ又は複数の層のうち少なくとも１つの層の前記レイアウト設計を変更するステップと、

前記変更済みのレイアウト設計に従って、前記１つ又は複数の層のうちの前記少なくとも１つの層を前記直接描画リソグラフィ・ステップを使用して形成するステップとを含む、方法。

10

【請求項 20】

それぞれのレイアウト設計をもち、少なくとも部分的には直接描画リソグラフィ・ステップを使用して形成される１つ又は複数の層を有する集積回路を製造する方法であって、

それぞれが異なる形の前記レイアウト設計を有する前記集積回路の複数のインスタンスを少なくとも部分的に形成するステップと、

前記集積回路の前記複数のインスタンスの１つ又は複数の性能特性を測定するステップと、

前記１つ又は複数の性能特性に応じて、前記直接描画リソグラフィ・ステップを使用して形成される前記１つ又は複数の層のうち少なくとも１つの層の前記レイアウト設計の前記異なる形のうちの１つを、選択済みのレイアウト設計として選択するステップと、

20

前記選択済みのレイアウト設計に従って、前記１つ又は複数の層のうちの前記少なくとも１つの層を前記直接描画リソグラフィ・ステップを使用して形成するステップとを含む、方法。

【請求項 21】

請求項 1 に記載の方法によって形成される集積回路。

【請求項 22】

請求項 18 に記載の方法によって形成される集積回路。

【請求項 23】

請求項 19 に記載の方法によって形成される集積回路。

30

【請求項 24】

請求項 20 に記載の方法によって形成される集積回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は集積回路の製造分野に関連する。より具体的には、本発明は集積回路製造の一部としての直接描画リソグラフィ技法の使用に関する。

【背景技術】**【0002】**

集積回路内に複数の異なる層を形成するために一連のマスクを使用して集積回路を製造することが知られている。適切なマスクの製造は、時間及び費用のかかる業務である。

40

【0003】

集積回路の製造時に直接描画リソグラフィを利用することが知られている。具体的には、製造された個々の集積回路における製造上の欠陥を、直接描画電子線リソグラフィなどの技法を使用して補正することが知られている。一例として、製造された集積回路のプリントされた２つのフィーチャ(features)間が短絡している場合に、直接描画電子線リソグラフィを使用してその短絡を除去し、集積回路に本来の働きを復元してもよい。そのような操作により、固定されたレイアウト設計内の欠陥補正が提供される。

【0004】

その他の直接描画リソグラフィ技法が知られている。これらには、インクジェット回路

50

プリント法及びエアロゾルジェット回路プリント法が含まれる。これらの技法では、集積回路の製造に使用し得る程度の小さいサイズの回路の生産が可能になってきている。

【発明の概要】

【発明が解決しようとする課題】

【0005】

集積回路の製造において、プロセスサイズの縮小につれて拡大している問題は、回路フィーチャのサイズ及び位置決めの望ましくない変動である。この問題によって、正しく作動する集積回路の歩留まりが低下し、また、集積回路の性能特性が悪影響を受けて所望の範囲から外れる可能性がある。

【課題を解決するための手段】

【0006】

一側面から見れば、本発明は、それぞれのレイアウト設計をもち、少なくとも部分的には直接描画リソグラフィ・ステップを使用して形成される1つ又は複数の層を有する集積回路を製造する方法を提供し、前記方法は、

少なくとも部分的に形成された集積回路の1つ又は複数の性能特性を測定するステップと、

変更済みのレイアウト設計を生成するために、前記1つ又は複数の性能特性に応じて、前記直接描画リソグラフィ・ステップを使用して形成される前記1つ又は複数の層のうち少なくとも1つの層の前記レイアウト設計を変更するステップと、

前記変更済みのレイアウト設計に従って、前記1つ又は複数の層のうちの前記少なくとも1つの層を前記直接描画リソグラフィ・ステップを使用して形成するステップとを含む。

【0007】

本技法は、集積回路内の少なくとも1つの層の少なくとも一部分の製造に直接描画リソグラフィを使用する。集積回路の性能特性が測定され、測定された性能特性に応じて、直接描画リソグラフィを使用して形成される1つ又は複数の層のレイアウト設計が変更される。このように、集積回路を製造するためのレイアウト設計が、少なくとも部分的に形成される集積回路の測定された性能特性に応じて修正される。直接描画リソグラフィは固定された高価なマスクを使用しないので、形成された層を、個々の集積回路、集積回路の個々のウエハ、又はウエハのバッチについて測定された性能特性フィードバックにตอบสนองして、直接描画リソグラフィを使用して修正することは実用的である。本技法は、部分的に製造された集積回路の設計を改変するために使用され得る。本技法はまた、その後に製造される集積回路、すなわち性能測定を受けた個々の集積回路ではない集積回路の設計を改変するためにも使用され得る。

【0008】

レイアウト設計の変更は、所定の規則に従う自動フィードバック・プロセスとして行われてもよい。例えば、集積回路の特定部分の動作が遅すぎるか速すぎる場合に、動作の速度を所望の趣旨に改変することが知られている所定の変更を行うことが可能なように、規則が制定されてもよい。

【0009】

直接描画リソグラフィによって形成される層は、直接描画リソグラフィによって一部が形成され、マスクを使用するリソグラフィによって一部が形成されてもよい。直接描画リソグラフィはマスクを使用するリソグラフィより遅いことがあるので、直接描画リソグラフィは、ある層の、レイアウト設計の動的な変更が可能であることが望ましい部分のために限定的に利用されてもよい。

【0010】

前述したように、直接描画リソグラフィは様々な異なる形をとってもよい。例えば、直接描画リソグラフィは、直接光電子線リソグラフィ、直接描画インクジェット回路プリント法、及び直接描画エアロジェット回路プリント法（グラビア印刷及び凹版印刷の技法）のうちの1つでもよい。

10

20

30

40

50

【 0 0 1 1 】

直接描画リソグラフィ技法によって使用されるレイアウト設計は、通常、直接描画リソグラフィ・マシンを制御するためのコンピュータ・ファイルの形で提供される。レイアウト設計の変更は、そのようなマシンを駆動するためのコンピュータ・ファイルを（前述した所定の規則を随意に使用して）変更することによって好都合に、且つ低費用で行われてもよい。

【 0 0 1 2 】

測定される１つ又は複数の性能特性は様々な異なる形をとってもよい。例えば、最低動作電圧が測定対象のパラメータであってもよい。ただし、設計レイアウトの変更を使用した調整に好適な１つの性能特性は、集積回路の少なくとも一部分の動作の速度である。

10

【 0 0 1 3 】

測定のステップは、全体が完成した集積回路に行われてもよいし、部分的に完成した集積回路に行われてもよい。測定は、集積回路の第１の金属層を形成した後で、且つ、集積回路の製造を完了する前に行われると好都合である。第１の金属層が形成された後は、その時点までに形成された集積回路の性能特性に関して有用な情報が収集可能であり、レイアウト設計に何らかの調整が行われた場合は、その後に形成される層でそれらの調整が効果を及ぼし、必要なら、測定された性能特性を望ましいレベルに戻すことができる。

【 0 0 1 4 】

性能特性の測定は、集積回路内にある１つ又は複数のテスト回路領域を使用して行われてもよい。例えば、個々の集積回路の動作速度を測定する目的で専用のカナリヤ（canary）回路を備え、回路レイアウトを改変するために使用できる情報を収集してもよい。

20

【 0 0 1 5 】

レイアウト設計の変更は、様々な異なる方法で行われてもよい。よくコントロールされた効果をもたらす好都合なレイアウト設計変更は、第２又はそれより上の金属層、ローカル相互接続層、又はパイア(via)層の変更である。集積回路設計内の電気接続のこのような変更は、集積回路の性能特性を比較的決定論的に変更するために使用され得る。

【 0 0 1 6 】

行われてもよいレイアウト設計変更の例には、バッファ回路内で接続されるゲートフィンガの数を変更し、それによってバッファ回路の駆動強度を変更することが含まれる。回路要素の複数のインスタンスを含む集積回路内で行われてもよい別の設計変更には、集積回路の動作中にアクティブになるように、接続される回路要素のインスタンスの数を変更することが含まれる。このように、例えば、レイアウトを変更することによって、ノードの駆動強度が所望のレベルになるように、ノードを駆動するために使用されるインバータの数が変更されてもよい。

30

【 0 0 1 7 】

性能特性を所望のとおりに変えることができる、別のレイアウト設計変更は、集積回路内の１つ又は複数の相互接続ラインの抵抗値及び／又は静電容量を変えるために、それらの相互接続ラインを変更することである。

【 0 0 1 8 】

相互接続ラインが１つ又は複数の平行な相互接続ラインを含むときは、それらの平行な相互接続ラインの抵抗値及び／又は静電容量の変更が可能な方法で、それらのラインの間に接続を含めるか、又は除去して構成が変更されてもよい。相互接続ラインになされ得る別の変更として、相互接続ラインの抵抗値及び／又は静電容量の変更が可能な方法で、それらのラインの横断面積を変更してもよい。

40

【 0 0 1 9 】

例えば、浮遊電位から接地電位まで変化する電位を有するシールド導体を提供するなど、その有効性において変化する相互接続ラインのシールドを備えることによって、集積されたラインに関連する静電容量を変化させ、よってその速度を変化させてもよい。

【 0 0 2 0 】

別の側面から見れば、本発明は、それぞれのレイアウト設計をもち、少なくとも部分的

50

には直接描画リソグラフィ・ステップを使用して形成される１つ又は複数の層を有する集積回路を製造する方法を提供し、前記方法は、

前記集積回路に電氣的に読み取り可能な識別子を生成するように前記集積回路内の１つ又は複数の回路要素を構成するために、前記直接描画リソグラフィ・ステップを使用して形成される前記１つ又は複数の層のうち少なくとも１つの層の前記レイアウト設計を変更するステップと、

前記変更済みのレイアウト設計に従って、前記１つ又は複数の層のうちの前記少なくとも１つの層を前記直接描画リソグラフィ・ステップを使用して形成するステップとを含む。

【００２１】

製造中に適用されて集積回路レイアウトの設計を変更する直接描画リソグラフィ技法を使用して、電氣的に読み取り可能な識別子を集積回路に提供してもよく、この識別子は使用されるレイアウト設計に基づいて製造中に構築され、例えば、直接描画リソグラフィ技法を使用して行うことのできるレイアウト設計の変更を使用して、集積回路に署名及び／又は日付を付けることもできる。マスクの変更が必要な場合には、そのような変更は時間がかかり、伴う費用が高額すぎるので、費用効果が低い。

【００２２】

さらに別の側面から見れば、本発明は、個別に設計された複数の機能ブロックと、それぞれのレイアウト設計をもち、少なくとも部分的には直接描画リソグラフィ・ステップを使用して形成される１つ又は複数の層とを有するシステム・オン・チップ集積回路を製造する方法を提供し、前記方法は、

前記複数の機能ブロックのうちの１つの機能ブロックの設計を、その他の複数の機能ブロックを変更しないままで変更するために、前記直接描画リソグラフィ・ステップを使用して形成される前記１つ又は複数の層のうち少なくとも１つの層の前記レイアウト設計を変更するステップと、

前記変更済みのレイアウト設計に従って、前記１つ又は複数の層のうちの前記少なくとも１つの層を前記直接描画リソグラフィ・ステップを使用して形成するステップとを含む。

【００２３】

本技法は、集積回路の一部のレイアウト設計を、その集積回路の他の部分を改変しないままで更新するために使用されてもよい。このように、個別に設計された複数の機能ブロックを含むシステム・オン・チップ集積回路で、それらの機能ブロックのいくつかは、それらの設計が変更されながらもその他の機能ブロックが改変されずに残され、例えば、マスクを使用する技法によって製造されるような方法で、直接光リソグラフィを使用して形成されることもできる。

【００２４】

さらに別の側面から見れば、本発明は、それぞれのレイアウト設計をもち、少なくとも部分的には直接描画リソグラフィ・ステップを使用して形成される１つ又は複数の層を有する集積回路を製造する方法を提供し、前記方法は、

それぞれが異なる形の前記レイアウト設計を有する前記集積回路の複数のインスタンスを少なくとも部分的に形成するステップと、

前記集積回路の前記複数のインスタンスの１つ又は複数の性能特性を測定するステップと、

前記１つ又は複数の性能特性に応じて、前記直接描画リソグラフィ・ステップを使用して形成される前記１つ又は複数の層のうち少なくとも１つの層の前記レイアウト設計の前記異なる形のうちの１つを、選択済みのレイアウト設計として選択するステップと、

前記選択済みのレイアウト設計に従って、前記１つ又は複数の層のうちの前記少なくとも１つの層を前記直接描画リソグラフィ・ステップを使用して形成するステップとを含む。

【００２５】

あらかじめ複数のレイアウト設計が作成及びテストされ、次に、測定された性能特性に応じて、その集積回路のその後の製造で使用されるレイアウト設計が複数の既存のレイアウト設計の中から選択されることができる。

【 0 0 2 6 】

本発明の前述及びその他の目的、特徴、及び利点は、添付図面を参照しながら下記の例示的实施例の詳細な説明を読むことによって明らかになるであろう。

【図面の簡単な説明】

【 0 0 2 7 】

【図 1】その中の 1 つの機能ブロックが直接描画電子線リソグラフィによって製造された層を含む、システム・オン・チップ集積回路の概略を示す図である。

10

【図 2】製造中の動的なレイアウト設計変更の概略を示すフロー線図である。

【図 3】バッファ回路内のアクティブなゲートフィンガの数を変えるために使用されてもよいレイアウト設計変更の例の概略を示す図である。

【図 4】直接光電子線リソグラフィによって形成されるレイアウト設計変更を有し、アクティブなインスタンスの数を変更するために使用されるインバータの複数のインスタンスを概略的に示す図である。

【図 5】直接光電子線リソグラフィに従って選択的に形成される接続を使用する、相互接続ラインに適用可能な同調技法の概略を示す図である。

【図 6】直接光電子線リソグラフィに従って選択的に形成される接続を使用する、相互接続ラインに適用可能な同調技法の概略を示す図である。

20

【図 7】直接光電子線リソグラフィに従って選択的に形成される接続を使用する、相互接続ラインに適用可能な同調技法の概略を示す図である。

【図 8】直接光電子線リソグラフィに従って選択的に形成される接続を使用する、相互接続ラインに適用可能な同調技法の概略を示す図である。

【図 9】直接光電子線リソグラフィに従って選択的に形成される接続を使用する、相互接続ラインに適用可能な同調技法の概略を示す図である。

【発明を実施するための形態】

【 0 0 2 8 】

図 1 は、メモリ 4、グラフィック処理ユニット 6、及び汎用プロセッサ 8 などの複数の機能ブロックを含むシステム・オン・チップ集積回路 2 を概略的に示す。汎用プロセッサ 8 内の少なくとも 1 つの層は直接描画電子線 (DWEB: Direct Write Electron Beam) リソグラフィを使用して形成される。システム・オン・チップ集積回路の直接描画リソグラフィ技法を使用して形成される部分は、図 1 に網掛けで示される。図 1 は、集積回路 2 の平面図及び断面図の両方を示す。

30

【 0 0 2 9 】

図 2 は、集積回路の製造プロセスで、1 つ又は複数の層のレイアウト設計が変更されてもよい製造プロセスの概略を示すフロー線図である。ステップ 12 で、集積回路が第 1 の金属層を含むところまで生成される。ステップ 14 で、部分的に製造された集積回路の 1 つ又は複数の性能特性が測定される。これらの性能特性は、専用に備えられたリング発信器又はカナリヤ回路などの、集積回路内の所定のテスト領域で測定されてもよい。

40

【 0 0 3 0 】

ステップ 16 で、測定された性能特性が所望の性能特性と比較され、それらの測定された性能特性に応じて、第 2 の金属層及び / 又はバイア層のレイアウト設計の変更が行われる。このレイアウト設計の変更は、レイアウト設計を定める GDS ファイルに関連する変更によって好都合に行われてもよい。回路レイアウトを定める GDS ファイルを読み込み、これらの設計を断片化してから電子線を駆動して適切な回路レイアウト層を製造する、直接描画電子線リソグラフィ・マシンが備えられてもよい。

【 0 0 3 1 】

ステップ 18 で、集積回路の残りの層が製造され、これは、形成される残りの層のうち少なくとも 1 つの少なくとも一部を、直接描画電子線リソグラフィ技法を使用して形成す

50

ることを含む（直接描画インクジェット回路プリント法、直接描画エアロゾル回路プリント法、並びにグラビア印刷及び凹版印刷技術などの他の技法もまた使用されてもよい）。

【0032】

ステップ16で行われたレイアウト設計の変更は、個々の集積回路、同一のウエハ上に製造されるすべての集積回路、及び/又は、所与のウエハのバッチ内のすべてのウエハについて行われてもよい。

【0033】

図3は、基板20を含み、基板20の上に複数のゲートフィンガ22が形成されている集積回路の一部の断面を概略的に示す。ゲートフィンガ22はバッファ回路の一部であり、バッファ回路の駆動強度はアクティブなゲートフィンガの数を変更することによって変えられてもよい。個々のゲートフィンガ22は、バイア層V1を使用して第2の金属層M2に接続されるか否かによってアクティブ又はインアクティブにされてもよい。このように、本技法によれば、第1の金属層M1の形成に続いて、V1層内の個々のバイア接続が第2の金属層に対して行われるか否かを変更し、それにより、関連するゲートフィンガ22を接続又は分離することによって、レイアウト設計が能動的に変更されてもよい。

【0034】

図4は、インバータ24の複数のインスタンスを備え、それらが並列に動作してノード26を駆動してもよい集積回路の一部を概略的に示す。ノード26は集積回路の速度が公称速度であるか立証するために使用されるテスト領域であってもよい。速度が低すぎる場合は、そのノードを駆動するインバータの数が増加されてもよい。逆に、速度が高すぎる場合は、そのノードを駆動するインバータの数が減少させられてもよい。インバータ24のうち2つとノード26との間の金属接続は直接光電子線リソグラフィを使用して形成されており、したがって、ノード26に適用される駆動強度を変更するために、レイアウト設計の適切な変更によって除去されてもよい。

【0035】

図5は、リンク32を介して同調ライン30に選択的に結合される相互接続ライン28の概略を示す。リンク32は直接描画電子ビームリソグラフィによって形成され、したがって、個々のリンク32を含めるか、又は含めないようにレイアウト設計が動的に変更されてもよい。このように、メイン信号ライン28と同調ライン30の組み合わせの静電容量及び/又は抵抗値が（及び、それによって速度が）変えられてもよい。

【0036】

図6は、図5に示された装置の変形形態を概略的に示す。この実例では同調ライン30が複数の同調容量34、35に置き換えられ、それらが同調ライン30の上又は下からバイアを使用してメイン信号ライン36に接続されているか、又は接続されていなくてもよい。同調ストラップ34を接続するか接続しないかによって、メイン信号ライン36の静電容量が変えられ、したがって、メイン信号ラインによって信号の変化が伝播される速度が変えられる。

【0037】

図7は、相互接続ラインが提供される方法の別の変更実例を概略的に示す。この実例では相互接続ラインの別々の部分間の接続の数が変えられ、それによって相互接続ラインの抵抗値が変更される。相互接続ラインの抵抗値を変更すると信号ラインに沿った信号の伝播速度が変更され、それにより、レイアウト設計（すなわち、相互接続ラインの隣接区間の間のリンクの数）の変更によって性能パラメータが調整される。

【0038】

図8は、相互接続ラインに行ってもよい別のタイプの変形形態を概略的に示す。この実例では相互接続ラインの断面の幅が変更されて、それらのラインの縁部がシールド・ラインに近づけられたり離されたり移動する。相互接続ラインとそのシールドとの間の空隙を変更すると、その相互接続ラインに沿って伝播され得る信号の速度が変化する。図に示されるように、相互接続ラインの幅のうち少なくとも変更される部分は直接描画電子線リソグラフィによって形成されてもよく、したがって、個々の集積回路ウエハ又はウエハのバ

10

20

30

40

50

ッチの測定された性能特性に従って変更されてもよい。

【0039】

図9は、相互接続回路の性能特性が同調されてもよい方法のさらなる実例を示す。この実例では相互接続ラインにシールド・ラインが備わり、これらのシールド・ラインを接地するか浮遊可能にさせるかを変更することによってレイアウト設計が変更される。シールド・ラインを接地すると、相互接続ラインに沿った信号の伝播が低速化する傾向にある。したがって、図9に示される最も高速の相互接続ラインは、両方のシールド導体が浮動しているものである。最も低速な相互接続ラインは両方のシールド導体が接地されたものであり、公称速度の相互接続ラインはシールド導体の1つが浮動し、シールド導体の1つが接地されているものである。

10

【0040】

集積回路の電氣的に読み取り可能な識別子を変更するために、集積回路の直接描画リソグラフィによって形成される部分のレイアウト設計が変更されてもよい。このように、任意の個々の集積回路、ウエハ、又はウエハのバッチのレイアウトが変更されてレジスタに特定の値が組み込まれてから、その値が電氣的に読み出されてもよい。このようにして、個々の集積回路が、その集積回路を破壊しなくては変更が不可能な方法で付与されたシリアル番号を有することもできる。

【0041】

集積回路の直接描画リソグラフィによって製造される部分のレイアウト設計に加えられる変更は、事前に決定されていてもよい。例えば、図4の場合、インバータ24のうちそれぞれ1つ、2つ又は3つをノード26に接続する、異なるレイアウト設計が事前に作成されていてもよい。部分的に形成された集積回路の速度がすでに決定されており、且つ、所望の性能レベルを達成するためにインバータ24のうちのいくつをノード26に接続すべきかすでに決定されているなら、集積回路のその後の製造に使用するために、それらの事前に作成されたレイアウト設計のうち適切な1つが選択されてもよい。

20

【0042】

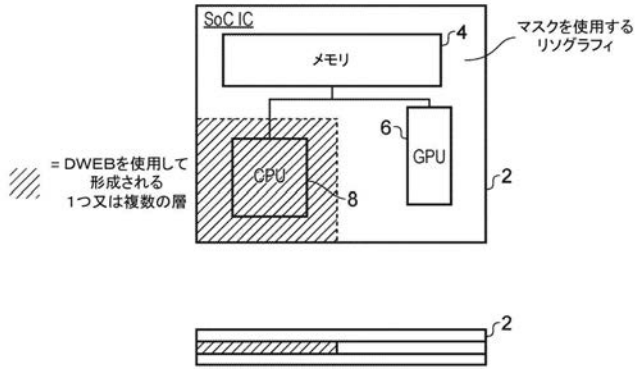
本技法のいくつかの実施例では、直接光線リソグラフィの使用を適用する複数の異なるレイアウト設計に従って製造される集積回路が生産及びテストされてもよい。これらのテスト結果に応じて、ウエハ又はバッチのレベルでの集積回路の連続生産でさらに使用するために、テストされた設計のうち特定のレイアウト設計が選択されてもよい。

30

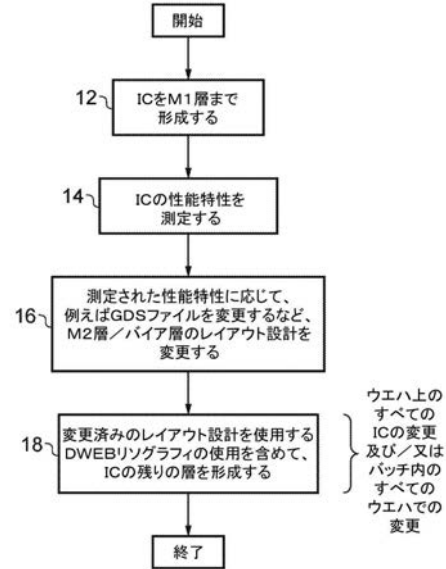
【0043】

本明細書では本発明の説明的実施例について添付図面を参照しながら詳細に説明してきたが、本発明はそれらの精密な実施例に限定されないこと、及び、様々な変更及び修正が、添付の特許請求の範囲によって定められる本発明の範囲及び趣旨を逸脱することなく当業者によって加えられることができると理解すべきである。

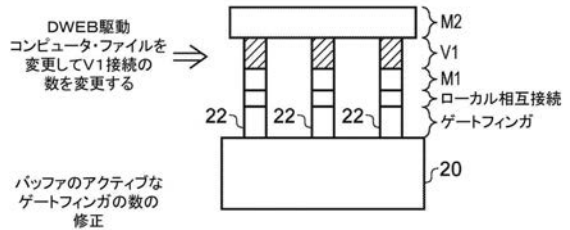
【図 1】



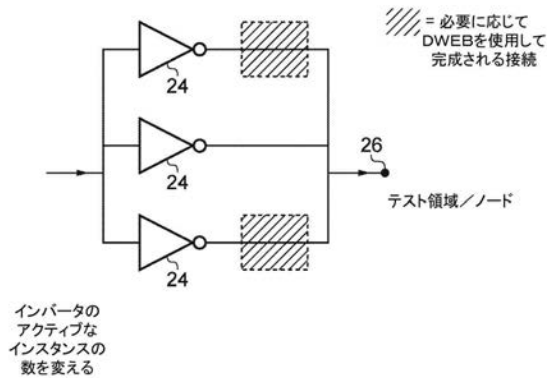
【図 2】



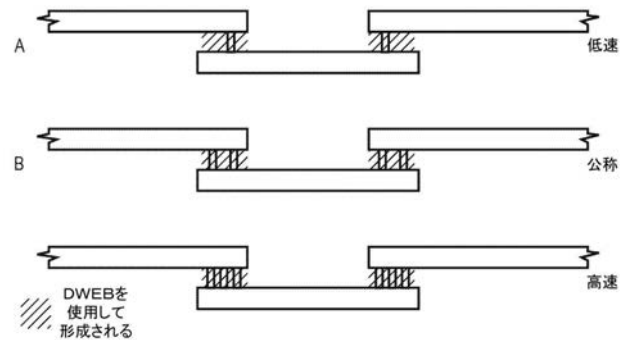
【図 3】



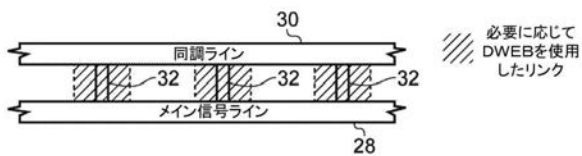
【図 4】



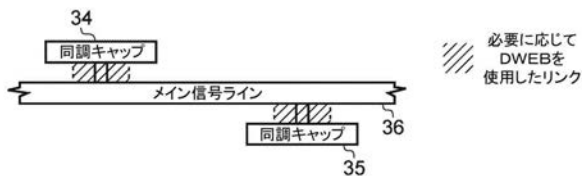
【図 7】



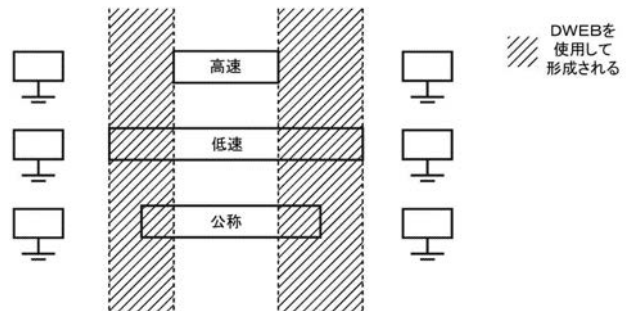
【図 5】



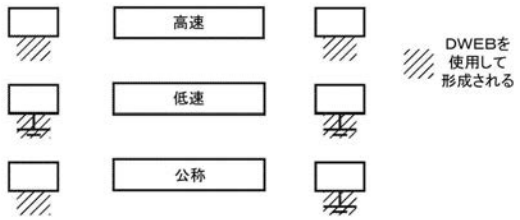
【図 6】



【図 8】



【 図 9 】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2014/051398

A. CLASSIFICATION OF SUBJECT MATTER INV. G03F7/20 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G03F H01L G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EP0-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 89/11659 A1 (LEEDY GLEN J [US]) 30 November 1989 (1989-11-30) abstract figure 1 page 1, lines 6-8 page 4, lines 7-27 -----	1-17,21 18-20, 22-24
X A	US 2008/119956 A1 (MANGELL EFRAIM [IL]) 22 May 2008 (2008-05-22) abstract figures 1,5,6 paragraphs [0002], [0045], [0202] - [0205] ----- -/--	18,22 1-17, 19-21, 23,24
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 16 September 2014		Date of mailing of the international search report 24/09/2014
Name and mailing address of the ISA/ European Patent Office, P.B. 6818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Andersen, Ole

1

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2014/051398

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2008/028345 A1 (SURI HITESH [US] ET AL) 31 January 2008 (2008-01-31) abstract figure 1 paragraphs [0002], [0025] - [0028] -----	19,23 1-18, 20-22,24
X A	WO 97/45770 A1 (CHIU TZU YIN [US]) 4 December 1997 (1997-12-04) abstract figure 1 page 1, lines 4-18 page 2, line 22 - page 3, line 27 -----	20,24 1-19, 21-23

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/GB2014/051398

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 8911659	A1	30-11-1989	AT 174124 T 15-12-1998
			BR 8907190 A 05-03-1991
			DE 68928870 D1 14-01-1999
			EP 0561765 A1 29-09-1993
			EP 0864870 A2 16-09-1998
			JP H03504657 A 09-10-1991
			JP H10150083 A 02-06-1998
			US 4924589 A 15-05-1990
			WO 8911659 A1 30-11-1989

US 2008119956	A1	22-05-2008	US 2003144760 A1 31-07-2003
			US 2008119956 A1 22-05-2008

US 2008028345	A1	31-01-2008	TW 200935265 A 16-08-2009
			US 2008028345 A1 31-01-2008
			WO 2009048979 A1 16-04-2009

WO 9745770	A1	04-12-1997	AU 3140097 A 05-01-1998
			US 5989752 A 23-11-1999
			WO 9745770 A1 04-12-1997

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

F ターム(参考) 5F038 BG02 BH10 CD09 CD12 CD15 DT12 DT13 EZ20
5F056 CA02 CA11
5F064 BB07 BB33 EE09 EE22 EE27 EE42 EE47 FF04 FF16 FF48