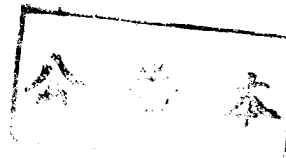


36



申請日期	85. 09. 18.
案 號	85111418
類 別	1423K 3/289

Int.

322661

A4
C4

322661

(以上各欄由本局填註)

發明專利說明書

一、發明 新 型	中 文	減少通開數目之金氧半導體主從正反器
	英 文	MOS MASTER-SLAVE FLIP-FLOP WITH REDUCED NUMBER OF PASS GATES
二、發明 人	姓 名	曼歐 沙奇迪威
	國 籍	印度
	住、居所	荷蘭恩特荷芬市格諾內梧茲路1號
三、申請人	姓 名 (名稱)	荷蘭商飛利浦電子股份有限公司
	國 籍	荷蘭
	住、居所 (事務所)	荷蘭恩特荷芬市格諾內梧茲路1號
	代 表 人 姓 名	傑·伊·姆·葛拉瑪

322661

(由本局填寫)

承辦人代碼：

A6

大類：

B6

I P C 分類：

本案已向：

歐盟國(地區) 申請專利，申請日期：1995.08.14 案號：95202203.6，☐有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之範圍

本發明與一種至少有一個主從正反器之電子電路有關。該正反器包括一資料輸入、一資料輸出及一時鐘輸入，更有一時鐘控制之通閘、一位於資料輸入與通閘間之主門鎖及一位於通閘與資料輸出間之從屬門鎖。每一門鎖均包括抗並聯耦合之第一與第二邏輯閘。正反器更包括一緩衝器，其緩衝器輸入耦合至主門鎖而緩衝器輸出則耦合至從門鎖。

技術背景

一靜態正反器為數位互補金氧半導體(CMOS)積體電路設計中之一重要構成部份。典型之數位CMOS積體電路可能有數千個正反器。典型之主從正反器包括透過一傳輸閘互接之主門鎖與從門鎖。每一門鎖包括位於由第一與第二邏輯閘所形成之回授環路中之另一傳輸閘。此一傳輸閘可使資料之書寫與鎖定沒有衝突。該正反器在作業時，主與從門鎖被交互致能而在傳輸閘之互補控制下接受或儲存資料俾使正反器之輸入從其輸出上功能性地拆離。

在授與Akata之美國第5,189,315號專利中即有上述之正反器，該正反器並包括一反相緩衝器。此一緩衝器可使主門鎖不受從門鎖之不良影響而令正反器適於較無緩衝器之正反器可達到更高之時鐘率。除緩衝器外，該已知正反器有一傳統式構態，即每一門鎖均包括另外一時鐘控制之通閘。

本發明之目的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

本發明目的之一在提供一前文所述名稱之主從正反器，較先前技術之正反器需要較少之組件與較小之基板面積而對性能不會有重大損失。

本發明簡介

為達上述目的，本發明提供一前文所述之電路，其特徵為至少可將主閘鎖或從閘鎖及第一與第二邏輯閘之輸入分別直接連接至第一與第二邏輯閘之輸出。

在此情形下至少主閘鎖或從閘鎖之構態類似一靜態隨機存取電晶體(SRAM)元件。現在直接互連之含有邏輯閘之閘鎖即少去了先前技術之通閘。如此即可省去原用於通閘本身、時鐘引線及其接點之基板面積。另外，時鐘驅動器現在僅須驅動較先前技術中為少之每一正反器之閘電容。若本發明電路中之主閘鎖沒有通閘，主閘鎖即可被一在正反器之前面且其驅動能力足以重複書寫主閘鎖之電路來書寫。主閘鎖本身亦可較小。主閘鎖之任務現在僅為保留資料。書寫從閘鎖者為緩衝器，而非主閘鎖。因而在主閘鎖前面電路之驅動能力僅須稍加調適(若有此必要時)以配合本發明正反器之新型構態。若本發明電路中從閘鎖沒有通閘，緩衝器可提供足夠之驅動力來重複書寫從閘鎖。因緩衝器形成單向耦合，從閘鎖中並不需通閘來防止主閘鎖被從閘鎖重複書寫。

本文中所稱之「通閘」涵蓋任何可控制之通路，諸如一定時之傳輸閘，但亦指與緩衝器合併之可控通路特性，諸如定時反相器所提供者。通閘可含有一傳統式並聯之負場

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

效電晶體(NFET)及一正場效電晶體(PFET)用於如在先前技術中接收互補時鐘信號，或僅有一PFET或NFET。另一種方式是通閘可功能性地與緩衝器合併，諸如在一定時CMOS反相器中者。定時反相器可包括在供應電壓與地面間串聯之兩個PFETs與兩個NFETs，其中一個PFETs與一個NFETs接收來自主門鎖之信號而另外之PFET與NFET則接收互補時鐘信號。

若緩衝器與通閘不加以合併，緩衝器輸出最好經由通閘耦合至從門鎖。亦即在從資料輸入至資料輸出之信號通路上，緩衝器在通閘之前。此一構態可防止緩衝器在每次通閘被阻絕時有浮動輸入。主門鎖之第一與第二邏輯閘最好在從資料輸入至緩衝器輸入之信號通路之外，從而減少閘延遲。

實驗顯示在門鎖中無通閘及在直接信號通路中加上緩衝器能使時鐘率增加。本發明之正反器提供較低(更屬負值)之佔用時間，因而在時鐘偏移情形下能順利工作。定時計劃之設計及時鐘信號之分配與產生均可簡化。再者，現在因有一個或多個緩衝器而成單一方向之信號通路對下述IDDQ測試中之故障範圍大有幫助。因此，本發明提供之正反器電路，含有較少之時鐘線及組件且如下述能較傳統式無緩衝器之正反器能作更佳之測試。

附圖說明

本發明於下文中以實例並參考附圖作更詳細之說明：

圖1，2與3為本發明電路中正反器實例圖，及

五、發明說明(4)

圖4爲用爲一構成部分之圖1與2中正反器一部分之圖。

在全部附圖中相同之參考符號顯示對應或類似特性。

詳細實例

圖1爲有本發明正反器100之第一實例電路10之圖。正反器100包括一輸入102與輸出104、均爲兩個互補時鐘信號C及CBAR控制之第一與第二通閘106與108、含有第一與第二反相器112與114之主閘鎖110、含有第一與第二反相器118與120之從閘鎖116及一透過通閘108單向耦合於主閘鎖110與從閘鎖116間之緩衝器122。主閘鎖110包括一時鐘控制通閘124。從閘鎖116則無時鐘控制通閘。

在輸入102處之資料當通閘106導電而通閘108與124被阻絕時以傳統方式被寫入主閘鎖110。隨後，在時鐘控制下通閘108與124導電而通閘106被阻絕。於是閘鎖110中之正回授被恢復而寫入主閘鎖110之資料被保留。此時反相器122經由導電之通閘108書寫從閘鎖116。反相器122之作業爲單向，因而主閘鎖110不會被從閘鎖116重複書寫，所以從閘鎖116中不需要通閘。

應注意緩衝器122最好在通閘108之上游，若緩衝器122在通閘108之下游且在從閘鎖116之前時，緩衝器122在每次通閘108被阻絕時即會有浮動輸入。此爲不願有者，因爲在此情形下緩衝器122之輸入即會被漏洩之電流放電而在某些情況下強迫從閘鎖116進入不欲有之邏輯狀態。

圖2爲有本發明正反器200之第二實例電路20之圖。正反器200在結構上與正反器100不同之處爲主閘鎖110並無

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

通開124。連接至輸入102之在前面之電路(未示出)之驅動能力僅須足以克服反相器114之驅動力即可。因為是以緩衝器122而非反相器114對從門鎖116重複書寫，主門鎖110之反相器112與114之驅動能力可以不要太大。因此，在輸入102處之驅動電路不必適配主門鎖110之構態。正反器200之構態以其較小之正反器及需用較低電源而頗為引人，此係因為元件數目較少及時鐘驅動器(未示出)僅須驅動較少數量之開電容。

圖3為有本發明正反器300之第三實例電路30之圖。正反器300與正反器100不同之處是現在主門鎖110之反相器112與114係直接互連且從門鎖116有一時鐘控制之通開302。正反器300較正反器200在基板面積方面耗費較多。但正反器300有較少之傳播延遲，此係因為從門鎖116回授通路中之通開302可幫助快速重複書寫鎖定於從門鎖116中之資料。

正反器100及200中緩衝器122，通開108及從門鎖116之安排係各與其本身有益之組成部分。圖4即為此一部分400之圖，另外備有一輸入402、一輸出404及另一緩衝器406。多個組成部分400之任何組合，例如形成一移位暫存器，均有與上述及下述類似之優點。

請注意反相器112與114係置於從輸入102至緩衝器122信號通路之外。

同時請注意緩衝器122與通開108在另外實例中可功能性地合成為一定時反相器。反相器112、114、116與120

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

可由其他邏輯閘取代，例如邏輯NOR閘或邏輯NAND閘。

諸如在CMOS中之靜態正反器均有同樣的問題，亦即造成陷入故障之特定橋接瑕疵若無特殊設置即無法透過靜態電流之量度，亦稱為 I_{DDQ} 測試，來偵得。橋接瑕疵被認為是造成輸出損失唯一最重要之機件製造瑕疵。須有特別為「可測試性設計」之量度來偵測 I_{DDQ} 測試中之正反器內之此種瑕疵。 I_{DDQ} 測試被認為是對布耳測試之品質改進補助辦法，專家們均認為經由 I_{DDQ} 測試技術所達到之品質為任何其他測試方法無法可比者。

主從正反器中特定低電阻之橋接瑕疵，除依照本發明人在第0 633 530號歐洲專利申請中所述方法將正反器製為透明者外，無法靠 I_{DDQ} 測試偵知。但此一方法需要額外之電路來使之透明。不過本發明利用該項見解，若將主門鎖與從門鎖間之耦合製為單向，即不必讓正反器或一連串之正反器透明。可控耦合是以傳統方式由一傳輸閘擔任，但該種在主門鎖與從門鎖間之雙向通路能造成對主門鎖之重複書寫，例如在資料自主門鎖轉移至從門鎖時由一在從門鎖中之橋接瑕疵所造成者。重複書寫是因在此一移轉階段中之電壓衝突所造成而在靜止狀態中不會被偵知。本發明人已發現此點，但若主門鎖與從門鎖間之可控耦合至少在測試時為單向時，電壓衝突將會持續且不影響主門鎖之資料並因而會被 I_{DDQ} 測試偵知。

緩衝器之驅動能力能在正常作業使用時重複書寫從門鎖，且在有 I_{DDQ} 可偵知之瑕疵所造成之電壓衝突時會使靜態

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

電流持續。因此，本發明人已認知並非主門鎖之驅動能力與作業使用及測試有關，而是緩衝器之驅動能力與之有關。所以最好將主門鎖之反相器置於正反器輸入與輸出間信號通路之外，俾能以單向耦合減少正反器中之傳播延遲。在前述美國專利第5,189,315號中之正反器內，因信號通路中有一主門鎖反相器而會招致額外且不必要之傳播延遲。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 減少通閘數目之金氧半導體主從正反器)

一種主從正反器具有在一輸入與一輸出間串接之主與從閘鎖。每一閘鎖有兩個頭尾直接互連之反相器。閘鎖係經由一緩衝器及一時鐘控制之通閘而耦合。此一結構就已知之正反器而言可減少通閘與時鐘線之數目，改善佔用時間及增進 I_{DDQ} 之可測試性。

英文發明摘要 (發明之名稱： MOS MASTER-SLAVE FLIP-FLOP WITH REDUCED NUMBER OF PASS GATES)

A master-slave flip-flop has master and slave latches cascaded between an input and an output. Each latch has two inverters directly connected to one another head to tail. The latches are coupled via a buffer and a clock controlled pass gate. This architecture reduces the number of pass gates and clock lines, improves hold time and enhances I_{DDQ} -testability with respect to known flip-flops.

六、申請專利範圍

1. 一種電子電路(10)至少有一個主從正反器(100)，該正反器包括：

一資料輸入(102)、一資料輸出(104)及一時鐘輸入(C)；

一由時鐘輸入控制之通開(108)；

一主門鎖(110)位於資料輸入與通開之間及一從門鎖(116)位於通開與資料輸出之間，其中每一門鎖均包括抗並聯耦合之第一與第二邏輯閘(112、114；118、120)；

一緩衝器(122)其緩衝器輸入耦合至主門鎖而緩衝器輸出耦合至從門鎖；

其特徵為：

至少在主門鎖或從門鎖中，第一與第二邏輯閘之輸入分別直接連接至第一與第二邏輯閘之輸出。

2. 根據申請專利範圍第1項之電路，其中之緩衝器輸出係經由通開耦合至從門鎖。
3. 根據申請專利範圍第2項之電路，其中主門鎖之第一與第二邏輯閘係置於自資料輸入至緩衝器信號通路之外。
4. 根據申請專利範圍第2或3項之電路，其中之緩衝器係功能性地與通開合併。
5. 一種電子電路包括：
 - 一輸入波節(402)及一輸出波節；
 - 一第一緩衝器有一緩衝器輸入連接至輸入波節並有一緩衝器輸出；
 - 一門鎖含有頭尾相接之第一(118)與第二(120)邏輯閘；

六、申請專利範圍

一通開(108)連接於緩衝器輸出與門鎖之間；
另一緩衝器(406)連接至門鎖及通開。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

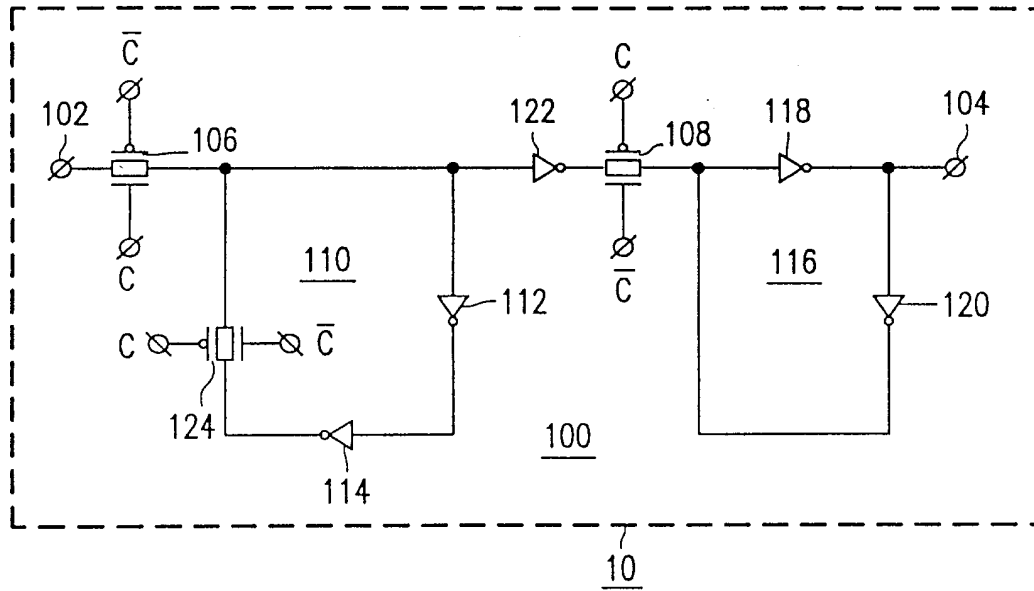


圖 1

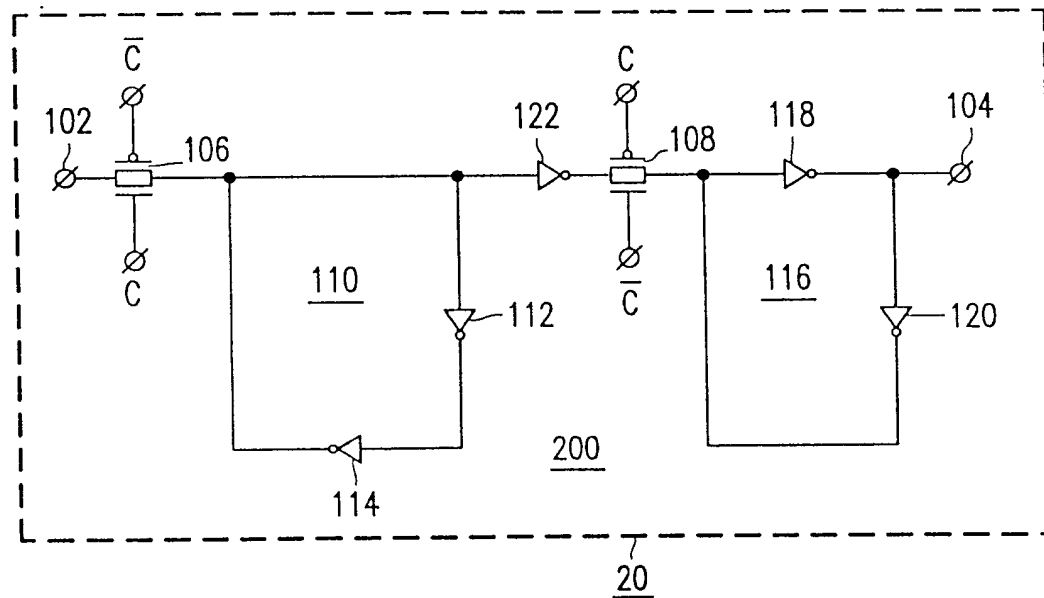


圖 2

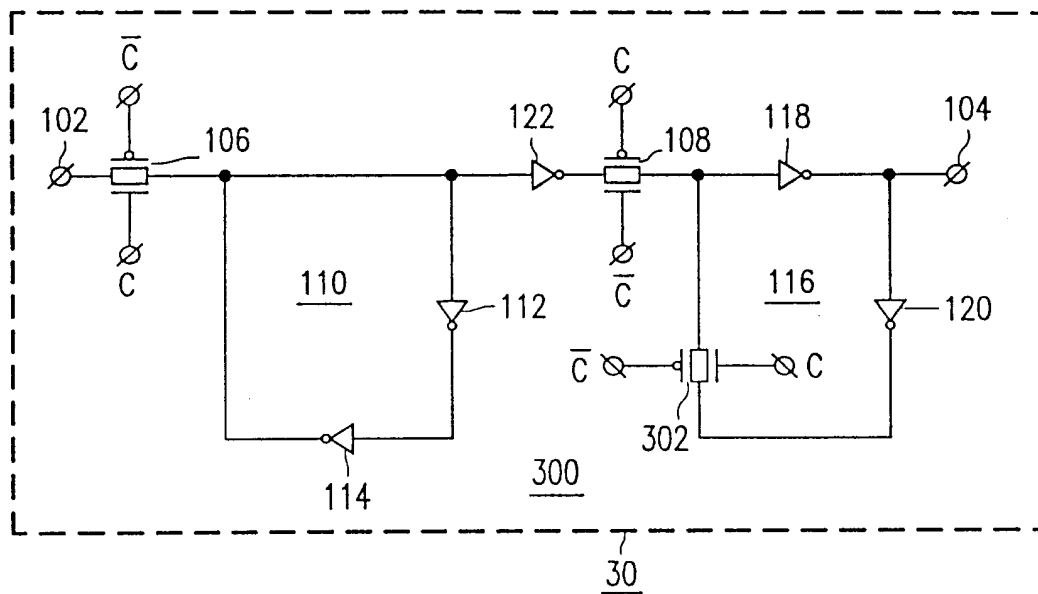


圖 3

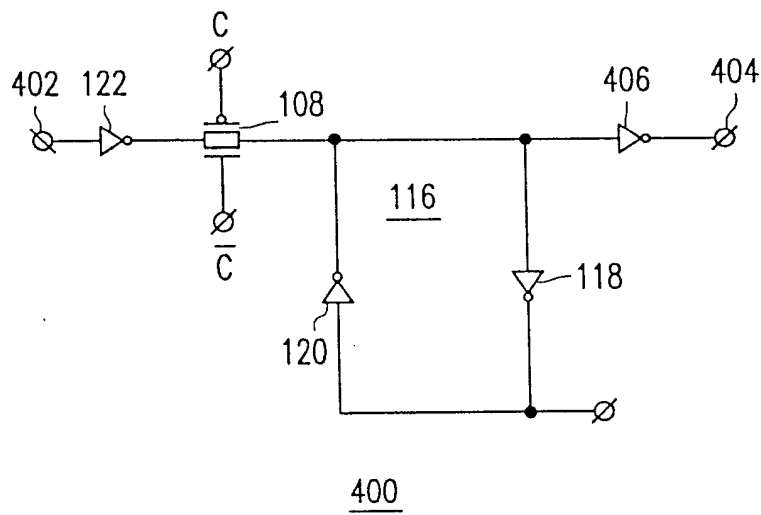


圖 4