

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4587963号  
(P4587963)

(45) 発行日 平成22年11月24日(2010.11.24)

(24) 登録日 平成22年9月17日(2010.9.17)

(51) Int.Cl.

F I

H O 1 P 1/15 (2006.01)

H O 1 P 1/15

H O 1 G 4/40 (2006.01)

H O 1 G 4/40 3 2 1 A

請求項の数 9 (全 10 頁)

(21) 出願番号	特願2006-20708 (P2006-20708)	(73) 特許権者	000006013
(22) 出願日	平成18年1月30日(2006.1.30)		三菱電機株式会社
(65) 公開番号	特開2007-202028 (P2007-202028A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成19年8月9日(2007.8.9)	(74) 代理人	100082175
審査請求日	平成21年1月23日(2009.1.23)		弁理士 高田 守
		(74) 代理人	100106150
			弁理士 高橋 英樹
		(72) 発明者	佐々木 善伸
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		(72) 発明者	宮下 美代
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		審査官	佐藤 当秀
			最終頁に続く

(54) 【発明の名称】 高耐電力スイッチ

(57) 【特許請求の範囲】

【請求項 1】

入力端子と第 1 の出力端子の間に直列接続された、伝送線路、第 1 のインダクタ及び第 2 のインダクタと、

前記第 1 のインダクタと前記第 2 のインダクタとの接続点にソース又はドレインの一端が接続され、他端が接地された第 1 のトランジスタと、

前記入力端子と第 2 の出力端子の間に設けられた並列共振回路と、

前記第 2 の出力端子と接地点との間に設けられた直列共振回路と、

前記直列共振回路と並列接続された第 1 のキャパシタとを備え、

前記第 1 のインダクタと前記第 2 のインダクタは、前記第 1 のトランジスタのオフ容量と共に低域通過フィルタを形成し、

前記並列共振回路は、並列接続された第 2 のトランジスタと第 3 のインダクタとを有し、

前記直列共振回路は、直列接続された第 3 のトランジスタと第 4 のインダクタとを有し、

前記第 1 のキャパシタは、前記第 3 のトランジスタが ON の時に前記直列共振回路と共振してオープン状態になることを特徴とする高耐電力スイッチ。

【請求項 2】

前記並列共振回路と前記直列共振回路の接続点と前記第 2 の出力端子との間に直列接続された第 5 のインダクタ及び第 2 のキャパシタを更に有することを特徴とする請求項 1 に

10

20

記載の高耐電力スイッチ。

【請求項 3】

前記第 5 のインダクタ及び前記第 2 のキャパシタからなる回路を、それぞれ共振周波数を変えて 2 段以上並列接続してスタガ同調させていることを特徴とする請求項 2 に記載の高耐電力スイッチ。

【請求項 4】

前記並列共振回路を、それぞれ共振周波数を変えて 2 段以上直列接続してスタガ同調させていることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の高耐電力スイッチ。

【請求項 5】

前記直列共振回路と前記第 1 のキャパシタの対を、それぞれ共振周波数を変えて 2 段以上並列接続してスタガ同調させていることを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の高耐電力スイッチ。

10

【請求項 6】

前記第 1 のインダクタ、前記第 2 のインダクタ及び前記第 1 のトランジスタからなる低域通過フィルタを 2 段以上直列接続したことを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の高耐電力スイッチ。

【請求項 7】

前記並列共振回路及び前記直列共振回路からなる帯域阻止フィルタが阻止する帯域の中心周波数と、前記第 1 のキャパシタ、前記第 4 のインダクタ、前記第 5 のインダクタ及び前記第 2 のキャパシタからなる帯域通過フィルタが通過する帯域の中心周波数とが異なることを特徴とする請求項 2 に記載の高耐電力スイッチ。

20

【請求項 8】

前記入力端子と前記第 2 の出力端子の間に設けられた、前記並列共振回路、前記直列共振回路及び前記第 1 のキャパシタからなる回路を、前記入力端子への接続点と前記第 2 の出力端子への接続点を基準として、それぞれ共振周波数を変えて 2 段以上直列接続してスタガ同調させていることを特徴とする請求項 1 ~ 7 の何れか 1 項に記載の高耐電力スイッチ。

【請求項 9】

入力端子と第 1 の出力端子の間に直列接続された、第 1 の伝送線路、第 1 のインダクタ及び第 2 のインダクタと、

30

前記第 1 のインダクタと前記第 2 のインダクタとの接続点にソース又はドレインの一端が接続され、他端が接地された第 1 のトランジスタと、

前記入力端子と第 2 の出力端子の間に設けられた第 2 の伝送線路と、

前記第 2 の出力端子と接地点との間に設けられた直列共振回路と、

前記直列共振回路と並列接続された第 1 のキャパシタとを備え、

前記第 1 のインダクタと前記第 2 のインダクタは、前記第 1 のトランジスタのオフ容量と共に低域通過フィルタを形成し、

前記直列共振回路は、直列接続された第 2 のトランジスタと第 3 のインダクタとを有し、

前記第 1 のキャパシタは、前記第 2 のトランジスタが ON の時に前記直列共振回路と共振してオープン状態になることを特徴とする高耐電力スイッチ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、数十 MHz 以上の高周波帯で動作する高耐電力スイッチに関するものである。

【背景技術】

【0002】

トランジスタを用いた高耐電力スイッチは、マイクロ波帯やミリ波帯におけるフェーズアレーアンテナや各種伝送回路において広く用いられている（例えば、特許文献 1 参照）

50

。

## 【 0 0 0 3 】

図 9 は、高耐電力スイッチを用いた送受信器を示す図である。まず、信号を送信する場合、送信端子 1 から入力された R F 信号は、高出力増幅器 2 により増幅され、サーキュレータ 3 を通ってアンテナ 4 から送信される。この際、送信電力の一部が受信経路に入ってきてしまう。そこで、低雑音増幅器 6 とサーキュレータ 3 の間に高耐電力スイッチ 5 を挿入する。そして、高耐電力スイッチ 5 により、サーキュレータ 3 とダミー抵抗 7 を接続して、サーキュレータ 3 から低雑音増幅器 6 への電力の入力を抑制する。この際、高耐電力スイッチ 5 に高電力が入力される場合がある。

## 【 0 0 0 4 】

一方、信号を受信する場合、高耐電力スイッチ 5 により、サーキュレータ 3 と低雑音増幅器 6 を接続し、アンテナ 4 からの信号が高耐電力スイッチ 5 及び低雑音増幅器 6 を通して、受信端子 8 に出力される。この際に取り扱う電力は非常に小さいため、高耐電力スイッチ 5 の損失は極力小さくする必要がある。

## 【 0 0 0 5 】

図 10 は、従来の高耐電力スイッチを示す図である。図示のように、入力端子 1 1 と受信端子 1 2 の間に、キャパシタ 1 3 と、線路長が所望の波長の  $1/4$  である伝送線路 1 4 と、キャパシタ 1 5 が直列接続されている。そして、トランジスタ 1 6 のソース又はドレインの一端が伝送線路 1 4 とキャパシタ 1 5 との接続点に接続され、その他端が接地されている。さらに、トランジスタ 1 6 に並列にインダクタ 1 7 が設けられている。

## 【 0 0 0 6 】

また、入力端子 1 1 とダミー端子 1 8 の間、具体的にはキャパシタ 1 3 と伝送線路 1 4 との接続点（以下、分岐点と呼ぶ。）とダミー端子 1 8 の間に、並列共振回路 1 9 が設けられている。この並列共振回路 1 9 は、並列接続されたトランジスタ 2 0 とインダクタ 2 1 とを有する。

## 【 0 0 0 7 】

ここで、キャパシタ 1 3、1 5 は、D C カット用のコンデンサである。そして、インダクタ 1 7 は、トランジスタ 1 6 が O F F のとき、そのオフ容量と共振して所定の周波数でオープン状態になるよう設計されている。また、インダクタ 2 1 も、同様に、トランジスタ 2 0 が O F F のとき、そのオフ容量と共振して所望周波数でオープン状態になるよう設計されている。

## 【 0 0 0 8 】

次に、従来の高耐電力スイッチの動作について説明する。まず、入力端子 1 1 とダミー端子 1 8 を接続する場合は、トランジスタ 1 6、2 0 の制御端子 V c 1、V c 2 に 0 V を印加し、トランジスタ 1 6、2 0 を O N とする。この場合、分岐点は、線路長が所望の波長の  $1/4$  である伝送線路 1 4 及びトランジスタ 1 6 を介して接地されるため、分岐点と受信端子 1 2 の間はオープン状態となる。従って、入力端子 1 1 と受信端子 1 2 の間はオープン状態となる。この状態では、トランジスタ 1 6、2 0 のソース・ドレイン間には多くの電流が流れるが電圧が小さいため、トランジスタ 1 6、2 0 のサイズを最適化することで大電力を扱うことができる。

## 【 0 0 0 9 】

一方、入力端子 1 1 と受信端子 1 2 を接続する場合は、トランジスタ 1 6、2 0 の制御端子 V c 1、V c 2 にピンチオフ電圧以下の例えば - 5 V を印加し、トランジスタ 1 6、2 0 を O F F とする。トランジスタ 1 6 とインダクタ 1 7 及びトランジスタ 2 0 とインダクタ 2 1 は、それぞれ共振してオープン状態となるため、入力端子 1 1 とダミー端子 1 8 はオープン状態となり、入力端子 1 1 と受信端子 1 2 は接続状態となる。この状態では、トランジスタ 1 6、2 0 のソース・ドレイン間に電圧が発生するため、大電力は扱えない。

。

## 【 0 0 1 0 】

【特許文献 1】特開 2 0 0 2 - 1 6 4 7 0 3 号公報

10

20

30

40

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0011】

従来の高耐電力スイッチは、入力端子11とダミー端子18との間に挿入されている並列共振回路19の阻止帯域が狭いために、入力端子11から受信端子12に小電力の信号を低損失で通過させることができる動作帯域が狭く、製造ばらつきによる容量変化やトランジスタのパラメータ変化に対して敏感であるという問題があった。

## 【0012】

本発明は、上述のような課題を解決するためになされたもので、その目的は、動作帯域が広く、製造ばらつきに強い高耐電力スイッチを得るものである。

10

## 【課題を解決するための手段】

## 【0013】

本発明に係る高耐電力スイッチは、入力端子と第1の出力端子の間に直列接続された、伝送線路、第1のインダクタ及び第2のインダクタと、第1のインダクタと第2のインダクタとの接続点にソース又はドレインの一端が接続され、他端が接地された第1のトランジスタと、入力端子と第2の出力端子の間に設けられた並列共振回路と、第2の出力端子と接地点との間に設けられた直列共振回路と、直列共振回路と並列接続された第1のキャパシタとを備え、第1のインダクタと第2のインダクタは第1のトランジスタのオフ容量と共に低域通過フィルタを形成し、並列共振回路は、並列接続された第2のトランジスタと第3のインダクタとを有し、直列共振回路は、直列接続された第3のトランジスタと第4のインダクタとを有し、第1のキャパシタは、第3のトランジスタがONの時に直列共振回路と共振してオープン状態になる。本発明のその他の特徴は以下に明らかにする。

20

## 【発明の効果】

## 【0014】

本発明により、動作帯域が広く、製造ばらつきに強い高耐電力スイッチを得るを得ることができる。

## 【発明を実施するための最良の形態】

## 【0015】

実施の形態1.

図1は、本発明の実施の形態1に係る高耐電力スイッチを示す図である。図示のように、入力端子11と受信端子12（第1の出力端子）の間に、キャパシタ13と、線路長が所望の波長の $1/4$ である伝送線路14と、インダクタ22（第1のインダクタ）と、インダクタ23（第2のインダクタ）と、キャパシタ15が直列接続されている。そして、トランジスタ16（第1のトランジスタ）のソース又はドレインの一端がインダクタ22とインダクタ23との接続点に接続され、その他端が接地されている。

30

## 【0016】

また、入力端子11とダミー端子18（第2の出力端子）の間、具体的にはキャパシタ13と伝送線路14との接続点（以下、分岐点と呼ぶ。）とダミー端子18との間に、並列共振回路19が設けられている。この並列共振回路19は、並列接続されたトランジスタ20（第2のトランジスタ）とインダクタ21（第3のインダクタ）とを有する。

40

## 【0017】

また、ダミー端子18と接地点との間に直列共振回路24が設けられている。この直列共振回路24は、直列接続されたトランジスタ25（第3のトランジスタ）とインダクタ26（第4のインダクタ）とを有する。また、キャパシタ27（第1のキャパシタ）が、直列共振回路24と並列接続されている。そして、キャパシタ27は、トランジスタ25がONの時に直列共振回路24と共振してオープン状態になるように設計されている。

## 【0018】

次に、上記の高耐電力スイッチの動作について説明する。まず、入力端子11と受信端子12を接続する場合、トランジスタ16、20、25の制御端子Vc1、Vc2、Vc3にピンチオフよりも低い電圧、例えば-5Vが印加され、各トランジスタはOFFとな

50

る。このときインダクタ22、23は、トランジスタ16のオフ容量と共に低域通過フィルタ28を形成する。このため、所定の帯域において低損失で入力端子11と受信端子12とを接続することができる。一方、トランジスタ20とインダクタ21が共振することで、入力端子11とダミー端子18は遮断される。また、トランジスタ25とインダクタ26が共振することで、ダミー端子18は低インピーダンスで接地される。これにより、入力端子11とダミー端子18間のアイソレーション量は大きくなる。

#### 【0019】

次に、入力端子11とダミー端子18を接続する場合、トランジスタ16、20、25の制御端子Vc1、Vc2、Vc3に0Vが印加され、各トランジスタはONとなる。分岐点と受信端子12の間は、伝送線路14を介してトランジスタ16により接地されているので、オープン状態となる。インダクタ26とキャパシタ27は共振によりオープン状態となり、入力端子11とダミー端子18間はトランジスタ20により接続される。

10

#### 【0020】

このように、各トランジスタをONとした場合、各トランジスタの両端に高い電圧が発生することがないため、従来の高耐電力スイッチと同様に入力端子11からダミー端子18に大電力の信号を通過させることができる。

#### 【0021】

また、各トランジスタをOFFとした場合、入力端子11からダミー端子18への電力は、並列共振回路19及び直列共振回路24からなる帯域阻止回路により反射され、ダミー端子18への漏れ電力が少なくなる。また、トランジスタ20、25、インダクタ21、26で構成される回路は、回路定数を最適化することにより、バンドリジエクションフィルタを構成することができる。これにより、広帯域に渡って入力端子11とダミー端子18を切断することができるため、動作帯域が広く、製造ばらつきに強いスイッチを得ることができる。

20

#### 【0022】

なお、本実施の形態では制御用デバイスとしてトランジスタを用いたが、これに限らず、ONとOFFの容量差を実現できるものであればよく、例えば制御回路付きのダイオードや、MEMSなどでもよい。また、インダクタとして、基板上に構成されたスパイラルインダクタや、高い特性インピーダンスを有する伝送線路を用いてもよい。そして、キャパシタとして、基板上に構成されたMIMキャパシタや、インターデジタルキャパシタを用いてもよい。また、本実施の形態では、大電力の信号を入力する際に受信回路を保護する高耐電力スイッチについて説明したが、これに限らず、本発明は、一般的な高耐電力スイッチにも適用することができる。そして、大電力の信号と小電力の信号の周波数は、同一の周波数でも、異なる周波数でもよい。

30

#### 【0023】

実施の形態2.

図2は、本実施の形態に係る高耐電力スイッチを示す回路図である。この高耐電力スイッチは、実施の形態1の構成に加えて、並列共振回路19と直列共振回路24の接続点Aとダミー端子18との間に設けられた、直列接続したインダクタ29（第5のインダクタ）及びキャパシタ30（第2のキャパシタ）を有する。その他の構成は実施の形態1と同様である。

40

#### 【0024】

ここで、トランジスタ20、25は、ONとなると等価回路としてはショートと同じ役割となる。この場合に、インダクタ26、29、キャパシタ27、30、トランジスタ25により、所望の帯域を通過するバンドパスフィルタが構成されるように各パラメータを設定する。

#### 【0025】

これにより、更に広い帯域に渡って入力端子11とダミー端子18を切断することができるため、実施の形態1よりも動作帯域が広く、製造ばらつきに強いスイッチを得ることができる。

50

## 【 0 0 2 6 】

実施の形態 3 .

図 3 は、本実施の形態に係る高耐電力スイッチを示す回路図である。この高耐電力スイッチは、インダクタ 2 9 及びキャパシタ 3 0 からなる回路 3 1 を、それぞれ共振周波数を変えて 2 段以上並列接続してスタガ同調させている。その他の構成は実施の形態 2 と同様である。これにより、阻止帯域は各段の阻止帯域の重ねあわせとなるため、更に広帯域に渡って入力端子 1 1 とダミー端子 1 8 を切断することができるため、実施の形態 2 よりも更に動作帯域が広く、製造ばらつきに強いスイッチを得ることができる。

## 【 0 0 2 7 】

実施の形態 4 .

図 4 は、本実施の形態に係る高耐電力スイッチを示す回路図である。この高耐電力スイッチは、並列共振回路 1 9 を、それぞれ共振周波数を変えて 2 段以上直列接続してスタガ同調させている。その他の構成は実施の形態 1 と同様である。

## 【 0 0 2 8 】

これにより、阻止帯域は各段の阻止帯域の重ねあわせとなるため、更に広帯域に渡って入力端子 1 1 とダミー端子 1 8 を切断することができるため、実施の形態 1 よりも動作帯域が広く、製造ばらつきに強いスイッチを得ることができる。

## 【 0 0 2 9 】

実施の形態 5 .

図 5 は、本実施の形態に係る高耐電力スイッチを示す回路図である。この高耐電力スイッチは、直列共振回路 2 4 とキャパシタ 2 7 の対を、それぞれ共振周波数を変えて 2 段以上並列に接続してスタガ同調させている。その他の構成は実施の形態 1 と同様である。

## 【 0 0 3 0 】

これにより、阻止帯域は各段の阻止帯域の重ねあわせとなるため、更に広帯域に渡って入力端子 1 1 とダミー端子 1 8 を切断することができるため、実施の形態 1 よりも動作帯域が広く、製造ばらつきに強いスイッチを得ることができる。

## 【 0 0 3 1 】

実施の形態 6 .

図 6 は、本実施の形態に係る高耐電力スイッチを示す回路図である。この高耐電力スイッチは、インダクタ 2 2 , 2 3 及びトランジスタ 1 6 からなる T 型の低域通過フィルタ 2 8 を 2 段以上直列接続して分布型構成としている。

## 【 0 0 3 2 】

これにより、実施の形態 1 よりも動作帯域が広く、製造ばらつきに強いスイッチを得ることができる。また、トランジスタ 1 6 が並列に接続されるため、大信号入力時に接地点に接続される接続点 B の数が増えてアイソレーションが大きくなるため、受信端子 1 2 側への漏れ電力を低減することができる。

## 【 0 0 3 3 】

実施の形態 7 .

本実施の形態では、実施の形態 2 に係る高耐電力スイッチにおいて、入力端子 1 1 から受信端子 1 2 に小信号を通過させる際に、並列共振回路 1 9 及び直列共振回路 2 4 からなる帯域阻止フィルタが阻止する帯域の中心周波数と、入力端子 1 1 からダミー端子 1 8 に大信号を通過させる際に、キャパシタ 2 7 , 3 0 、インダクタ 2 6 , 2 9 からなる帯域通過フィルタが通過する帯域の中心周波数とが異なるように設定している。

## 【 0 0 3 4 】

具体的には、インダクタ 2 9 及びキャパシタ 3 0 からなる回路 3 1 は、実施の形態 2 では入力端子 1 1 とダミー端子 1 8 を接続する場合の帯域のほぼ中心で低インピーダンスとなるように設定されているが、本実施の形態では、この帯域をずらす。

## 【 0 0 3 5 】

これにより、入力端子 1 1 から受信端子 1 2 に小信号を通過させる際に、接続点 A からダミー端子 1 8 を見込むインピーダンスが高くなるため、入力端子 1 1 とダミー端子 1 8

10

20

30

40

50

の間のアイソレーションを大きくすることができる。

【 0 0 3 6 】

実施の形態 8 .

図 7 は、本実施の形態に係る高耐電力スイッチを示す回路図である。この高耐電力スイッチは、並列共振回路 1 9、直列共振回路 2 4 及びキャパシタ 2 7 からなる帯域阻止回路 3 2 を、それぞれ共振周波数を変えて 2 段以上直列接続してスタガ同調させている。これにより、更に広帯域に渡って入力端子 1 1 とダミー端子 1 8 を切断することができるため、実施の形態 1 よりも動作帯域が広く、製造ばらつきに強いスイッチを得ることができる。

【 0 0 3 7 】

10

実施の形態 9 .

図 8 は、本実施の形態に係る高耐電力スイッチを示す回路図である。この高耐電力スイッチは、実施の形態 1 において並列共振回路 1 9 を、線路長が所望の波長の  $1/4$  である伝送線路 3 3 (第 2 の伝送線路) に置き換えたものである。

【 0 0 3 8 】

入力端子 1 1 から受信端子 1 2 に小信号を通過させる際に、ダミー端子 1 8 は接地されているため、伝送線路 3 3 に置き換えても高いアイソレーションを維持できる。従って、実施の形態 1 と同様の効果を奏する。さらに、トランジスタ 2 0 を使った並列共振回路 1 9 に比べて製造ばらつきが小さいという効果もある。

【図面の簡単な説明】

20

【 0 0 3 9 】

【図 1】本発明の実施の形態 1 に係る高耐電力スイッチを示す回路図である。

【図 2】本発明の実施の形態 2 に係る高耐電力スイッチを示す回路図である。

【図 3】本発明の実施の形態 3 に係る高耐電力スイッチを示す回路図である。

【図 4】本発明の実施の形態 4 に係る高耐電力スイッチを示す回路図である。

【図 5】本発明の実施の形態 5 に係る高耐電力スイッチを示す回路図である。

【図 6】本発明の実施の形態 6 に係る高耐電力スイッチを示す回路図である。

【図 7】本発明の実施の形態 8 に係る高耐電力スイッチを示す回路図である。

【図 8】本発明の実施の形態 9 に係る高耐電力スイッチを示す回路図である。

【図 9】高耐電力スイッチを用いた送受信器を示す図である。

30

【図 10】従来の高耐電力スイッチを示す図である。

【符号の説明】

【 0 0 4 0 】

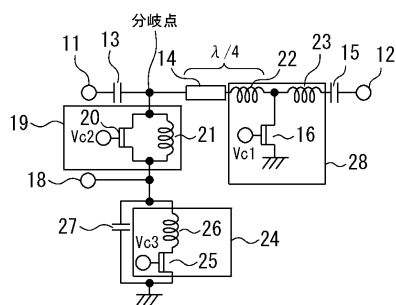
- 1 1 入力端子
- 1 2 受信端子 (第 1 の出力端子)
- 1 4 伝送線路 (第 1 の伝送線路)
- 1 6 トランジスタ (第 1 のトランジスタ)
- 1 8 ダミー端子 (第 2 の出力端子)
- 1 9 並列共振回路
- 2 0 トランジスタ (第 2 のトランジスタ)
- 2 1 インダクタ (第 3 のインダクタ)
- 2 2 インダクタ (第 1 のインダクタ)
- 2 3 インダクタ (第 2 のインダクタ)
- 2 4 直列共振回路
- 2 5 トランジスタ (第 3 のトランジスタ)
- 2 6 インダクタ (第 4 のインダクタ)
- 2 7 キャパシタ (第 1 のキャパシタ)
- 2 8 低域通過フィルタ
- 2 9 インダクタ (第 5 のインダクタ)
- 3 0 キャパシタ (第 2 のキャパシタ)

40

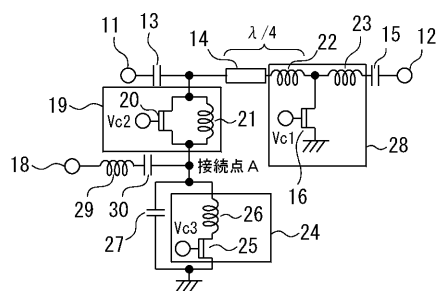
50

- 3 1 回路
- 3 2 帯域阻止回路
- 3 3 伝送線路 ( 第 2 の伝送線路 )

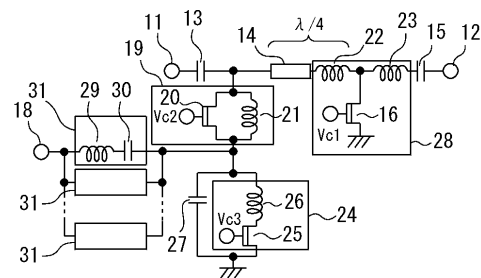
【 図 1 】



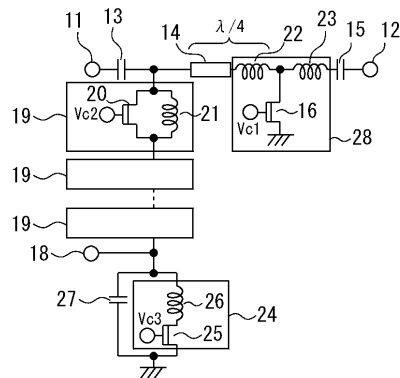
【 図 2 】



【 図 3 】

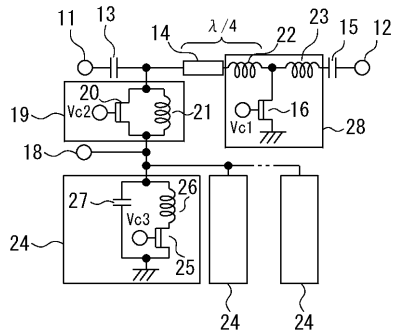


【 図 4 】

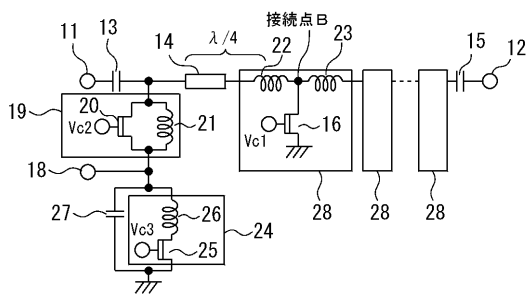




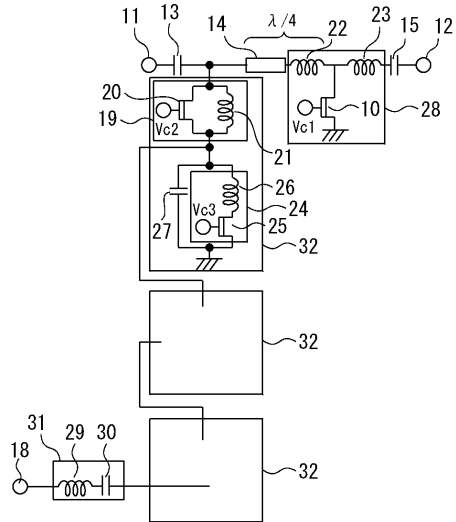
【図 5】



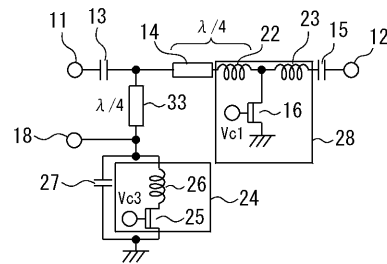
【図 6】



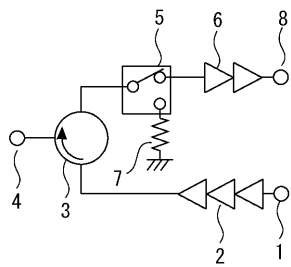
【図 7】



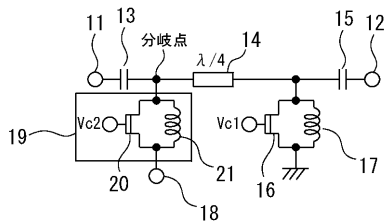
【図 8】



【図 9】



【図 10】



---

フロントページの続き

(56)参考文献 特開2002-164703(JP,A)  
特開平07-074604(JP,A)  
特開平09-008501(JP,A)  
特開2001-144502(JP,A)  
国際公開第2005/093894(WO,A1)  
特開2001-016002(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01G 4/40  
H01P 1/00