

申請日期	91 年 12 月 31 日
案 號	91138086
類 別	H01L29/786 21/335

(以上各欄由本局填註)

A4
C4

200301967

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	Semiconductor device and method of manufacturing the same
二、發明 創作人	姓 名	(1) 椎木美香
	國 籍	(1) 日本國千葉縣千葉市美濱區中瀬一丁目八番地精工電子有限公司內
	住、居所	
三、申請人	姓 名 (名稱)	(1) 精工電子有限公司 セイコーインスツルメンツ株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國千葉縣千葉市美濱區中瀬一丁目八番地
	代 表 人 姓 名	(1) 入江昭夫

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本	2002 年 1 月 10 日	2002-003490	☒ 有主張優先權
日本	2002 年 7 月 3 日	2002-195064	☒ 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明(1)

發明所屬之技術領域：

本發明係關於一種半導體裝置，尤指一種使用薄膜電晶體之增殖(breeder)電阻電路，及具有此增殖電阻電路之半導體裝置，及其製造方法。

先前技術：

應用中的是許多像圖16中所示之使用薄膜電晶體的增殖(breeder)電阻電路，而增殖電阻電路此一名詞表示從電源電壓取得預定之電壓的電路。在增殖電阻電路中，多個串聯配置之電阻元件被連接，並實施分壓藉以取得預定之電壓。替換地，電源電壓之預定比值被輸入。

一MOS電晶體134被形成於矽半導體基板101上，此MOS電晶體134被形成於矽半導體基板101上，而一源極區131與一汲極區132彼此分開。一多晶矽閘極電極133被形成於矽半導體基板101上，經過一閘極絕緣膜100，在源極區131與汲極區132之間。一用以隔開元件之場絕緣膜135被形成於矽半導體基板101上，在MOS電晶體134的周圍中。一多晶矽薄膜電晶體139(其變成一電阻元件)被形成於場絕緣膜135上，此多晶矽薄膜電晶體139變成一部分增殖電阻電路的電阻器。一中間絕緣膜140被形成於多晶矽薄膜電晶體139上，並且源極區131、汲極區132、及多晶矽薄膜電晶體139藉由形成於接觸孔中之鋁導線來予以導線連接，而接觸孔被形成在中間絕緣膜140中。

已知幾種配置，其與薄膜電晶體139上之導線的電位或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

薄膜電晶體139下方之導體的電位無關。此外，多晶矽常常被用來當作薄膜電阻器材料，並且多晶矽係已知的，其具有膜厚度被設定為和MOS電晶體134之閘極電極133的厚度相同，且具有相同的極性，而且具有用於下面諸情況之溫度特性，在這些情況中，MOS電晶體134與其一起組合而被安裝在同一晶片內。

但是，使用習知薄膜電晶體之增殖電阻電路會有分壓比值常常係不正確的問題，薄膜電阻器之電阻值由於周圍的電位而改變，特別是由於周圍之電位的差異。此外，對於習知增殖電阻電路來說，其中，MOS電晶體134與其一起組合而被安裝在同一晶片內，由於多晶矽薄膜電阻器之溫度而在電阻值上的改變(電阻值溫度係數)係大的，並且會有在廣大範圍的溫度上不能夠獲得到良好的分壓精確度的問題。

發明內容：

為了解決前述問題，本發明之目的在於提供一種高精確度增殖(breeder)電阻電路，其具有準確的分壓比值，而沒有電阻值的溫度係數。除此之外，本發明之目的在於提供一種具有高精確度而沒有溫度係數的半導體裝置，其使用增殖電阻電路，舉例來說，電壓偵測器、電壓調整器等等。

被使用來達成前述目的之第一機構係與本發明之半導體裝置有關，其中，使用薄膜電阻器之增殖電阻電路具有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

薄膜電阻器上之導線的電位，並且薄膜電阻器下方之導體的電位幾乎等於各電阻器之電位，這是因為薄膜電阻器的電阻值依據使用薄膜電阻器(特別是多晶矽薄膜電阻器)之增殖電阻電路上導線的電位，及其下方之導體的電位而改變之事實已經變得很清楚。

被使用來達成前述目的之第二機構係與本發明之半導體裝置有關，其中，增殖電阻電路之多晶矽薄膜電阻器的膜厚度被做成比與其一起組合而被安裝在同一晶片內之MOS電晶體閘極電極的膜厚度還薄，這是因為當薄膜電阻器(特別是多晶矽薄膜電阻器)的膜厚度變得較薄時，電阻值上的分散變得較小之事實，以及即使有相同的薄片電阻，電阻值的溫度依賴性變得較小之事實係清楚的。

被使用來達成前述目的之第三機構係與本發明之半導體裝置有關，其中，p-型雜質被用來做為引導入增殖電阻電路之多晶矽薄膜電阻器中的雜質，這是因為由本發明之發明人所實施的實驗使其清楚，如果引導入薄膜電阻器中之雜質為p-型，則電阻值上的分散變得較小。

被使用來達成前述目的之第四機構係與本發明之半導體裝置有關，其中，增殖電阻電路之多晶矽薄膜電阻器的電阻值被設定為 $700\Omega/\text{square}$ 到 $1\text{K}\Omega/\text{square}$ ，這是因為當薄片電阻係從 $700\Omega/\text{square}$ 到 $1\text{K}\Omega/\text{square}$ 時，薄膜電阻器之電阻值的溫度依賴性係從0到 $100\text{ppm}/^\circ\text{C}$ 。

依據本發明之半導體裝置，藉由使薄膜電阻器上之導線的電位及薄膜電阻器下方之導體的電位幾乎等於使用薄

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

膜電阻器之增殖電阻電路中各電阻器的電位，以及藉由消除溫度特性，能夠達成具有準確之分壓比值的高精確度增殖電阻電路。對於各種情況來說，特別是多晶矽被使用於薄膜電阻器中的情況，本發明之半導體裝置能夠抑制電阻值上的分散，並且能夠消除電阻值的溫度依賴性，其係藉由使增殖電阻電路中之多晶矽薄膜電阻器的膜厚度薄，且除此之外，藉由將p-型雜質引導入多晶矽中。

藉由使用此類型之增殖電阻電路，能夠獲得到具有高精確度及小的溫度係數之半導體裝置，例如，電壓偵測器、電壓調整器。

圖式簡單說明：

在伴隨之圖形中：

圖1係顯示本發明之半導體裝置之增殖電阻電路區域實施例的示意剖面圖；

圖2係顯示本發明之半導體裝置之增殖電阻電路區域另一實施例的示意剖面圖；

圖3係顯示本發明之半導體裝置之增殖電阻電路區域實施例一部分的放大示意剖面圖；

圖4係顯示對於5-伏電位被施加於具有10仟-歐姆之薄片電阻的多晶矽電阻器之上側部分上的鋁導線之情況，介於多晶矽電阻器之電阻值上的偏移與多晶矽電阻器之膜厚度間關係的圖形；

圖5係顯示本發明之半導體裝置實施例之增殖電阻電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

的電路圖；

圖6係顯示組構一具有 $1000\text{\AA}$ 之膜厚度及 $10\text{ K}\Omega/\text{square}$ 之薄片電阻的增殖電路之p-型及n-型多晶矽薄膜電阻器的長度，與分壓輸出誤差間之關係的圖形；

圖7係顯示本發明之半導體裝置另一實施例的示意剖面圖；

圖8係顯示在增殖電阻電路中所使用之且具有10仟-歐姆之薄片電阻的多晶矽電阻器之電阻值的溫度係數(TC)，與多晶矽電阻器之膜厚度間關係的圖形；

圖9係顯示在具有 $1000\text{\AA}$ 之膜厚度的多晶矽膜中，當使用 BF_3 做為p-型雜質，及使用磷做為n-型雜質時，介於薄片電阻值與溫度係數間之關係的圖形；

圖10係顯示本發明之半導體裝置另一實施例的示意剖面圖；

圖11係顯示本發明之半導體裝置另一實施例的示意剖面圖；

圖12係使用依據本發明之增殖電阻電路的電壓偵測器實施例的方塊圖；

圖13係使用依據本發明之增殖電阻電路的電壓調整器實施例的方塊圖；

圖14A到圖14F係顯示依據本發明之半導體裝置的製造方法實施例的示意剖面圖；

圖15A到圖15F係顯示依據本發明之半導體裝置的製造方法另一實施例的示意剖面圖；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

圖16係顯示習知之半導體裝置的示意剖面圖。

符號說明

100	閘極絕緣膜
101	矽半導體基板
102	矽氧化物膜
103	p-型雜質區域
104	高電阻區域
105, 106, 107, 807	多晶矽電阻器
131, 810	源極區域
132, 811	汲極區域
133	多晶矽閘極電極
134	MOS電晶體
135	場絕緣膜
138	高電阻區域
139, 155	多晶矽薄膜電阻器
140, 812	中間絕緣膜
152	金屬導線
153	區域
154	電阻區域
156	第二絕緣膜
201, 202, 203, 204	導線
301, 302, 303	p-型井區域
401, 402, 403	n-型多晶矽薄膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

- 404, 151, 902 第一絕緣膜
- 405 第二絕緣膜
- 506, 606, 157, 813 接觸孔
- 701 參考電壓電路
- 702 增殖電阻電路
- 703 電流源
- 704 誤差放大器
- 705, 708 n-型電晶體
- 706 反相器
- 707, 710 p-型電晶體
- 801 n-型矽基板
- 802 p-井區域
- 803 場氧化物區域
- 804 閘極氧化物區域
- 805 多晶矽層
- 806 低電阻閘極電極
- 808 低電阻區域
- 809 高電阻區域
- 814 鋁層
- 815 保護膜
- 901 低電阻多晶矽層
- 903 共同接觸孔

實施方式：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

在下文中，將參照諸圖形來敘述本發明之較佳實施例。圖1係顯示本發明之半導體裝置之增殖(breeder)電阻電路區域實施例的示意剖面圖。

p-型井區域301, 302,及303被形成而在具有低濃度之n-型雜質的矽半導體基板101內分隔開。從防止矽半導體基板101之空乏的觀點來看，井區域301, 302,及303的雜質濃度約略等於或大於矽半導體基板101之表面中的 1×10^{16} atoms/cm³係較佳的。雖然被稱為井區域，可以施加高的雜質濃度。

一矽氧化物膜102被形成於矽半導體基板101上，並且多晶矽電阻器105, 106,及107被形成於矽氧化物膜102上。此外，p-型雜質區域103依序被形成於多晶矽電阻器105, 106,及107上，以接觸外部導線。由鋁所做的導線201, 202, 203,及204各自被連接至p-型雜質區域103。此外，如圖1所示，導線201, 202, 203,及204分別電連接鄰近之多晶矽電阻器105, 106,及107的p-型雜質區域103。除此之外，導線201, 202, 203,及204被形成，以便各自經由中間絕緣膜140而被配置於多晶矽電阻器105, 106,及107的一側上。

雖然在此未顯示於圖形中，井區域301被電連接至導線202，並且具有相同的電位，井區域302被電連接至導線203，並且具有相同的電位，井區域303被電連接至導線204，並且具有相同的電位。也就是說，多晶矽電阻器105, 106,及107各自經過絕緣膜而被導線202, 203,及204環繞於他們的上表面及下表面上，多晶矽電阻器105, 106,及107各自之周圍上的電位幾乎被維持在環繞之導線及雜質區域的電位。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

多晶矽電阻器105之高電阻區域104的電位及多晶矽電阻器105之上側部分上之導線的電位因此係處在幾乎等於多晶矽電阻器105下方的部分中之井區域301的電位之狀態。類似的關係存在於多晶矽電阻器106與107之間，配置在多晶矽電阻器106與107之上側部分上的導線203與204之間，以及配置在多晶矽電阻器106與107下方之部分中的井區域302與303之間。多晶矽電阻器105, 106,及107各自之電阻值因此藉由使多晶矽電阻器他們本身的電位和配置在多晶矽電阻器上之導線及配置在多晶矽電阻器下方之井區域的電位相等而被正確地維持著。注意，如果有想要形成較薄的矽氧化物膜102，藉由使用具有矽氮化物膜之合成膜做為基板，能夠使矽半導體基板101與多晶矽電阻器105, 106,及107之間的絕緣保持係高的。

此外，矽半導體基板101的導電類型可以是p-型，而且如果是這樣，則賦予井區域301, 302,及303為n-型導電類型。此外，對多晶矽電阻器105, 106,及107的數目沒有限制，並且其可以依據在增殖電阻電路中所需要之分壓的數目來予以設定。除此之外，雖然未顯示於圖形中，井區域301, 302,及303可以根據幾個電阻器而被配置在一起，或者被集體配置而沒有任何分隔，如果其難以分開且將井區域配置於各電阻器中，因為增殖電阻電路的高整合性被給予最高的優先權。因為如此做，所以小量的分壓精確度被犧牲掉，但是對圖1所示之實施例來說，這是次佳的事情。

此外，雖然使用圖1來做成解釋，而在圖1中，矽半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

體基板101為n-型，且井區域301, 302,及303為p-型，矽半導體基板101也可以是p-型，且井區域301, 302,及303也可以是n-型。除此之外，在圖1中，導線係由鋁所做的，但是，導線也可以使用一阻障金屬及一矽化物膜的疊層膜，阻障金屬這一個專有名詞表示具有優越的耐腐蝕性及耐環境特性之保護塗敷膜，其被形成在導線的下面，以便確保半導體裝置的可靠度被維持，並且使半導體裝置具有長的壽命。本發明使用TiN及Ti的疊層膜做為阻障金屬，而且Al-Si-Cu被用作矽化物膜。注意，矽化物膜也可以是Al-Si。

圖2係顯示本發明之半導體裝置之增殖電阻電路區域另一實施例的示意剖面圖。矽氧化物膜102被形成於矽半導體基板101上，並且經圖案化之高濃度n-型多晶矽薄膜401, 402,及403被形成於矽氧化物膜102上。多晶矽電阻器105, 106,及107經過由矽氧化物膜等所做的第一絕緣膜404而被形成於高濃度n-型多晶矽薄膜401, 402,及403上。

此外，鋁導線201, 202,及203經過由矽氧化物膜等所做的第二絕緣膜405而被形成於多晶矽電阻器105, 106,及107上，並且分別經由接觸孔506及606而被連接至多晶矽電阻器105, 106,及107的高濃度p-型雜質區域103，及連接至高濃度n-型多晶矽薄膜401, 402,及403。因此，獲得到一種狀態，在此狀態中，多晶矽電阻器105之高電阻區域104的電位、其上側部分中之導線202的電位、及在高電阻區域104下方之高濃度n-型多晶矽薄膜401的電位係幾乎相等的。

多晶矽電阻器106及107、分別配置在多晶矽電阻器106

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(11)

及107之上側部分上的導線203與204、及分別配置在多晶矽電阻器106及107下方之高濃度n-型多晶矽薄膜402及403之間的電位關係係類似的。多晶矽電阻器105, 106,及107各自之電阻值因此藉由使多晶矽電阻器他們本身和配置在多晶矽電阻器上之導線及配置在多晶矽電阻器下方之高濃度n-型多晶矽薄膜各自的電位相等而被正確地維持著。

注意，雖然未顯示於圖形中，對於一MOS電晶體被形成於同一晶片上當作增殖電阻電路的情況來說，藉由從和用於高濃度n-型多晶矽薄膜401, 402,及403之膜相同的膜形成一閘極電極，能夠使製造的程序變得較為簡單。此外，從可靠度的觀點來看，如同由圖1之實例所討論的，對於第一絕緣膜404及第二絕緣膜405的其中一者或兩者來說，使用具有矽氮化物膜之合成膜也是有效的。此外，對多晶矽電阻器的數目沒有限制，並且其可以依據在增殖電阻電路中所需要之分壓的數目來予以設定。除此之外，在圖2中，導線係由鋁所做的，但是，導線也可以使用一阻障金屬及一矽化物膜的疊層膜。在本發明中，可以使用TiN及Ti的疊層膜來做為阻障金屬，而且Al-Si-Cu可以被用作矽化物膜。注意，Al-Si也可以被用作矽化物膜。

圖3係顯示本發明之半導體裝置之增殖電阻電路區域實施例一部分的放大示意剖面圖。不同於圖2所示的實例，在鋁導線203、高濃度p-型雜質區域103及多晶矽電阻器106之高濃度n-型多晶矽薄膜402(他們都具有相同的電位)之間的連接係經由單一接觸孔701來予以做成的。因此能夠使用以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12)

形成接觸孔之區域所佔據的面積變得較小，並且這在減小整個增殖電阻電路區域之表面積方面係有效的。藉由加上和圖2之參考數字相同的參考數字而完成對其他部分的解釋。

圖4係顯示對於0到5伏之電位被施加於具有10仟-歐姆之薄片電阻的多晶矽電阻器之上側部分上的鋁導線之情況，介於多晶矽電阻器之電阻值上的偏移(分散)與多晶矽電阻器之膜厚度間關係的圖形。

從圖4清楚地看到，當多晶矽電阻器之膜厚度變得較薄時，導線的電位較不受影響。特別是，藉由給予多晶矽電阻器幾十埃到2000 Å之等級的膜厚度，能夠使電阻值上的分散變得較小。當使用目前的製造方法(例如CVD)時，較佳使膜厚度等於或大於100 Å，以便藉由均勻且連續的膜來形成多晶矽電阻器。如果膜係不連續的，則在電阻值上的分散反而上升。

依據本發明之半導體裝置，藉由使用其中引導入p-型雜質之多晶矽薄膜電阻器，能夠獲得到具有一點點分壓輸出誤差，以及小的佔據面積之高精確度增殖電阻電路。下面將參照諸圖形來解釋本發明之較佳實施例。

圖5係顯示本發明之半導體裝置實施例之增殖電阻電路的電路圖。當電壓被施加於端點A11與端點B12之間時，從經過電阻器R1及R2之端點C13獲得到分壓 V_0 ，此分壓 V_0 被表示成下面的等式：

$$V_0 = (R_2 / (R_1 + R_2)) * V \quad \text{等式 1}$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

等式 1 的分壓 V_0 被當作是理論值，並且介於此理論值與真正測量值之間的差被當作是分壓輸出誤差，此分壓輸出誤差被表示成下面的等式：

$$\text{分壓輸出誤差} = ((| \text{理論值 } V_0 - V_0 \text{ 的真正測量值} |) / \text{理論值 } V_0) * 100 \quad \text{等式 2}$$

在此根據資料來解釋藉由改變引導至多晶矽薄膜電阻器之雜質從 n-型雜質到 p-型雜質，能夠使分壓輸出誤差變得較小之事實。

對於增殖電路來說，小的分壓輸出誤差及小的整合表面積能夠被賦予當作構成一梯形電路之多晶矽薄膜電阻器所需的特性。如果使多晶矽膜的厚度變得較薄，則低濃度雜質之濃度上的分散通常會減小，而因此增殖電路的分壓輸出誤差變得較小，而且能夠形成高精確度增殖電路。但是，如果使其中已經引導入 n-型雜質之多晶矽薄膜電阻器(在下文中被稱為 n-型多晶矽薄膜電阻器)的長度縮短，則即使使多晶矽膜厚度係薄的，分壓輸出誤差變大，因此難以使整合表面積小。但是，如果使使用 p-型多晶矽薄膜電阻器的長度縮短，則能夠使整合表面積小。使用圖 6 來解釋一實例。

圖 6 係顯示組構一具有 $1000\text{\AA}$ 之膜厚度及 $10\text{K}\Omega/\text{square}$ 之薄片電阻的增殖電路之 p-型及 n-型多晶矽薄膜電阻器的長度，與分壓輸出誤差間之關係的圖形，其顯示一實例，而在此實例中， BF_2 離子被引導入 p-型多晶矽薄膜電阻器中當作 p-型雜質，而磷被引導入 n-型多晶矽薄膜電阻器中當作 n-型

五、發明說明(14)

雜質。

從圖6能夠看到，對於由n-型多晶矽薄膜電阻器所構成之增殖電路來說，如果使多晶矽薄膜電阻器的長度變得等於或小於 $30\mu\text{m}$ ，則即使使多晶矽膜的厚度變得較薄薄到 $1000\text{\AA}$ ，不能夠保證使分壓輸出誤差保持等於或小於0.5%。但是，對於由p-型多晶矽薄膜電阻器所構成之增殖電路來說，即使多晶矽薄膜電阻器的長度為 $10\mu\text{m}$ ，也能夠保證使分壓輸出誤差變得等於或小於0.5%。

圖7係顯示本發明之半導體裝置另一實施例的示意剖面圖。MOS電晶體134被形成於矽半導體基板101上，而矽半導體基板101具有一對源極區域131及汲極區域132，和多晶矽閘極電極133，另一方面，具有高電阻區域138之多晶矽薄膜電晶體139被形成於場氧化物膜135上，而高電阻區域138被夾在高濃度雜質區域135之間，用以達成接觸到鋁導線136。爲了簡化，雖然圖7僅顯示一多晶矽薄膜電阻器，但是實際上，由許多多晶矽薄膜電阻器來構成增殖電阻電路。

在圖7中，MOS電晶體134之多晶矽閘極電極133的膜厚度和其中引導入p-型雜質之多晶矽薄膜電阻器139的膜厚度不同，而多晶矽薄膜電阻器139的膜厚度被形成得較薄。舉例來說，多晶矽閘極電極133的膜厚度可以被設定爲4000埃，而多晶矽薄膜電阻器139的膜厚度可以被設定爲1000埃。一部分的多晶矽閘極電極133必須用作導線，而因此，其具有盡可能低的薄片電阻值係較佳的。對比上，多晶矽薄膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

電阻器 139 需要具有盡可能高及準確的薄片電阻值，並且需要具有盡可能小之電阻值的溫度係數。依據目的，改變多晶矽閘極電極 133 的膜厚度，及 MOS 電晶體 134 之多晶矽薄膜電阻器 139 的厚度因此變成自然且有效的手段。爲了減小多晶矽薄膜電阻器 139 之電阻值的溫度係數，使膜厚度較薄並引進 p-型雜質係簡單的方法，而且具有大的效果。下面根據實驗數據來提出解釋。

圖 8 係顯示在增殖電阻電路中所使用之且具有 1 仟-歐姆之薄片電阻的多晶矽薄膜電阻器之電阻值的溫度係數 (TC)，與多晶矽薄膜電阻器之膜厚度間關係的圖形。已知藉由使多晶矽薄膜電阻器之膜厚度變得較薄，能夠大大地減小多晶矽薄膜電阻器之電阻值的溫度係數 (TC)，特別是，有可能使 TC 減小到一等於或小於 $-100 \text{ ppm}/^{\circ}\text{C}$ 之值，而膜厚度等於或小於 1000 埃。

圖 8 顯示一和具有 10 仟-歐姆之薄片電阻的多晶矽電阻器有關的實例。但是，由本發明之發明人所做的實驗已經顯示了，多晶矽薄膜電阻器之電阻值的溫度係數 (TC)，其具有在至少 1 到 500 仟-歐姆之範圍內的薄片電阻，能夠藉由減小多晶矽薄膜電阻器之膜厚度來予以減小。

圖 9 係顯示在具有 1000 Å 之膜厚度的多晶矽膜中，當使用 BF_3 做爲 p-型雜質，且使用磷做爲 n-型雜質時，介於薄片電阻值與溫度係數 (TC) 間之關係的圖形。圖 9 顯示在電阻值上相對於 p-型多晶矽薄膜電阻器之溫度的擾動相較於在 n-型多晶矽薄膜電阻器中所看到的擾動爲小。

五、發明說明 (16)

如果使薄片電阻值係大的，則在低濃度雜質之濃度上的分散就變大，並且分壓輸出誤差也變大。除此之外，在電阻值上相對於溫度的擾動也變大，而因此薄片電阻值等於或小於 $25 \text{ K}\Omega/\text{square}$ 係較佳的。此外，如果電阻值小，則不能夠忽略晶粒尺寸上的分散，而因此薄片電阻值等於或小於 $500 \text{ }\Omega/\text{square}$ 係較佳的。也就是說，p-型多晶矽薄膜電阻器之薄片電阻值從 $500 \text{ }\Omega/\text{square}$ 到 $25 \text{ K}\Omega/\text{square}$ 係較佳的。此外，此時為了使在電阻值上相對於p-型多晶矽薄膜電阻器之溫度的擾動可以等於或小於 $-100 \text{ ppm}/^\circ\text{C}$ ，多晶矽薄膜電阻器之薄片電阻值從 $500 \text{ }\Omega/\text{square}$ 到 $1 \text{ K}\Omega/\text{square}$ 係較佳的。

圖10係顯示本發明之半導體裝置另一實施例的示意剖面圖。一由二氧化矽等所做的第一絕緣膜151被形成於矽半導體基板101上，一多晶矽薄膜電阻器155被形成於第一絕緣膜151的水平表面上，此多晶矽薄膜電阻器155具有一電阻區域154被夾在區域153之間，用以接觸由鋁等所做的導線152。一由PSG, BPSG等所做的第二絕緣膜156被形成於多晶矽薄膜電阻器155上以及被形成於第一絕緣膜151上，而p-型雜質被引導入第二絕緣膜156中。一接觸孔157被形成於第二絕緣膜156中，並且金屬導線152及接觸形成區域153被電連接。

使多晶矽薄膜電阻器155中之電阻區域154的膜厚度做得比接觸形成區域153的膜厚度還小，藉由使電阻區域154的膜厚度薄以獲得到正確的薄片電阻值，並且確保小的溫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (17)

度係數，而同時減小所佔據之表面積，另一方面，使接觸形成區域153形成有大的厚度，以使在接觸孔157的形成期間，穿透多晶矽膜以便達成連接至金屬導線152不致發生。依據由本發明之發明人所做的實驗，可以了解到，當薄片電阻值係約1仟-歐姆/square時，藉由使電阻區域154的膜厚度等於或小於1000埃，能夠使電阻值的溫度係數做得非常小，為一等於或小於 $-100 \text{ ppm}/^{\circ}\text{C}$ 之值。此外，一般藉由使用乾式蝕刻以及目前的IC處理來形成接觸孔，以便達成其小型化。

當形成接觸孔157於第二絕緣膜156中時，實施過度蝕刻，以使沒有未被蝕刻的部分存在，但是在那段期間，多晶矽薄膜電阻器155中之接觸形成區域153也被蝕刻到。藉由使接觸形成區域153之膜厚度變得較厚以防止接觸孔157的穿透，對於其中藉由PSG，BPSG來形成具有等於或小於1微米之膜厚度的第二絕緣膜156之情況來說，假設接觸形成區域153的膜厚度被設定以便約略等於或大於2000埃，能夠防止穿透。

圖11係顯示本發明之半導體裝置另一實施例的示意剖面圖。下面諸點和圖10之實例不同：第一絕緣膜151之膜厚度局部係不同的；多晶矽薄膜電阻器155之接觸形成區域153被形成於具有薄的膜厚度之區域上；電阻區域154被形成於具有厚的膜厚度之區域上；以及接觸形成區域153和電阻區域154的上側表面被形成入一幾乎水平且完全相同的平面中，能夠使電阻區域154的膜厚度係薄的，而能夠使接觸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (18)

形成區域153的膜厚度係厚的，而因此由圖10之實例所解釋的效應能夠被如此地獲得到。藉由加上和圖10之參考數字相同的參考數字而完成對其他部分的解釋。

爲了簡化，僅一多晶矽薄膜電阻器被顯示於圖10及圖11中，但是將會藉由許多個多晶矽薄膜電阻器來形成真正的電阻器電路。此外，雖然在圖10及圖11中，導線係由鋁所做的，但是，導線也可以是一阻障金屬及一矽化物膜的疊層膜。舉例來說，在本發明中，TiN及Ti的疊層膜被用作阻障金屬，而且Al-Si-Cu被用作矽化物膜。但是，矽化物膜也可以是Al-Si。

圖12係使用本發明之增殖電阻電路的電壓偵測器實施例的方塊圖，爲了簡化，在此圖形中僅顯示一簡單電路的實例，但是，可以視需要而添加功能於真正所製造的產品中。

電壓偵測器的基本電路結構組件爲一電流源703、一參考電壓電路701、一增殖電阻電路702、及一誤差放大器704。除此之外，一反相器706、一n-型電晶體705及708、一p-型電晶體707等等也被添加，簡單及分段解釋其操作於下。

當VDD等於或大於預定之抵消電壓時，n-型電晶體705及708關閉，並且p-型電晶體707打開，VDD被輸出至一輸出OUT，此時，到誤差放大器704之輸入電壓變爲 $(R_B + R_C) / (R_A + R_B + R_C) * VDD$ 。

這樣，藉由透過使用誤差放大器704來比較由參考電壓電路701所產生之參考電壓和由增殖電阻電路702所分壓出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (19)

之電壓來實施基本操作，由增殖電阻電路702所分壓出之電壓的精確度因此變得非常重要。如果來自增殖電阻電路702之分壓的精確度差，則輸入至誤差放大器704之電壓將會有分散，並且不能夠獲得到電壓偵測器的預定抵消電壓。

依據本發明之增殖電阻電路，高精確度的分壓變得可能，而因此能夠增加ICs產品之製造的良率，並且製造較高精確度之分壓偵測器變得可能。此外，爲了抑制IC的電流損耗，整個增殖電阻電路702的電阻值被保持在固定的精確度。對於增殖電阻電路來說，具有非常長及薄的形狀之電阻器因此被結合，並且需要大的表面積。對於增殖電阻電路來說，佔據超過IC晶片之整個表面積的一半係平常的。但是，在本發明之增殖電阻電路中各電阻器電阻值上的分散係小的，並且藉由使用一較短的形狀，能夠獲得到固定的精確度。因此，能夠使由增殖電阻電路所佔據之表面積變得較小，並且這對整個IC晶片之表面積的縮小有很大的貢獻。

圖13係使用依據本發明之增殖電阻電路的電壓調整器實施例的方塊圖，爲了簡化，在此圖形中僅顯示一簡單電路的實例，但是，可以視需要而添加功能於真正所製造的產品中。

電壓調整器的基本電路結構組件爲電流源703、參考電壓電路701、增殖電阻電路702、及誤差放大器704。一用作電流控制電晶體之p-型電晶體710也被設置於其中，以下分段解釋其簡單操作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (20)

誤差放大器 704 比較由增殖電阻電路 702 所分壓出之電壓與由參考電壓電路 701 所產生之參考電壓，並且將一用以取得不受輸入電壓 V_{IN} 或溫度改變所影響之固定輸出電壓 V_{OUT} 所需的閘極電壓供應至 p-型電晶體 710。類似於圖 12 中所解釋之電壓偵測器，在電壓調整器中，也藉由透過使用誤差放大器 704 來比較由參考電壓電路 701 所產生之參考電壓和由增殖電阻電路 702 所分壓出之電壓來實施基本操作，由增殖電阻電路 702 所分壓出之電壓的精確度因此變得非常重要。如果來自增殖電阻電路 702 之分壓的精確度差，則輸入至誤差放大器 704 之電壓將會有分散，並且將變得不可能獲得到預定的輸出電壓 V_{OUT} 。藉由使用本發明之增殖電阻電路，高精確度的分壓變得可能，而因此能夠增加 ICs 產品之製造的良率，並且製造較高精確度之電壓調整器變得可能。

接著使用圖 14A 到圖 14F 及圖 15A 到圖 15F 來解釋依據本發明之半導體裝置的製造方法，圖 14A 到圖 14F 係顯示依據本發明之半導體裝置的製造方法實施例的示意剖面圖。

一薄的 n-型矽基板 801 被製備於圖 14A 中，並且藉由離子植佈而選擇性導入 p-型雜質，繼之以熱處理，如此形成一分開且獨立的 p-井區域 802，此 p-井區域 802 的表面濃度約為 1×10^{16} atoms/cm³。然後，藉由 LOCOS 法而選擇性地形成一具有約 8000 Å 之厚度的場氧化物膜 803。

如圖 14B 所示，接著形成一閘極氧化物膜 804，之後，實施通道摻雜以控制預定的臨界值。藉由 CVD 法來沉積一具

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(21)

有約4000 Å之厚度的多晶矽膜805，並且藉由離子植佈而導入例如磷之雜質，以便獲得到預定的薄片電阻值。

接著，藉由離子植佈而選擇性導入例如BF₂之雜質，使得一預定區域具有預定的薄片電阻值，如圖14C所示。以高濃度來選擇性地導入例如磷之雜質，使得多晶矽層805之預定區域變成低電阻，而後，實施蝕刻成預定的形狀，藉以形成具有低電阻閘極電極806和高電阻區域809之多晶矽電阻器807。多晶矽電阻器807被配置，以使和由先前步驟所形成之p-井區域802對齊。然後，藉由離子植佈而導入例如BF₂之p-型雜質，藉以形成p-型電晶體之源極區域810及汲極區域811，以及多晶矽電阻器807之低電阻區域808。雖然n-型電晶體在此未被顯示於圖形中，但是，例如磷之n-型雜質可以藉由離子植佈來予以添加，藉以形成電晶體之源極區域及汲極區域，其類似於p-型電晶體。

由PSG, NSG等所做之約8000 Å的中間絕緣膜812然後被沉積，並且一接觸孔813然後被形成，如圖14D所示。如圖14E所示，一變成導線並具有約1微米之厚度的鋁層814接著藉由濺鍍來予以沉積，而且被圖案化成預定的形狀，此鋁層814被沉積在各多晶矽電阻器807上，以使其被連接至配置在各多晶矽電阻器807之其中一邊緣上的低電阻區域808。此外，雖然未顯示於圖形中，但是鋁層814也可以經由場氧化物膜803而被連接至配置在各多晶矽電阻器807下方之部分中的p-井802。

接著，如圖14F所示，自一矽氮化物膜形成具有約8000

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(22)

Å厚度之保護膜815。雖然未顯示於圖形中，用以黏結墊塊(pad)等之區域上的保護膜815然後被去除。如此，藉由上述之程序步驟來完成具有依據本發明之多晶矽電阻器的半導體裝置。

圖15A到圖15F係顯示依據本發明之半導體裝置的製造方法另一實施例的示意剖面圖。

一薄的n-型矽基板801被製備於圖15A中，並且藉由離子植佈而選擇性導入p-型雜質，然後實施熱處理，如此形成一分開且獨立的p-井區域802，此p-井區域802的表面濃度約為 1×10^{16} atoms/cm³。和由圖14A到圖14F所解釋之實例不同的是，不一定要在稍後形成多晶矽電阻器的區域中形成p-井區域802。接著，藉由LOCOS法而選擇性地形成一具有約8000 Å之厚度的場氧化物膜803。然後，形成一閘極氧化物膜804，之後，實施通道摻雜以控制預定的臨界值。然後，藉由CVD法來沉積一具有約4000 Å之厚度的多晶矽膜805，而後以高濃度來導入例如磷之雜質，以使多晶矽膜805變成低電阻。

如圖15B所示，然後實施多晶矽膜805之蝕刻成預定的形狀，藉以形成低電阻閘極電極806及一低電阻多晶矽層901。

接著，如圖15C所示，藉由熱氧化、CVD等方法來形成一第一絕緣膜902，此第一絕緣膜902係由含有矽氧化物膜或矽氮化物膜之多層膜所做的。

接著，如圖15D所示，沉積具有1000 Å之厚度的多晶矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (23)

，並且藉由離子植佈而導入例如 BF_2 之雜質，使得薄片電阻值變成預定的值。然後，實施圖案化成爲預定的形狀，之後，藉由離子植佈而導入例如 BF_2 之 p-型雜質，藉以同時形成接觸形成區域 808，以及 p-型電晶體的源極區域 810 及汲極區域 811，如此以完成具有被夾在接觸形成區域 808 間之電阻區域 809 的多晶矽電阻器 807。個別之多晶矽電阻器 807 經過第一絕緣膜 902 而被形成於單獨的低電阻多晶矽層 901 上。又，雖然 n-型電晶體區域未被顯示於圖形中，但是，例如磷之 n-型雜質可以藉由離子植佈來予以添加，藉以形成電晶體之源極區域及汲極區域，其類似於 p-型電晶體。

由 PSG, NSG 等所做之約 8000 Å 的中間絕緣膜 812 然後被沉積，並且一接觸孔 813 然後被形成，如圖 15E 所示。此時，經由一共同接觸孔 903 來連接多晶矽電阻器 807 之低電阻區域 808 和低電阻多晶矽層 901。

如圖 15F 所示，一變成阻障金屬之 Ti/TiN 疊層膜藉由濺鍍法而被沉積到約 1500 Å 的厚度，並且稍後變成導線之鋁層 814 被沉積到約 1 微米的厚度，而且被圖案化成爲預定的形狀。此時，鋁層 814 被配置於各多晶矽電阻器 807 上，使得配置在各多晶矽電阻器 807 之其中一邊緣上的低電阻區域 808 和配置在各多晶矽電阻器 807 下方之部分中的低電阻多晶矽層 901 經過第一絕緣膜 902 而經由一共同接觸孔 903 來予以連接。接著，自一矽氮化物膜形成具有約 8000 Å 厚度之保護膜 815。雖然未顯示於圖形中，用以黏結墊塊 (pad) 等之區域上的保護膜 815 然後被去除。如此，依據上述之程序步

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (24)

驟來完成具有依據本發明之多晶矽電阻器的半導體裝置。

如上面所討論的，依據本發明，藉由使各多晶矽電阻器本身之電位等於位在多晶矽電阻器上方及下方之導體的電位，增殖電阻電路中之多晶矽電阻器的電位被正確地保持著，因此，能夠達成具有正確的分壓比值之高精確度增殖電阻電路。藉由使多晶矽電阻器之膜厚度等於或小於2000 Å，並且使引導入多晶矽電阻器之雜質為p-型雜質來減小在各多晶矽電阻器之電阻值上的分散。此外，藉由將薄片電阻值設定為700 Ω /square到1000 Ω /square，藉以將溫度特性設定為一從0到100 ppm/°C之值，能夠達成高精確度增殖電阻電路。特別是，藉由使膜厚度等於或小於1000 Å，能夠在約800 Ω /square之薄片電阻值處獲得到等於或小於約0 ppm/°C之非常小的溫度係數。如此，可以獲得一能夠在寬的溫度範圍上保持高的分壓精確度之增殖電阻電路，其佔據比藉由習知方法所形成之增殖電阻電路的表面積還小的表面積。

在本發明的電壓偵測器及電壓調整器中，高精確度之分壓變成可能，因此增加例如IC之製造產品的良率，及製造非常高精確度的產品變成可能。在電壓偵測器的情況來說，對於增殖電阻電路來說，佔據超過IC晶片之整個表面積的一半係平常的。在本發明之增殖電阻電路中各電阻器之電阻值上的分散小，且具有小的溫度特性，但是，藉由使用較短的形狀，能夠獲得到固定的精確度。具有高精確度之增殖電阻電路能夠被達成，而因此能夠使由增殖電阻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (25)

電路所佔據之表面積變得較小，並且這對整個 IC 晶片之表面積的縮小有很大的貢獻。

藉由使用本發明之半導體裝置的製造方法，能夠形成上面的半導體裝置，而不需要任何特殊的程序步驟，並且不需要在程序步驟的數目上之可觀的增加。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 半導體裝置及其製造方法)

爲了提供一種具有正確之分壓及電阻值之小的溫度係數之高精度度增殖(breeder)電阻電路，以及爲了藉由使用此增殖電阻電路來提供一種具有高精度度及小的溫度係數之半導體裝置，舉例來說，提供例如電壓偵測器及電壓調整器的半導體裝置，使薄膜電阻器上之導體的電位及薄膜電阻器下方之導體的電位幾乎等於使用薄膜電阻器之增殖電阻電路中各薄膜電阻器的電位。除此之外，如果在薄膜電阻器中使用多晶矽，則藉由使多晶矽薄膜電阻器之膜厚度係薄的，並且使引導入多晶矽薄膜電阻器中之雜質爲p-型，在電阻值上的分散被抑制，而且電阻值的溫度依賴性被消除。

英文發明摘要(發明之名稱：Semiconductor device and method of manufacturing the same)

To provide a high precision breeder resistance circuit having an accurate divided voltage ratio and a small temperature coefficient of a resistance value, and to provide semiconductor devices having high precision and a small temperature coefficient by using the breeder resistance circuit. For example, semiconductor devices such as a voltage detector and a voltage regulator are provided. Electric potentials of a conductor on thin film resistors and of a conductor under the thin film resistors are made nearly equal to that of each thin film resistor in a breeder resistance circuit using the thin film resistors. In addition, if polysilicon is used in the thin film resistors, dispersion in the resistance values is suppressed, and temperature dependence of the resistance values is eliminated, by making a film thickness of the polysilicon thin film resistors thin, and making an impurity introduced into the polysilicon thin film resistors p-type.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1

1、一種包括增殖(breeder)電阻電路之半導體裝置，其包含：

一第一導體；

一第一絕緣膜，在第一導體上；以及

多個薄膜電阻器，經過第一絕緣膜而在第一導體上，

其中，在薄膜電阻器下方之部分中的第一導體之電位和薄膜電阻器之電位實際上係彼此相等的。

2、如申請專利範圍第1項之半導體裝置，其中：

一第二絕緣膜被形成於薄膜電阻器上；

一第二導體被形成於薄膜電阻器之上側部分上的位置中，在第二絕緣膜上；以及

薄膜電阻器之電位和第二導體之電位實際上係彼此相等的。

3、如申請專利範圍第1項之半導體裝置，其中，第一導體相關於多個薄膜電阻器之每一個薄膜電阻器的電位係約略等於多個薄膜電阻器之每一個薄膜電阻器的電位。

4、如申請專利範圍第2項之半導體裝置，其中，第二導體相關於多個薄膜電阻器之每一個薄膜電阻器的電位係約略等於多個薄膜電阻器之每一個薄膜電阻器的電位。

5、如申請專利範圍第1項之半導體裝置，其中，薄膜電阻器係由多晶矽所做的。

6、如申請專利範圍第2項之半導體裝置，其中，薄膜電阻器係由多晶矽所做的。

7、如申請專利範圍第5項之半導體裝置，其中，引導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍 2

至薄膜電阻器之雜質為p-型。

8、如申請專利範圍第7項之半導體裝置，其中，引導至薄膜電阻器之p-型雜質為 BF_2 。

9、如申請專利範圍第7項之半導體裝置，其中，引導至薄膜電阻器之p-型雜質為硼。

10、如申請專利範圍第5項之半導體裝置，其中，薄膜電阻器的膜厚度係從幾十埃到2000埃。

11、如申請專利範圍第5項之半導體裝置，其中，薄膜電阻器的膜厚度係從幾十埃到1000埃。

12、如申請專利範圍第5項之半導體裝置，其中，薄膜電阻器的薄片電阻值係從 $700\ \Omega/\text{square}$ 到 $1000\ \Omega/\text{square}$ 。

13、如申請專利範圍第5項之半導體裝置，其中，薄膜電阻器的溫度特性係從0到 $100\ \text{ppm}/^\circ\text{C}$ 。

14、如申請專利範圍第5項之半導體裝置，其中，第一導體係由形成於矽基板內之井區域所做的。

15、如申請專利範圍第5項之半導體裝置，其中，第一導體係由多晶矽所做的。

16、如申請專利範圍第6項之半導體裝置，其中，第二導體係由多晶矽所做的。

17、如申請專利範圍第6項之半導體裝置，其中，第二導體係由鋁所做的。

18、如申請專利範圍第6項之半導體裝置，其中，第二導體係由一阻障金屬及一矽化物膜的疊層所做的。

19、如申請專利範圍第6項之半導體裝置，其中，第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 3

導體係由用以形成MOS電晶體之閘極電極的材料所做的，而MOS電晶體之閘極電極和多個薄膜電阻器被形成在同一晶片上。

20、如申請專利範圍第5項之半導體裝置，其中，多個薄膜電阻器之每一個薄膜電阻器的電位和對應於多個薄膜電阻器之每一個薄膜電阻器之第一導體的電位係經由一共同接觸孔而藉由一金屬導線材料來予以固定的。

21、如申請專利範圍第5項之半導體裝置，另包括：
一增殖電阻電路；
至少一MOS電晶體，

其中，使增殖電阻電路之薄膜電阻器的膜厚度做得比MOS電晶體之閘極電極的膜厚度還薄。

22、如申請專利範圍第21項之半導體裝置，其中，薄膜電阻器的膜厚度係從幾十埃到1000埃。

23、如申請專利範圍第21項之半導體裝置，其中，引導至薄膜電阻器之雜質為p-型。

24、如申請專利範圍第23項之半導體裝置，其中，引導至薄膜電阻器之p-型雜質為BF₂。

25、如申請專利範圍第23項之半導體裝置，其中，引導至薄膜電阻器之p-型雜質為硼。

26、如申請專利範圍第21項之半導體裝置，其中，薄膜電阻器的薄片電阻值係從700Ω/square到1000Ω/square。

27、如申請專利範圍第5項之半導體裝置，其包括薄膜電阻器，其中：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

4

薄膜電阻器係由接觸形成區域所做的，而接觸形成區域用以達成到金屬導線及電阻區域之連接；以及

電阻區域之膜厚度相較於接觸形成區域之膜厚度係小的。

28、如申請專利範圍第27項之半導體裝置，其中，接觸形成區域的膜厚度係從幾十埃到1000埃，並且電阻區域的膜厚度係從2000埃到10000埃。

29、如申請專利範圍第27項之半導體裝置，其中，薄膜電阻器之接觸形成區域和電阻區域被形成於完全相同的水平表面上。

30、如申請專利範圍第27項之半導體裝置，其中，薄膜電阻器之接觸形成區域和電阻區域的上側表面形成一完全相同的水平表面。

31、如申請專利範圍第5項之半導體裝置，其中，第一絕緣膜及第二絕緣膜係由矽氧化物所做的。

32、如申請專利範圍第5項之半導體裝置，其中，第一絕緣膜及第二絕緣膜至少其中一者係由含有矽氮化物之多層膜所做的。

33、一種半導體裝置之製造方法，其包括：

製備一矽基板；

藉由使用離子植佈法來選擇性地形成分開且單獨的井；

藉由使用LOCOS來選擇性地形成一場氧化物膜；

形成一閘極氧化物膜；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 5

實施通道摻雜以控制預定的臨界值；

藉由使用CVD法來沉積一多晶矽層；

藉由使用離子植佈法來選擇性地將BF₂做為其中一雜質導入於多晶矽層，以使多晶矽層之薄片電阻值變成預定值；

選擇性地將高濃度雜質導入於多晶矽層，以使多晶矽層之預定區域變成低電阻；

實施低電阻閘極電極上之蝕刻成預定的形狀，以便被配置而和井區域對齊；

藉由使用離子植佈法而導入做為其中一磷n-型雜質，以形成n-型電晶體之源極區域及汲極區域；

藉由使用離子植佈法而導入硼p-型雜質，以形成p-型電晶體之源極區域及汲極區域和多晶矽電阻器；

沉積一中間絕緣膜，而該中間絕緣膜係由一選自包含PSG, NSG之群中的材料所做的；

形成一接觸孔；

藉由使用濺鍍法來沉積一鋁層，而該鋁層變成導線；

實施圖案化，以使該鋁層被配置於各多晶矽電阻器上，而一配置於各多晶矽電阻器之一端上的低電阻區域被連接至該鋁層，並且各井被連接至該鋁層；

形成一保護膜；以及

去除用於至少一黏結墊塊(pad)之區域上的保護膜。

34、一種半導體裝置之製造方法，其包括：

製備一矽基板；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

6

藉由使用離子植佈法來選擇性地形成分開且單獨的井；

藉由使用LOCOS來選擇性地形成一場氧化物膜；
形成一閘極氧化物膜；

實施通道摻雜以控制預定的臨界值；

藉由使用CVD法來沉積一第一多晶矽層；

導入做為其中一高濃度雜質的磷，以使第一多晶矽層變成低電阻；

將第一多晶矽層蝕刻成預定形狀，以形成一低電阻閘極電阻及一低電阻多晶矽層；

藉由使用熱氧化及CVD法來形成一第一絕緣膜；

沉積一第二多晶矽層，其具有比第一多晶矽層之膜厚度還薄的膜厚度；

實施圖案化，以使使用第二多晶矽層之多晶矽電阻器經過第一絕緣膜而被配置及形成於單獨的低電阻多晶矽層上；

藉由使用離子植佈法而導入做為其中一n-型雜質之磷，以形成n-型電晶體之源極區域及汲極區域；

藉由使用離子植佈法而導入做為其中一p-型雜質之 BF_3 ，以形成p-型電晶體之源極區域及汲極區域，而同時使多晶矽電阻器之薄片電阻值變成預定值；

沉積一中間絕緣膜，而該中間絕緣膜係由一選自包含PSG, NSG之群中的材料所做的；

形成一接觸孔，以使多晶矽電阻器之低電阻區域和低

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

7

電阻多晶矽層能夠藉由一共同接觸孔來予以連接；

藉由使用濺鍍法來沉積一鋁層，而該鋁層變成導線；

實施圖案化，以使該等鋁層各被配置於各多晶矽電阻器上，而該等鋁層各經由一共同接觸孔而被連接至配置於各多晶矽電阻器之一端上的各低電阻區域，並且經過各多晶矽電阻器而被連接至配置於各多晶矽電阻器下方之各低電阻多晶矽層；

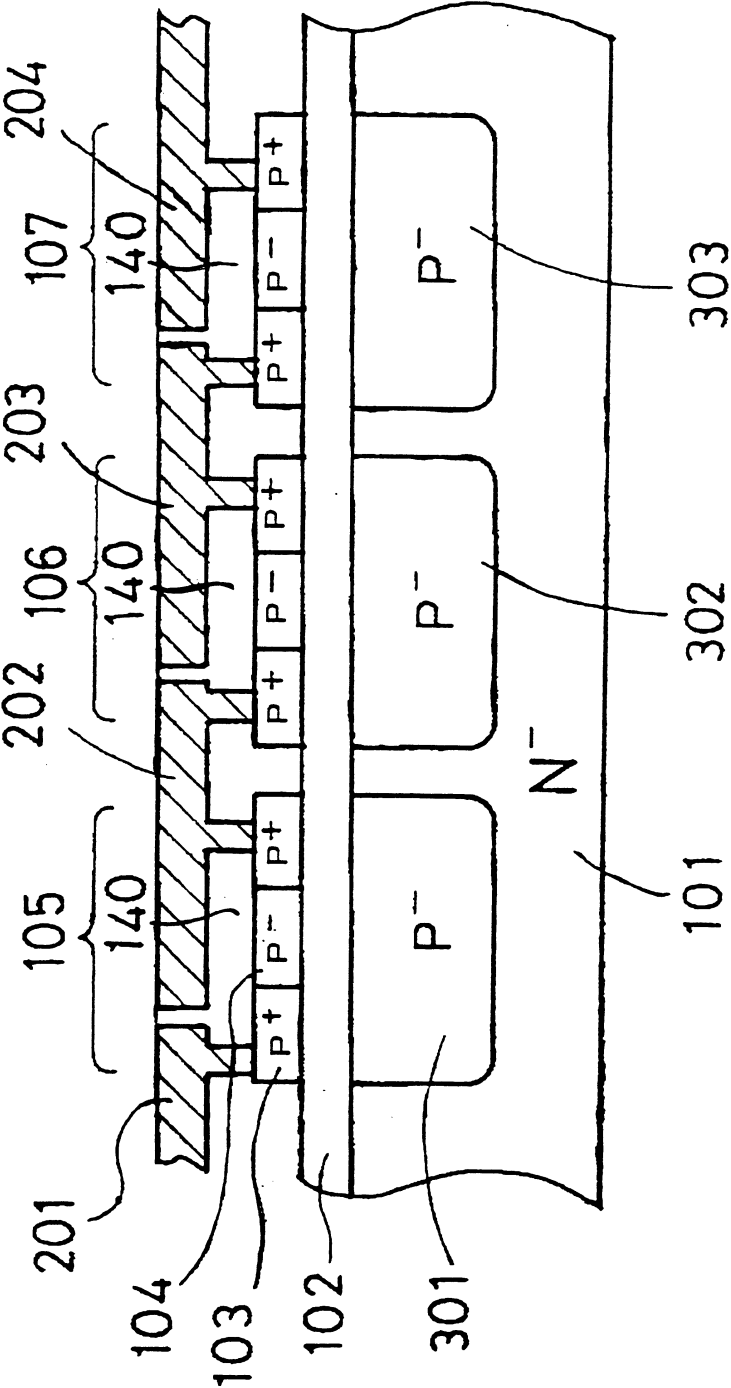
形成一保護膜；以及

去除用於至少一黏結墊塊(pad)之區域上的保護膜。

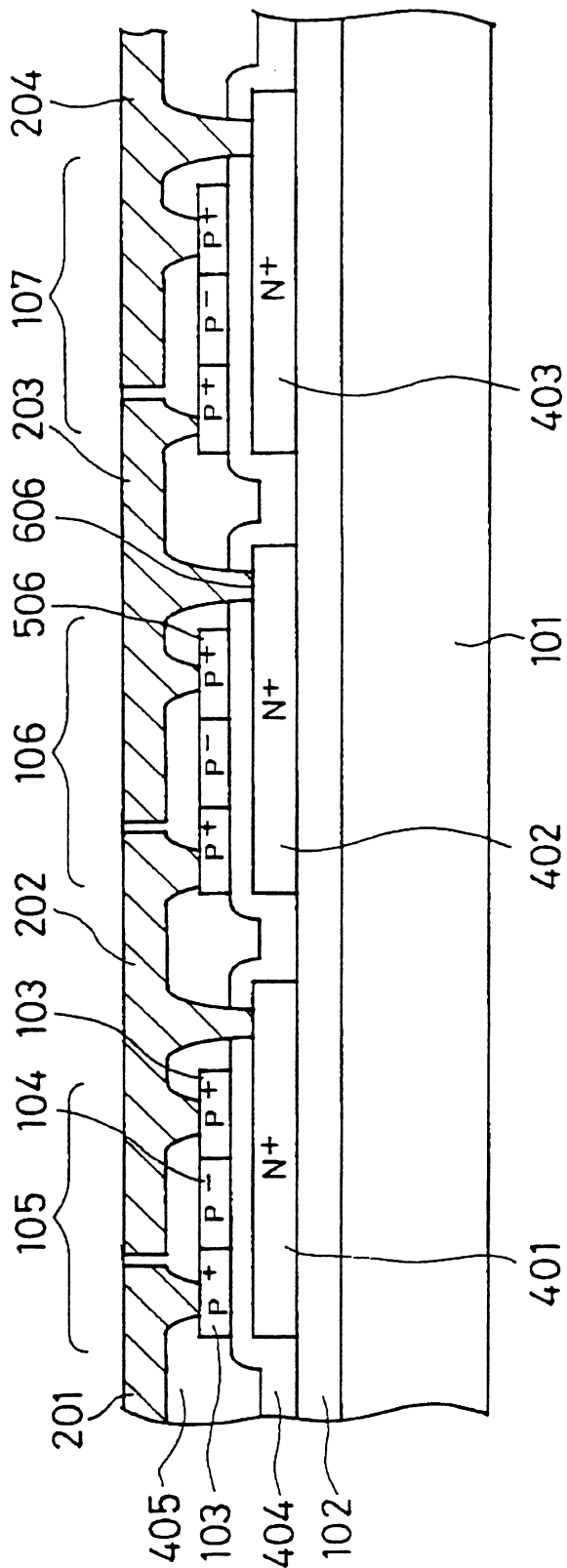
(請先閱讀背面之注意事項再填寫本頁)

裝

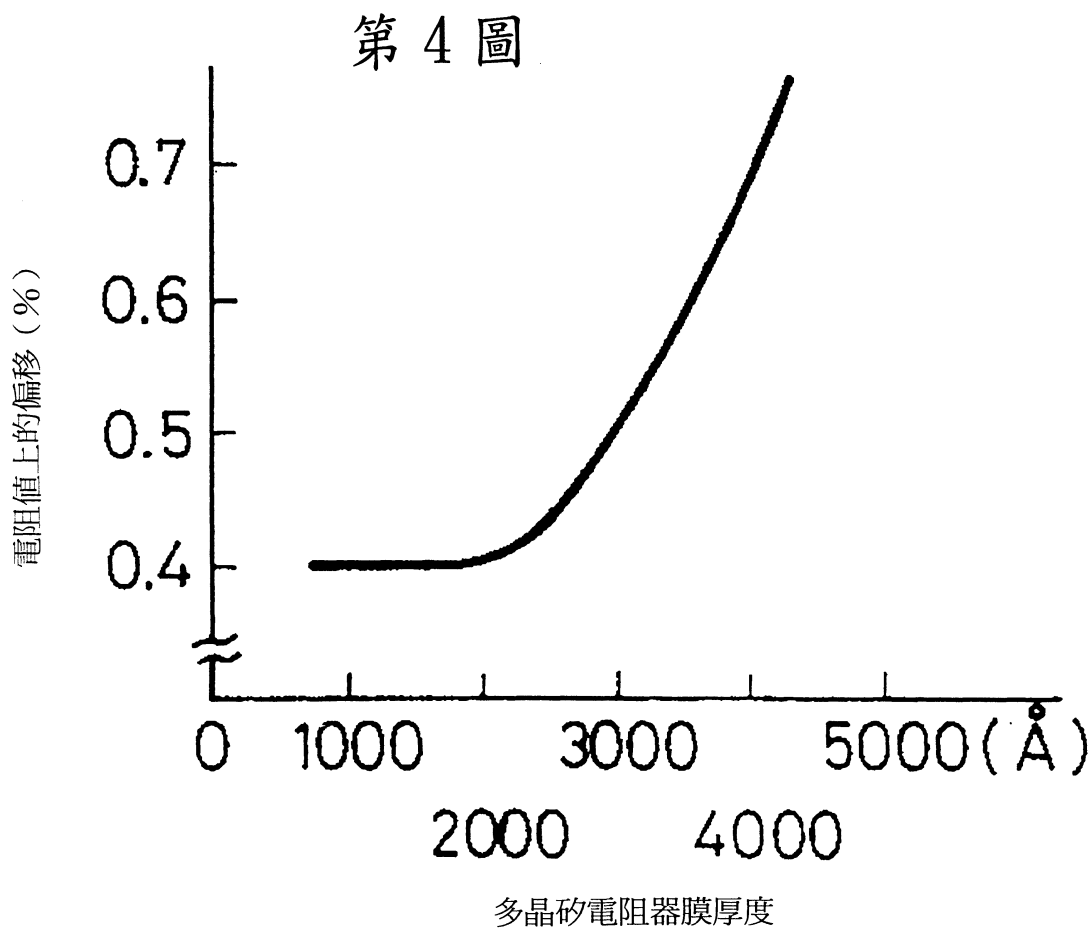
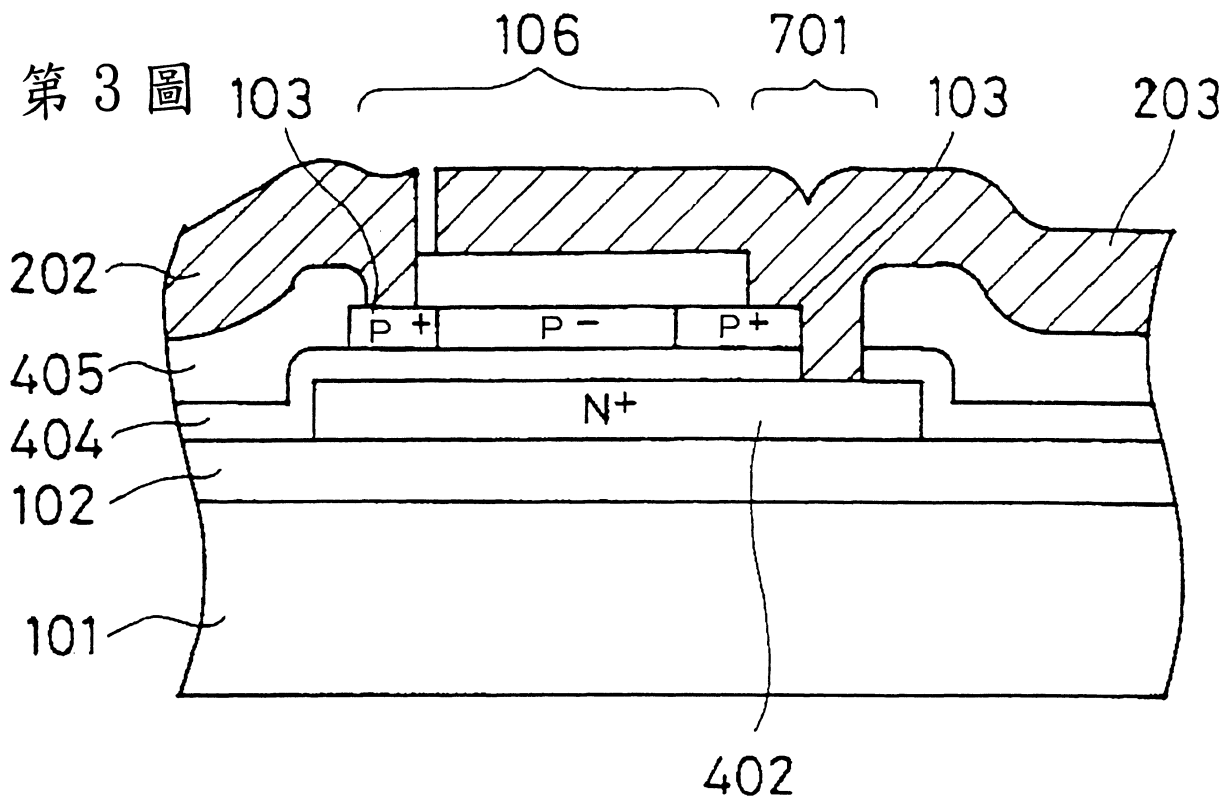
訂

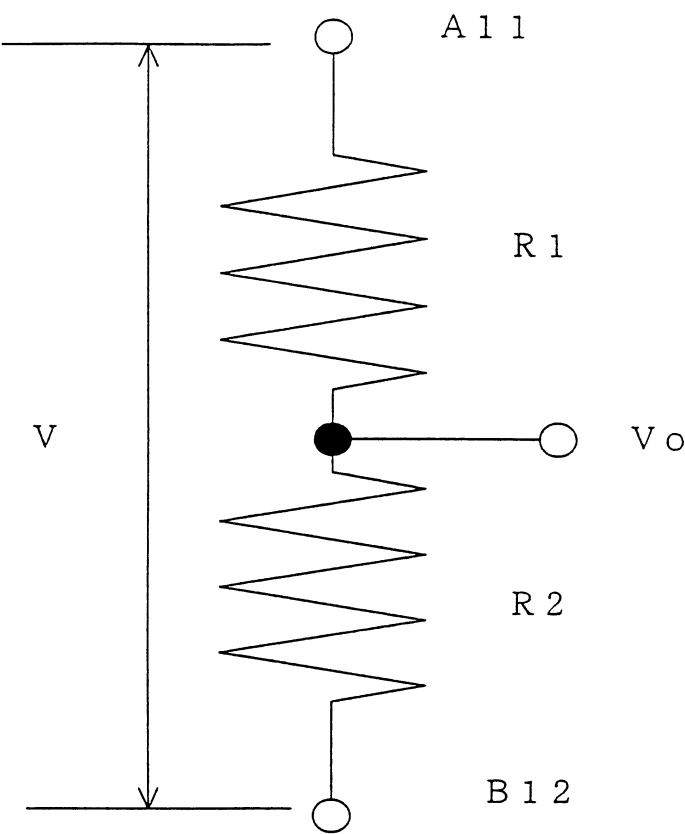


第1圖

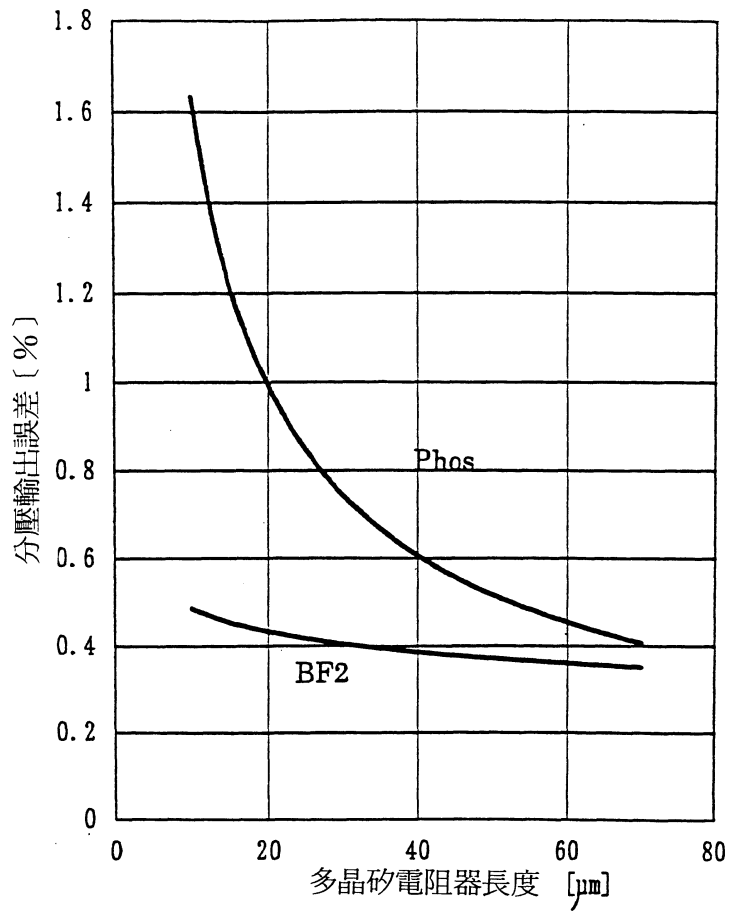


第 2 圖

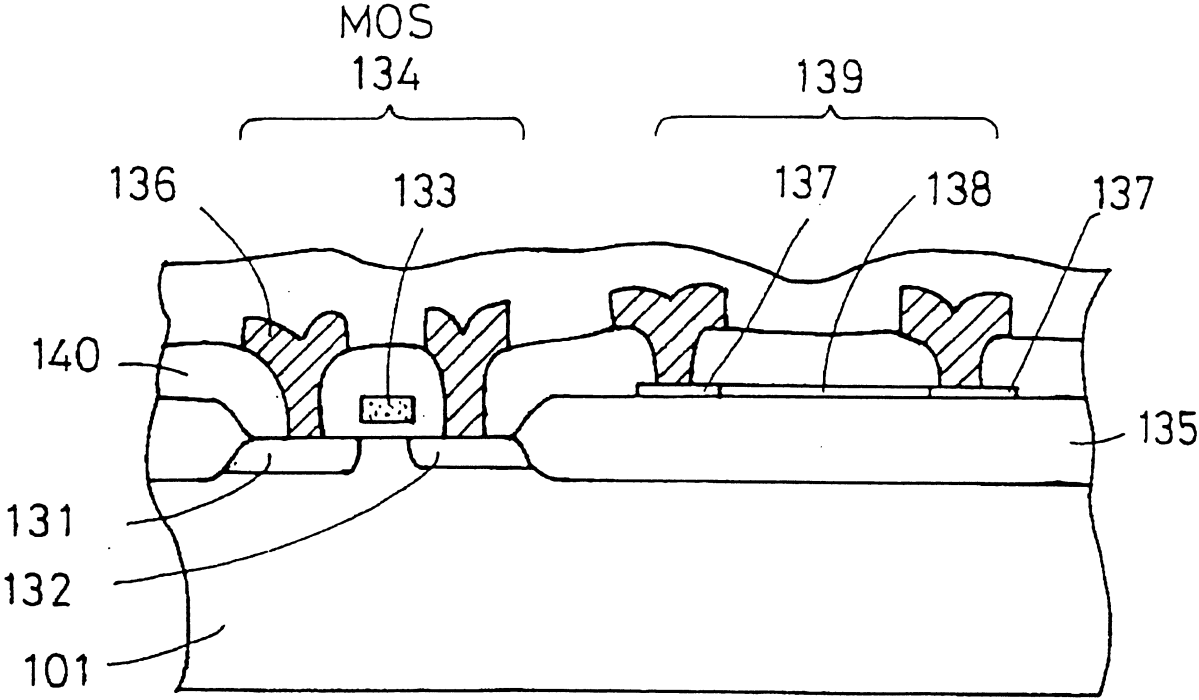




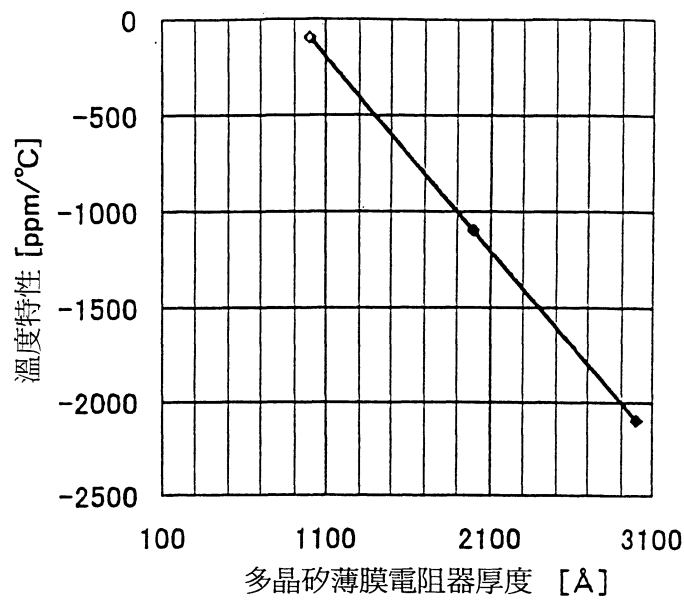
第 5 圖



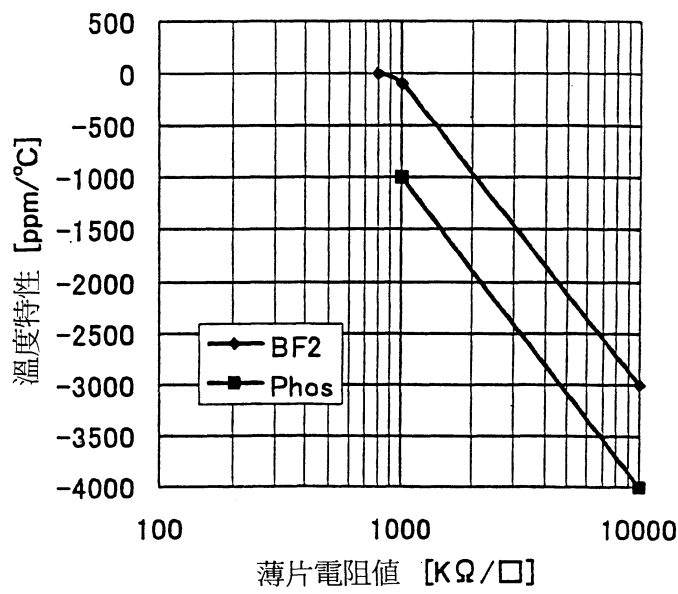
第 6 圖



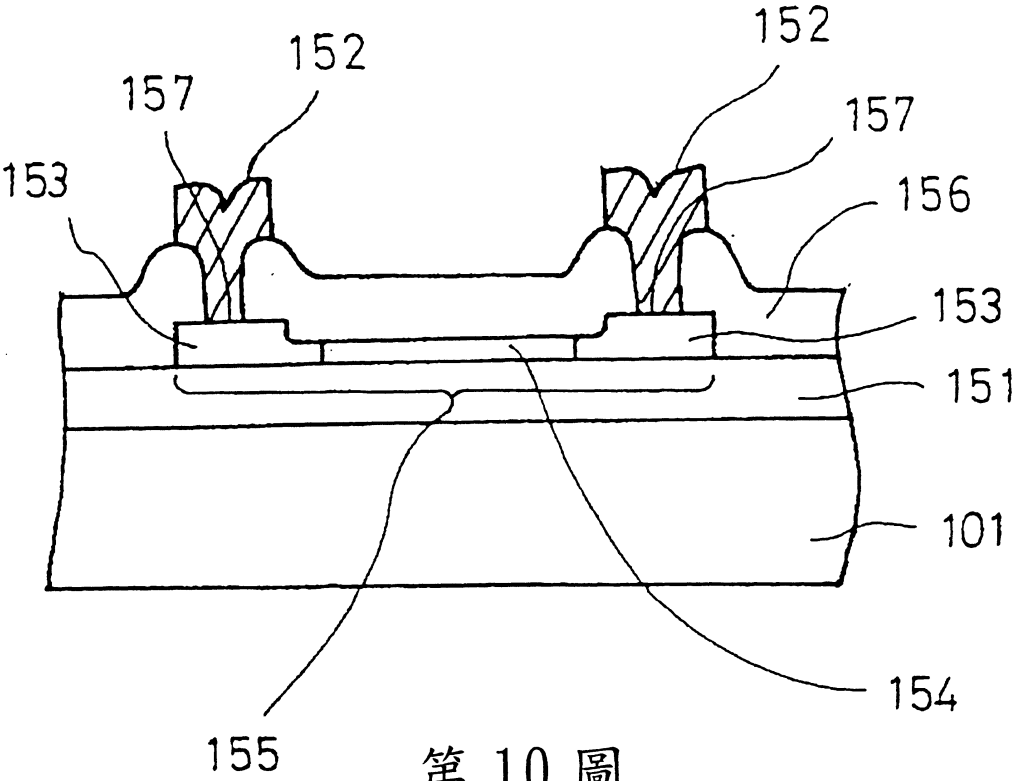
第 7 圖



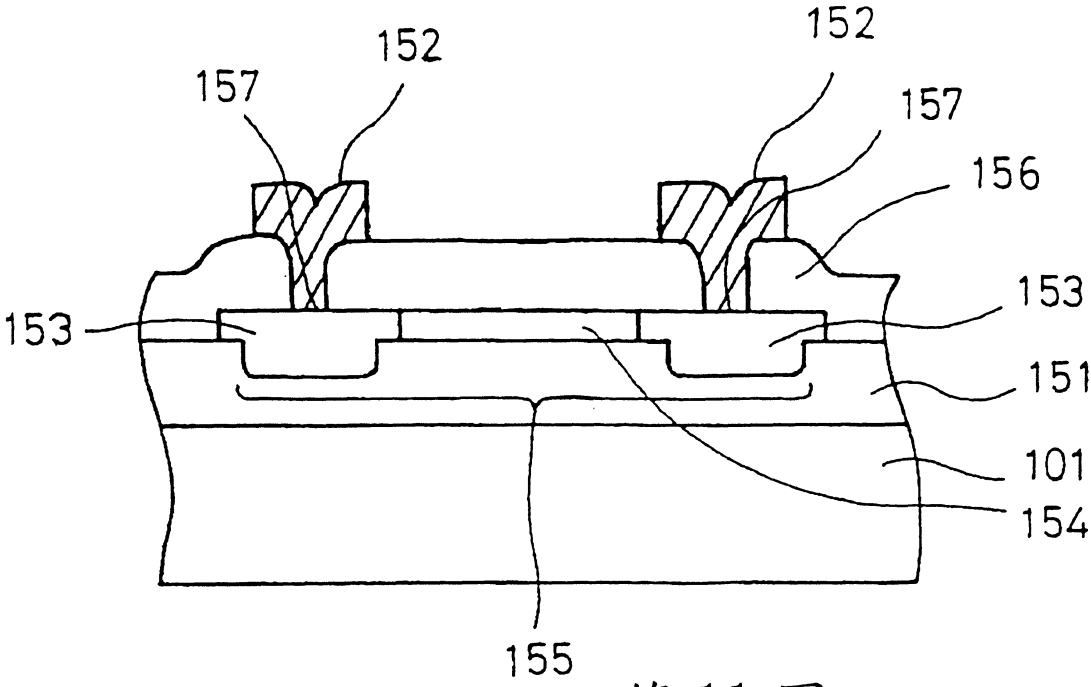
第 8 圖



第 9 圖

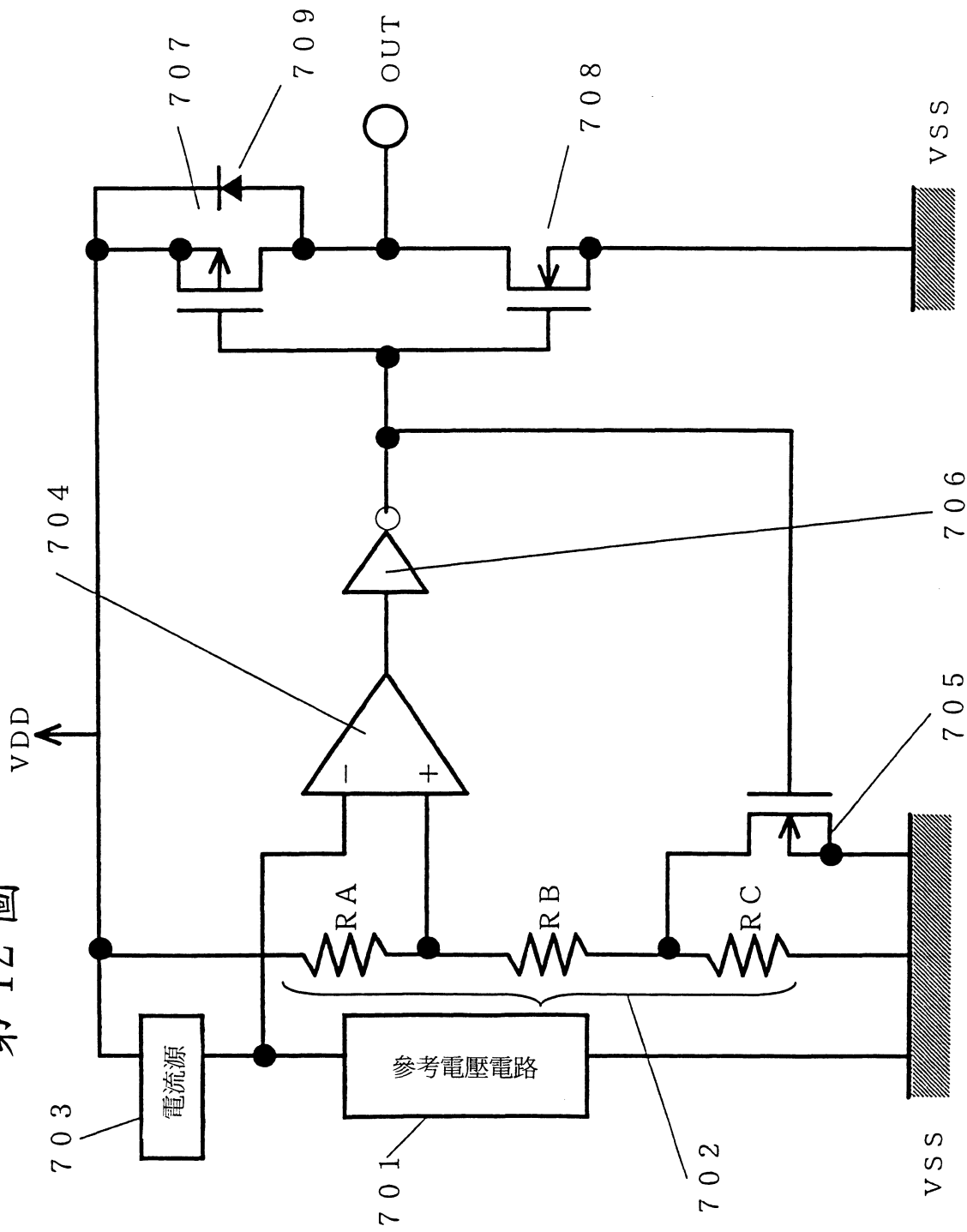


第 10 圖

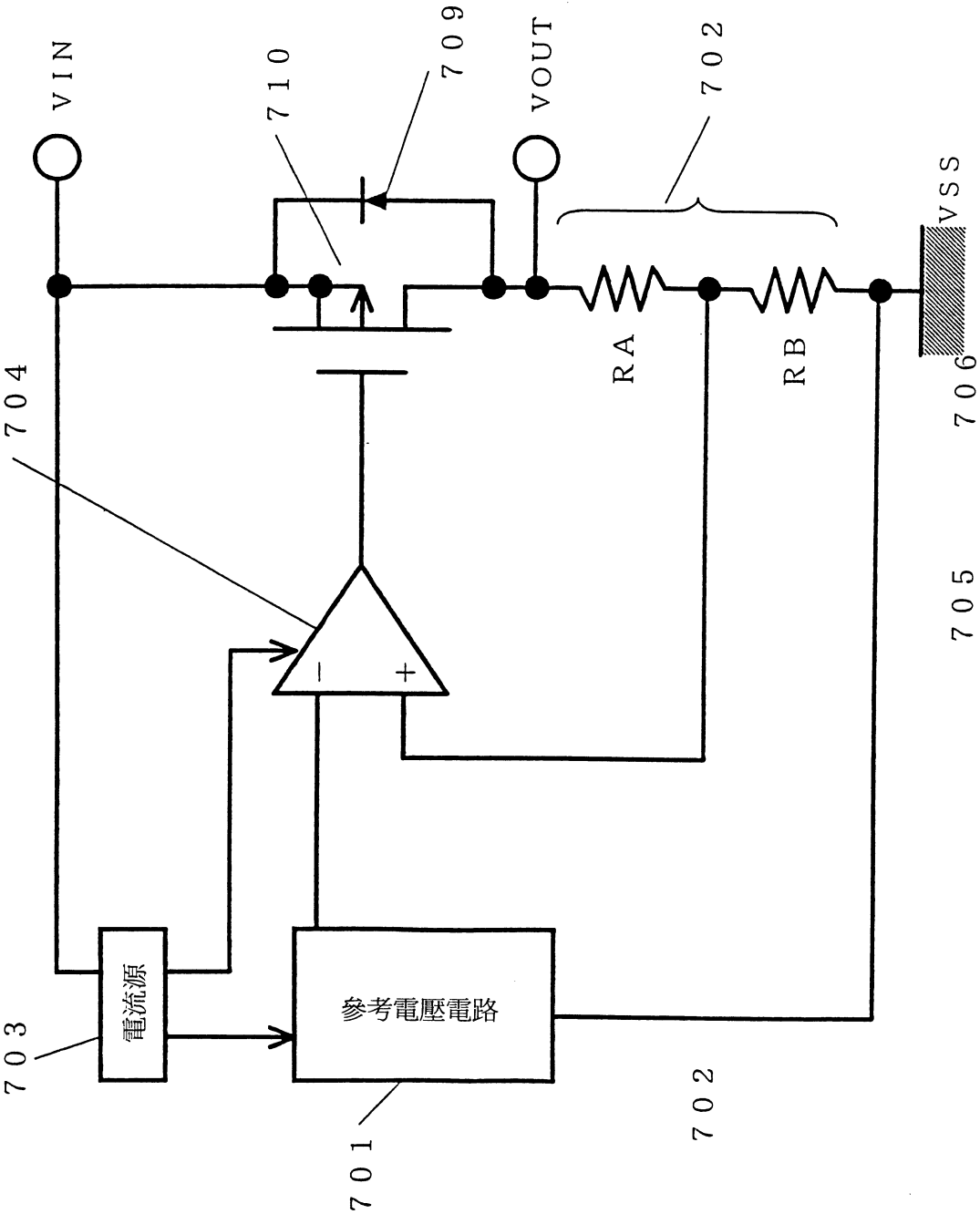


第 11 圖

第 12 圖

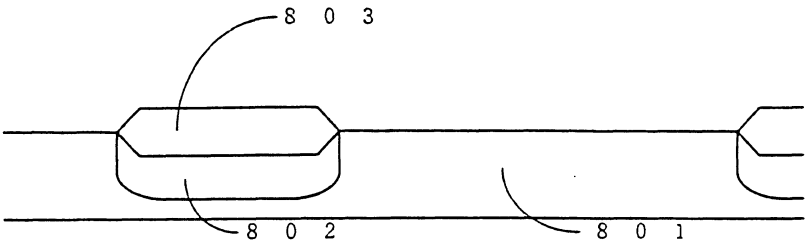


第 13 圖

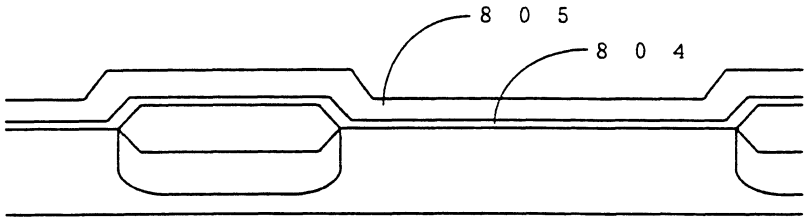


第 14 圖

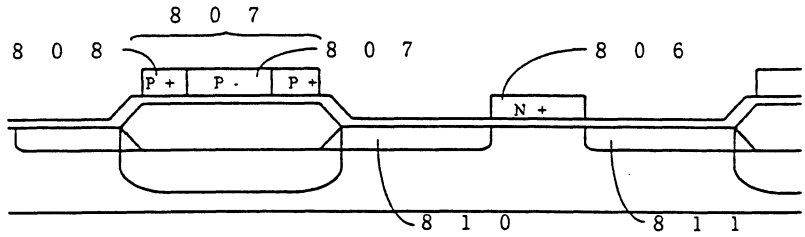
(a)



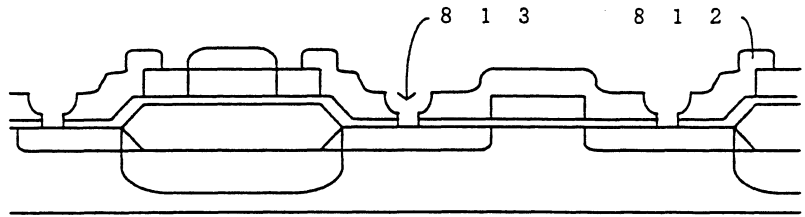
(b)



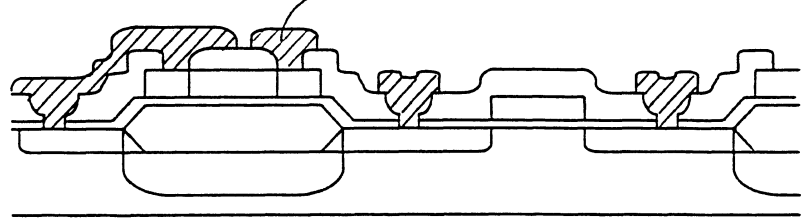
(c)



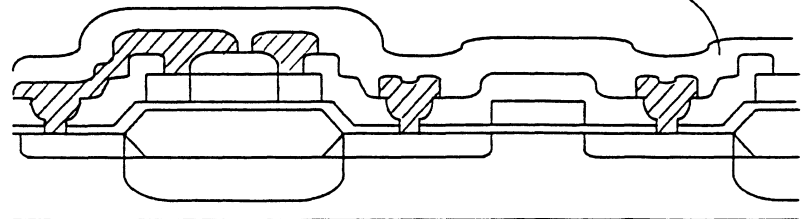
(d)



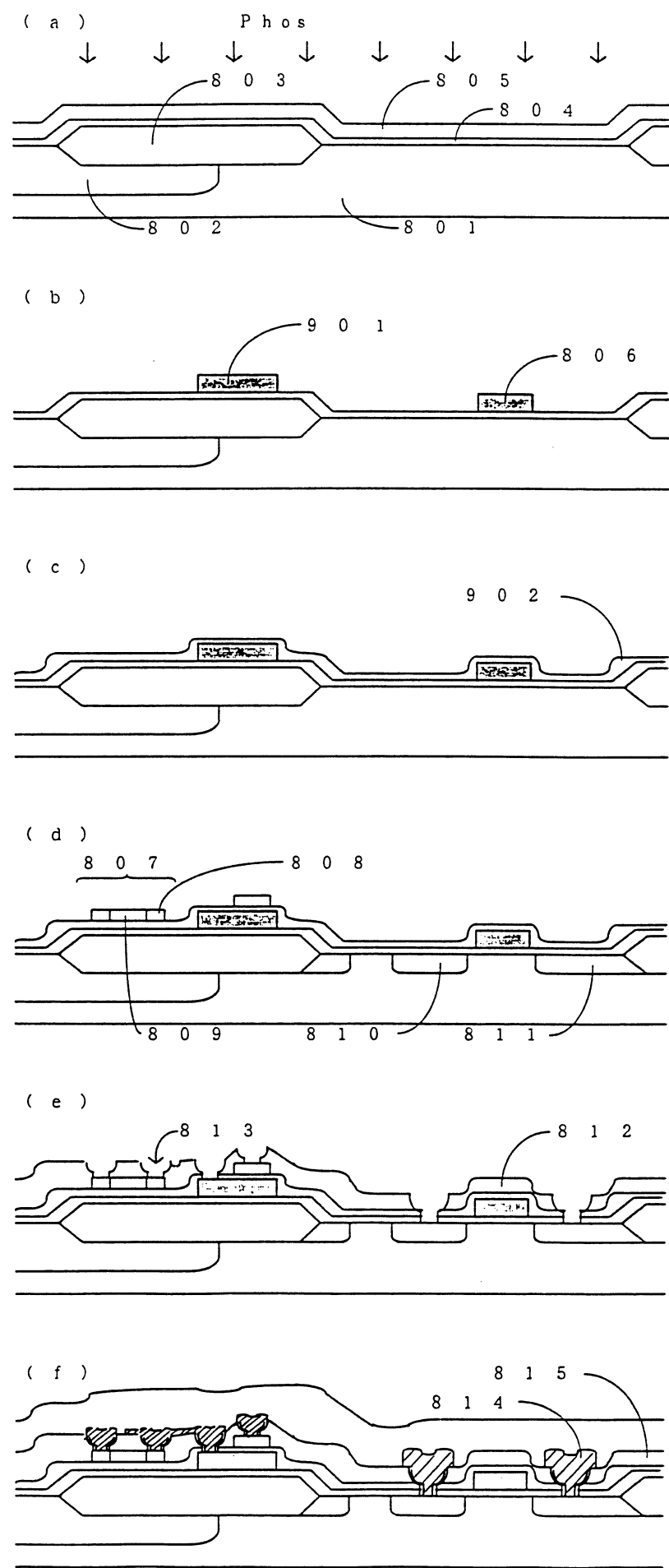
(e)

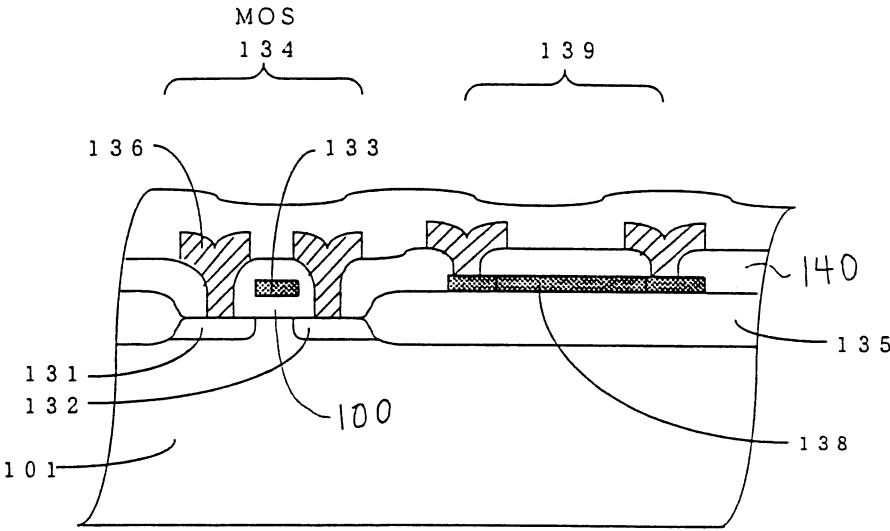


(f)



第 15 圖





第 16 圖

(一)、本案指定代表圖爲：第 2 圖

(二)、本代表圖之元件代表符號簡單說明：

101 矽半導體基板

102 矽氧化物膜

103 p-型雜質區域

104 高電阻區域

105, 106, 107 多晶矽電阻器

201, 202, 203, 204 導線

401, 402, 403 n-型多晶矽薄膜

404 第一絕緣膜

405 第二絕緣膜

506, 606 接觸孔