(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101060325 B
(45)授权公告日 2010.08.18

(21)申请号 200710112120.0

(22)申请日 1998.12.16

(30)优先权数据
359277/1997 1997.12.26 JP

(62)分案原申请数据
98812671.0 1998.12.16

(73)专利权人 株式会社日立制作所
地址 日本东京

(72)发明人 加藤直树 矢野和男 秋田庸平 平木充

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038
代理人 王永刚

(51)Int.Cl.
H03K 19/173(2006.01)
H03K 19/00(2006.01)
G06F 17/50(2006.01)

(56)对比文件
CN 1095864 A,1994.11.30, 全文.
CN 1134624 A,1996.10.30, 全文.
JP 7-86916 A,1995.03.31, 全文.
JP 9-45785 A,1997.02.14, 全文.

审查员 刘琳

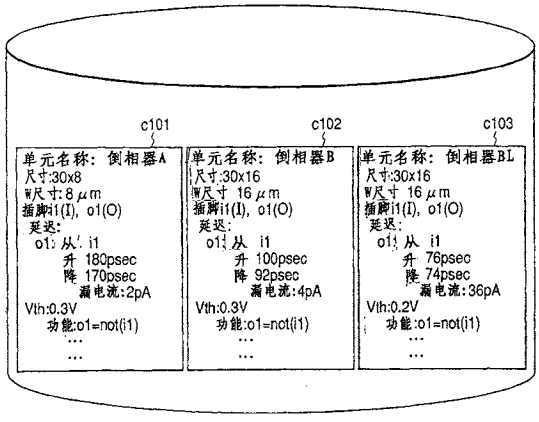
权利要求书 1 页 说明书 18 页 附图 18 页

(54)发明名称

半导体集成电路器件和半导体集成电路的设计方法

(57)摘要

一种存储有至少记录着单元的逻辑功能、形状、延迟特性、功耗的单元信息库的存储媒质，其中，所述单元信息库包括具有相同的逻辑功能和相同的形状而延迟和功耗不同的第1单元和第2单元。



CN 101060325 B

1. 一种使用至少记录着单元的逻辑功能、形状、延迟特性、功耗的单元信息库来设计半导体集成电路的设计方法，其中，

所述单元信息库登录有具有相同的逻辑功能和相同的形状而延迟特性和功耗相互不同的第 1 单元和第 2 单元，

所述设计方法包括：

第 1 步骤，使用所述第 1 单元来设计逻辑电路；

第 2 步骤，计算上述设计的逻辑电路的功耗和所述逻辑电路所包含的信号路径的延迟；

第 3 步骤，对于所述延迟不满足所述半导体集成电路所要求的工作速度的信号路径，将所述不满足的信号路径所包含的所述第 1 单元置换为所述第 2 单元。

2. 如权利要求 1 所述的半导体集成电路的设计方法，在所述第 2 步骤之前还包括：

第 4 步骤，对在所述第 1 步骤中设计的逻辑电路进行布图，

其中，在所述第 2 步骤中，考虑根据上述布图的布线延迟来计算所述逻辑电路所含的信号路径的延迟。

3. 如权利要求 1 或 2 所述的半导体集成电路的设计方法，其中，

将由具有第 1 阈值电压的 MOSFET 构成的逻辑门用由具有与所述第 1 阈值电压不同的第 2 阈值电压的 MOSFET 构成的逻辑门所替换。

4. 一种半导体集成电路器件，包括：

第 1N 沟道 MOSFET，其漏极与第 1 输入端子相连接，其源极与第 3 端子相连接；

第 2N 沟道 MOSFET，其漏极与第 2 输入端子相连接，其源极与第 3 端子相连接；以及

逻辑门，是输入端子与第 3 端子相连接的倒相器，

其中，所述第 1N 沟道 MOSFET 和所述第 2N 沟道 MOSFET 的阈值比构成所述逻辑门的 MOSFET 的阈值低，并且输入所述第 1N 沟道 MOSFET 的栅极的第 1 信号与输入所述第 2N 沟道 MOSFET 的栅极的第 2 信号是互补信号。

半导体集成电路器件和半导体集成电路的设计方法

[0001] 本申请是于 2000 年 6 月 26 日提交的、申请号为 98812671.0 的申请的分案申请。

技术领域

[0002] 本发明涉及存储有单元信息库的存储媒质和半导体集成电路的设计方法。

背景技术

[0003] 在当今制造的半导体集成电路器件中，广泛地使用了各具有高集成度和低功耗特点的 MOSFET。MOSFET 具有决定 FET 开关特性的阈值电压。为了提高驱动能力和改进电路的运行速度，需要将阈值电压设定为低的数值。

[0004] 但当阈值电压被设定成过低的数值时，如 1993Symposium on VLSICircuits Digest of Technical Papers，pp.45-46(May)1993 所述，会出现由 MOSFET 的亚阈值特性（尾部特性）造成的 MOSFET 无法完全关断、亚阈值电流（以下采用“漏电流”）升高从而功耗很大的问题。

[0005] 通常，为了提高 MOSFET 的阈值电压，已经采取了一些方法，其中采用更厚的栅氧化物或在栅氧化膜下方提供更高的杂质密度。换言之，在设计由 MOSFET 构成的半导体集成电路器件的过程中，首先考虑所希望的工作频率和功耗，然后确定阈值电压，最后确定半导体制造过程中的工艺条件。

[0006] 半导体集成电路器件中的 MOSFET 通常具有恒定的阈值电压。但根据近年提出的一个发明，如 IEEE International Solid StateCircuits Conference Digest of Technical Papers，pp.166-167，1996 所述，已经提出了一种半导体集成电路，其中衬底的偏置电压根据工作状态是待机或运行而改变，从而控制 MOSFET 的阈值电压。

[0007] 根据发表的未经审查的日本专利申请 No.Hei8-274620，提出了一种方法，在由多个功能块构成半导体电路的情况下，在各个功能块中独立地选择衬底偏置电压，并在高速运行很重要的功能块中提供具有低阈值电压的 MOSFET，而在高速运行不重要的功能块中提供具有高阈值电压的 MOSFET。

[0008] 在 IEEE Journal of Solid-State Circuit，Vol.30，No.8，pp.847-854，August1995 中提出了另一个建议，即在电路中提供电源馈线和伪电源馈线，并在其间安置开关 MOSFET，其中主电路被馈以来自伪电源馈线的电源电压并处于待机状态，借助于关断开关 MOSFET 而使主电路不被馈以电源电压，从而实现低功耗。在此论文中还提出，开关 MOSFET 比之构成主电路的 MOSFET 具有更高的阈值电压，以便在运行工作条件下开关 MOSFET 保持开启状态同时不起开关作用。

[0009] 如上所述，在现有技术中已经提出了借助于根据工作状态是待机或运行而改变衬底偏置电压；或者在各个功能块中独立地选择衬底偏置电压，并在高速运行很重要的功能块中提供具有低阈值电压的 MOSFET，而在高速运行不重要的功能块中提供具有高阈值电压的 MOSFET，来控制 MOSFET 的阈值电压。

[0010] 此外，在现有技术中提出了，在运行中不要求开关速度的特定 MOSFET 中使用高阈

值电压。但在MOSFET的阈值电压在待机状态被均匀地提高，在运行状态又被均匀地降低的方法中，为了确保运行工作状态的高速工作，无法避免漏电流造成的功耗的上升。此外，本发明的发明人通过其进行的研究已经发现，即使在同一个功能块中，在各个逻辑门中的不同的逻辑门中，也存在着必须的运行速度不同的情况。

[0011] 图11示出了工作在100MHz下的半导体集成电路中的触发器之间的路径中的延迟的频率分布。横轴用来绘出路径中的延迟数值，而纵轴表示分别对应于延迟数值的路径的数目。为了在100MHz下工作，整个路径中的延迟数值的频率分布必须如图中所示的频率分布(1)那样被限制在小于10nsec的延迟数值的范围内。当半导体集成电路的运行速度为125MHz时，整个路径必须在小于8nsec的延迟数值的范围内。为了满足这一条件，根据现有技术，有二种选择；一是改变工艺条件，另一是借助于改变衬底偏压源而均匀地降低构成电路的MOSFET的阈值电压。

[0012] 结果，例如，延迟数值如图11的频率分布(2)那样被改变。但此时，漏电流产生的功耗提高了，并出现了不满足对功耗提出的所需条件的危险。此外，在要求进一步降低功耗的情况下，根据现有技术，也有二种选择；一是改变工艺条件，另一是借助于改变衬底偏压源而均匀地提高构成电路的MOSFET的阈值电压。结果，延迟数值的分布例如像频率分布(3)那样被改变。亦即，运行速度被降低，从而无法实现100MHz。

[0013] 因此，必须折中确定是运行速度更重要还是功耗更优先。

发明内容

[0014] 发明的目的是解决现有技术已有的问题。亦即，本发明的目的是提供一种半导体集成电路器件，其中恰当地达到了在漏电流造成的功耗增大和运行速度之间的协调，从而不仅抑制了MOSFET漏电流造成的功耗的增大，而且可获得运行工作下的高速工作。

[0015] 本发明的另一目的是提供一种其上存储了以适当方式设计漏电流造成的功耗增大与运行速度之间的协调所需的单元信息库的存储媒质。

[0016] 本发明的又一目的是提供一种用来以适当的方式设计漏电流造成的功耗增大与运行速度之间的协调的半导体集成电路器件的设计方法。

[0017] 本发明解决上述问题的最重要的一点是，即使在给定的工作条件下，例如在要求高速的运行工作条件下，也用具有不同的阈值电压的MOSFET来构成半导体集成电路器件。

[0018] 特别是，本发明的半导体集成电路器件的第一特点是，为了满足工作频率的要求，考虑到时间，即信号沿信号路径传输所需的延迟，以下面方式来构造半导体集成电路器件，亦即，在电路的多个信号路径中，具有延迟裕度的路径用各具有高阈值电压的MOSFET构成，其中各个的运行速度低，但漏电流小，而没有延迟裕度的路径用各具有低阈值电压的MOSFET构成，其中各个的漏电流大，但运行速度高。

[0019] 本发明的半导体集成电路器件的第二特点是，当在半导体集成电路器件的信号路径中，若路径仅仅由各具有高阈值电压的MOSFET构成，则延迟大且无法满足运行频率的要求，但若路径仅仅由各具有低阈值电压的MOSFET构成，则延迟中出现裕度且无谓地提高了漏电流造成的功耗，因此，以适当的方式沿信号路径混合各具有低阈值电压的MOSFET和各具有高阈值电压的MOSFET，从而确保满足运行频率要求的延迟，同时将漏电流抑制到最小。

[0020] 本发明的半导体集成电路器件的第三特点是，在半导体集成电路器件中，当信号

路径在一个节点处从一个起始节点分支，然后各个分支引向多个节点的构造含有各具有低阈值电压的 MOSFET 和各具有高阈值电压的 MOSFET 以上述适当方式的混合时，为了在总数上尽量少用各具有低阈值电压的 MOSFET，沿从起始节点到分支节点的路径采用了更多的各具有低阈值电压的 MOSFET，另一方面，当信号路径在一个节点处从多个起始节点汇合，然后单个信号路径引向一个最终节点的构造含有各具有低阈值电压的 MOSFET 和各具有高的阈值电压的 MOSFET 以上述适当方式的混合时，为了在总数上尽量少用各具有低的阈值电压的 MOSFET，沿从汇合节点到最终节点的路径采用了更多的各具有低的阈值电压的 MOSFET。

[0021] 根据本发明用具有不同阈值电压的 MOSFET 构造半导体集成电路的第一方法是改变 MOSFET 的栅氧化膜下方的半导体衬底的杂质密度，构造半导体集成电路的第二方法是改变馈送到 MOSFET 衬底的偏置电压数值，第三方法是改变 MOSFET 的栅氧化膜的厚度，而第四方法是改变 MOSFET 的栅长度。

[0022] 本发明的特点是，以四种方法的组合来构造具有不同阈值电压的 MOSFET。

[0023] 本发明的特点是，在构造具有不同阈值电压的 MOSFET 的第二方法中，为了改变馈送到 MOSFET 衬底的偏置电压数值，构造了彼此隔离的多个绝缘阱区，并在不同的阱区上安置具有不同阈值电压的 MOSFET。

[0024] 本发明的特点是，为了在不同的阱区上安置具有不同阈值电压的 MOSFET，成行一维地安排了逻辑门，而沿垂直于此行的方向安排了多行逻辑门，以便二维地安置逻辑门，其中由各具有相同阈值电压的 MOSFET 构成的逻辑门被安排在相同的行上，并在沿行安置的相同的阱区上构造各具有相同阈值电压的 MOSFET，且其中用沿与此行相同的方向的引线馈送偏压源。

[0025] 本发明的特点是，当用各具有相同阈值电压的 MOSFET 构成的逻辑门被安排在一行上，且逻辑门被制造在沿一行排列的相同的阱区上时，若多个逻辑门由各具有相同阈值电压的 MOSFET 构成，则彼此相邻排列的多行逻辑门通常占有一个阱区。

[0026] 本发明的特点是，其上存储有用来设计半导体集成电路的单元信息库的存储媒质登录有至少二种具有相同功能和相同尺寸，但由具有不同阈值电压的 MOSFET 构成的，因而具有不同延迟和不同功耗的单元。

[0027] 本发明的特点是，采用了一种半导体集成电路器件的设计方法，它使用其上存储了单元信息库的存储媒质，并包含下列步骤：计算信号路径的延迟；以及用信号路径延迟计算步骤的计算结果，将一个选自至少二种由开关元件构成的单元中的具有相同的功能和相同的尺寸但阈值电压不同的单元，赋值到逻辑电路。

[0028] 本发明的特点是，采用了另一种半导体集成电路器件的设计方法，它使用其上存储了单元信息库的存储媒质，并包含下列步骤：仅仅用由各具有高阈值的开关元件构成的单元来设计逻辑电路；计算信号路径的延迟；以及用由各具有相同的功能和相同的尺寸的各具有低阈值的开关元件构成的单元，来替换仅仅用由各具有高阈值的开关元件构成的单元而设计的逻辑电路的部分单元。

[0029] 本发明的特点是，在应用中，半导体集成电路包含含有多个诸如锁存电路、触发电路、信号输出端子或信号输入端子之类的各保持一种信号状态的电路的信号路径，其中在电路之间的路径中提供有多个具有不同阈值的晶体管。本发明的特点是，在应用中，半导体集成电路包含多个受信号路径中的时钟信号控制的第一电路以及包括多个插入在第一电

路之间的具有不同阈值的晶体管的第二电路。

[0030] 作为一种设计概念，本发明的设计方法是一种半导体集成电路器件的设计方法，其中多个受时钟控制的第一电路被包括在信号路径中，而由多个具有不同阈值的晶体管构成的第二电路被插入在第一电路之间的路径中，其中构成第二电路的各个晶体管的阈值被设定成第一电路之间的信号延迟时间不超过给定的目标值。

[0031] 亦即，不可避免地存在一个具有最大延迟时间的路径，它确定了多个第一电路之间的路径中的总运行速度。但路径的延迟时间可以更小，且在这种具有大的延迟时间的路径中，可以利用各具有低的阈值的高速晶体管，以适当的方式改善整个电路的工作频率。

[0032] 根据本发明，提供一种使用至少记录着单元的逻辑功能、形状、延迟特性、功耗的单元信息库来设计半导体集成电路的设计方法，其中，所述单元信息库登录有具有相同的逻辑功能和相同的形状而延迟特性和功耗不同的第 1 单元和第 2 单元，所述设计方法包括：第 1 步骤，使用所述第 1 单元设计逻辑电路；第 2 步骤，计算上述设计的逻辑电路的功耗和所述逻辑电路所包含的信号路径的延迟；第 3 步骤，对于所述延迟不满足所述半导体集成电路所要求的工作速度的信号路径，将所述不满足的信号路径所包含的所述第 1 单元置换为所述第 2 单元。

[0033] 根据本发明，提供一种半导体集成电路器件，包括：第 1N 沟道 MOSFET，其漏极与第 1 输入端子相连接，其源极与第 3 端子相连接；第 2N 沟道 MOSFET，其漏极与第 2 输入端子相连接，其源极与第 3 端子相连接；以及逻辑门，是输入端子与第 3 端子相连接的倒相器，其中，所述第 1N 沟道 MOSFET 和所述第 2N 沟道 MOSFET 的阈值比构成所述逻辑门的 MOSFET 的阈值低，并且输入所述第 1N 沟道 MOSFET 的栅极的第 1 信号与输入所述第 2N 沟道 MOSFET 的栅极的第 2 信号是互补信号。

[0034] **附图说明**

[0035] 从结合附图进行的下列描述中，本发明的这些和其它的特点、目的和优点将变得明显，其中：

[0036] 图 1 示出了本发明的半导体集成电路器件中的逻辑门电路的典型实施例。

[0037] 图 2 示出了本发明的半导体集成电路器件中的逻辑门电路的第二实施例。

[0038] 图 3 示出了本发明的半导体集成电路器件中的逻辑门电路的第三实施例。

[0039] 图 4 示出了本发明的半导体集成电路器件中的逻辑门电路的第四实施例。

[0040] 图 5 示出了本发明的半导体集成电路实施例中的逻辑门的结构。

[0041] 图 6 示出了栅长度与阈值电压之间的关系。

[0042] 图 7 示出了本发明的半导体集成电路器件中的阱区实施例的结构。

[0043] 图 8 是本发明的半导体集成电路器件实施例中的器件结构的剖面图。

[0044] 图 9A 和 9B 示出了本发明的半导体集成电路器件中的阱区的第二实施例的结构。

[0045] 图 10 示出了本发明的其上存储有单元信息库的存储媒质的实施例。

[0046] 图 11 示出了一般信号路径中的延迟数值分布的例子。

[0047] 图 12 示出了本发明的半导体集成电路器件中的 MOSFET 电路的实施例。

[0048] 图 13 示出了本发明的半导体集成电路器件中的 MOSFET 电路的第二实施例。

[0049] 图 14 示出了本发明的半导体集成电路器件中的 MOSFET 电路的第三实施例。

[0050] 图 15 示出了本发明的半导体集成电路器件的布局的实施例。

[0051] 图 16 示出了本发明的半导体集成电路器件的布局的第二实施例。

[0052] 图 17 示出了本发明的实施例中延迟与功耗之间的关系。

[0053] 图 18 示出了本发明实施例中的延迟数值的分布。

[0054] 图 19 示出了本发明的半导体集成电路中的逻辑门电路的第五实施例。

[0055] 图 20 示出了本发明的半导体集成电路中的逻辑门电路的第六实施例。

[0056] 图 21 示出了 MOSFET 电路的实施例，其中传送晶体管和互补 MOSFET 混合在本发明的半导体集成电路器件中。

[0057] 图 22 是用 SOI 器件结构执行本发明的情况下的半导体集成电路器件的布局图。

[0058] 图 23 示出了本发明的半导体集成电路设计方法的实施例。

[0059] 图 24 示出了本发明的半导体集成电路设计方法的第二实施例。

[0060] 图 25 是本发明的半导体集成电路器件第二实施例中的器件结构的剖面图。

[0061] 图 26 是本发明的半导体集成电路器件第三实施例中的器件结构的剖面图。

[0062] 图 27 是本发明的半导体集成电路器件第四实施例中的器件结构的剖面图。

[0063] 图 28 示出了一个实施例，其中本发明的半导体集成电路器件被用于微处理器。

具体实施方式

[0064] 下面参照附图描述本发明的实施例。

[0065] 图 1 示出了本发明的典型实施例。图 1 的电路由触发器 f11-f14 和 NAND 元件 g11-g19 构成。虽然为了简化描述而将逻辑门 g11-g19 都示为 NAND，但并不限制本发明的半导体集成电路器件仅仅由 NAND 元件构成。图中略去了与描述无关的信号。在描述中假设图 1 例子的电路工作于 200MHz。因此，在将时针信号 CK 输入到触发器 f11 之后直至信号被输入到触发器 f12，路径中的延迟以及在将时针信号 CK 输入到触发器 f13 之后直至信号被输入到触发器 f14，路径中的延迟都是在 5nsec 或更短的范围内。此处假设当 NAND 元件和触发器包含各具有高阈值 MOSFET 时的延迟为 1nsec，而当 NAND 元件和触发器包含各具有低阈值 MOSFET 时的延迟为 0.8nsec。

[0066] 在图 1 中，灰色示出的逻辑门，亦即 f13 和 g15-g19，含有各具有低阈值电压的 MOSFET，而白色示出的元件含有各具有高阈值电压的 MOSFET。用这种结构，从 f11 和 g11-g14 到 f12 的路径中的延迟是 5nsec，而从 f13 和 g15-g19 到 f14 的路径中的延迟是 4.8nsec，二个路径都具有等于或小于 5nsec 的延迟，这使电路能够工作于目标频率 200MHz。

[0067] 此时，当如现有技术那样，所有逻辑门都由各具有高阈值电压的 MOSFET 构成时，从 f13 和 g15-g19 到 f14 的路径中的延迟是 6nsec，因此，此电路仅仅能够工作于 167MHz。

[0068] 然后将注意力集中到漏电流。此处假设当电路由各具有高阈值电压的 MOSFET 构成时，一个逻辑门的漏电流为 1pA，而当电路由各具有低阈值电压的 MOSFET 构成时，一个逻辑门的漏电流为 5pA。此时，若如图 1 那样，构成一个信号路径的逻辑门的 MOSFET 的阈值电压不同于另一个信号路径，则漏电流总和达到 37pA。另一方面，若如现有技术那样，二个路径的 MOSFET 的阈值电压都是相同的高阈值电压，则漏电流总和为 13pA，且若二个路径的 MOSFET 的阈值电压都是相同的低阈值电压，则漏电流总和为 65pA。

[0069] 换言之，虽然在图 1 的现有技术例子中，在总漏电流为 13pA 时，运行频率只能选择

为 167MHz，或在总漏电流为 65pA 时，选择为 200MHz，但在根据本发明的路径中，能够在总漏电流为 37pA 时，实现 200MHz 的运行频率。图 1 所示实施例的主要特点是，为了抑制漏电流同时又实现目标运行频率，根据构成半导体集成电路的路径中的延迟而选择性地组合了各具有低阈值电压的 MOSFET 和各具有高阈值电压的 MOSFET。

[0070] 图 2 示出了本发明的半导体集成电路器件中的逻辑门电路的第二实施例。除了图 2 的逻辑门 g17 由各具有高阈值电压的 MOSFET 构成之外，图 2 的电路与图 1 的电路是完全相同的。在图 1 中，沿从 f13 和 g15-g19 到 f14 路径的所有逻辑门都由各具有低阈值电压的 MOSFET 构成，且延迟为 4.8nsec。这意味着留下了 0.2nsec 的裕度，以便在运行频率下工作。在图 2 的情况下，当由各具有高阈值电压的 MOSFET 构成的一个元件被混合在从 f13 和 g15-g19 到 f14 路径中时，也可以假设延迟为 5nsec，且总漏电流可以被进一步降低到 33pA。亦即，图 2 所示实施例的重要一点是，为了将漏电流抑制到实现目标运行频率的最小值，以适当的方式，将具有不同阈值电压的 MOSFET 混合在甚至一个信号电路中。

[0071] 图 3 示出了本发明的半导体集成电路器件中的逻辑门电路的第三实施例。在图 3 中，电路由触发器 f31、f32、f33 和逻辑门 g301-g317 构成。假设路径 f31-f32 和路径 f31-f33 的目标延迟都是 10nsec。各个元件的延迟和漏电流与图 1 和 2 的相同。路径 f31-f32 和路径 f31-f33 都由 11 个逻辑门构成，且为了实现 10nsec 的延迟，11 个逻辑门中的至少 5 个元件必须由各具有低阈值电压的 MOSFET 构成。

[0072] 当从 g301 到 g305 的二个路径上的公共部分如图 3 所示由各具有低阈值的 MOSFET 构成时，在整个电路中可以将由各具有低阈值的 MOSFET 构成逻辑门的数目减为最少。此时，总漏电流为 37pA。当包括在公共部分中的那些之外的逻辑门，例如逻辑门 g307-g311 和 g313-g317 由各具有低阈值电压的 MOSFET 构成时，总漏电流为 57pA。当如现有技术那样，所有逻辑门都由各具有低阈值电压的 MOSFET 构成时，总漏电流为 85pA。图 3 所示实施例的主要一点是，在从一个起始节点开始的信号路径在一个节点处被分支，致使各个分支引向多个节点的电路中，当各具有低阈值电压的 MOSFET 与各具有高阈值电压的 MOSFET 以适当的方式被混合时，为了在总数上尽量少用各具有低阈值电压的 MOSFET，在从起始节点到分支节点的路径中混合了更多的各具有低阈值电压的 MOSFET。

[0073] 图 4 示出了本发明的半导体集成电路器件中的逻辑门电路的第四实施例。图 4 由触发器 f41、f42、f43 和逻辑门 g401-g417 构成。如图 3 中那样，路径 f41-f43 和路径 f42-f43 的目标延迟都是 10nsec。各个元件的延迟和漏电流与图 1-3 中的相同。从 f41 延伸到 f43 的路径和从 f42 延伸到 f43 的路径，都包含 11 个逻辑门，且为了实现 10nsec 的延迟，11 个逻辑门中的至少 5 个元件必须由各具有低阈值电压的 MOSFET 构成。

[0074] 如图 4 所示，当两个路径的公共部分 g407-g411 都由各具有低阈值电压的 MOSFET 构成时，在整个电路中，由各具有低阈值电压的 MOSFET 构成的逻辑门的数目被减为最少。此时，总电流为 37pA。当公共部分之外的逻辑门，例如逻辑门 g401-g405 和 g412-g416 由各具有低阈值电压的 MOSFET 构成时，总漏电流为 57pA。当如现有技术那样，所有逻辑门都由各具有低阈值电压的 MOSFET 构成时，总漏电流为 85pA。亦即，图 4 所示实施例的主要一点是，在来自作为起始点的多个节点的信号路径被汇合，致使汇合的路径引向一个节点的电路中，当各具有低阈值电压的 MOSFET 与各具有高阈值电压的 MOSFET 以适当的方式被彼此混合时，为了尽量少用各具有低阈值电压的 MOSFET，用于从汇合节点到最终节点的公共部

分的各具有低阈值电压的 MOSFET，比用于其它路径中的更多。

[0075] 下面用图 19 来描述本发明的半导体集成电路器件中的逻辑门电路的第五实施例。图 19 的实施例包含：第一信号路径和第二信号路径，第一信号路径含有作为起点的触发器 f191、通过由一个或多个逻辑门组成的电路 c191、逻辑门 g191、逻辑门 g192 和逻辑门组 gg191、最后是触发器 f192，第二信号路径含有作为起点的触发器 f191、通过由一个或多个逻辑门组成的电路 c191、逻辑门 g191、逻辑门 g193 和逻辑门组 gg192、最后是触发器 f193。假设若二个路径都同样仅仅由各具有高的阈值电压的 MOSFET 构成，则二个路径的延迟都超过目标延迟。

[0076] 已经描述过，此时，公共逻辑门 g191 由各具有低阈值电压的 MOSFET 构成。以下将注意力集中到逻辑门组 gg191 和 gg192。逻辑门组 gg192 包含 N 级结构的逻辑门，而逻辑门组 gg191 包含比 gg192 更多的 N+M 级结构的逻辑门，亦即 N×M 级结构的逻辑门。在这一条件下，包括逻辑门组 gg191 的第一信号路径的延迟大于包括逻辑门组 gg192 的第二路径的延迟。在这种情况下，接收各具有低的阈值电压的 MOSFET 构成的逻辑门 g191 的输出的逻辑门 g192，由各具有低的阈值电压的 MOSFET 构成。如有需要，逻辑门组 gg191 的某些逻辑门由各具有低阈值电压的 MOSFET 构成，这点未示出。

[0077] 下面用图 20 来描述本发明的半导体集成电路器件中的逻辑门电路的第六实施例。图 20 的实施例包含：第一信号路径和第二信号路径，第一信号路径含有作为起点的触发器 f201、通过逻辑门组 gg201、逻辑门 g201、逻辑门 g202 和由一个或多个逻辑门组成的电路 c201、最后是触发器 f203，第二信号路径含有作为起点的触发器 f202、通过逻辑门组 gg202、逻辑门 g203、逻辑门 g202 和由一个或多个逻辑门组成的电路 c201、最后是触发器 f203。假设若二个路径都仅仅由各具有均匀的高的阈值电压的 MOSFET 构成，则二个路径的延迟都超过目标延迟。

[0078] 已经描述过，此时，公共逻辑门 g202 由各具有低阈值电压的 MOSFET 构成。以下将注意力集中到逻辑门组 gg201 和 gg202。逻辑门组 gg202 包含 K 级结构的逻辑门，而逻辑门组 gg201 包含比 gg202 更多的 K+L 级结构的逻辑门，亦即 K×L 级结构的逻辑门。在这一条件下，包括逻辑门组 gg201 的第一信号路径的延迟大于包括逻辑门组 gg202 的第二路径的延迟。在这种情况下，第一路径的的逻辑门 g201 由各具有低阈值电压的 MOSFET 构成。如有需要，逻辑门组 gg201 的某些逻辑门由各具有低阈值电压的 MOSFET 构成，这点未示出。

[0079] 在图 12 中，将描述采用由 p 沟道 MOSFET 和 n 沟道 MOSFET 构成的互补 MOSFET 的实施例。触发器 f121 的输出脚通过一个或多个 MOSFET 被连接到第一 p 沟道 MOSFET pm1 的栅和第一 n 沟道 MOSFET nm1 的栅电极。p 沟道 MOSFET pm1 被连接到第一工作电源线 Vdd121 和第一节点 nd1，使源 / 漏路径位于其间，而 n 沟道 MOSFET nm1 被连接到第一节点 nd1 和第二工作电源线 Vss121，使源 / 漏路径位于其间。

[0080] 第一节点 nd1 再被连接到第二 p 沟道 MOSFET pm2 的栅和第二 n 沟道 MOSFET nm2 的栅电极。p 沟道 MOSFET pm2 被连接到第一工作电源线 Vdd121 和第二节点 nd2，使源 / 漏路径位于其间，而 n 沟道 MOSFET nm2 被连接到第二节点 nd2 和第二工作电源线 Vss121，使源 / 漏路径位于其间。此外，第二节点 nd2 通过一个或多个 MOSFET 被连接到第二触发器 f122 的输入脚。

[0081] 在图中的触发器 f121 和 f122 内部，用逻辑门符号示出了倒相器、三态门、传输门

等。时钟信号 CK 被输入到触发器 f121 和 f122。在图中，细实线被用来表示各具有高阈值电压的 MOSFET，而粗实线被用来表示各具有低阈值电压的 MOSFET。以下将通篇使用这种表示方法。

[0082] 在图 12 中，p 沟道 MOSFET pm2 和 n 沟道 MOSFET nm2 是各具有低阈值电压的 MOSFET，而 p 沟道 MOSFET pm1 和 n 沟道 MOSFET nm1 是各具有高阈值电压的 MOSFET。如用框圈起来那样，p 沟道 MOSFET pm1 和 n 沟道 MOSFET nm1 构成倒相器逻辑门 inv1，而 p 沟道 MOSFET pm2 和 n 沟道 MOSFET nm2 构成倒相器逻辑门 inv2。在电路中，时钟信号 CK 输入到触发器 f121、信号从触发器 f121 的输出脚被输出、然后信号经由倒相器 inv1 和 inv2 到达触发器 f122 的输入脚的时间长度，即路径的延迟，必须在时钟信号 CK 的一个周期内。

[0083] 同时，实际上必须额外地考虑触发器建立所需的时间、信号到达触发器的时间的偏离等。此处，由于对描述不重要而忽略了这些情况。亦即，路径的延迟是时钟信号被输入到触发器 f121 和从触发器 f121 输出信号过程中的延迟、倒相器 inv1 中的延迟、以及倒相器 inv2 中的延迟的总和。此处假设当 p 沟道 MOSFET pm1、n 沟道 MOSFETnm1、p 沟道 MOSFET pm2 和 n 沟道 MOSFET nm2 都是各具有高阈值电压的 MOSFET 时，路径的延迟比一个时钟周期长，而当所有的 MOSFET 都是各具有低阈值电压的 MOSFET 时，路径的延迟具有可以与时钟周期相比拟的裕度（亦即消耗无用的功率）。

[0084] 虽然，以这种方式，根据现有技术，延迟和功耗未被优化以达到平衡，但当如实施例那样，p 沟道 MOSFET pm2 和 n 沟道 MOSFETnm2 都仅仅构造成具有低电压阈值时，延迟被调整为满足要求，并还能抑制功耗。

[0085] 在图 13 中，将描述采用由 p 沟道 MOSFET 和 n 沟道 MOSFET 构成的互补 MOSFET 的第二实施例。触发器 f131 的输出脚被连接到第一 p 沟道 MOSFET pm131 的栅和第一 n 沟道 MOSFET nm131 的栅电极。

[0086] p 沟道 MOSFET pm131 被连接到第一工作电源线 Vdd131 和第一节点 nd131，使源 / 漏路径位于其间，而 n 沟道 MOSFET nm131 被连接到第一节点 nd131 和第二工作电源线 Vss131，使源 / 漏路径位于其间。此外，第一节点 nd131 被连接到第二 p 沟道 MOSFET pm132 的栅、第二 n 沟道 MOSFET nm132 和第三 p 沟道 MOSFET pm134 的栅、以及第三 n 沟道 MOSFET nm134 的栅。

[0087] p 沟道 MOSFET pm132 被连接到第一工作电源线 Vdd131 和第二节点 nd132，使源 / 漏路径位于其间，第四 p 沟道 MOSFET pm133 也被连接到第一工作电源线 Vdd131 和第二节点 nd132，使源 / 漏路径位于其间。第二 n 沟道 MOSFET nm132 和第四 n 沟道 MOSFET nm133 被串联连接在第二节点 nd132 和第二工作电源线 Vss131 之间，使源 / 漏路径位于其间。

[0088] 第三 p 沟道 MOSFET pm134 和第五 p 沟道 MOSFET pm135 被串联连接在第一工作电源线 Vss131 和第三节点 nd133 之间，使源 / 漏路径位于其间。第二 n 沟道 MOSFET nm132 被连接到第三节点 nd133 和第二工作电源线 Vss131，使源 / 漏路径位于其间。像这样，第五 n 沟道 MOSFET nm135 也被连接到第三节点 nd133 和第二工作电源线 Vss131，使源 / 漏路径位于其间。

[0089] 此外，第二节点 nd132 通过由一个或多个逻辑门构成的电路 c131（在图中示为椭圆符号），被连接到第二触发器 f132 的输入脚。第三节点 nd133 通过由一个或多个逻辑门构成的电路 c132（示为 c131 那样的椭圆），被连接到第三触发器 f133 的输入脚。

[0090] 在图中，触发器内部的逻辑门被忽略。时钟信号 CK 被输入到触发器。如用框圈起来那样，p 沟道 MOSFET pm131 和 n 沟道 MOSFETnm131 构成倒相器逻辑门 inv131 ；p 沟道 MOSFET pm132、pm133 和 n 沟道 MOSFET nm132、nm133 构成 NAND 逻辑门 NAND131 ；而 p 沟道 MOSFET pm134、pm135 和 n 沟道 MOSFET nm134、nm135 构成 NOR 逻辑门 NOR131。信号 in2 除了输入到 inv131 的输出外，还输入到 NAND131，而信号 in3 除了输入到 inv131 的输出外，还输入到 NOR131。

[0091] 在电路中，在时钟信号 CK 被输入到触发器 f131 之后直到从触发器 f131 的输出脚输出的信号经由倒相器 inv131 和 NAND131 以及 c131 到达触发器 f132 的输入脚的时间长度 ；以及信号被从触发器 f131 的输出脚输出之后直到信号经由倒相器 inv131 和 NOR131 以及 c132 到达触发器 f133 的输入脚的时间长度，必须在时钟信号 CK 的一个周期内。在此实施例中，也假设当构成 NAND131、NOR131 和 inv131 的 MOSFET 都由各具有高阈值电压的 MOSFET 组成时，二个路径的延迟都大于时钟周期，而当构成 NAND131、NOR131 和 inv131 的 MOSFET 都由各具有低阈值电压的 MOSFET 组成时，路径的延迟具有可以与时钟周期相比拟的裕度（亦即消耗无用的功率）。

[0092] 虽然，在图 12 的实施例中，当 inv1 由各具有低阈值的 MOSFET 组成时和 inv2 由各具有低阈值的 MOSFET 组成时，二者之间功耗没有出现差别，但如实施例那样，在路径在节点 nd131 处被分支的情况下，分支节点 nd131 上游的逻辑门的 MOSFET pm131 和 nm131，亦即二个路径共有的 MOSFET，都由各具有低阈值电压的 MOSFET 组成。从而尽量减少了为了将延迟限制在目标时间长度内所要求的各具有低阈值的 MOSFET 的数目，此外有可能进一步抑制功耗。虽然在此实施例中描述了一个路径被分支成二个路径的情况，但路径被分支成三个路径或更多路径，亦即输出为三个或更多的情况，也包括在本发明的范围内，并能够获得与二个分支路径情况相同的效果和作用。

[0093] 在图 14 中，将描述采用由 p 沟道 MOSFET 和 n 沟道 MOSFET 构成的互补 MOSFET 的第三实施例。触发器 f141 的输出脚经由逻辑门电路 c141 被连接到第一 p 沟道 MOSFET pm141 和第一 n 沟道 MOSFET nm141 的栅电极。p 沟道 MOSFET pm141 被连接到第一工作电源线 Vdd141 和第一节点 nd141，使源 / 漏路径位于其间。第二 p 沟道 MOSFET pm142 也被连接到第一工作电源线 Vdd141 和第一节点 nd141，使源 / 漏路径位于其间。n 沟道 MOSFET nm141 和第二 n 沟道 MOSFET nm142 被串联连接到第一节点 nd141 和第二工作电源线 Vss141，使源 / 漏路径位于其间。

[0094] 触发器 f142 的输出脚经由逻辑门电路 c142 被连接到第三 p 沟道 MOSFET pm143 和第三 n 沟道 MOSFET nm143 的栅电极。p 沟道 MOSFET pm143 被连接到第一工作电源线 Vdd141 和第二节点 nd142，使源 / 漏路径位于其间。第四 p 沟道 MOSFET pm144 也被连接到第一工作电源线 Vdd141 和第二节点 nd142，使源 / 漏路径位于其间。n 沟道 MOSFET nm143 和第四 n 沟道 MOSFET nm144 被串联连接到第二节点 nd142 和第二工作电源线 Vss141，使源 / 漏路径位于其间。

[0095] 此外，第一节点 nd141 被连接到第五 p 沟道 MOSFET pm145 和第五 n 沟道 MOSFET nm145 的栅电极。而且，第二节点 nd142 被连接到第六 p 沟道 MOSFET pm146 和第六 n 沟道 MOSFET nm146 的栅电极。p 沟道 MOSFET pm145、pm146 被连接到第一工作电源线 Vdd141 和第三节点 nd143，使源 / 漏路径位于其间，而 n 沟道 MOSFETnm145 和 n 沟道 MOSFET nm146

被串联连接到第三节点 nd143 和第二工作电源线 Vss141，使源 / 漏路径位于其间。此外，第三节点 nd143 被连接到第三触发器 f143 的输入脚。在图中，触发器内部的逻辑门也被忽略。时钟信号被输入到触发器。如用框圈起来那样，p 沟道 MOSFET pm141、pm142 和 n 沟道 MOSFET nm141、nm142 构成 NAND 逻辑门 NAND141，而 p 沟道 MOSFET pm143、pm144 和 n 沟道 MOSFET nm143、nm144 构成 NAND 逻辑门 NAND142，且 p 沟道 MOSFET pm145、pm146 和 n 沟道 MOSFET nm145、nm146 构成 NAND 逻辑门 NAND143。

[0096] 在电路中，在时钟信号 CK 被输入到触发器 f141 之后直到从触发器 f141 的输出脚输出的信号经由 c141、NAND141 和 NAND143 到达触发器 f143 的输入脚的时间长度；以及信号被从触发器 f142 的输出脚输出，且 CK 信号被输入到触发器 f142 之后直到从触发器 f142 的输出脚输出的信号经由 c142、NAND142 和 NAND143 到达触发器 f143 的输入脚的时间长度，必须在时钟信号 CK 的一个周期内。

[0097] 即使在此实施例中，仍然假设当构成 NAND141、NAND142 和 NAND143 的所有 MOSFET 都由各具有高的阈值电压的 MOSFET 组成时，上述二个路径的延迟都大于时钟周期，而当所有 MOSFET 都由各具有低的阈值的 MOSFET 组成时，路径的延迟具有可以与时钟周期相比拟的裕度（亦即消耗无用的功率）。虽然在图 12 的实施例中，当 inv1 由各具有低的阈值的 MOSFET 组成时和当 inv2 由各具有低阈值的 MOSFET 组成时，二者之间功耗没有出现差别，但如实施例那样，在路径从二个输入汇合的情况下，二个路径共有的逻辑门的 MOSFET，比图 13 所述的其它情况更优先地都由各具有低阈值电压的 MOSFET 组成。亦即，在图中，pm145、pm146 以及 nm145、nm146 由各具有低阈值电压的 MOSFET 组成。因此，尽量减少了为了将延迟限制在目标时间长度内所要求的各具有低阈值的 MOSFET 的数目，此外有可能进一步抑制功耗。虽然在此实施例中描述了二个路径汇合的情况，但三个路径或更多路径汇合的情况也包括在本发明的范围内，并能够获得与二个路径情况相同的效果和作用。

[0098] 在图 21 中，本发明的实施例采用由 n 沟道 MOSFET 和由 p 沟道 MOSFET 与 n 沟道 MOSFET 构成的互补 MOSFET 以及 n 沟道 MOSFET 组成的传送晶体管门。

[0099] 输入信号 in211 被输入到第一 n 沟道 MOSFET nm212 的漏电极；输入信号 in212 被输入到第二 n 沟道 MOSFET nm213 的漏电极；此外，输入信号 in213 被输入到第二 n 沟道 MOSFET nm213 的栅电极；而输入信号 in213 的负值被输入到第一 n 沟道 MOSFET nm212 的栅电极。第一 n 沟道 MOSFET nm212 和第二 n 沟道 MOSFET nm213 的源电极被连接到第一节点 nd211，而作为传送晶体管的第一 n 沟道 MOSFET nm212 和第二 n 沟道 MOSFET nm213 构成具有二个输入 / 一个输出的选择逻辑门 sel211。

[0100] 此外，第一节点 nd211 被连接到第一 p 沟道 MOSFET pm211 和第三 n 沟道 MOSFET nm211 的栅电极。第一 p 沟道 MOSFET pm211 被连接到第一工作电源线 Vdd211 和第二节点 nd212，使源 / 漏路径位于其间，而第三 n 沟道 MOSFET nm211 被连接到第二工作电源线 Vss211 和第二节点 nd212，使源 / 漏路径位于其间。从而，倒相器逻辑门 inv211 由第一 p 沟道 MOSFET pm211 和第三 n 沟道 MOSFETnm211 构成。图 21 所示的电路是传送晶体管逻辑门与互补 MOSFET 逻辑门被混合的电路。

[0101] 此时，作为传送晶体管的第一和第二 n 沟道 MOSFET nm212 和 nm213 由各具有低阈值电压的 MOSFET 组成。由于能够用传送晶体管紧密地制作逻辑门，故传送晶体管在近年受到了公众的关注，但本发明人已经发现一个有问题的情况，即比之互补 MOSFET，传送晶体管

在低压运行时的开关速度的下降是明显的。因此，如在本实施例中那样，本发明人借助于在互补 MOSFET 与传送晶体管被混合的半导体集成电路中使用具有低阈值电压的传送晶体管，已经能够解决此问题，从而有可能在互补 MOSFET 与传送晶体管相互混合的半导体集成电路中得到低压和高速运行而不降低传送晶体管的运行速度。

[0102] 然后来描述实现具有不同阈值电压的 MOSFET 的方法的实施例。构造具有不同阈值电压的 MOSFET 的半导体集成电路的第一方法是改变 MOSFET 栅氧化膜下方的半导体衬底的杂质密度。

[0103] 图 15 示出了采用上述方法的图 12 的电路的布局的实施例。在图 15 中，略去了触发器 f121 和 f122。触发器 f121 的输出脚被连接到 term121。term121 被连接到第一栅电极 gate121。栅电极 gate121 在 p^+ 源 / 漏区 darea121 上通过，从而形成第一 p 沟道 MOSFET pm1，同时栅电极 gate121 在 n^+ 源 / 漏区 darea122 上通过，从而形成第一 n 沟道 MOSFET nm1。p^+ 源 / 漏区 darea121 形成在 n 阱区 nw121 上，而 n^+ 源 / 漏区 darea122 形成在 p 阱区 pw121 上。

[0104] p 沟道 MOSFET pm1 的源被连接到第一工作电源线 Vdd121，而漏被连接到 n 沟道 MOSFET nm1 的漏和端子 term122。n 沟道 MOSFET nm1 的源被连接到第二工作电源线 Vss211。图中的黑方块示出了通孔，通过它在不同的金属互连层和半导体衬底之间实现互连。通过通孔 TH121，从 Vdd121 向 n 阱区 nw121 供电，并通过通孔 TH122，从 Vss121 向 p 阱区 pw121 供电 . 。

[0105] 这样就制作了图 2 的倒相器逻辑门 inv1。第一倒相器逻辑门 inv1 由第一 p 沟道 MOSFET pm1 和第一 n 沟道 MOSFET nm1 构成。同样，第二 p 沟道 MOSFET pm2 和第二 n 沟道 MOSFET nm2 由第二栅电极 122、p^+ 源 / 漏区 darea123 和 n^+ 源 / 漏区 darea124 构成。第二倒相器逻辑门 inv2 由第二 p 沟道 MOSFET pm2 和第二 n 沟道 MOSFETnm2 构成。inv1 的输出端子 term122 和 inv2 的输入端子 term123 彼此被连接，这样就制作了图 12 所示的具有二个倒相器的电路。

[0106] inv2 的输出端子 term124 被连接到第二触发器 f122 的输入脚。此处，在第一栅电极 gate121 下方示出了带阴影的区域 area121 和 area122。在半导体集成电路的制造工艺中，杂质在阱区 pw121 和 nw121 中分布成浅层，然后以选择性方式仅仅在区域 area121 和 area122 中再额外地分布杂质，从而仅仅在这些区域中提高杂质密度，这仅仅使各个 MOSFET pm1 和 nm1 具有高阈值电压。

[0107] 如图 5 所示，根据此方法，能够自由地改变构成位于半导体集成电路中任何位置的逻辑门的 MOSFET 的阈值电压。图 5 中，以符号方式用方块来表示逻辑门。示为灰色的方块，例如 g51，是由各具有低阈值电压的 MOSFET 构成的逻辑门，而示为白色的方块，例如 g52，是由各具有高阈值电压的 MOSFET 构成的逻辑门。在图中，从图 2 的 f11 到 f12 的路径被示为 path51，而从图 2 的 f13 到 f14 的路径被示为 path52。

[0108] 但在这一方法中，在衬底中分布杂质的步骤的数目，例如离子注入步骤的数目，必须等于所用的 MOSFET 的种类的数目。

[0109] 图 25 示出了当采用这一方法时，由具有高的或低的二种阈值电压的图 12 的 MOSFET 构成的二个倒相器的第二实施例中的器件结构的深度剖面图。由于图 12 的实施例使用了互补 MOSFET，故采用了 n 阱制作在部分 p 型衬底表面中的双阱结构。在 p 衬底的表面

层中制作了 N^+ 型源 / 漏区 diff2501、diff2504、栅氧化膜 ox2501、ox2504、栅电极 gate2501 和 gate2504，这样就构成了 n 沟道 MOSFET nm2501、nm2504。在 n 阱区表面层上分别制作了由 p^+ 型源 / 漏区 diff2502、diff2503、栅氧化膜 ox2502、ox2503、栅电极 gate2502 和 gate2503 构成的 p 沟道 MOSFET pm2502 和 pm2503。Vdd 被连接到 p 沟道 MOSFET 的源和 n 阱，Vss 被连接到 n 沟道 MOSFET 的源和 p 衬底。

[0110] 此处假设图 12 的倒相器 inv1 由 nm2501 和 nm2502 构成，而图 12 的倒相器 inv2 由 nm2504 和 nm2503 构成。由于 inv1 是由各具有高阈值电压的 MOSFET 构成的，故 nm2501 和 nm2502 的栅氧化膜下方的半导体衬底的杂质密度（图中的杂质密度 1）被设定得高，而 nm2504 和 nm2503 的栅氧化膜下方的杂质密度（图中的杂质密度 2）被设定得低。

[0111] 用具有各不相同的阈值电压的 MOSFET 制造半导体集成电路的第三方法是改变 MOSFET 的栅氧化膜的厚度。利用这种方法，也能够如图 5 所示自由地改变构成半导体集成电路中任何位置的逻辑门的 MOSFET 的阈值电压。但用这一方法，在半导体集成电路的制造工艺中，步骤的数目，例如热氧化步骤的数目，也必须等于所用 MOSFET 的种类的数目。

[0112] 图 26 示出了当采用这一方法时，由具有高或低二种阈值电压的图 12 的 MOSFET 构成的二个倒相器的第三实施例中的器件结构的深度剖面图。

[0113] 如在图 25 中那样，器件结构假设是 n 阱制作在部分 p 型衬底表面层中的双阱结构。在 p 衬底的部分表面区中制作了 N^+ 型源 / 漏区 diff2601、diff2604、栅氧化膜 ox2601、ox2604、和栅电极 gate2601、gate2604，这样就制造了 n 沟道 MOSFET nm2601、nm2604。在 n 阱区表面层上制作了由 p^+ 型源 / 漏区 diff2602、diff2603、栅氧化膜 ox2602、ox2603 构成的 p 沟道 MOSFET pm2602 和 pm2603。

[0114] 此外，Vdd 被连接到 p 沟道 MOSFET 的源和 n 阱，而 Vss 被连接到 n 沟道 MOSFET 的源和 p 衬底。此处假设图 12 的倒相器 inv1 由 nm2601 和 pm2602 构成，而图 12 的倒相器 inv2 由 nm2604 和 pm2603 构成。为了用 inv1 的各具有高阈值电压的 MOSFET 构成 inv1，nm2601 和 pm2602 的栅氧化膜的厚度（图中的厚度 t1）被设定得大，而为了用各具有低阈值电压的 MOSFET 构成 inv2，nm2604 和 pm2603 的栅氧化膜的厚度（图中的厚度 t2）被设定得小。

[0115] 用具有各不相同的阈值电压的 MOSFET 来制造半导体集成电路的第四方法是改变栅长度。利用这种方法，也能够如图 5 所示自由地改变构成半导体集成电路中任何位置的逻辑门的 MOSFET 的阈值电压。

[0116] 图 6 示出了栅长度与阈值电压之间的关系。例如，当选定图 6 曲线所示的二个点并稍许改变栅长度时，能够制作具有高或低不同阈值电压的二种 MOSFET。

[0117] 图 27 示出了当采用这一方法时，由具有高或低二种阈值电压的图 12 的 MOSFET 构成的二个倒相器的第四实施例中的器件结构的深度剖面图。如在图 25 中那样，器件结构假设是 n 阱制作在部分 p 型衬底表面层中的双阱结构。在 p 型衬底的表面层中制作了 N^+ 型源 / 漏区 diff2701、diff2704、栅氧化膜 ox2701、ox2704、和栅电极 gate2701、gate2704，这样就制造了 n 沟道 MOSFET nm2701、nm2704。在 n 阱区表面层上制作了由 p^+ 型源 / 漏区 diff2702、diff2703、栅氧化膜 ox2702、ox2703 构成的 p 沟道 MOSFET pm2702 和 pm2703。此外，Vdd 被连接到 p 沟道 MOSFET 的源和 n 阱，而 Vss 被连接到 n 沟道 MOSFET 的源和 p 衬底。

[0118] 此处假设图 12 的倒相器 inv1 由 nm2701 和 pm2702 构成，而图 12 的倒相器 inv2 由

nm2704 和 pm2703 构成。为了用各具有高阈值电压的 MOSFET 构成 inv1，nm2701 和 pm2702 的栅长度（图中的栅长度 Lg1）被设定得大，而为了用各具有低阈值电压的 MOSFET 构成 inv2，nm2704 和 pm2703 的栅长度（图中的栅长度 Lg2）被设定得小。

[0119] 在图 7 中将描述实现本发明的实施例中的各具有不同阈值电压的 MOSFET 的第二方法。用具有不同阈值电压的 MOSFET 制造半导体集成电路的第二方法是改变施加在 MOSFET 衬底的偏置电压数值。为了实现这一改变，要求各个阱区电学上分隔开以便向具有不同阈值电压的 MOSFET 馈送不同的衬底偏置电压。

[0120] 此外，为了向各个阱区供电，需要衬底偏压工作电源线。为此，由于面积要求提高太大，如图 5 那样自由地改变任意位置处的逻辑门的 MOSFET 的阈值电压是不现实的。

[0121] 因此，如图 7 所示，在同一阱区中执行成组地制造具有相同阈值电压的 MOSFET 的布局。但当采用这一方法时，具有不需要用来制作具有多个阈值电压的 MOSFET 的额外的制造步骤的优点。

[0122] 在图 7 中，示出了一个实施例，其中阱区 well71-well75 被制作在半导体集成电路 LSI70 上。此处，阱区 well71-well74 被用于各具有低的阈值电压的 MOSFET，而阱区 well75 被用于各具有高阈值电压 MOSFET。此时，由于出现了根据 MOSFET 的阈值电压数值而对包括具有阈值电压的 MOSFET 的逻辑门的构造地点的选择的限制，故需要注意逻辑门布局的限制。

[0123] 图 7 是一个实施例的结构，其中由各具有低阈值电压的 MOSFET 构成的逻辑门以及由各具有高阈值电压的 MOSFET 构成的逻辑门，以 1-3 的面积比被排列在芯片上。这一比率是根据目标工作频率、目标漏电流数值和组合在器件中的逻辑电路的特性确定的。当本发明应用于门阵列时，要预先估计由各具有低阈值电压的 MOSFET 构成的逻辑门与由各具有高阈值电压的 MOSFET 构成的逻辑门之间的所用比率的大致数值，并在此估计下制备其中已经制造有扩散层的衬底。当如图 7 所示使用具有二种阈值电压的 MOSFET 时，为了馈送二种衬底偏压，需要提供二种工作电源线。

[0124] 虽然在图 7 中示出了一个实施例，其中 n 沟道 MOSFET 或 p 沟道 MOSFET 被用作单一的种类，但将描述一个实施例，其中的半导体集成电路由包含 n 沟道 MOSFET 和 p 沟道 MOSFET 二者的互补 MOSFET 构成。在互补 MOSFET 的情况下，需要用来制造 n 沟道 MOSFET 的 p 阱和用来制造 p 沟道 MOSFET 的 n 阱，而三重阱结构被用来以可用的方式控制各个偏置电压。

[0125] 图 8 示出了在由具有高或低二种阈值电压的图 12 的 MOSFET 构成的二种倒相器的实施例中采用三重阱结构的器件的深度结构。三重阱结构是这样一种结构，其中二个阱区，即电隔离的 p 阱 p-well1 和 p 阱 p-well2 被制作在部分 n 型衬底表面层中，n 阱 n-well1 被制作在部分 p-well1 的表面层中，而 n 阱 n-well2 被制作在部分 p-well2 的表面层中。N^+ 型源 / 漏区 diff801、diff804、栅氧化膜 ox801、ox804、和栅电极 gate801、gate804 被制作在 p 阱表面层中，这样就制造了 n 沟道 MOSFET nm801、nm804。p 沟道 MOSFET pm802 和 pm803 由 p^+ 型源 / 漏区 diff802、diff803、栅氧化膜 ox802、ox803、和制造在 n 阱区表面层中的栅电极 gate802、gate803 构成。

[0126] Vdd 被连接到 p 沟道 MOSFET 的源，而 Vss 被连接到 n 沟道 MOSFET 的源。Vbp1 被连接到 p 沟道 MOSFET pm802 的 n 阱，而 Vbn1 被连接到 n 沟道 MOSFET nm801 的 p 阱。此外，

Vbp2 被连接到 p 沟道 MOSFET pm803 的 n 阱，而 Vbn2 被连接到 n 沟道 MOSFETnm804 的 p 阱。此处假设图 12 的倒相器 inv1 由 nm801 和 pm802 构成，而图 12 的倒相器 inv2 由 nm804 和 pm803 构成。

[0127] 为了用各具有高阈值电压的 MOSFET 构成 inv1 和用各具有低阈值电压的 MOSFET 构成 inv2，Vbp1 被设定为高于 Vbp2 的电压，而 Vbn1 被设定为低于 Vbn2 的电压．各个电压被设定为例如 Vdd ＝ 1.5V，Vss ＝ 0V，Vbp1 ＝ 2.0V，Vbn1 ＝ -0.5V，Vbp2 ＝ 1.5V，Vbn2 ＝ 0V，等等。

[0128] 图 16 示出了根据具有图 8 结构的器件的图 12 的电路的布局平面图。图 16 与 15 的差别在于，由第一栅电极 gate121 和 p^+ 型源／漏区 darea121 构成的第一 p 沟道 MOSFET pm1 以及由第二栅电极 gate122 和 p^+ 型源／漏区 darea123 构成的第二 p 沟道 MOSFET pm2，各被制作在不同的 n 阱区 nw151 和 nw152 上。同样，由第一栅电极 gate121 和 n^+ 型源／漏区 darea122 构成的第一 n 沟道 MOSFET nm1 以及由第二栅电极 gate122 和 n^+ 型源／漏区 darea124 构成的第二 n 沟道 MOSFETnm2，各被制作在不同的 p 阱区 pw151 和 pw152 上。

[0129] 这是因为具有低阈值电压的 MOSFET 与具有高阈值电压的 MOSFET 之间必须电学上分隔开，以便根据电位是施加到具有低阈值电压的 MOSFET 还是施加到具有高阈值电压的 MOSFET 而将不同的电位施加到各个阱区。nw151 被第三工作电源线 Vbp151 通过通孔 TH151 馈以偏置电压，nw152 被第四工作电源线 Vbp152 通过通孔 TH153 馈以偏置电压，pw151 被第五工作电源线 Vbn151 通过通孔 TH152 馈以偏置电压，而 pw152 被第六工作电源线 Vbn152 通过通孔 TH154 馈以偏置电压。根据改变馈送到 MOSFET 衬底的偏置电压的方法，虽然由于需要新的工作电源线、如图 16 所示各个阱区之间要分隔开，而使布局面积更大，但仍然有优点，即 MOSFET 的阈值电压能够改变而不需要像图 15 情况那样在半导体集成电路的制造工艺中增加新的步骤。

[0130] 图 9A 和 9B 示出了由图 8 所示的互补 MOSFET 构成的本发明半导体集成电路器件的一个实施例。图 9A 的实施例中，逻辑门沿横向排列，而多个行 row91-97 沿纵向排列，逻辑门于是被排列成二维结构。在此实施例中，用矩形表示逻辑门，其内部图形未示出，但 p 沟道 MOSFET 和 n 沟道 MOSFET 被向上和向下排列。此处，row91 和 row96 上的逻辑门由各具有低阈值电压的 MOSFET 构成，而其它行上的逻辑门都由各具有高阈值电压的 MOSFET 构成。

[0131] 此时，需要 4 个彼此隔离的 p 阱区 pw91-pw94。由于以相邻方式排列的 row92、row93、row94 和 row95 由各具有相同阈值电压的 MOSFET 构成，故 p 阱区 pw92 被指定为其公共区。同样，row97 和 row98 彼此共有 p 阱区 pw94。此外，需要 5 个 n 阱区 nw91-nw95。在 n 阱区的情况下，以同样方法保持 p 阱区的环境。相邻的 row92 和 row93 共有一个 n 阱区 nw92，row94 和 row95 共有一个 n 阱区 nw93，row97 和 row98 共有一个 n 阱区 nw95。

[0132] 图 9B 示出了用来在图 9A 的结构中向衬底馈送偏压的工作电源线。在图 9B 中，为了避免复杂化而略去了各个阱区。wire91-wire94 被平行排列成行。此外，示出了一个例子，其中为了加固而沿垂直于行的方向排列各个互连。偏压源被分别馈送到各个阱区；其中 wire91 向各具有高阈值电压的 MOSFET 的 p 阱馈电，wire92 向各具有高阈值电压的 MOSFET 的 n 阱馈电，wire93 向各具有低阈值电压的 MOSFET 的 p 阱馈电，wire94 向各具有低阈值电压的 MOSFET 的 n 阱馈电。利用这一布局，在半导体集成电路由具有各不相同的阈值电压

的 MOSFET 构成的情况下，利用改变施加到衬底的偏压数值的方法，各个阱之间的分隔被减为最小，并可尽量减小所要求的面积的增加。

[0133] 然后示出了一个实施例，其中利用 SOI（绝缘体上硅）器件结构达到了实现各具有不同的阈值电压的 MOSFET 的第二方法。当采用 SOI 器件结构时，阱区不需要分别分隔。因此，各具有相同的阈值电压的各个 MOSFET 不需要集中在一个阱区中。此时，如图 5 所示，在半导体集成电路上的任意地方能够安置具有任意阈值电压的 MOSFET。但实现具有不同的阈值电压的 MOSFET 的第二方法需要工作电源线来获得不同的阈值电压。

[0134] 为此，图 22 示出了一个实施例。半导体集成电路 LSI220 是此实施例，其中由各具有 SOI 结构的互补 MOSFET 构成的逻辑门被排列成行。在图中，用矩形表示逻辑门例如 g221 和 g222。像 g221 那样加深成灰色的矩形表示由各具有低阈值电压的 MOSFET 构成的逻辑门，而白色矩形表示由各具有高阈值电压的 MOSFET 构成的逻辑门。

[0135] 其中平行地排列有各具有低阈值电压的 p 沟道 MOSFET 的衬底偏压电源线 Vbp221、各具有高阈值电压的 p 沟道 MOSFET 的衬底偏压电源线 Vbp222、各具有低阈值电压的 n 沟道 MOSFET 的衬底偏压电源线 Vbn221、以及各具有低阈值电压的 n 沟道 MOSFET 的衬底偏压电源线 Vbn222。

[0136] 在图中，略去了各个 MOSFET 的源电极的电位电源线。电源线通过通孔 TH221 和 TH222 被连接到衬底，且偏压源被馈送到构成门的各个 MOSFET 的衬底。如在图中那样，平行于各个行提供了数目等于阈值电压种类数目的作为互连的偏压电源线（但在互补 MOSFET 的情况下，分别需要 p 沟道 MOSFET 和 n 沟道 MOSFET 的电源线），并根据高或低的阈值电压在必要的位置处开凿通孔，从而能够将具有不同阈值电压的 MOSFET 置于器件的任何地方。

[0137] 亦即，在本发明中，由于在利用借助于改变衬底偏压源来改变 MOSFET 的阈值电压的方法的情况下，要求增加的面积小，故最好采用 SOI 的器件结构。

[0138] 然后描述存储媒质的实施例，其上存储有用来设计已经描述过的本发明的半导体集成电路所需的单元信息库。在描述本实施例之前，首先概述一下单元和单元信息库。通常，小规模使用被称为单元并在设计半导体集成电路时预先已经设计的具有逻辑功能的元件。一个单元以包含已经被设计的内部电路元件及其连接、布局图形等、以及形状、外部连接的端子位置、逻辑功能、延迟特性、功耗性能等的信息的形式，被登录在单元信息库中。当其上各存储有单元信息库的存储媒质被分配时，有可能在大量半导体集成电路中使用就被设计的运行而言已经得到了保证的元件。

[0139] 图 10 示出了其上存储了本发明的单元信息库的存储器的实施例。在图 10 的实施例中，登录了三种倒相器单元。在本实施例中，单元上写入有名称、尺寸、栅长度、插脚延迟特性、漏电流、阈值电压、功能等作为单元上的单元信息。记号 c101 表示一个标准倒相器单元，而记号 c102 表示 MOSFET 的栅宽度 W 为二倍的单元。

[0140] 当在现有技术中如此制备具有相同功能的多个单元时，储备有具有不同栅宽度和不同延迟特性的各种单元。栅宽度和尺寸与 c102 相同的 c103，仅仅在延迟特性和功耗特性方面不同于 c102。亦即，c103 是一个由各具有低阈值电压的 MOSFET 构成的单元，换言之，还是一个漏电流大但延迟小的单元。

[0141] 为了如上所述设计和制造本发明的半导体集成电路器件，图 10 所示的信息库是必需的。例如，在本发明的半导体集成电路器件的制造工艺中，当使用具有不同阈值电压的

MOSFET 时，在如上所述根据位置选择性掺入杂质和选定栅氧化膜厚度的工艺中，需要特定的掩模图形。

[0142] 在制造这种掩模图形的过程中，有必要得到有关已经设计的集成电路的单元和互连布局的信息、有关单元互连和识别哪个单元是由各具有何种阈值电压数值的 MOSFET 构成的信息。有关各个单元的 MOSFET 的阈值电压的信息已经存储在存储媒质上，其上能够制造本发明的单元信息库，因此，当使用此信息时，能够制造上述的掩模图形。在这种意义上，除了其上存储了单元信息库的存储媒质外，本发明在其范围内还包括一种存储媒质，其上存储有单元和互连的连接关系亦即网络清单，其上还存储有用以确认具有不同的阈值电压的 MOSFET 的信息，因为这种想法能够容易地从本发明得到。

[0143] 在此实施例中，虽然示出了倒相器，但本发明也能够以同样的方式应用于 AND 单元、OR 单元、NAND 单元、选择器、触发器等等。应该指出的是，在应用中，本发明的应用在单元的种类方面没有特别的限制。

[0144] 然后将描述使用其上存储有信息库的存储媒质的设计方法的实施例。

[0145] 图 23 示出了使用其上存储有图 10 的单元信息库的存储媒质来执行逻辑设计的过程中的各个步骤．在图中，矩形盒步骤 230 到步骤 232 表示过程，黑色箭头示出了工艺流向，而白色箭头示出了数据流向。用高级逻辑描述语言，例如 VHDL 之类，来写入逻辑描述 LOG230。在逻辑设计过程中，逻辑描述 LOG230 被读出，并执行逻辑优化过程 step230。

[0146] 逻辑优化过程 step230 是一种优化过程，它不依赖于工艺，例如是一种表示逻辑的布尔表达式的项数被最小化的过程。此时，基于由延迟估计过程 step231 估计的延迟而执行优化。然后执行单元赋值过程 step232。这是单元信息库 LIB230 被读出且不依赖于工艺的逻辑被赋值在实际单元上的过程。

[0147] 此处，为了得到最佳的赋值，反复地执行延迟计算过程 step233 和功耗计算过程 step234，然后输出网络清单 net230。由于单元赋值过程是本发明的设计方法中的有特点的过程，故在图上示出了详细的例子。在此例子中，在部分路径 A-D 上执行单元赋值。假设已经完成了路径 A-B 和 C-D 上的单元赋值，且延迟分别是 3.22nsec 和 1.70nsec。若路径 B-C 中的逻辑由 C ＝ not(B) 表示，则理解为这一布尔表达式应该赋值到倒相器。若路径 A-D 中的目标延迟为 5nsec，则倒相器中的延迟必需是 0.08 或更小。

[0148] 此时，已经可以理解，作为单元信息库 LIB230 的读出结果，存在具有不同延迟数值的单元 c102 和 c103，由于它们是具有相同功能的单元，亦即倒相器，但具有不同的阈值电压。此处，在各个单元被使用的情况下计算了延迟和功耗，结果选定了具有低的阈值电压的单元 c103。

[0149] 下面用图 24 来描述利用其上存储了信息库的媒质的设计方法的第二实施例。图 24 示出了使用其上存储有图 10 的单元信息库的存储媒质来执行逻辑设计的过程中的各个步骤。如图 23 那样，矩形盒步骤 240 到步骤 244 表示过程，黑色箭头示出了工艺流向，而白色箭头示出了数据流向。在逻辑设计过程中，逻辑描述 LOG240 被读出，并执行逻辑优化过程 step240。这与图 23 中的 step230 是相同的。然后，执行单元赋值过程 step241，其中仅仅使用具有高阈值电压的单元。

[0150] 以相似于图 23 的实施例的方式，为了在仅仅使用具有高阈值电压的单元的限制下得到最佳的赋值，反复地执行延迟和功耗计算过程。然后执行布局过程 step243。再根据

布局之后的实际布线长度，再次执行延迟和功耗计算过程 step242，从而作为计算的结果，能够得到具有更高精度的计算结果。在得到具有更高精度的计算结果之后，若出现违反延迟的路径，则执行过程 step244，其中用由各具有低阈值电压的 MOSFET 构成的具有相同功能的单元替换违反延迟的路径上的单元，并输出附有布局信息的网络清单 net240。从而可以拥有能够消除延迟违反而其周围布局又不改变的优点。

[0151] 另一方面，与图 24 的实施例相反，当由于仅仅使用由各具有低的阈值电压的 MOSFET 构成的单元来执行单元赋值和布局之后的延迟计算而留下延迟裕度时，具有延迟裕度的路径上的单元被各具有高的阈值电压的 MOSFET 构成的单元替换的方法是可能的。

[0152] 然后描述一个实施例，其中在包含大约 8000 个单元的半导体集成电路上执行本发明。在此实施例中，栅长度为 0.25 微米的互补 MOSFET 工作于 Vdd ＝ 1.6V 和 Vss ＝ 0V。

[0153] 在图 18 中，用横轴示出周期时间（最大路径延迟），用纵轴示出包括在对应于延迟数值的路径中的单元的数目。假设当单元包括在多个路径中时，各个单元被包括在显示最大延迟的路径中。细实线 (1) 表示各具有高阈值电压 (0.15V) 的 MOSFET 被均匀地使用的情况，粗实线 (2) 表示本发明已经被执行的情况的结果，其中设定高阈值电压为 0.15V，低阈值电压为 -0.05V，而虚线 (3) 表示各具有低阈值电压的 MOSFET 被均匀使用的情况。细实线 (1) 的最大路径延迟为 5nsec，而粗实线 (2) 和虚线 (3) 的最大延迟为 3.95nsec。二者都被认为是适合于高速运行。

[0154] 然而，在如情况 (3) 的阈值电压均匀地被降低的情况下，原来延迟小的区域也受到影响而呈现更高的速度，其中就曲线的形状而言，情况 (3) 中的曲线呈现与情况 (1) 相同的形状，向左平行地位移。这表示延迟数值等于或小于目标数值的路径，即使当路径使用各具有高阈值电压的 MOSFET，也受到影响而呈现更高的速度。

[0155] 另一方面，在作为本发明结果的 (2) 中，没有出现从 (1) 的对应区域的分布改变，而仅仅在 3.95nsec-5nsec 范围内的部分分布被压缩到左边。亦即，(2) 呈现出实现了高速运行而没有无用的功耗。

[0156] 在图 17 中，用横轴示出周期时间（最大路径延迟），用纵轴示出漏电流造成的功耗。当均匀地使用各具有高阈值电压 (0.15V) 的 MOSFET 时，此电路是工作在周期时间为 5nsec(200MHz) 下的电路。功耗数值用均匀地使用各具有高阈值电压的 MOSFET 时的功耗定为 1 而被归一化。

[0157] 在图中，三角形标出的数据是阈值电压被均匀地降低的情况的结果，而圆形标出的数据是根据本发明使用具有二种阈值电压的 MOSFET 的情况的结果。对应于所绘数据的阈值电压附在所标出的数据旁边。例如，在本发明中，当设定低阈值电压为 -0.05V，高阈值电压为 0.15V，且使用具有二种阈值电压的 MOSFET 时，周期时间能够提高到 3.95nsec(253MHz)，而功耗约为 20。

[0158] 另一方面，当阈值电压被均匀地设定为 -0.05V 时，周期时间以相似的方式呈现为 3.95nsec，但功耗等于或大于 60。可以理解，虽然当阈值电压在漏电流造成的功耗被抑制到等于或小于 10 的水平的条件下被均匀地改变，周期时间为 4.33nsec(231MHz)，但根据本发明，运行速度仍然能够提高到周期时间为 4.07nsec(246MHz)。

[0159] 在图 17 中，当执行本发明时，对于 0.1V 的低阈值电压运行，各具有低阈值电压的 MOSFET 的比率是 6％，对于 0.05V 的低阈值电压运行，各具有低阈值电压的 MOSFET 的比率

是 15％，对于 0.0V 的低阈值电压运行，各具有低阈值电压的 MOSFET 的比率是 23％，而对于 -0.05V 的低阈值电压运行，各具有低阈值电压的 MOSFET 的比率是 30％。由于当阈值电压被降低时，漏电流按指数函数增大，故将各具有低阈值电压的 MOSFET 的比率限制为等于或小于大约 30％的数值是可取的。此外，为了将功耗抑制到适当的数值，将此比率限制为等于或小于 10％的数值是可取的。根据本发明，各具有低阈值电压的 MOSFET 的数目能够被减为最少，以及各具有低阈值电压的 MOSFET 对 MOSFET 总数的比率等于或小于 30％，这些是本发明的特点。

[0160] 从上述各个实施例显然，在执行中利用本发明，不仅能够即使在高速工作运行时将漏电流造成的 MOSFET 的功耗的增大减为最小，还能够实现可工作于高运行速度的半导体集成电路器件。

[0161] 图 28 所示的实施例中，本发明的半导体集成电路器件被用于微处理器。图 28 示出了微处理器的主要方框，而内部单元结构用矩形符号示出。

[0162] 在图 28 的实施例中，组成的方框是 :CPU（中央处理器）、FPU（浮置处理器）、超高速缓冲存储器（内部存储器）、BSC（总线控制）、DMA（直接存储器存取）、CPG（时钟脉冲控制）和 INT（中断控制）。各个方框中各个单元中的各个灰色单元具有低阈值电压，而各个白色单元具有高的阈值电压。例如，可以理解，在计时方面至关重要的 CPU、FPU、超高速缓冲存储器等具有许多具有低阈值电压的单元。各具有计时裕度的方框 INT 等具有低阈值电压单元的比率较小。以这种方式，根据本发明，不仅各个方框的阈值电压简单地被改变，而且即使在同一个方框中，各具有低阈值电压的 MOSFET 和各具有高阈值电压的 MOSFET 也被选择性地以适当的方式使用，并能够尽量少用各具有低阈值电压的 MOSFET。因此，能够同时实现高速运行和低功耗。

[0163] 虽然本发明是为了实现运行工作时的高速工作和低功耗，但借助于在待机状态下控制衬底偏压源，能够结合将阈值电压设定成高的数值的众所周知的方法来执行本发明。

[0164] 在上述各个实施例中，虽然描述了使用具有不同的阈值电压的二种 MOSFET 的情况，但也可以容易地实施具有三种或更多种阈值电压的 MOSFET 被混合的情况，这是包括在本发明的范围中的。

[0165] 如上所述，根据本发明，借助于通过在给定运行条件中恰当地选择即使相同的功能块中具有不同阈值电压的 MOSFET 来构造半导体集成电路器件，能够获得能工作于高速同时又抑制运行工作时由漏电流造成的功耗增大的半导体集成电路器件。

[0166] 虽然已经示出并描述了根据本发明的一些实施例，但应该理解的是，所公开的各个实施例是可以改变和修正而不超越本发明的范围的。因此，不受此处示出和描述的细节的限制，而是所有这些改变和修正都在所附权利要求的范围内。

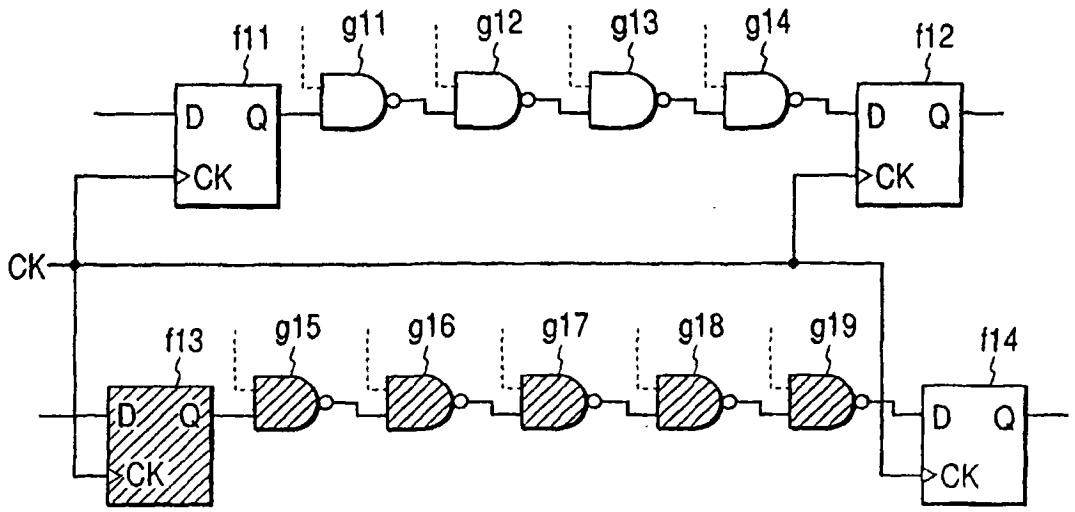

f11
g11
g12
g13
g14
f12
D
Q
CK
CK
f13
g15
g16
g17
g18
g19
f14

图 1

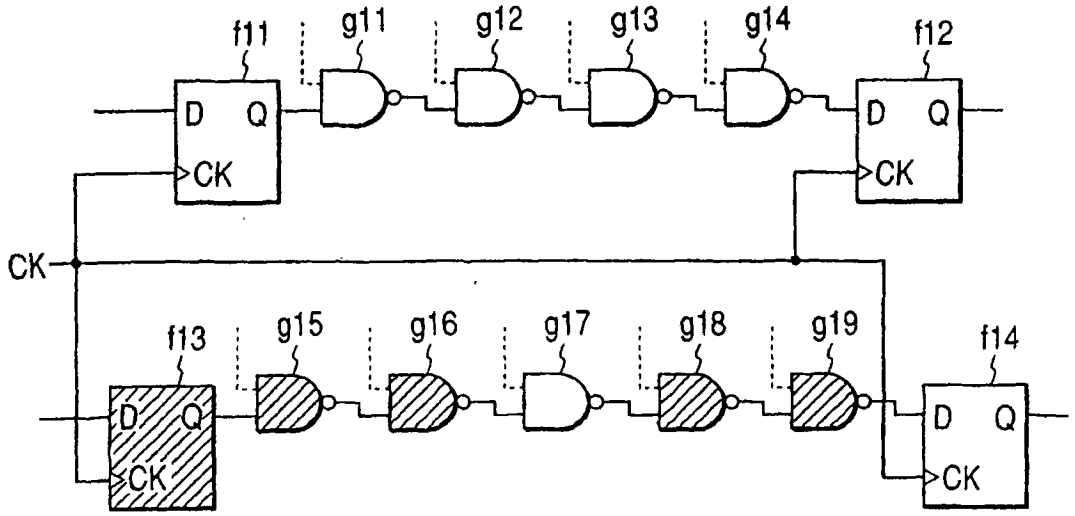

f11
g11
g12
g13
g14
f12
D
Q
CK
CK
f13
g15
g16
g17
g18
g19
f14

图 2

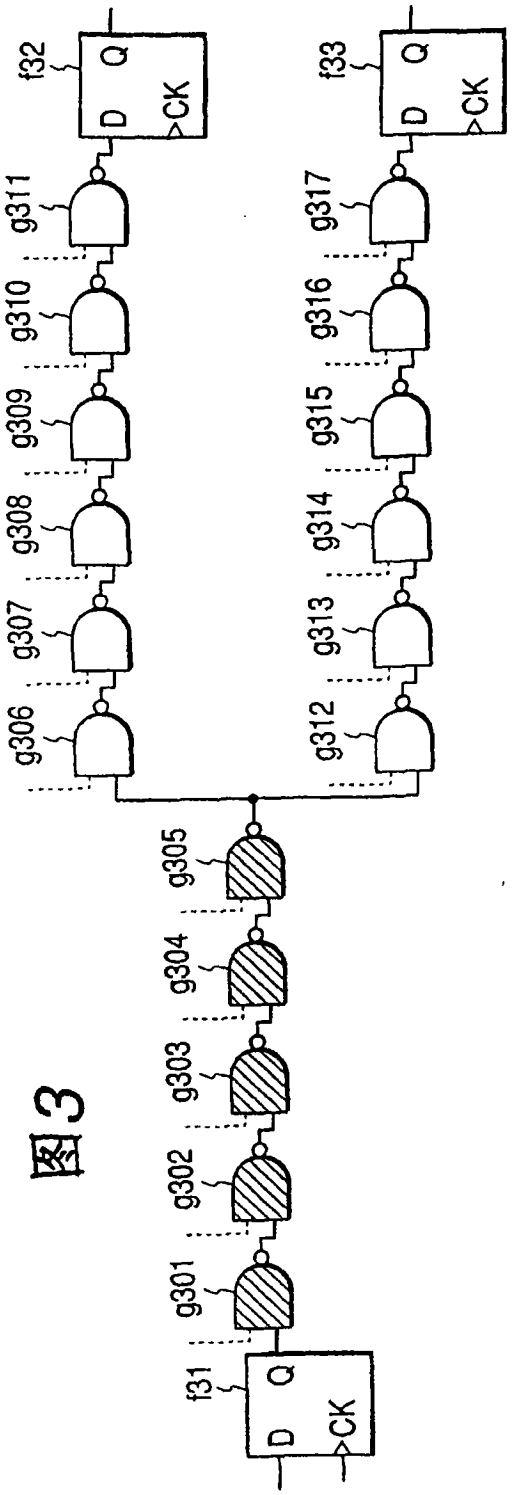

f32
f33
g311
g310
g309
g308
g307
g306
g317
g316
g315
g314
g313
g312
g305
g304
g303
g302
g301
f31
D
Q
CK

图3

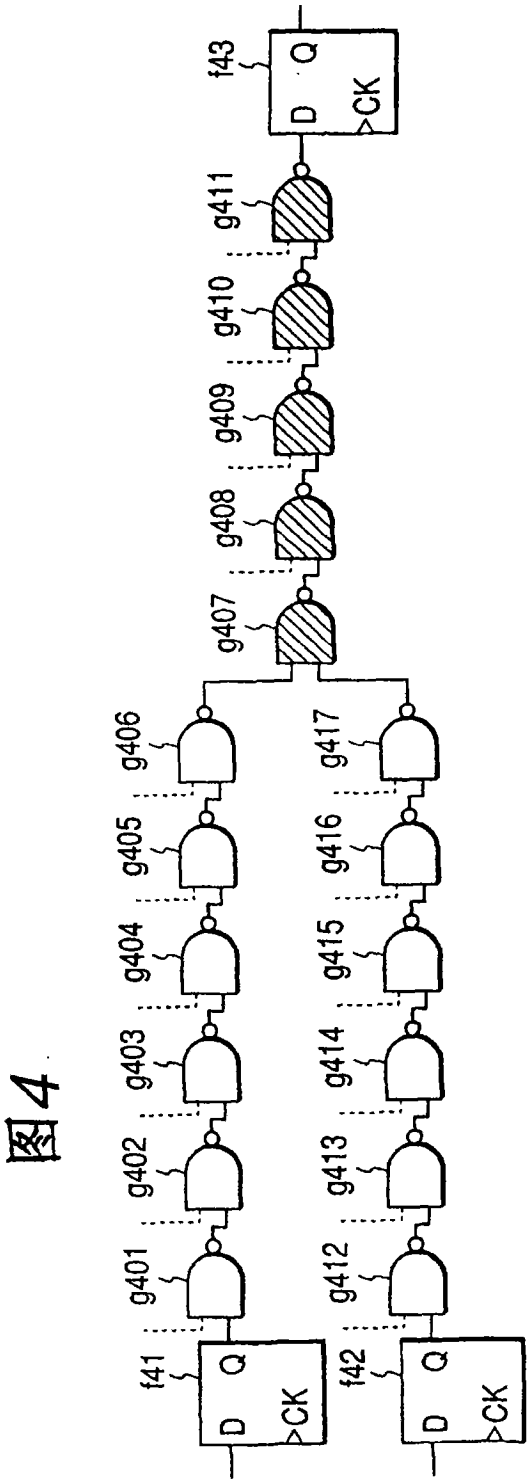

f43
g411
g410
g409
g408
g407
g406
g405
g404
g403
g402
g401
f41
g417
g416
g415
g414
g413
g412
f42
D
Q
CK

图4

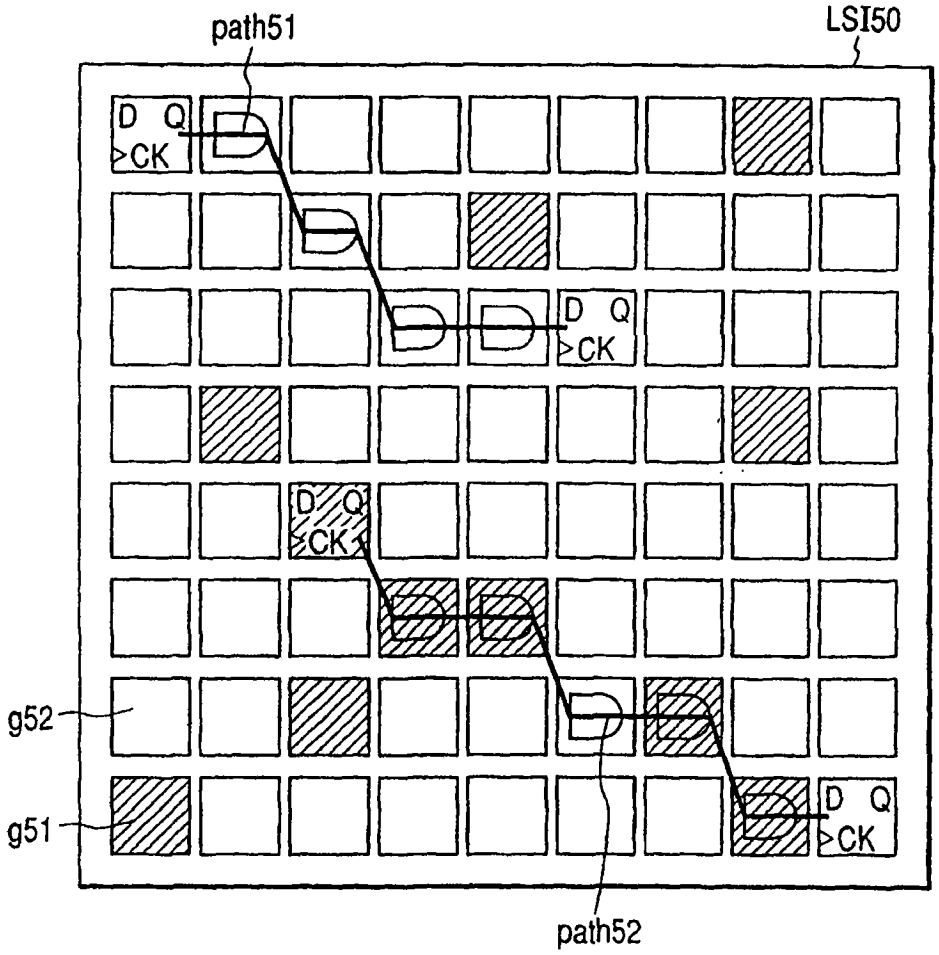
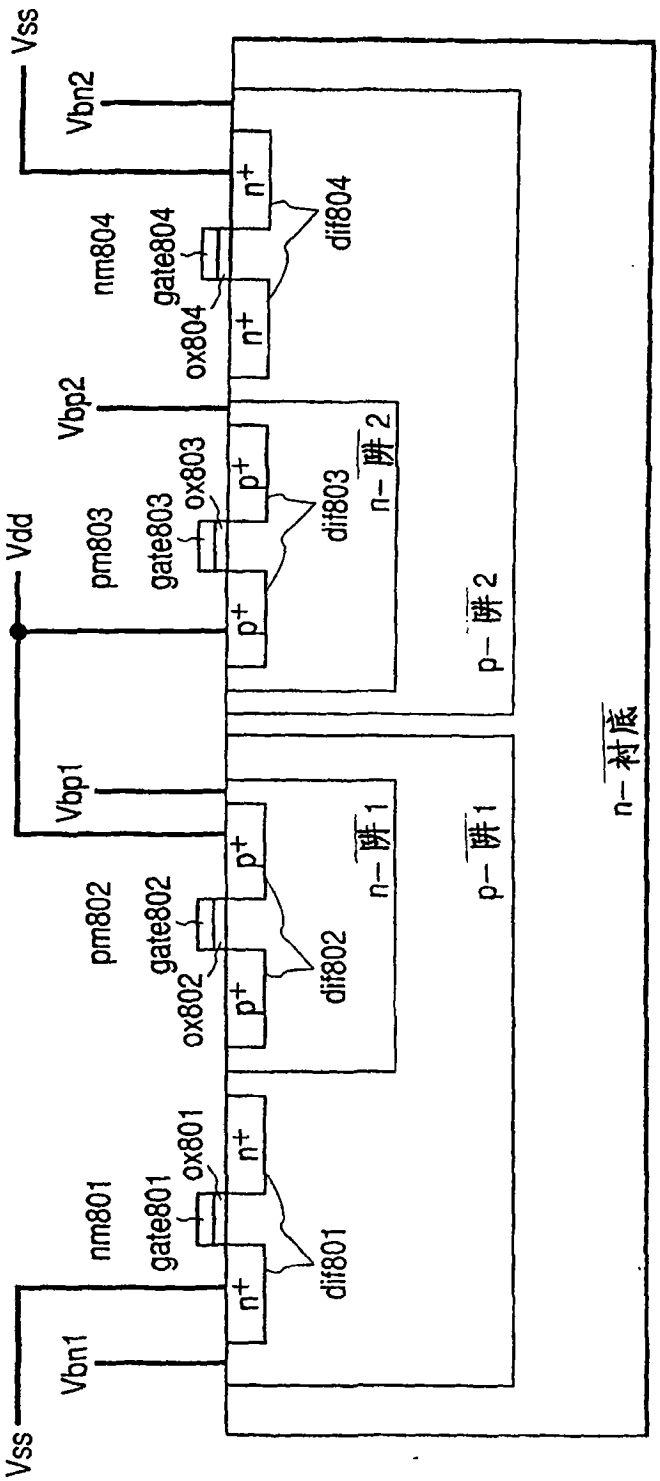


图 5

图8


Vss
Vbn2
nm804
gate804
ox804
dif804
n+
Vbp2
Vdd
pm803
gate803
ox803
dif803
p+
n- 阱 2
p- 阱 2
Vbp1
pm802
gate802
ox802
dif802
n- 阱 1
p- 阱 1
nm801
gate801
ox801
dif801
Vbn1
Vss
n- 衬底

-5-

图6

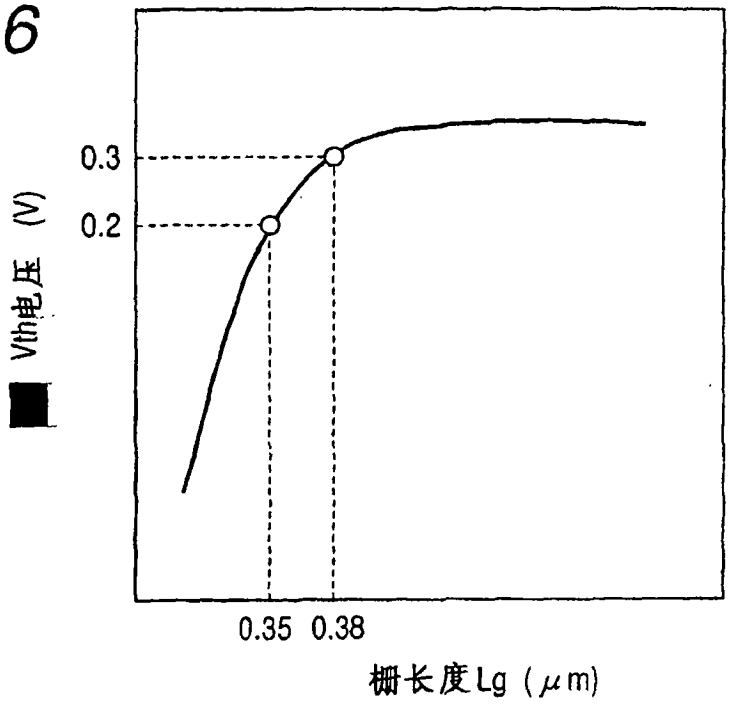

0.3
0.2
Vth电压 (V)
0.35 0.38
栅长度Lg (μm)

图7

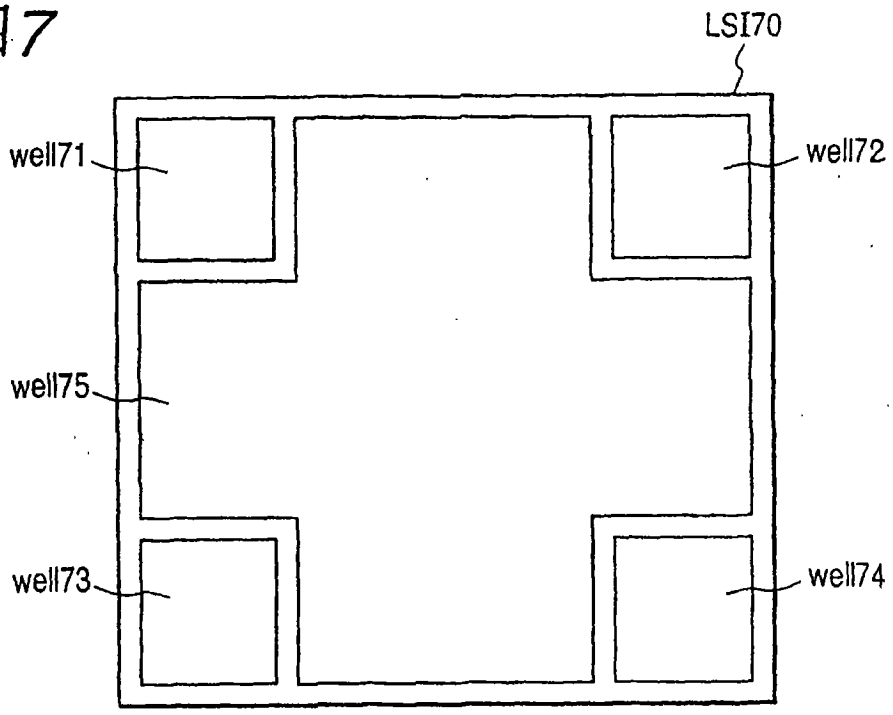

LSI70
well71
well72
well75
well73
well74

图9(a)

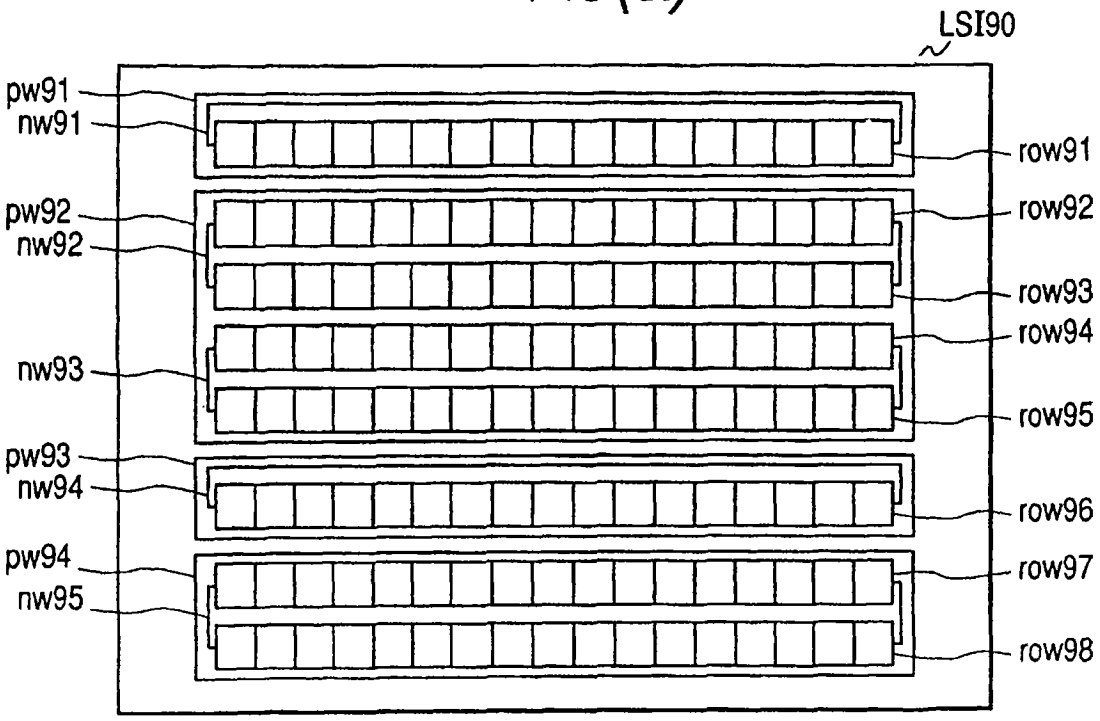
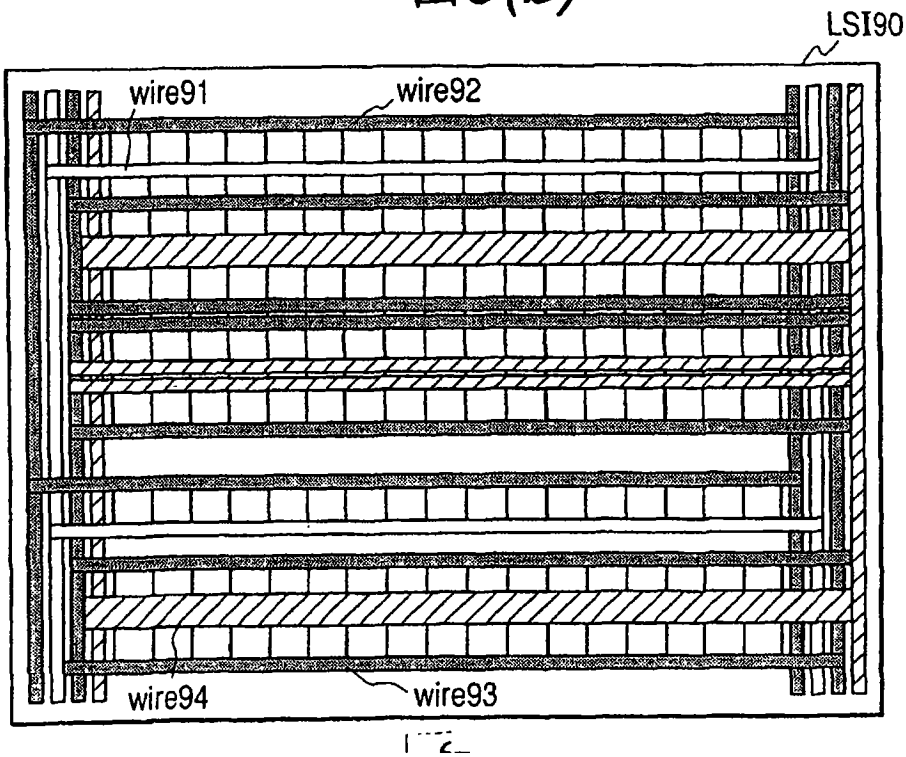

LSI90
pw91
nw91
pw92
nw92
nw93
pw93
nw94
pw94
nw95
row91
row92
row93
row94
row95
row96
row97
row98

图9(b)


LSI90
wire91
wire92
wire94
wire93

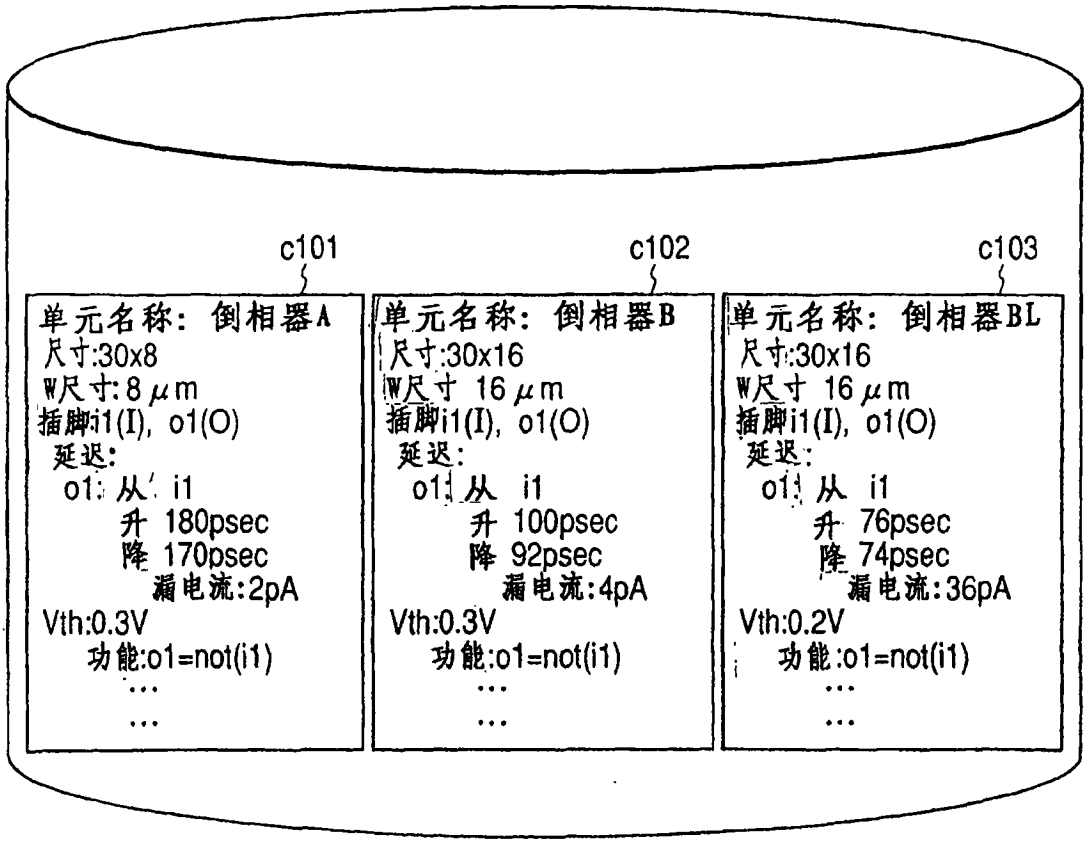

c101
c102
c103
单元名称：倒相器A
尺寸:30x8
W尺寸:8 μm
插脚:i1(I), o1(O)
延迟:
o1: 从 i1
升 180psec
降 170psec
漏电流:2pA
Vth:0.3V
功能:o1=not(i1)
…
…
单元名称：倒相器B
尺寸:30x16
W尺寸 16 μm
插脚:i1(I), o1(O)
延迟:
o1: 从 i1
升 100psec
降 92psec
漏电流:4pA
Vth:0.3V
功能:o1=not(i1)
…
…
单元名称：倒相器BL
尺寸:30x16
W尺寸 16 μm
插脚:i1(I), o1(O)
延迟:
o1: 从 i1
升 76psec
降 74psec
漏电流:36pA
Vth:0.2V
功能:o1=not(i1)
…
…

图 10

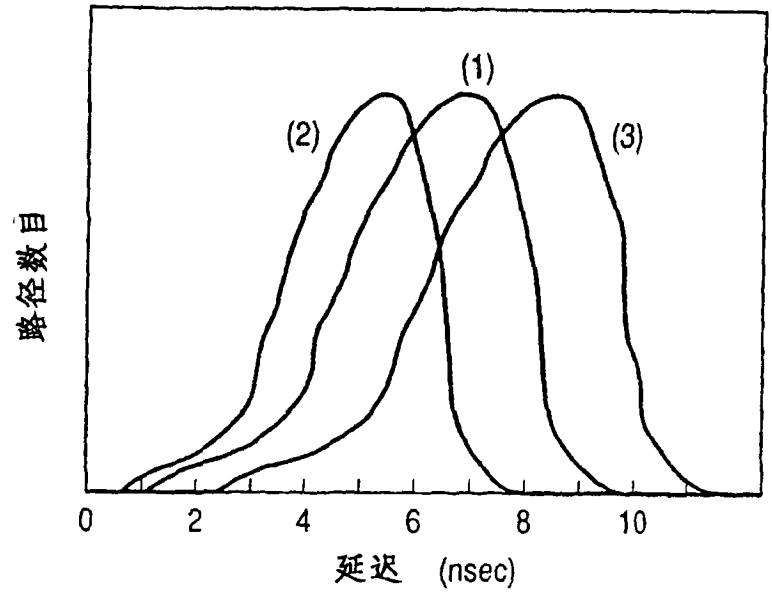

(1)
(2)
(3)
路径数目
0
2
4
6
8
10
延迟 (nsec)

图 11

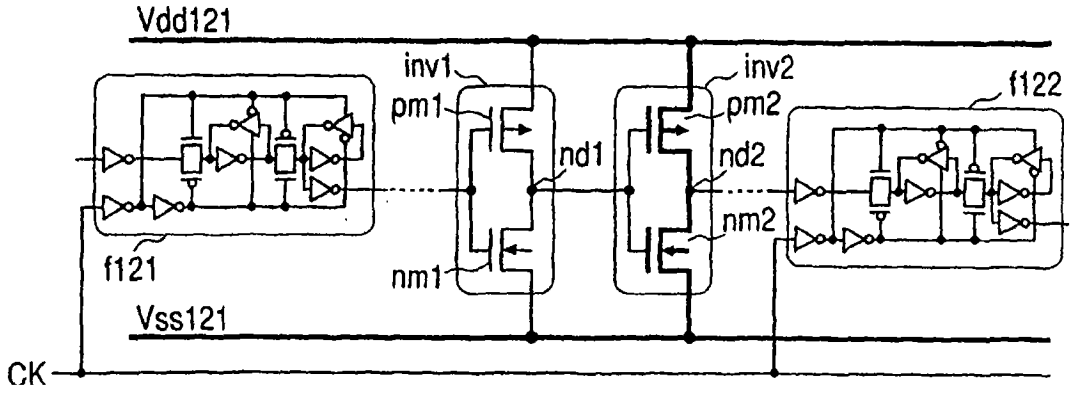


图 12

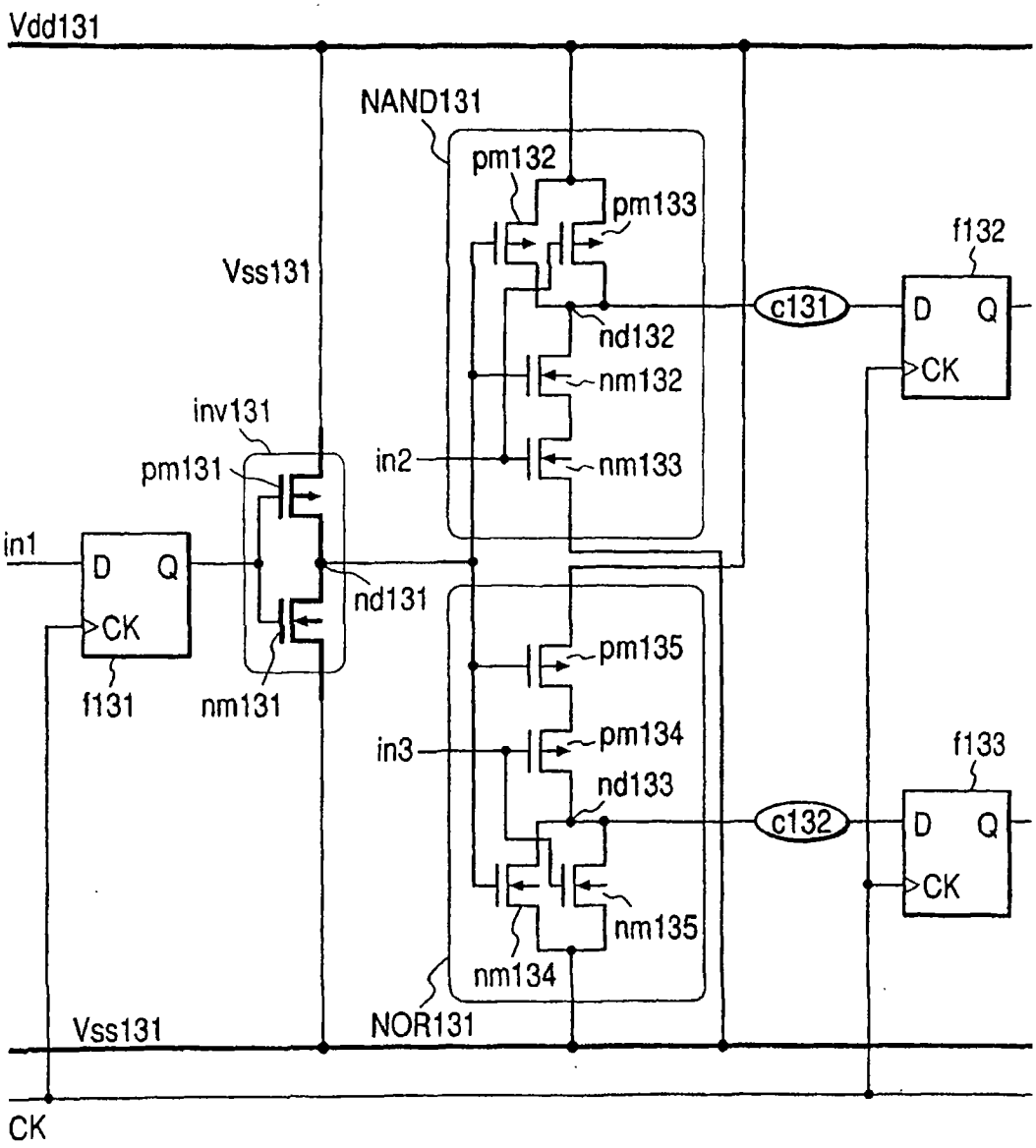

Vdd131
NAND131
pm132
pm133
f132
Vss131
c131
D Q
nd132
CK
nm132
inv131
in2
nm133
pm131
in1
D Q
nd131
CK
pm135
f131
nm131
pm134
f133
in3
nd133
c132
D Q
CK
nm135
nm134
Vss131
NOR131
CK

图 13

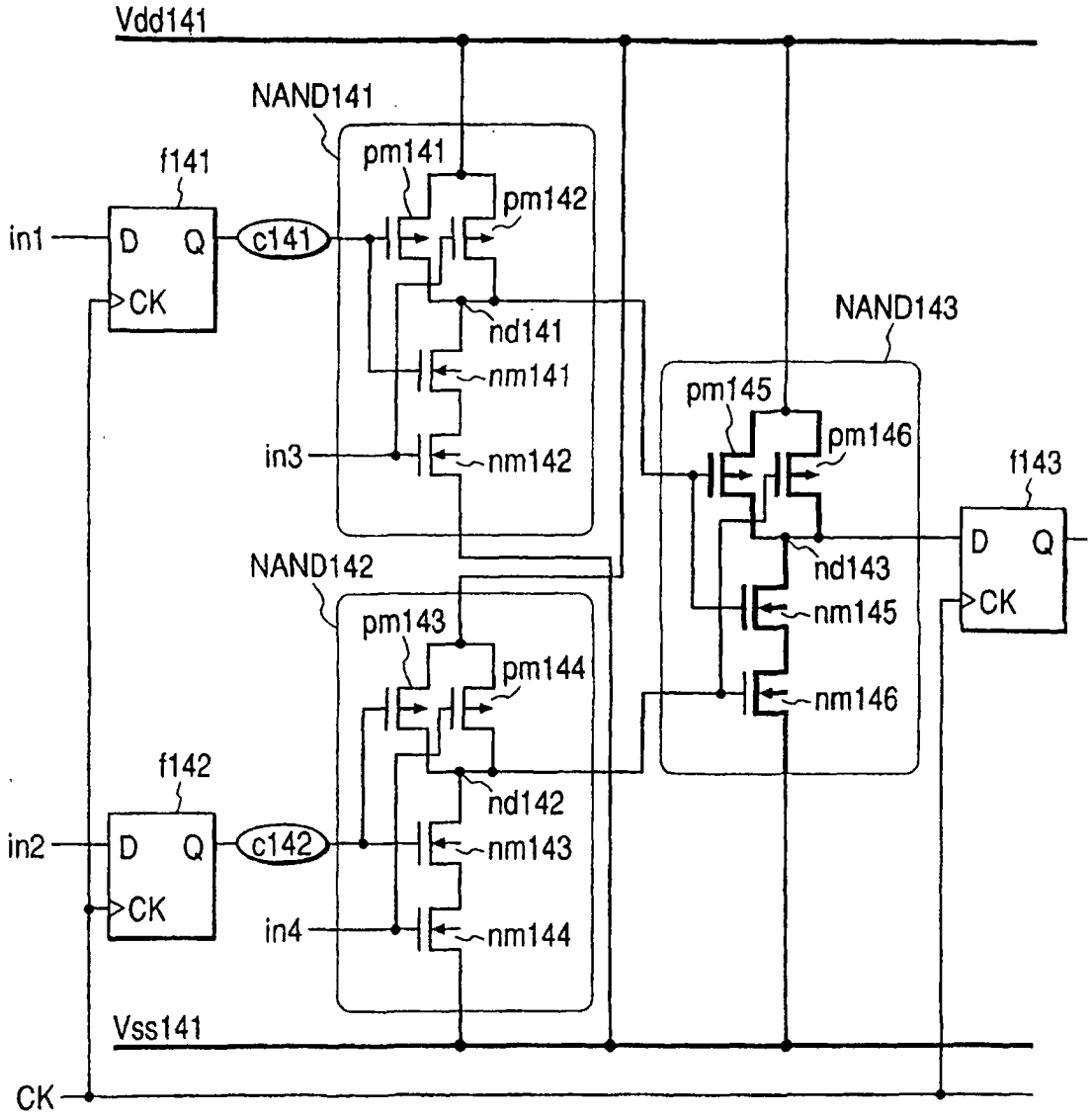

Vdd141
NAND141
pm141
pm142
f141
in1
D
Q
c141
CK
nd141
nm141
in3
nm142
NAND143
pm145
pm146
f143
D
Q
nd143
CK
nm145
NAND142
pm143
pm144
nm146
f142
nd142
in2
D
Q
c142
nm143
CK
in4
nm144
Vss141
CK

图 14

图15

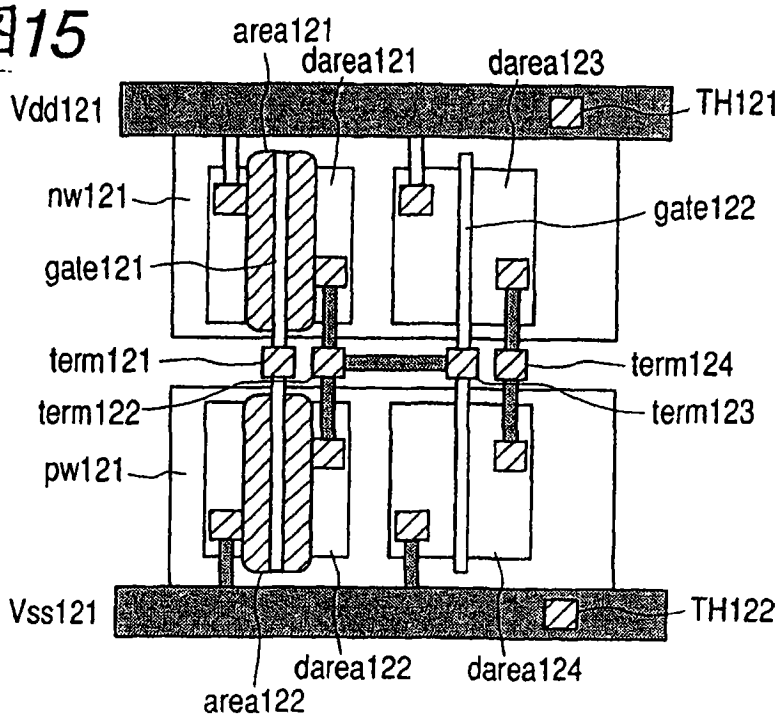
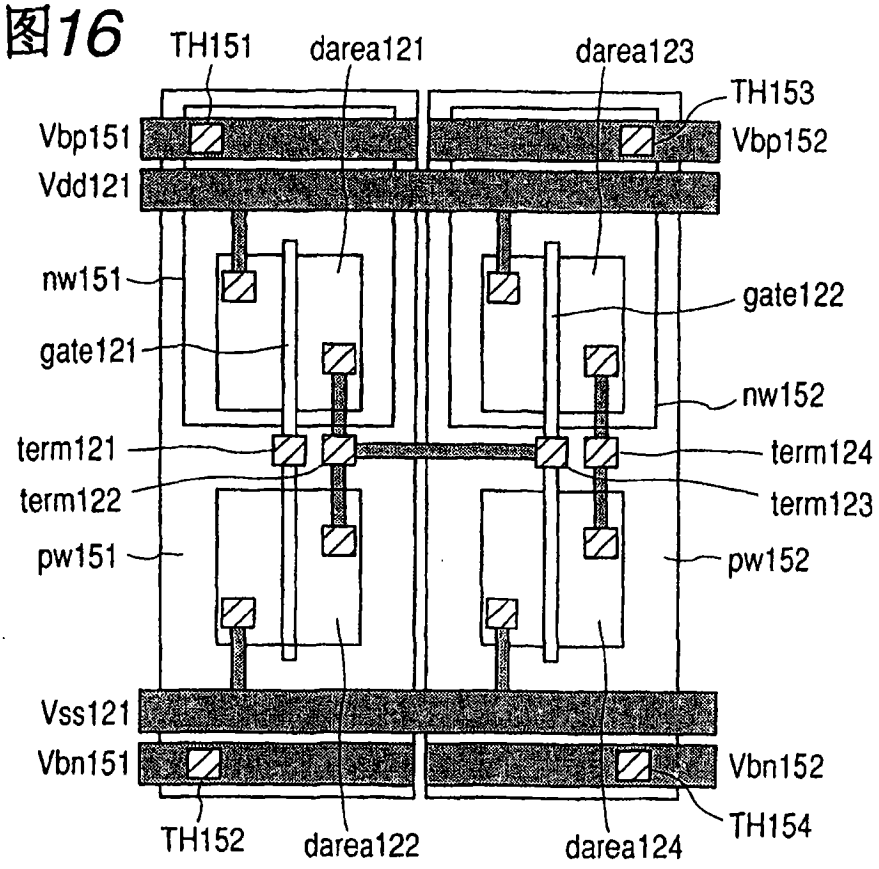

area121
darea121
darea123
Vdd121
TH121
nw121
gate122
gate121
term121
term124
term122
term123
pw121
Vss121
TH122
darea122
darea124
area122

图16


TH151
darea121
darea123
TH153
Vbp151
Vbp152
Vdd121
nw151
gate122
gate121
nw152
term121
term124
term122
term123
pw151
pw152
Vss121
Vbn151
Vbn152
TH154
TH152
darea122
darea124

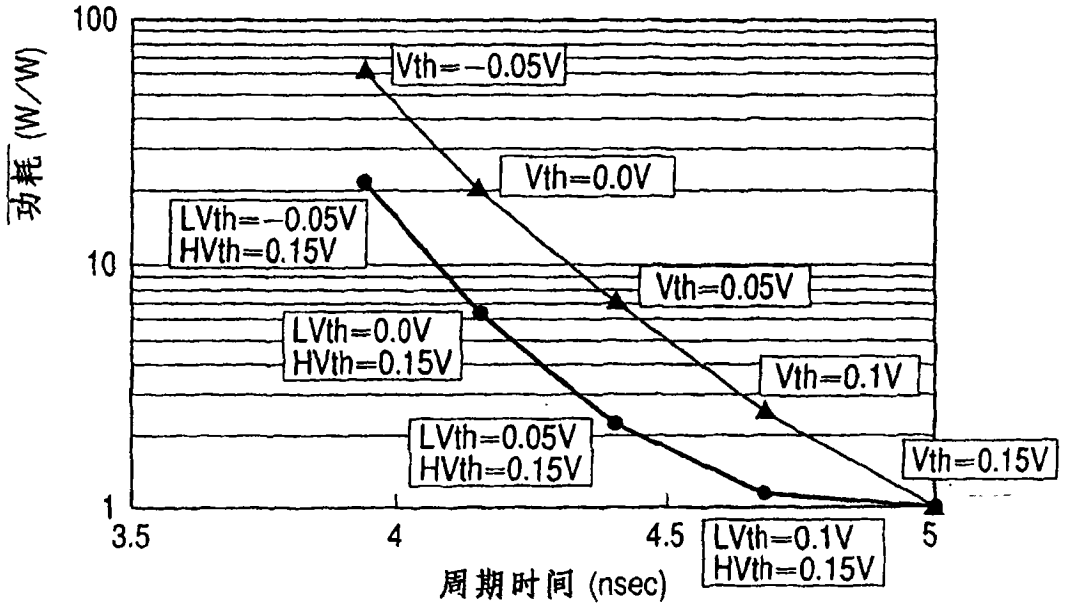

100
10
1
3.5
4
4.5
5
功耗 (W/W)
周期时间 (nsec)
Vth=−0.05V
Vth=0.0V
Vth=0.05V
Vth=0.1V
Vth=0.15V
LVth=−0.05V
HVth=0.15V
LVth=0.0V
HVth=0.15V
LVth=0.05V
HVth=0.15V
LVth=0.1V
HVth=0.15V

图 17

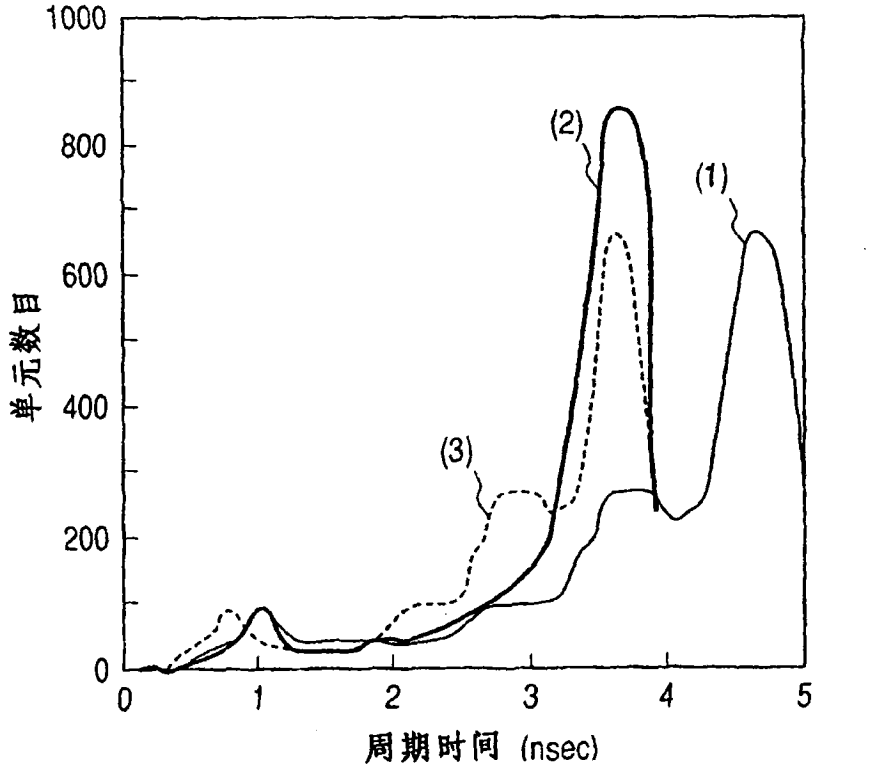

1000
800
600
400
200
0
0
1
2
3
4
5
单元数目
周期时间 (nsec)
(1)
(2)
(3)

图 18

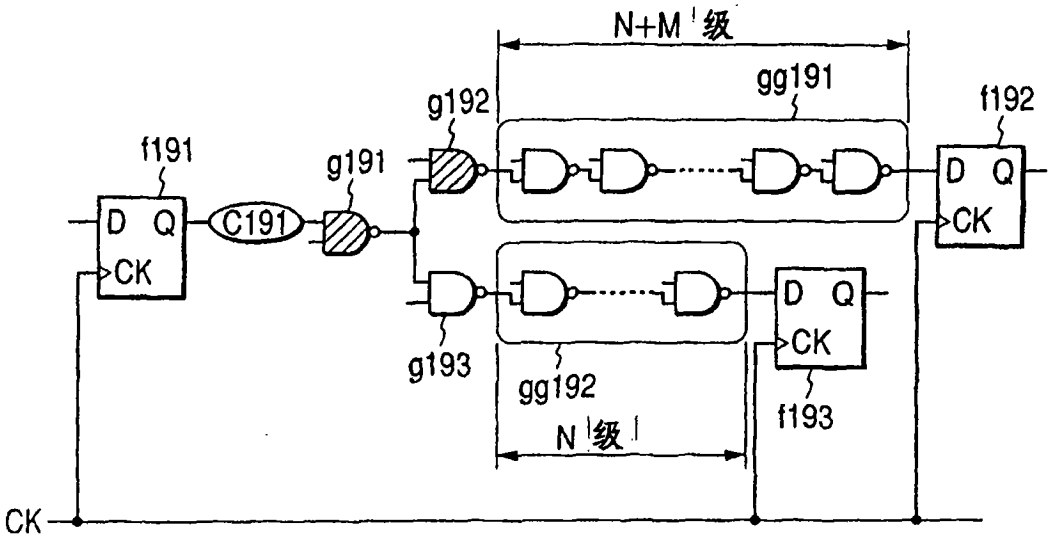

N+M 级
gg191
g192
f192
f191
g191
D Q
C191
CK
g193
gg192
N 级
f193
CK

图 19

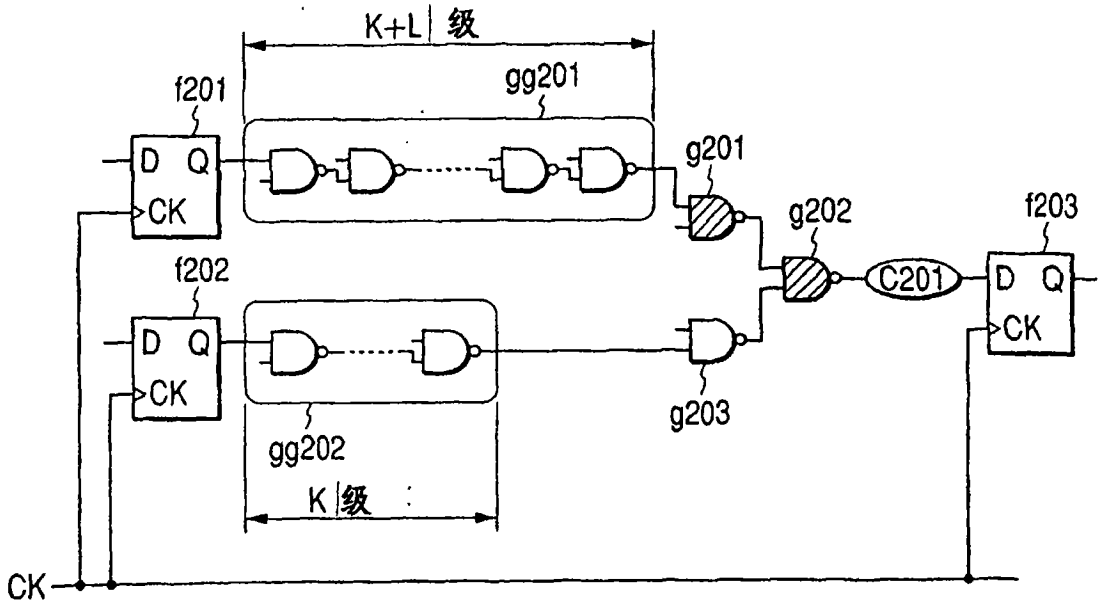

K+L 级
gg201
f201
g201
g202
f203
f202
C201
D Q
CK
g203
gg202
K 级
CK

图 20

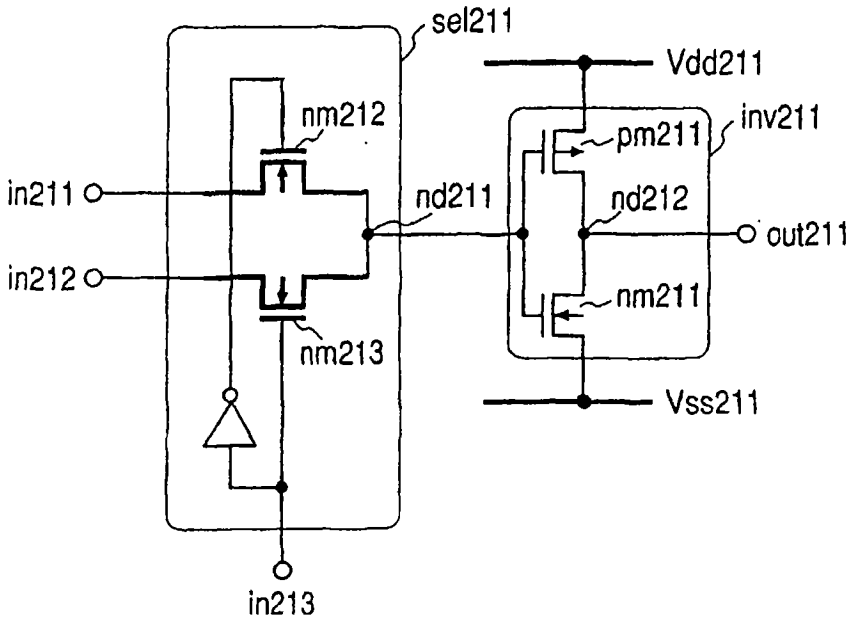

sel211
Vdd211
nm212
pm211
inv211
in211
nd211
nd212
out211
in212
nm211
nm213
Vss211
in213

图 21

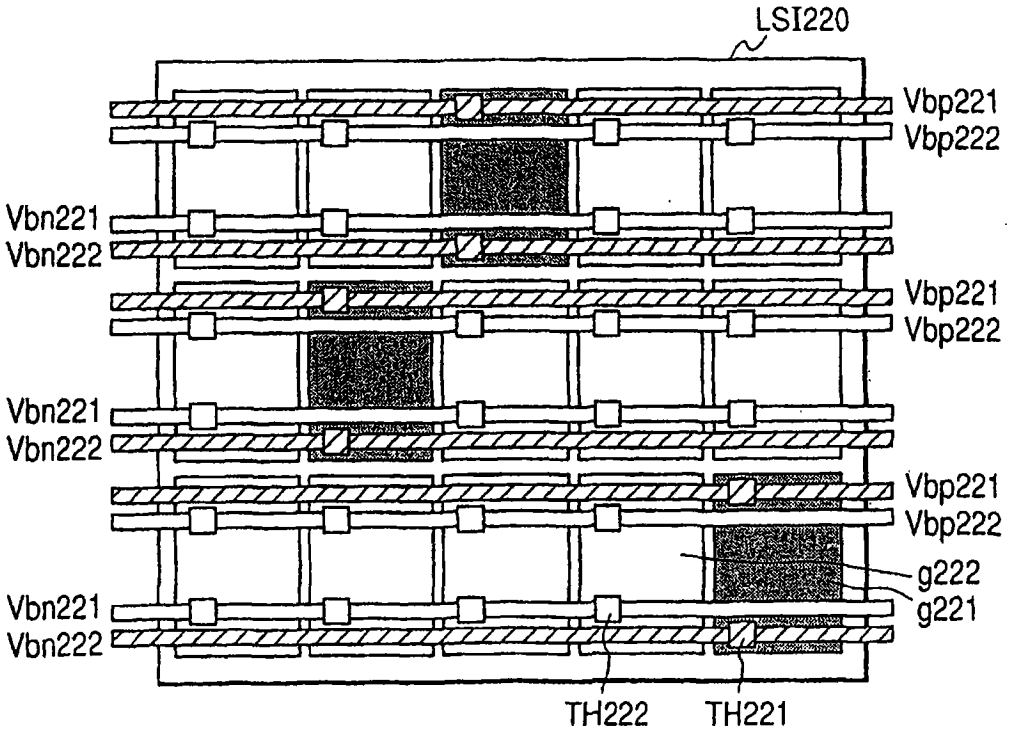

LSI220
Vbp221
Vbp222
Vbn221
Vbn222
Vbp221
Vbp222
Vbn221
Vbn222
Vbp221
Vbp222
g222
g221
Vbn221
Vbn222
TH222
TH221

图 22

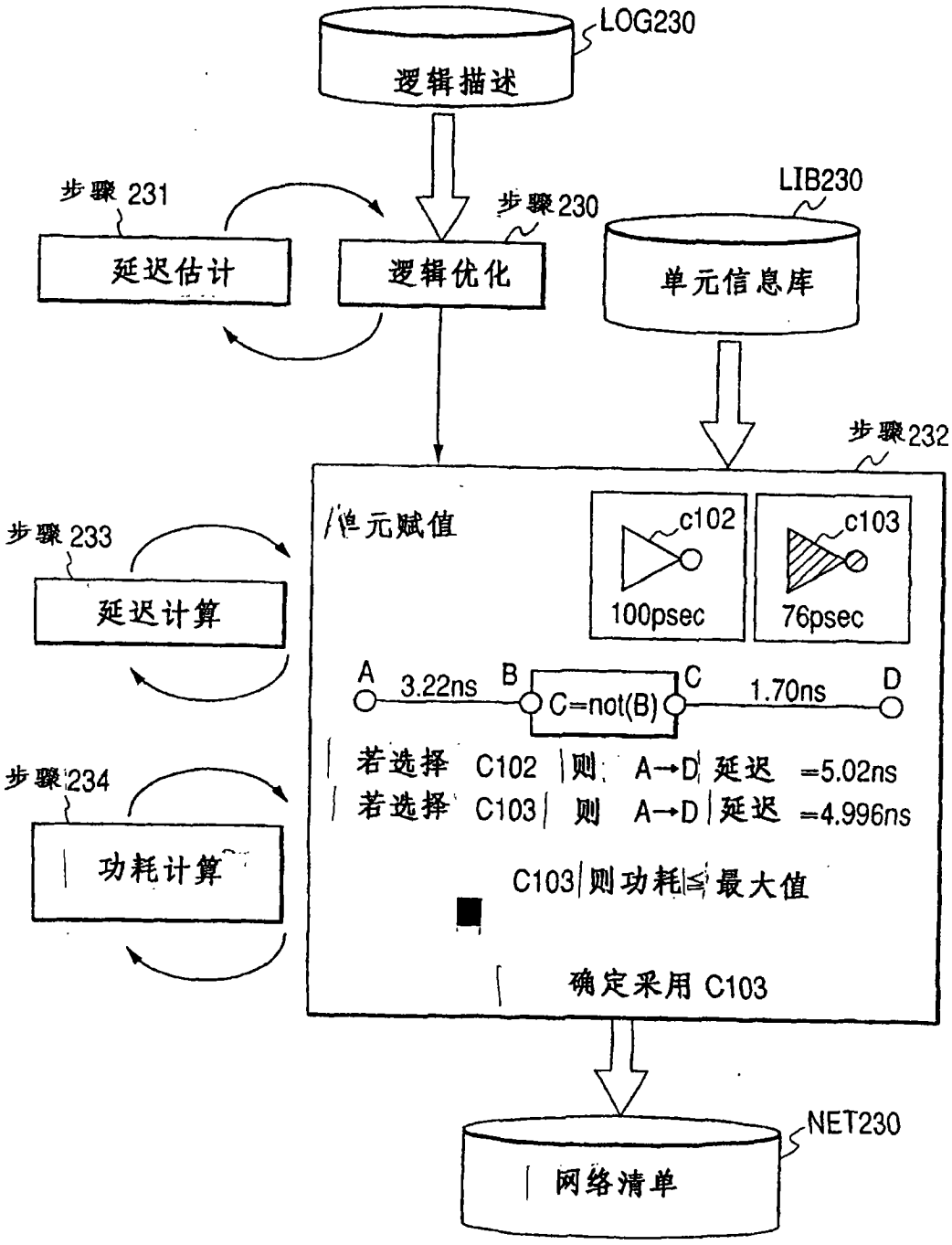

LOG230
逻辑描述
步骤 231
延迟估计
步骤230
逻辑优化
LIB230
单元信息库
步骤232
单元赋值
c102
100psec
c103
76psec
步骤 233
延迟计算
A
3.22ns
B
C=not(B)
C
1.70ns
D
若选择 C102 则 A→D 延迟 =5.02ns
若选择 C103 则 A→D 延迟 =4.996ns
步骤234
功耗计算
C103则功耗≤最大值
确定采用 C103
NET230
网络清单

图 23

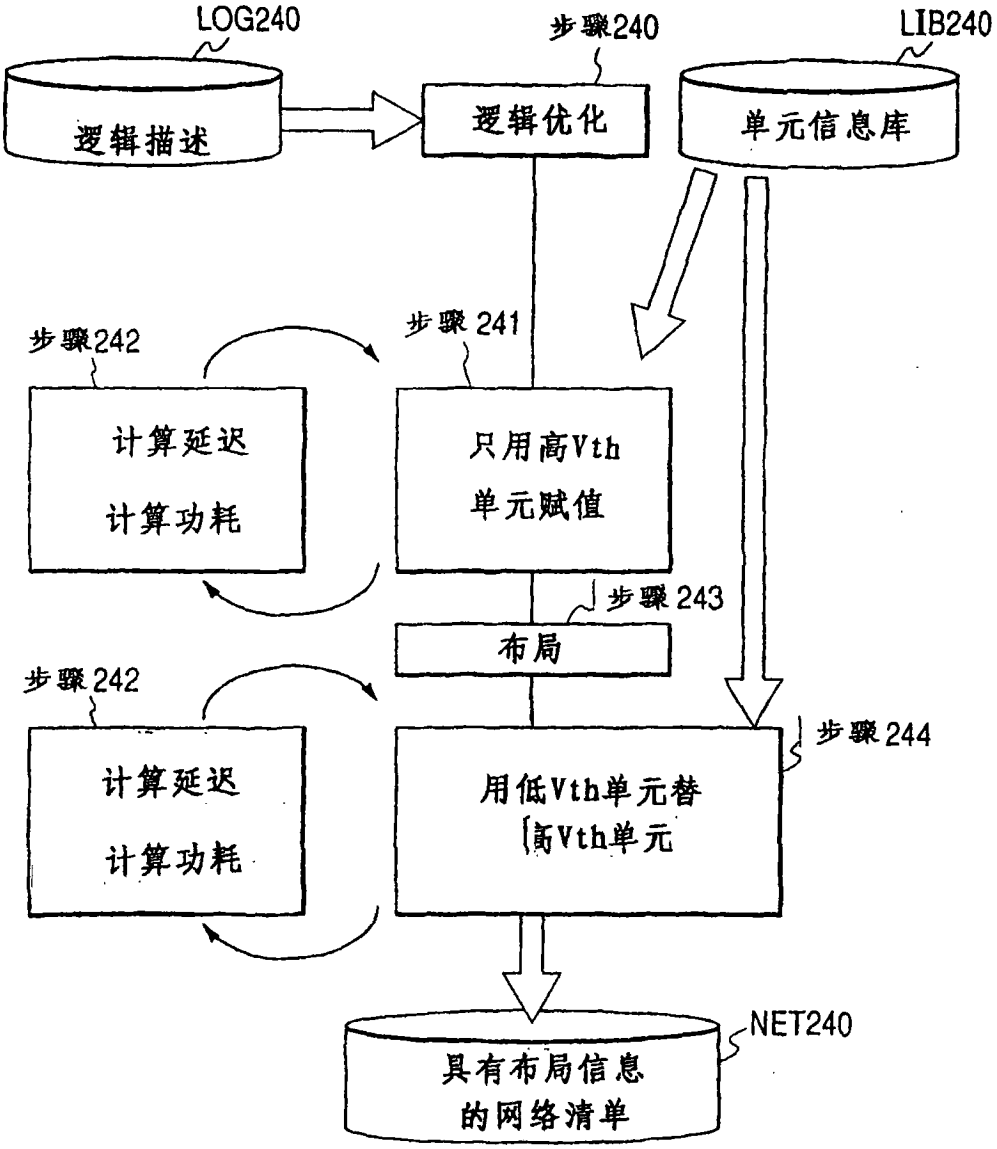

LOG240
步骤240
LIB240
逻辑描述
逻辑优化
单元信息库
步骤242
步骤241
计算延迟
计算功耗
只用高Vth
单元赋值
步骤243
布局
步骤242
步骤244
计算延迟
计算功耗
用低Vth单元替
高Vth单元
NET240
具有布局信息
的网络清单

图 24

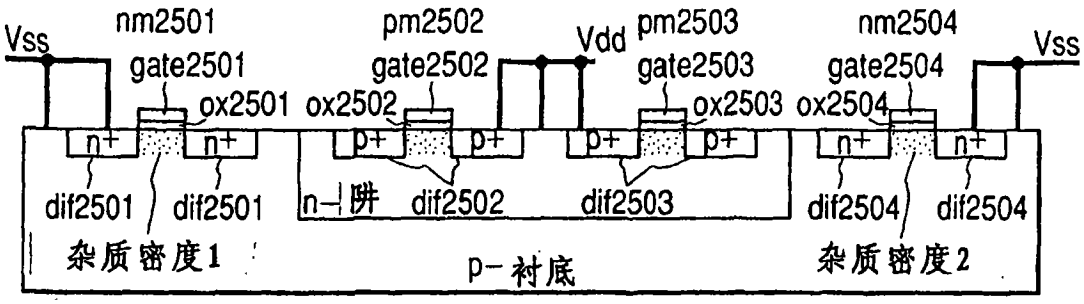

Vss
nm2501
gate2501
ox2501
pm2502
gate2502
ox2502
Vdd
pm2503
gate2503
ox2503
nm2504
gate2504
ox2504
Vss
n+
p+
dif2501
dif2502
dif2503
dif2504
n-阱
杂质密度1
p-衬底
杂质密度2

图 25

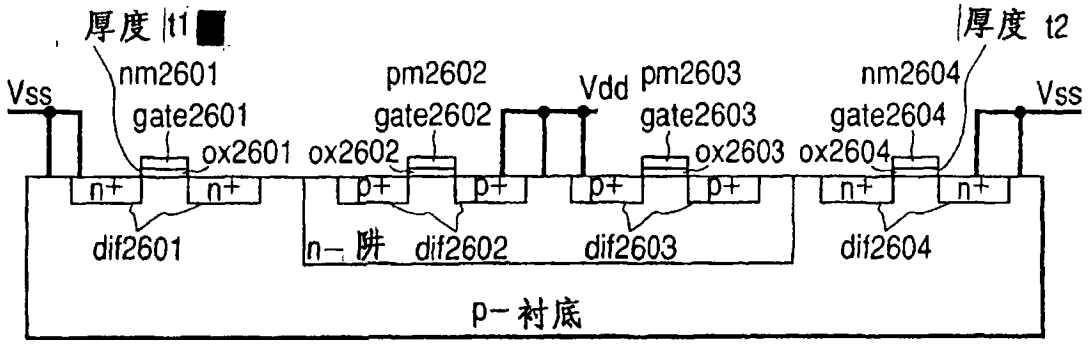

厚度 t1
厚度 t2
Vss
nm2601
gate2601
ox2601
pm2602
gate2602
ox2602
Vdd
pm2603
gate2603
ox2603
nm2604
gate2604
ox2604
Vss
n+
p+
dif2601
n- 阱
dif2602
dif2603
dif2604
p-衬底

图 26

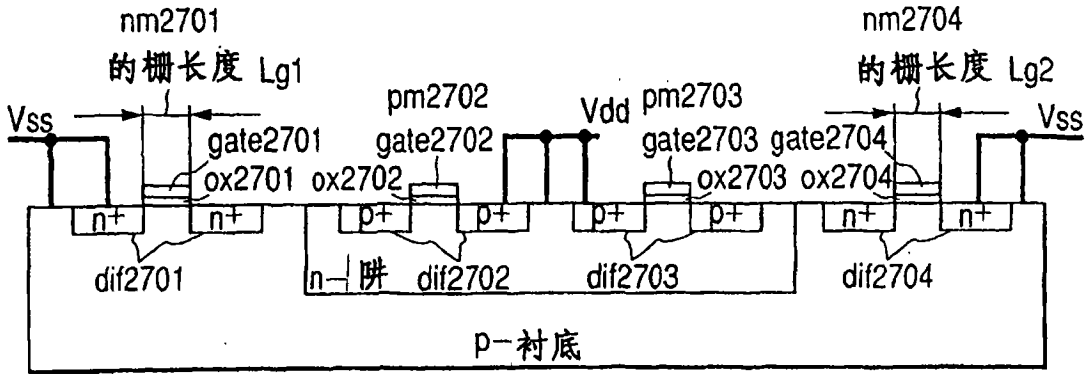

nm2701
的栅长度 Lg1
nm2704
的栅长度 Lg2
Vss
gate2701
ox2701
pm2702
gate2702
ox2702
Vdd
pm2703
gate2703
ox2703
gate2704
ox2704
Vss
n+
p+
dif2701
n- 阱
dif2702
dif2703
dif2704
p-衬底

图 27

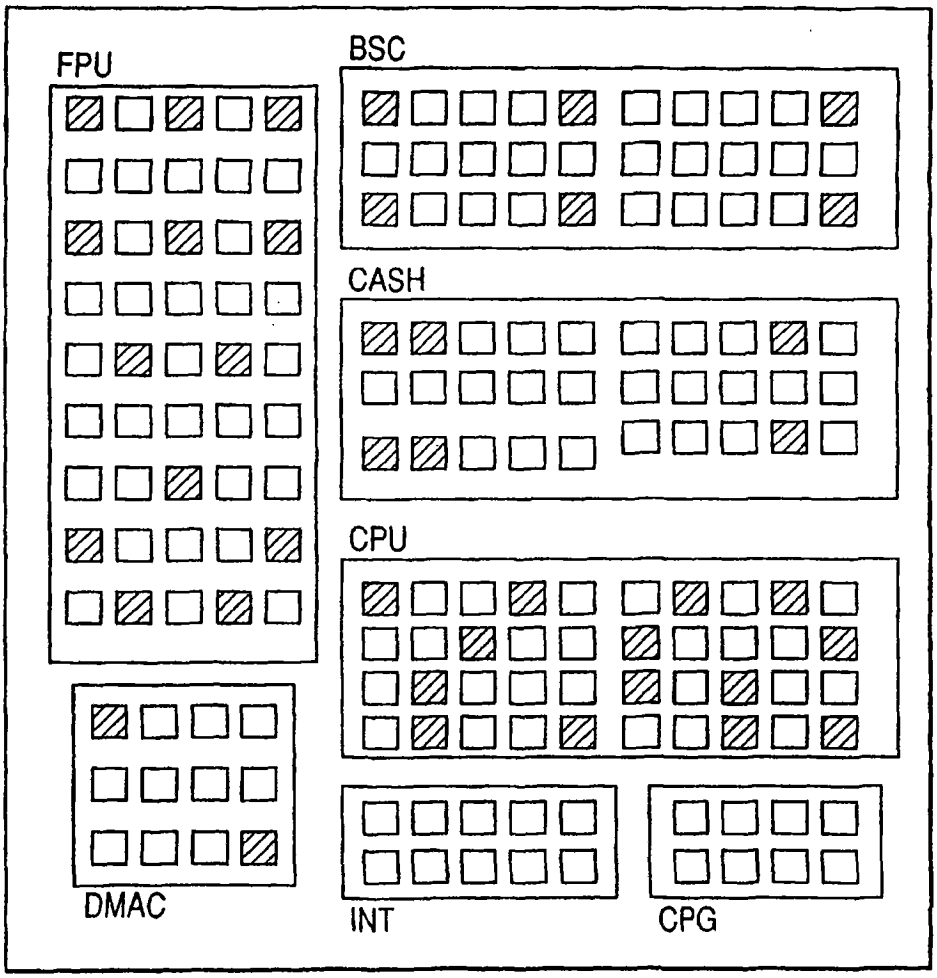


图 28