

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-59281

(P2017-59281A)

(43) 公開日 平成29年3月23日(2017.3.23)

(51) Int.Cl.

G 11 C 16/02 (2006.01)
G 06 F 3/08 (2006.01)
G 11 C 16/04 (2006.01)

F 1

G 11 C	17/00	6 1 2 F
G 06 F	3/08	H
G 11 C	17/00	6 2 2 E
	17/00	6 4 1

テーマコード(参考)

5 B 2 2 5

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号

特願2015-181628 (P2015-181628)

(22) 出願日

平成27年9月15日 (2015.9.15)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 110001357

特許業務法人つばさ国際特許事務所

(72) 発明者 伊達 一行

東京都港区港南1丁目7番1号 ソニー株式会社内

F ターム(参考) 5B225 BA02 BA19 CA01 CA19 DA03
DB02 DC03 EA05

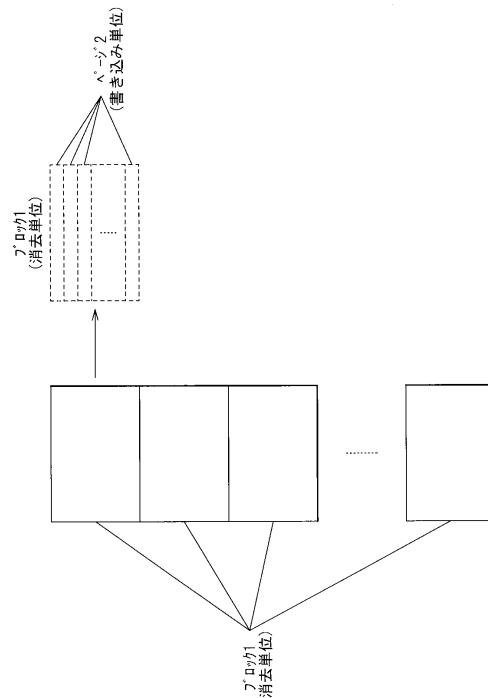
(54) 【発明の名称】半導体記憶装置および半導体記憶装置におけるデータ消去方法

(57) 【要約】

【課題】ブロック内の一頁のページのデータを安全、かつ高速に消去できるようにする。

【解決手段】本開示の半導体記憶装置は、複数のページを有するブロックと、データの書き込み、消去および読み出しの制御を行うコントローラとを備え、各ページは、それぞれが4段階以上のステートのうちのいずれかの段階のステートに変化し得る複数のメモリセルを有し、コントローラは、複数のページのうち、一部のページのみを消去する場合に、一部のページに、ステートの変化が1段階しか起きないような所定のデータを上書きする。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数のページを有するブロックと、
データの書き込み、消去および読み出しの制御を行うコントローラと
を備え、

前記各ページは、それぞれが4段階以上のステートのうちのいずれかの段階のステートに変化し得る複数のメモリセルを有し、

前記コントローラは、前記複数のページのうち、一部のページのみを消去する場合に、前記一部のページに、前記ステートの変化が1段階しか起きないような所定のデータを上書きする

10

半導体記憶装置。

【請求項 2】

複数のワード線と複数のビット線とをさらに備え、
前記メモリセルは、前記複数のワード線と前記複数のビット線との交点に配置され、
前記複数のワード線のそれぞれにおいて、1つのワード線上で、複数のページ分のデータの記憶が行われる

請求項1に記載の半導体記憶装置。

【請求項 3】

前記コントローラは、前記一部のページを含む複数のページにおける書き込み済みのデータを読み出し、その読み出しデータに基づいて、前記所定のデータを生成する

20

請求項1に記載の半導体記憶装置。

【請求項 4】

前記1つのワード線上の複数のページとして、第1のページと第2のページとを含み、
前記コントローラは、前記一部のページとして前記第1のページを消去する場合には、前記第1のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記第1のページと前記第2のページとの論理積のデータを上書きする

請求項2に記載の半導体記憶装置。

【請求項 5】

前記複数のページとして、第1のページと第2のページとを含み、
前記コントローラは、
前記第1のページを消去する前に、前記一部のページとして前記第2のページを消去する場合には、前記第2のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“1”のデータを上書きし、

30

前記第2のページを消去した後に、前記一部のページとして、さらに前記第1のページを消去する場合には、前記第1のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記第1のページと前記第2のページとの論理積のデータを上書きする

請求項2に記載の半導体記憶装置。

【請求項 6】

前記複数のページとして、第1のページと第2のページとを含み、
前記コントローラは、
前記一部のページとして前記第1のページを消去する場合には、前記第1のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記第1のページと前記第2のページとの論理積のデータを上書きし、

40

その後、前記一部のページとして、さらに前記第2のページを消去する場合には、前記第2のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“0”的データを上書きする

請求項2に記載の半導体記憶装置。

【請求項 7】

前記メモリセルは、4段階のステートに変化し得る
請求項1に記載の半導体記憶装置。

50

【請求項 8】

前記 1 つのワード線上の複数のページとして、第 1 ないし第 3 のページを含み、

前記コントローラは、

前記一部のページとして、前記第 1 のページまたは前記第 2 のページを消去する場合には、前記第 1 のページ内のすべてのメモリセルまたは前記第 2 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 1 ” のデータを上書きし、

前記一部のページとして、前記第 3 のページを消去する場合には、前記第 3 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 0 ” のデータを上書きする

請求項 2 に記載の半導体記憶装置。

10

【請求項 9】

前記メモリセルは、8 段階のステートに変化し得る

請求項 8 に記載の半導体記憶装置。

【請求項 10】

複数のページを有するブロックを備え、前記各ページが、それぞれ 4 段階以上のステートのうちのいずれかの段階のステートになり得る複数のメモリセルを有する半導体記憶装置に対して、

前記複数のページのうち、一部のページのみを消去する場合に、前記一部のページに、前記ステートの変化が 1 段階しか起きないような所定のデータを上書きする

半導体記憶装置におけるデータ消去方法。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、半導体記憶装置および半導体記憶装置におけるデータ消去方法に関する。

【背景技術】**【0002】**

NAND 型フラッシュメモリなどの不揮発性半導体メモリは、それぞれが複数のページで構成された複数のブロックを備えている。データの書き込みおよび読み出しが、ページ単位で一括して行われるが、データの消去は、通常、ブロック単位で一括して行われる。

【先行技術文献】

30

【特許文献】**【0003】****【特許文献 1】特開 2014 - 96122 号公報****【発明の概要】****【発明が解決しようとする課題】****【0004】**

このため、ブロック内的一部のページのデータのみを消去する場合には、消去対象以外のページのデータを別のブロックなどに退避する等の操作が必要となり得る。結果として、ブロック内的一部のページのデータのみを消去する場合には、通常よりも時間がかかり得る。特許文献 1 には、ブロック内的一部のページのデータのみを消去する場合の高速化を図る技術が提案されているが、ブロック内に無駄な領域が発生するおそれがある。また、消去対象以外のページのデータを正しく読み出すことができなくなるおそれがある。

40

【0005】

本開示の目的は、ブロック内的一部のページのデータを安全、かつ高速に消去できるようにした半導体記憶装置および半導体記憶装置におけるデータ消去方法を提供することにある。

【課題を解決するための手段】**【0006】**

本開示による半導体記憶装置は、複数のページを有するブロックと、データの書き込み、消去および読み出しの制御を行うコントローラとを備え、各ページは、それぞれが 4 段

50

階以上のステートのうちのいずれかの段階のステートに変化し得る複数のメモリセルを有し、コントローラは、複数のページのうち、一部のページのみを消去する場合に、一部のページに、ステートの変化が1段階しか起きないような所定のデータを上書きするようにしたものである。

【0007】

本開示による半導体記憶装置におけるデータ消去方法は、複数のページを有するブロックを備え、各ページが、それぞれ4段階以上のステートのうちのいずれかの段階のステートになり得る複数のメモリセルを有する半導体記憶装置に対して、複数のページのうち、一部のページのみを消去する場合に、一部のページに、ステートの変化が1段階しか起きないような所定のデータを上書きするようにしたものである。 10

【0008】

本開示による半導体記憶装置、または半導体記憶装置におけるデータ消去方法では、複数のページのうち、一部のページのみを消去する場合に、一部のページに、ステートの変化が1段階しか起きないような所定のデータが上書きされる。

【発明の効果】

【0009】

本開示の半導体記憶装置、または半導体記憶装置におけるデータ消去方法によれば、複数のページのうち、一部のページのみを消去する場合に、一部のページに、ステートの変化が1段階しか起きないような所定のデータを上書きするようにしたので、ブロック内的一部のページのデータを安全、かつ高速に消去できる。 20

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【0010】

【図1】比較例としての一般的な不揮発性半導体メモリの書き込み単位と消去単位の一例を示す説明図である。

【図2】比較例としての一般的な不揮発性半導体メモリにおけるデータ消去時の動作例を示す説明図である。

【図3】比較例としての一般的な不揮発性半導体メモリにおけるカップリング現象の一例を示す説明図である。 30

【図4】本開示の一実施の形態に係る半導体記憶装置の一例を示す構成図である。

【図5】不揮発性半導体メモリの一例を示す構成図である。

【図6】MLCにおいて、ページAのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図7】MLCにおいて、ページBのみを消去した後、ページAのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図8】MLCにおいて、ページAのみを消去した後、ページBのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図9】MLCのセル電位とステートおよび各ページのデータとの関係の一例を示す説明図である。 40

【図10】TLCのセル電位とステートおよび各ページのデータとの関係の一例を示す説明図である。

【図11】TLCにおいて、ページAのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図12】TLCにおいて、ページBのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図13】TLCにおいて、ページCのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【発明を実施するための形態】

【0011】

以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

0 . 比較例としての不揮発性半導体メモリの概要および課題（図 1 ~ 図 3 ）

1 . 半導体記憶装置の一実施形態

1 . 1 構成（図 4 、図 5 ）

1 . 2 動作（図 6 ~ 図 13 ）

1 . 3 効果

2 . その他の実施の形態

【 0 0 1 2 】

< 0 . 比較例としての不揮発性半導体メモリの概要および課題 >

10

図 1 は、比較例としての一般的な不揮発性半導体メモリの書き込み単位と消去単位の一例を示している。図 2 は、比較例としての一般的な不揮発性半導体メモリにおけるデータ消去時の動作例を示している。

【 0 0 1 3 】

N A N D 型フラッシュメモリなどの不揮発性半導体メモリは、図 1 に示したように、それぞれが複数のページ 2 で構成された複数のブロック 1 を備えている。データを記憶するメモリセルは、ワード線とビット線との交点に配置される。1 つのワード線上に、1 または複数ページ分のデータが記憶される。データの書き込みおよび読み出しが、ページ 2 単位で一括して行われる。データの消去は、ブロック 1 単位で一括して行われる。このように、データの書き込みおよび読み出しとデータの消去は、異なる単位で行われる。このため、通常、例えば図 2 の上段に示したようなブロック 1 内の一部のページ 4 のデータのみを消去することはできない。一部のページ 4 のデータのみを消去する場合、一旦、図 2 の中段に示すように消去対象以外のページ 2 のデータをコントローラ上の R A M (Random Access Memory) や、別のブロック 3 などに退避する。その後、図 2 の下段に示すように、ブロック 1 全体を消去することで、一部のページ 4 のデータを消去する。なお、R A M に消去対象以外のページ 2 のデータを退避した場合、ブロック 1 全体を消去した後、ブロック 1 または別のブロック 3 に退避したデータを書き込む必要がある。したがって、ブロック 1 内の一部のデータのみを消去したい場合、有効なデータの読み出し、および書き込みを必要な回数繰り返すことになり、時間がかかる。特にブロック 1 が多くのページ 2 で構成されている場合には多くの時間が必要となる。

20

30

【 0 0 1 4 】

これに対して、特許文献 1 (特開 2014-96122 号公報) では、2 種類の手法が提案されている。1 つは、1 つのブロックに 1 つのファイルのみを書くことにより消去時にデータの退避が必要なくなるというものである。この手法では小さいファイルを書いた場合にはブロック内に無駄な領域が多くなるなどの問題がある。もう 1 つは消去対象ページにデータを上書きすることにより消去対象ページのデータを破壊してしまう方法である。消去操作が必要な不揮発性半導体メモリの書き込みはセル電位が高くなる方向にしか遷移しない。そのため、書き込み済みページにデータを上書きすると、書き込み済みのデータも上書きしたデータも読めなくなる可能性がある。

40

【 0 0 1 5 】

図 3 は、不揮発性半導体メモリにおけるカップリング現象の一例を示している。

特許文献 1 では、上書きするデータとしてランダムデータやセル電位が最も高くなるデータが提案されている。しかしながら、N A N D 型フラッシュメモリでは周辺のメモリセルの影響を受けるカップリングと呼ばれる現象がある。これは、図 3 に示したように、あるメモリセルと周辺の隣接するメモリセルとの電位差が大きい場合に、読み出し時ににおいて、セル電位が変化して見える現象である。例えば、図 3 に示したように、本来の電位よりも高い読み出し電位に変化して見える。特許文献 1 で提案されているデータパターンで上書きした場合、上書きしたページのメモリセルの電位が高くなり、周辺のワード線上のページ、特に前後のワード線上のページのセル電位が高く見えることがある。セル電位が高く見えると書き込み済みのデータが正しく読み出せなくなることがあり、意図しないデ

50

ータ破壊につながる可能性がある。

【0016】

<1. 半導体記憶装置の一実施形態>

[1.1 構成]

図4は、本開示の一実施の形態に係る半導体記憶装置11の一例を示している。

【0017】

本実施の形態に係る半導体記憶装置11は、不揮発性半導体メモリ12と、コントローラ13と、ホストI/F(インターフェース)14とを備えている。

【0018】

不揮発性半導体メモリ12は、例えばNAND型フラッシュメモリである。不揮発性半導体メモリ12は、図1に示した比較例と略同様に、複数のページ2で構成された複数のブロック1を備えている。不揮発性半導体メモリ12の動作は、コントローラ13によって制御される。ホストI/F14は、コントローラ13とPC(パーソナルコンピュータ)などのホスト機器10とを接続するためのインターフェースである。

10

【0019】

不揮発性半導体メモリ12は、図5のようにワード線(WL)21とビット線(BL)22とが交差するマトリクス状の構成になっている。WL21とBL22との交わる部分がデータを記憶するメモリセル23となっている。選択線24は、書き込み時に各メモリセル23に書き込む値を決めるためにBL22の電圧を決定する。1つのワード線21上に、1または複数ページ分のデータが記憶される。

20

【0020】

メモリセル23は、例えばMLC(Multi Level Cell)やTLC(Triple Level Cell)の構成となっている。MLCの場合、1つのメモリセル23に2bit分のデータを記憶でき、1つのWL21に2ページ分のデータが記憶される。TLCの場合、1つのメモリセル23に3bit分のデータを記憶でき、1つのWL21に3ページ分のデータが記憶される。

20

【0021】

[1.2 動作]

ホスト機器10が不揮発性半導体メモリ12にデータを書き込む場合、ホストI/F14を経由してコントローラ13に書き込みデータが送信される。コントローラ13は、隣接するメモリセル23とのカップリングの影響を抑えるため、線形帰還シフトレジスタ(LFSR)の出力などでスクランブルしたデータを不揮発性半導体メモリ12に書き込む。書き込む位置はコントローラ13が決定し、論物変換テーブルと呼ばれる書き込み位置の情報を保持する。

30

【0022】

ホスト機器10が不揮発性半導体メモリ12のデータを読み出す場合、ホストI/F14を経由してコントローラ13に読み出しアドレスが通知される。コントローラ13は論物変換テーブルを用いてデータが書き込まれている位置を取得し、不揮発性半導体メモリ12からデータを読み出し、スクランブルを解除してホストI/F14を経由してホストにデータを送信する。

40

【0023】

ホスト機器10が不揮発性半導体メモリ12のデータを消去する場合、ホストI/F14を経由してコントローラ13に消去アドレスが通知される。コントローラ13は論物変換テーブルを用いてデータが書き込まれている位置を取得する。なお、論物変換テーブルのデータを書き替えれば、通常はホスト機器10から不揮発性半導体メモリ12内のデータを読み出すことができなくなる。しかしながら、その場合でも、不揮発性半導体メモリ12内にデータが残っているため不揮発性半導体メモリ12の端子に測定器を繋ぐことによってデータが読み出される可能性がある。このため、セキュアにデータを消去するにはデータが書き込まれているページ2を消去する必要がある。コントローラ13は同じブロック1内の他のページ2に有効なデータが残っていないのを確認した場合には、そのブロ

50

ック1の消去処理を行う。有効なデータが残っている場合には、消去するデータが書き込まれているページ2を、後述する所定のデータで上書きし、該当のアドレスの論物変換テーブルも削除する。

【0024】

以下に、データを消去する動作の具体例として、メモリセル23がMLCである場合と、メモリセル23がTLCある場合とを説明する。

【0025】

[MLCの場合の消去動作の例]

図9は、MLCのセル電位とステートおよび各ページA,Bのデータの関係の一例を示している。MLCの場合、1つのメモリセル23に2bit分のデータを記憶でき、1つのWL21に2ページ分のデータが記憶される。ここでは1つのWL21上の第1のページをページA、第2のページをページBとする。ページAに対してページBの方が上位のページとする。また、1つのメモリセル23につき、消去ステート、Aステート、Bステート、およびCステートの4段階のステートを取り得るものとする。セル電位が高い方を上位ステート、低い方を下位ステートと呼ぶ。最も下位のステートは消去ステート、最も上位のステートはCステートとなる。消去ステートとAステートとの閾値電圧をA、AステートとBステートとの閾値電圧をB、BステートとCステートとの閾値電圧をCとする。

10

【0026】

図9のようなセル電位とステートとの関係を考慮して、一部のページ4のみを消去する場合に、コントローラ13は、消去対象の一部のページ4において、各メモリセル23にステートの変化が1段階しか起きないような所定のデータを作成して上書きする。特に、ステートの変化が下位から上位へと1段階しか起きないような所定のデータを作成して上書きする。なお、通常、書き込まれるデータはスクランブルされているため、各電圧レベルにあるメモリセル23の個数は、ブロック単位およびページ単位で大きな差はないものとする。

20

【0027】

図6は、MLCにおいて、ページAのみを消去する場合のメモリセル23のステートおよびデータの変化の一例を示している。コントローラ13は、消去対象の一部のページ4を含む複数のページにおける書き込み済みのデータを読み出し、その読み出しデータに基づいて、ページAに上書きする所定のデータを生成する。具体的には、コントローラ13は、ページAを消去する場合、ページAのデータとページBのデータとを読み出し、それぞれの対応するビットのデータの論理積を計算して所定のデータを生成する。その所定のデータをページAに上書きする。書き込みによりそれぞれのメモリセル23のステートは図6のように変化する。図6に示したように、ページAに所定のデータを上書き後にもページBのデータは保持される。これに対して、ページAのデータは約1/4のビットが1から0に反転するため、正しいデータが取得できなくなる。これにより、ページAのデータは実質的に消去される。また、このとき、ページA内の各メモリセル23は、ステートの変化があったとしても、1つ上のステートにしか変化しない。このため、消去対象の一部のページ4が存在するWL21に対して前後のWL21の他のページ2に書かれているデータへの影響を抑えることができる。

30

【0028】

図7は、MLCにおいて、ページBのみを消去した後、ページAのみを消去する場合のメモリセル23のステートおよびデータの変化の一例を示している。ページAを消去する前に、一部のページ4としてページBのみを消去する場合には、コントローラ13は、ページB内のすべてのメモリセル23に対して、所定のデータとして、“1”のデータを上書きする。書き込みによりそれぞれのメモリセル23のステートは図7のように変化する。図7に示したように、Bステートにあったメモリセル23のみがCステートに変化するため、ページBに所定のデータを上書き後にもページAのデータは保持される。これに対して、ページBのデータは約1/4のビットが0から1に反転するため、正しいデータが

40

50

取得できなくなる。これにより、ページBのデータは実質的に消去される。また、このとき、ページB内の各メモリセル23は、ステートの変化があったとしても、1つ上のステートにしか変化しない。このため、消去対象の一部のページ4が存在するWL21に対して、前後のWL21の他のページ2に書かれているデータへの影響を抑えることができる。

【0029】

ページBを消去した後に、一部のページ4としてページAを消去する場合には、上記図6の例と同様に、ページAのデータとページBのデータとを読み出し、それぞれの対応するビットのデータの論理積を計算して所定のデータを生成する。その所定のデータをページAに上書きする。書き込みによりそれぞれのメモリセル23のステートは図7のように変化する。図7に示したように、ページAに所定のデータを上書き後にもページBのデータは保持される。これに対して、ページAのデータは約1/4のビットが1から0に反転するため、正しいデータが取得できなくなる。これにより、ページAのデータは実質的に消去される。また、このとき、ページBの消去前と比較しても、ページA内の各メモリセル23のステートの変化は、最大で1つ上のステートにしか変化しない。このため、消去対象の一部のページ4が存在するWL21に対して前後のWL21の他のページ2に書かれているデータへの影響を抑えることができる。

【0030】

図8は、MLCにおいて、ページAのみを消去した後、ページBのみを消去する場合のメモリセル23のステートおよびデータの変化の一例を示している。まず、一部のページ4として、ページAのみを消去する動作は、上記図6の例と同様である。その後、一部のページ4として、さらにページBのみを消去する場合には、コントローラ13は、ページB内のすべてのメモリセル23に対して、所定のデータとして、“0”のデータを上書きする。書き込みによりそれぞれのメモリセル23のステートは図8のように変化する。ページAを消去する前と比べると、消去ステートおよびAステートにあったメモリセル23のみが1つ上のステートに変化し、ページAおよびページBともに約1/4のビットが1から0に反転するため、正しいデータが取得できなくなる。これにより、ページAおよびページBのデータは実質的に消去される。このとき、ページAの消去前と比較しても、ページAおよびページB内の各メモリセル23のステートの変化は、最大で1つ上のステートにしか変化しない。このため、消去対象の一部のページ4が存在するWL21に対して前後のWL21の他のページ2に書かれているデータへの影響を抑えることができる。

【0031】

[TLCの場合の消去動作の例]

図10は、TLCのセル電位とステートおよび各ページA, B, Cのデータの関係の一例を示している。TLCの場合、1つのメモリセル23に3bit分のデータを記憶でき、1つのWL21に3ページ分のデータが記憶される。ここでは1つのWL21上の第1のページをページA、第2のページをページB、第3のページをページCとする。ページAに対してページBの方が上位のページ、ページBに対してページCの方が上位のページとする。また、1つのメモリセル23につき、消去ステート、Aステート、Bステート、Cステート、Dステート、Eステート、Fステート、およびGステートの8段階のステートを取り得るものとする。セル電位が高い方を上位ステート、低い方を下位ステートと呼ぶ。最も下位のステートは消去ステート、最も上位のステートはGステートとなる。消去ステートとAステートとの閾値電圧をA、AステートとBステートとの閾値電圧をB、BステートとCステートとの閾値電圧をCとする。また、CステートとDステートとの閾値電圧をD、DステートとEステートとの閾値電圧をE、EステートとFステートとの閾値電圧をF、FステートとGステートとの閾値電圧をGとする。

【0032】

図10のようなセル電位とステートとの関係を考慮して、一部のページ4のみを消去する場合に、コントローラ13は、消去対象の一部のページ4において、各メモリセル23にステートの変化が1段階しか起きないような所定のデータを作成または選択して上書き

10

20

30

40

50

する。特に、ステートの変化が下位から上位へと1段階しか起きないような所定のデータを作成または選択して上書きする。上述のM L Cの例とは異なり、消去するページの順番や書かれているデータに関係なく、消去対象の一部のページ4として、ページAまたはページBを消去する場合には、ページAまたはページB内のすべてのメモリセル23に対して、所定のデータとして、“1”のデータを上書きする。また、消去対象の一部のページ4として、ページCを消去する場合には、ページC内のすべてのメモリセル23に対して、所定のデータとして、“0”のデータを上書きする。それぞれの場合において、書き込みによりメモリセル23のステートは図11～図13のように変化する。

【0033】

図11は、TLCにおいて、ページAのみを消去する場合のメモリセル23のステートおよびデータの変化の一例を示している。図12は、TLCにおいて、ページBのみを消去する場合のメモリセル23のステートおよびデータの変化の一例を示している。図13は、TLCにおいて、ページCのみを消去する場合のメモリセル23のステートおよびデータの変化の一例を示している。

10

【0034】

図11に示したように、ページAに所定のデータとして“1”のデータを上書きした場合、FステートにあったページAのメモリセル23がGステートに変化する。また、図12に示したように、ページBに所定のデータとして“1”のデータを上書きした場合、CステートにあったページBのメモリセル23がDステートに変化する。また、図13に示したように、ページCに所定のデータとして“0”のデータを上書きした場合、消去ステートにあったページCのメモリセル23がAステートに変化する。

20

【0035】

上記した図11～図13のそれぞれの場合において、所定のデータを上書き後は、消去対象の一部のページ4は正しいデータが取得できなくなり、データは実質的に消去される。これに対して、消去対象以外の他の2つのページ2のデータは保持される。また、いずれの場合も、消去対象の一部のページ4内の各メモリセル23は、ステートの変化があったとしても、1つ上のステートにしか変化しない。このため、消去対象の一部のページ4が存在するWL21に対して前後のWL21の他のページ2に書かれているデータへの影響を抑えることができる。

30

【0036】

以上のように、現在のページの状態とデータの状態とにより所定のデータのデータパターンを決定し、その所定のデータを消去対象の一部のページ4に対して上書きする。これにより、高速かつ確実にデータを消去しつつ、消去対象の一部のページ4が存在するWL21に対して前後のWL21上のページ2への影響を抑えることができる。

【0037】

[1.3 効果]

以上のように、本実施の形態によれば、一部のページ4のみを消去する場合に、一部のページ4に、ステートの変化が1段階しか起きないような所定のデータを上書きするようにしたので、ブロック1内的一部のページ4のデータを安全、かつ高速に消去できる。これにより、例えば、メモリカード内のデータをセキュアに消去する必要がある場合において、高速、かつ、他のWL21におけるデータに影響を与えないように消去することが可能となる。

40

【0038】

なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

【0039】

<2. その他の実施の形態>

本開示による技術は、上記実施の形態の説明に限定されず種々の変形実施が可能である。

【0040】

50

例えば、本技術は以下のような構成を取ることができる。

(1)

複数のページを有するブロックと、

データの書き込み、消去および読み出しの制御を行うコントローラと
を備え、

前記各ページは、それぞれが4段階以上のステートのうちのいずれかの段階のステートに変化し得る複数のメモリセルを有し、

前記コントローラは、前記複数のページのうち、一部のページのみを消去する場合に、前記一部のページに、前記ステートの変化が1段階しか起きないような所定のデータを上書きする

10

半導体記憶装置。

(2)

複数のワード線と複数のビット線とをさらに備え、

前記メモリセルは、前記複数のワード線と前記複数のビット線との交点に配置され、

前記複数のワード線のそれぞれにおいて、1つのワード線上で、複数のページ分のデータの記憶が行われる

上記(1)に記載の半導体記憶装置。

(3)

前記コントローラは、前記一部のページを含む複数のページにおける書き込み済みのデータを読み出し、その読み出しデータに基づいて、前記所定のデータを生成する

20

上記(1)または(2)に記載の半導体記憶装置。

(4)

前記1つのワード線上の複数のページとして、第1のページと第2のページとを含み、

前記コントローラは、前記一部のページとして前記第1のページを消去する場合には、前記第1のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記第1のページと前記第2のページとの論理積のデータを上書きする

上記(2)に記載の半導体記憶装置。

(5)

前記複数のページとして、第1のページと第2のページとを含み、

前記コントローラは、

30

前記第1のページを消去する前に、前記一部のページとして前記第2のページを消去する場合には、前記第2のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“1”のデータを上書きし、

前記第2のページを消去した後に、前記一部のページとして、さらに前記第1のページを消去する場合には、前記第1のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記第1のページと前記第2のページとの論理積のデータを上書きする

上記(2)に記載の半導体記憶装置。

(6)

前記複数のページとして、第1のページと第2のページとを含み、

前記コントローラは、

40

前記一部のページとして前記第1のページを消去する場合には、前記第1のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記第1のページと前記第2のページとの論理積のデータを上書きし、

その後、前記一部のページとして、さらに前記第2のページを消去する場合には、前記第2のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“0”的データを上書きする

上記(2)に記載の半導体記憶装置。

(7)

前記メモリセルは、4段階のステートに変化し得る

上記(1)ないし(6)のいずれか1つに記載の半導体記憶装置。

50

(8)

前記 1 つのワード線上の複数のページとして、第 1 ないし第 3 のページを含み、

前記コントローラは、

前記一部のページとして、前記第 1 のページまたは前記第 2 のページを消去する場合には、前記第 1 のページ内のすべてのメモリセルまたは前記第 2 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 1 ” のデータを上書きし、

前記一部のページとして、前記第 3 のページを消去する場合には、前記第 3 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 0 ” のデータを上書きする

上記 (2) に記載の半導体記憶装置。

10

(9)

前記メモリセルは、8 段階のステートに変化し得る

上記 (8) に記載の半導体記憶装置。

(10)

複数のページを有するブロックを備え、前記各ページが、それぞれ 4 段階以上のステートのうちのいずれかの段階のステートになり得る複数のメモリセルを有する半導体記憶装置に対して、

前記複数のページのうち、一部のページのみを消去する場合に、前記一部のページに、前記ステートの変化が 1 段階しか起きないような所定のデータを上書きする

半導体記憶装置におけるデータ消去方法。

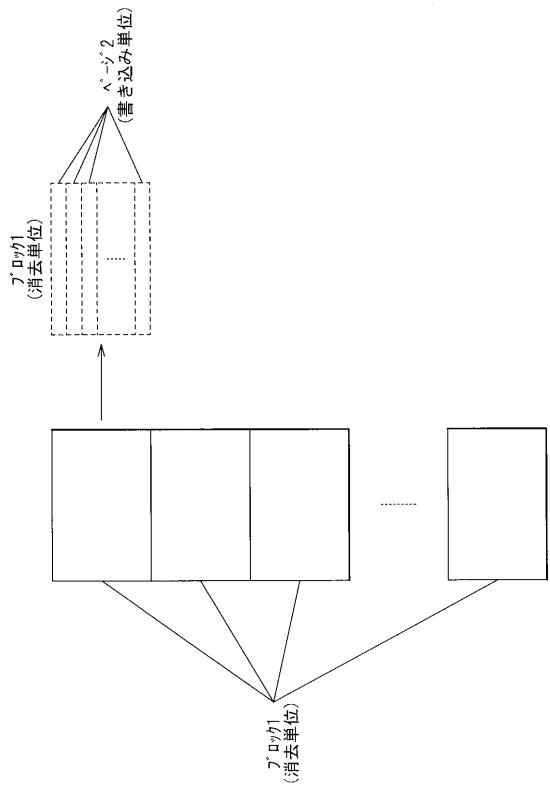
20

【 符号の説明 】

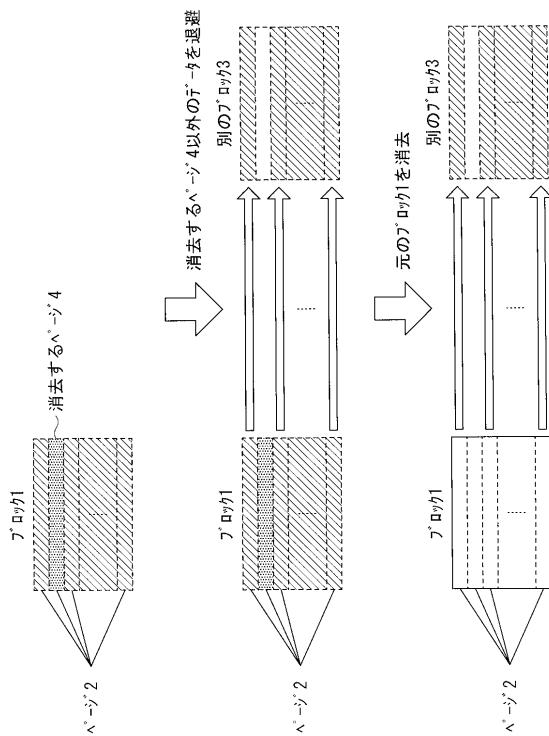
【 0 0 4 1 】

1 ... ブロック、2 ... ページ、3 ... ブロック、4 ... ページ、10 ... ホスト機器、11 ... 半導体記憶装置、12 ... 不揮発性半導体メモリ、13 ... コントローラ、14 ... ホスト I / F (インタフェース) 、21 ... ワード線 (WL) 、22 ... ビット線 (BL) 、23 ... メモリセル、24 ... 選択線。

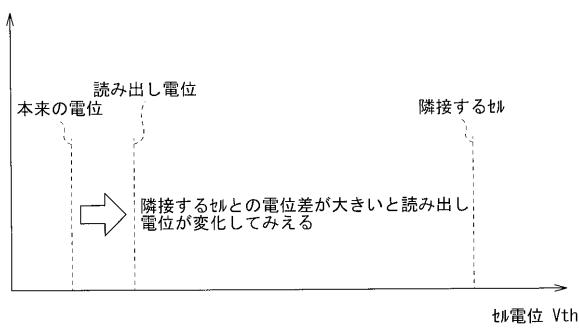
【図1】



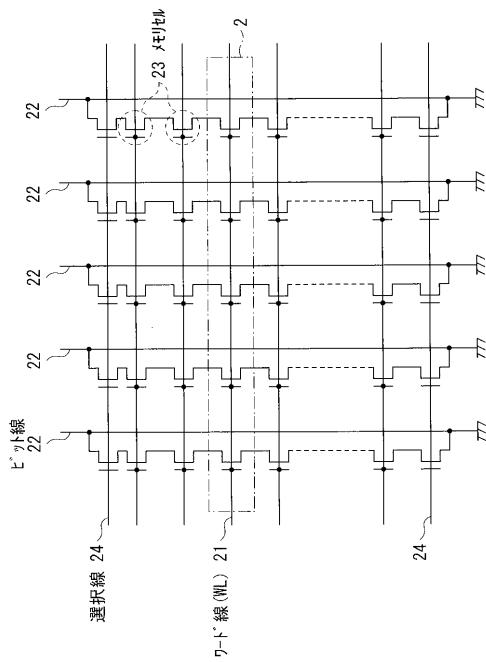
【図2】



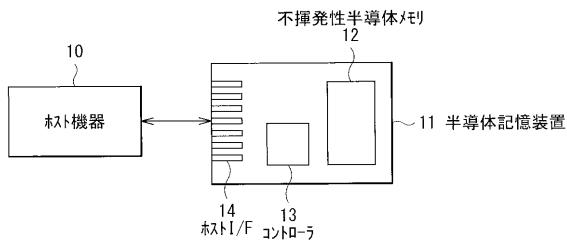
【図3】



【図5】



【図4】



【図 6】

23

		$\lambda\bar{\tau}-t$	消去 $\lambda\bar{\tau}-t$	$A\lambda\bar{\tau}-t$	$B\lambda\bar{\tau}-t$	$C\lambda\bar{\tau}-t$
上書き前	$\wedge^*\neg\exists' A$	1	1	0	0	
	$\wedge^*\neg\exists' B$	1	0	0	1	
$\wedge^*\neg\exists' A$ 上書き $\neg\forall$ (論理積)		1	0	0	0	
$\wedge^*\neg\exists' A$ 上書き $\neg\forall$	$\lambda\bar{\tau}-t$	消去 $\lambda\bar{\tau}-t$	$B\lambda\bar{\tau}-t$	$C\lambda\bar{\tau}-t$		
上書き後	$\wedge^*\neg\exists' A$	1	0	0	0	
$\wedge^*\neg\exists' B$ 上書き $\neg\forall$ (ALL0)		1	0	1		
$\wedge^*\neg\exists' A$ 上書き後	$\lambda\bar{\tau}-t$	消去 $\lambda\bar{\tau}-t$	$B\lambda\bar{\tau}-t$	$C\lambda\bar{\tau}-t$		
$\wedge^*\neg\exists' B$ 上書き後		0	0	0	0	

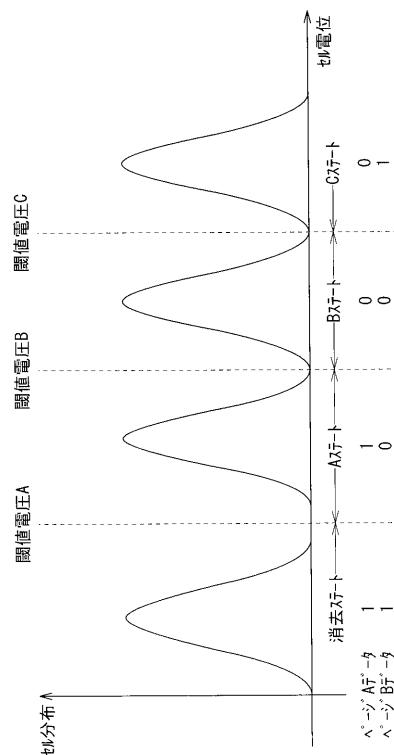
【図 7】

		$\lambda\bar{\tau}-t$	消去 $\lambda\bar{\tau}-t$	$A\lambda\bar{\tau}-t$	$B\lambda\bar{\tau}-t$	$C\lambda\bar{\tau}-t$
上書き前	$\lambda\bar{\tau}-t$	$\wedge^*\neg\exists' A$	1	1	1	0
		$\wedge^*\neg\exists' B$	1	0	0	1
$\wedge^*\neg\exists' B$ 上書き $\neg\forall$ (ALL1)		1	1	1	1	
$\wedge^*\neg\exists' B$ 上書き後	$\lambda\bar{\tau}-t$	消去 $\lambda\bar{\tau}-t$	$A\lambda\bar{\tau}-t$	$C\lambda\bar{\tau}-t$		
$\wedge^*\neg\exists' A$ 上書き $\neg\forall$ (論理積)		$\wedge^*\neg\exists' A$	1	1	0	0
$\wedge^*\neg\exists' B$, A 上書き後	$\lambda\bar{\tau}-t$	消去 $\lambda\bar{\tau}-t$	$B\lambda\bar{\tau}-t$	$C\lambda\bar{\tau}-t$		
$\wedge^*\neg\exists' B$			1	0	0	1

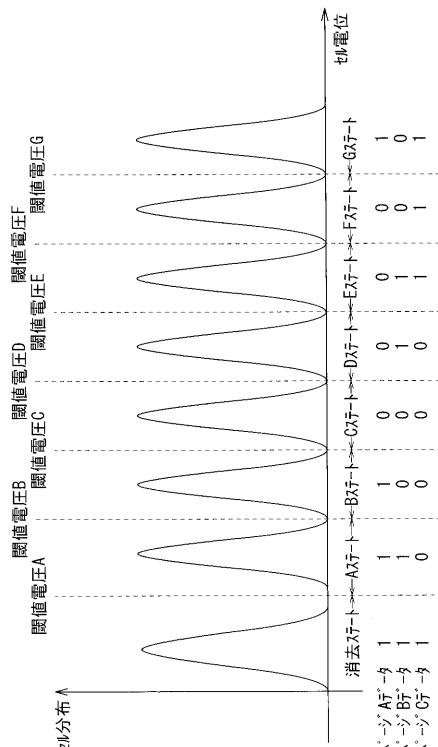
【図 8】

		$\lambda\bar{\tau}-t$	消去 $\lambda\bar{\tau}-t$	$A\lambda\bar{\tau}-t$	$B\lambda\bar{\tau}-t$	$C\lambda\bar{\tau}-t$
上書き前	$\wedge^*\neg\exists' A$	1	1	0	0	
	$\wedge^*\neg\exists' B$	1	0	0	1	
$\wedge^*\neg\exists' A$ 上書き $\neg\forall$ (論理積)		1	0	0	0	
$\wedge^*\neg\exists' A$ 上書き後	$\lambda\bar{\tau}-t$	消去 $\lambda\bar{\tau}-t$	$B\lambda\bar{\tau}-t$	$C\lambda\bar{\tau}-t$		
$\wedge^*\neg\exists' B$ 上書き後		0	0	0	1	

【図 9】



【図 1 0】



【図 1 2】

	$\lambda\bar{\tau}$ -ト	消去	A	B	C	D	E	F	G
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} B$ 上書き前 $\bar{\tau} \rightarrow \delta$	1	1	1	0	0	0	0	1	
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} A$	1	1	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} B$	1	1	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} C$	1	0	0	0	1	1	1	1	1
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} B$ 上書き $\bar{\tau}$ - δ (ALL)	1	1	1	1	1	1	1	1	1
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} A$	1	1	0	0	0	0	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} B$	1	1	0	0	0	0	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} C$	1	0	0	0	0	0	0	0	0

【図 1 1】

	$\lambda\bar{\tau}$ -ト	消去	A	B	C	D	E	F	G
上書き前 $\bar{\tau} \rightarrow \delta$	$\lambda\bar{\tau}$ -ト	消去	$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} A$	1	1	0	0	0	1
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} A$	1	1	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} B$	1	1	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} C$	1	0	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} A$ 上書き $\bar{\tau}$ - δ (ALL)	1	1	0	0	0	0	0	0	1
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} B$	1	1	0	0	0	0	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} C$	1	0	0	0	0	0	0	0	0

23

【図 1 3】

	$\lambda\bar{\tau}$ -ト	消去	A	B	C	D	E	F	G
上書き前 $\bar{\tau} \rightarrow \delta$	$\lambda\bar{\tau}$ -ト	消去	$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} A$	1	1	0	0	0	1
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} A$	1	1	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} B$	1	1	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} C$	1	0	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} C$ 上書き $\bar{\tau}$ - δ (ALL)	0	0	0	0	0	0	0	0	1
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} C$ 上書き前 $\bar{\tau} \rightarrow \delta$	0	0	0	0	0	0	0	0	1
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} A$	1	1	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} B$	1	1	0	0	1	1	0	0	0
$\wedge^{\circ} \rightarrow \circlearrowleft^{\circ} C$	1	0	0	0	1	1	0	0	0