

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-59281

(P2017-59281A)

(43) 公開日 平成29年3月23日(2017.3.23)

(51) Int.Cl.		F I		テーマコード (参考)		
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00	6 1 2 F	5 B 2 2 5
G 0 6 F	3/08	(2006.01)	G 0 6 F	3/08	H	
G 1 1 C	16/04	(2006.01)	G 1 1 C	17/00	6 2 2 E	
			G 1 1 C	17/00	6 4 1	

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号	特願2015-181628 (P2015-181628)	(71) 出願人	000002185
(22) 出願日	平成27年9月15日 (2015. 9. 15)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	110001357
			特許業務法人つばき国際特許事務所
		(72) 発明者	伊達 一行
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム(参考)	5B225 BA02 BA19 CA01 CA19 DA03
			DB02 DC03 EA05

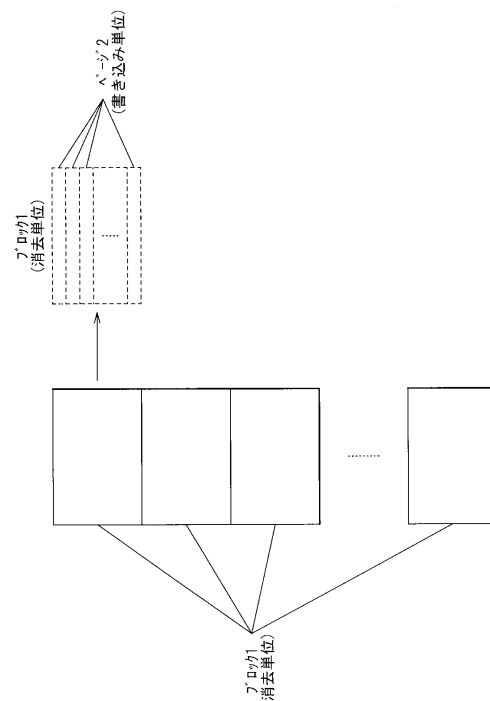
(54) 【発明の名称】 半導体記憶装置および半導体記憶装置におけるデータ消去方法

(57) 【要約】

【課題】ブロック内の一部のページのデータを安全、かつ高速に消去できるようにする。

【解決手段】本開示の半導体記憶装置は、複数のページを有するブロックと、データの書き込み、消去および読み出しの制御を行うコントローラとを備え、各ページは、それぞれが4段階以上の状態のうちのいずれかの段階の状態に変化し得る複数のメモリセルを有し、コントローラは、複数のページのうち、一部のページのみを消去する場合に、一部のページに、状態の変化が1段階しか起きないような所定のデータを上書きする。

。【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数のページを有するブロックと、
データの書き込み、消去および読み出しの制御を行うコントローラと
を備え、
前記各ページは、それぞれが 4 段階以上の状態のうちのいずれかの段階の状態
に変化し得る複数のメモリセルを有し、
前記コントローラは、前記複数のページのうち、一部のページのみを消去する場合に、
前記一部のページに、前記状態の変化が 1 段階しか起きないような所定のデータを上
書きする

10

半導体記憶装置。

【請求項 2】

複数のワード線と複数のビット線とをさらに備え、
前記メモリセルは、前記複数のワード線と前記複数のビット線との交点に配置され、
前記複数のワード線のそれぞれにおいて、1 つのワード線上で、複数のページ分のデー
タの記憶が行われる

請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記コントローラは、前記一部のページを含む複数のページにおける書き込み済みのデー
タを読み出し、その読み出しデータに基づいて、前記所定のデータを生成する

20

請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記 1 つのワード線上の複数のページとして、第 1 のページと第 2 のページとを含み、
前記コントローラは、前記一部のページとして前記第 1 のページを消去する場合には、
前記第 1 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記
第 1 のページと前記第 2 のページとの論理積のデータを上書きする

請求項 2 に記載の半導体記憶装置。

【請求項 5】

前記複数のページとして、第 1 のページと第 2 のページとを含み、
前記コントローラは、
前記第 1 のページを消去する前に、前記一部のページとして前記第 2 のページを消去す
る場合には、前記第 2 のページ内のすべての前記メモリセルに対して、前記所定のデータ
として、“ 1 ” のデータを上書きし、

30

前記第 2 のページを消去した後に、前記一部のページとして、さらに前記第 1 のページ
を消去する場合には、前記第 1 のページ内のすべての前記メモリセルに対して、前記所定
のデータとして、前記第 1 のページと前記第 2 のページとの論理積のデータを上書きする

請求項 2 に記載の半導体記憶装置。

【請求項 6】

前記複数のページとして、第 1 のページと第 2 のページとを含み、
前記コントローラは、
前記一部のページとして前記第 1 のページを消去する場合には、前記第 1 のページ内の
すべての前記メモリセルに対して、前記所定のデータとして、前記第 1 のページと前記第
2 のページとの論理積のデータを上書きし、

40

その後、前記一部のページとして、さらに前記第 2 のページを消去する場合には、前記
第 2 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 0 ” の
データを上書きする

請求項 2 に記載の半導体記憶装置。

【請求項 7】

前記メモリセルは、4 段階の状態に変化し得る

請求項 1 に記載の半導体記憶装置。

50

【請求項 8】

前記 1 つのワード線上の複数のページとして、第 1 ないし第 3 のページを含み、
前記コントローラは、

前記一部のページとして、前記第 1 のページまたは前記第 2 のページを消去する場合には、前記第 1 のページ内のすべてのメモリセルまたは前記第 2 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 1 ”のデータを上書きし、

前記一部のページとして、前記第 3 のページを消去する場合には、前記第 3 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 0 ”のデータを上書きする

請求項 2 に記載の半導体記憶装置。

10

【請求項 9】

前記メモリセルは、8 段階のステートに変化し得る

請求項 8 に記載の半導体記憶装置。

【請求項 10】

複数のページを有するブロックを備え、前記各ページが、それぞれ 4 段階以上のステートのうちのいずれかの段階のステートになり得る複数のメモリセルを有する半導体記憶装置に対して、

前記複数のページのうち、一部のページのみを消去する場合に、前記一部のページに、前記ステートの変化が 1 段階しか起きないような所定のデータを上書きする

半導体記憶装置におけるデータ消去方法。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、半導体記憶装置および半導体記憶装置におけるデータ消去方法に関する。

【背景技術】**【0002】**

NAND 型フラッシュメモリなどの不揮発性半導体メモリは、それぞれが複数のページで構成された複数のブロックを備えている。データの書き込みおよび読み出しは、ページ単位で一括して行われるが、データの消去は、通常、ブロック単位で一括して行われる。

【先行技術文献】

30

【特許文献】**【0003】**

【特許文献 1】特開 2014 - 96122 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

このため、ブロック内の一部のページのデータのみを消去する場合には、消去対象以外のページのデータを別のブロックなどに退避する等の操作が必要となり得る。結果として、ブロック内の一部のページのデータのみを消去する場合には、通常よりも時間がかかり得る。特許文献 1 には、ブロック内の一部のページのデータのみを消去する場合の高速化を図る技術が提案されているが、ブロック内に無駄な領域が発生するおそれがある。また、消去対象以外のページのデータを正しく読み出すことができなくなるおそれがある。

40

【0005】

本開示の目的は、ブロック内の一部のページのデータを安全、かつ高速に消去できるようにした半導体記憶装置および半導体記憶装置におけるデータ消去方法を提供することにある。

【課題を解決するための手段】**【0006】**

本開示による半導体記憶装置は、複数のページを有するブロックと、データの書き込み、消去および読み出しの制御を行うコントローラとを備え、各ページは、それぞれが 4 段

50

階以上のステートのうちのいずれかの段階のステートに変化し得る複数のメモリセルを有し、コントローラは、複数のページのうち、一部のページのみを消去する場合に、一部のページに、ステートの変化が１段階しか起きないような所定のデータを上書きするようにしたものである。

【０００７】

本開示による半導体記憶装置におけるデータ消去方法は、複数のページを有するブロックを備え、各ページが、それぞれ４段階以上のステートのうちのいずれかの段階のステートになり得る複数のメモリセルを有する半導体記憶装置に対して、複数のページのうち、一部のページのみを消去する場合に、一部のページに、ステートの変化が１段階しか起きないような所定のデータを上書きするようにしたものである。

10

【０００８】

本開示による半導体記憶装置、または半導体記憶装置におけるデータ消去方法では、複数のページのうち、一部のページのみを消去する場合に、一部のページに、ステートの変化が１段階しか起きないような所定のデータが上書きされる。

【発明の効果】

【０００９】

本開示の半導体記憶装置、または半導体記憶装置におけるデータ消去方法によれば、複数のページのうち、一部のページのみを消去する場合に、一部のページに、ステートの変化が１段階しか起きないような所定のデータを上書きするようにしたので、ブロック内の一部のページのデータを安全、かつ高速に消去できる。

20

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【００１０】

【図１】比較例としての一般的な不揮発性半導体メモリの書き込み単位と消去単位の一例を示す説明図である。

【図２】比較例としての一般的な不揮発性半導体メモリにおけるデータ消去時の動作例を示す説明図である。

【図３】比較例としての一般的な不揮発性半導体メモリにおけるカップリング現象の一例を示す説明図である。

30

【図４】本開示の一実施の形態に係る半導体記憶装置の一例を示す構成図である。

【図５】不揮発性半導体メモリの一例を示す構成図である。

【図６】ＭＬＣにおいて、ページＡのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図７】ＭＬＣにおいて、ページＢのみを消去した後、ページＡのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図８】ＭＬＣにおいて、ページＡのみを消去した後、ページＢのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図９】ＭＬＣのセル電位とステートおよび各ページのデータとの関係の一例を示す説明図である。

40

【図１０】ＴＬＣのセル電位とステートおよび各ページのデータとの関係の一例を示す説明図である。

【図１１】ＴＬＣにおいて、ページＡのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図１２】ＴＬＣにおいて、ページＢのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【図１３】ＴＬＣにおいて、ページＣのみを消去する場合のメモリセルのステートおよびデータの変化の一例を示す説明図である。

【発明を実施するための形態】

【００１１】

50

以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

0．比較例としての不揮発性半導体メモリの概要および課題（図1～図3）

1．半導体記憶装置の一実施形態

1．1 構成（図4、図5）

1．2 動作（図6～図13）

1．3 効果

2．その他の実施の形態

【0012】

< 0．比較例としての不揮発性半導体メモリの概要および課題 >

10

図1は、比較例としての一般的な不揮発性半導体メモリの書き込み単位と消去単位の一例を示している。図2は、比較例としての一般的な不揮発性半導体メモリにおけるデータ消去時の動作例を示している。

【0013】

NAND型フラッシュメモリなどの不揮発性半導体メモリは、図1に示したように、それぞれが複数のページ2で構成された複数のブロック1を備えている。データを記憶するメモリセルは、ワード線とビット線との交点に配置される。1つのワード線上に、1または複数ページ分のデータが記憶される。データの書き込みおよび読み出しは、ページ2単位で一括して行われる。データの消去は、ブロック1単位で一括して行われる。このように、データの書き込みおよび読み出しとデータの消去は、異なる単位で行われる。このため、通常、例えば図2の上段に示したようなブロック1内の一部のページ4のデータのみを消去することはできない。一部のページ4のデータのみを消去する場合、一旦、図2の中段に示すように消去対象以外のページ2のデータをコントローラ上のRAM（Random Access Memory）や、別のブロック3などに退避する。その後、図2の下段に示すように、ブロック1全体を消去することで、一部のページ4のデータを消去する。なお、RAMに消去対象以外のページ2のデータを退避した場合、ブロック1全体を消去した後、ブロック1または別のブロック3に退避したデータを書き込む必要がある。したがって、ブロック1内の一部のデータのみを消去したい場合、有効なデータの読み出し、および書き込みを必要な回数繰り返すことになり、時間がかかる。特にブロック1が多くのページ2で構成されている場合には多くの時間が必要となる。

20

30

【0014】

これに対して、特許文献1（特開2014-96122号公報）では、2種類の手法が提案されている。1つは、1つのブロックに1つのファイルのみを書くことにより消去時にデータの退避が必要なくなるというものである。この手法では小さいファイルを書いた場合にはブロック内に無駄な領域が多くなるなどの問題がある。もう1つは消去対象ページにデータを上書きすることにより消去対象ページのデータを破壊してしまう方法である。消去操作が必要な不揮発性半導体メモリの書き込みはセル電位が高くなる方向にしか遷移しない。そのため、書き込み済みページにデータを上書きすると、書き込み済みのデータも上書きしたデータも読めなくなる可能性がある。

【0015】

40

図3は、不揮発性半導体メモリにおけるカップリング現象の一例を示している。

特許文献1では、上書きするデータとしてランダムデータやセル電位が最も高くなるデータが提案されている。しかしながら、NAND型フラッシュメモリでは周辺のメモリセルの影響を受けるカップリングと呼ばれる現象がある。これは、図3に示したように、あるメモリセルと周辺の隣接するメモリセルとの電位差が大きい場合に、読み出し時において、セル電位が変化して見える現象である。例えば、図3に示したように、本来の電位よりも高い読み出し電位に変化して見える。特許文献1で提案されているデータパターンで上書きした場合、上書きしたページのメモリセルの電位が高くなり、周辺のワード線上のページ、特に前後のワード線上のページのセル電位が高く見えることがある。セル電位が高く見えると書き込み済みのデータが正しく読み出せなくなることがあり、意図しないデ

50

ータ破壊につながる可能性がある。

【 0 0 1 6 】

< 1 . 半 導 体 記 憶 装 置 の 一 実 施 形 態 >

[1 . 1 構 成]

図 4 は、本開示の一実施の形態に係る半導体記憶装置 1 1 の一例を示している。

【 0 0 1 7 】

本実施の形態に係る半導体記憶装置 1 1 は、不揮発性半導体メモリ 1 2 と、コントローラ 1 3 と、ホスト I / F (インタフェース) 1 4 とを備えている。

【 0 0 1 8 】

不揮発性半導体メモリ 1 2 は、例えば N A N D 型フラッシュメモリである。不揮発性半導体メモリ 1 2 は、図 1 に示した比較例と略同様に、複数のページ 2 で構成された複数のブロック 1 を備えている。不揮発性半導体メモリ 1 2 の動作は、コントローラ 1 3 によって制御される。ホスト I / F 1 4 は、コントローラ 1 3 と P C (パーソナルコンピュータ) などのホスト機器 1 0 とを接続するためのインタフェースである。

【 0 0 1 9 】

不揮発性半導体メモリ 1 2 は、図 5 のようにワード線 (W L) 2 1 とビット線 (B L) 2 2 とが交差するマトリクス状の構成になっている。W L 2 1 と B L 2 2 との交わる部分がデータを記憶するメモリセル 2 3 となっている。選択線 2 4 は、書き込み時に各メモリセル 2 3 に書き込む値を決めるために B L 2 2 の電圧を決定する。1 つのワード線 2 1 上に、1 または複数ページ分のデータが記憶される。

【 0 0 2 0 】

メモリセル 2 3 は、例えば M L C (Multi Level Cell) や T L C (Triple Level Cell) の構成となっている。M L C の場合、1 つのメモリセル 2 3 に 2 b i t 分のデータを記憶でき、1 つの W L 2 1 に 2 ページ分のデータが記憶される。T L C の場合、1 つのメモリセル 2 3 に 3 b i t 分のデータを記憶でき、1 つの W L 2 1 に 3 ページ分のデータが記憶される。

【 0 0 2 1 】

[1 . 2 動 作]

ホスト機器 1 0 が不揮発性半導体メモリ 1 2 にデータを書き込む場合、ホスト I / F 1 4 を経由してコントローラ 1 3 に書き込みデータが送信される。コントローラ 1 3 は、隣接するメモリセル 2 3 とのカップリングの影響を抑えるため、線形帰還シフトレジスタ (L F S R) の出力などでスクランブルしたデータを不揮発性半導体メモリ 1 2 に書き込む。書き込む位置はコントローラ 1 3 が決定し、論物変換テーブルと呼ばれる書き込み位置の情報を保持する。

【 0 0 2 2 】

ホスト機器 1 0 が不揮発性半導体メモリ 1 2 のデータを読み出す場合、ホスト I / F 1 4 を経由してコントローラ 1 3 に読み出しアドレスが通知される。コントローラ 1 3 は論物変換テーブルを用いてデータが書き込まれている位置を取得し、不揮発性半導体メモリ 1 2 からデータを読み出し、スクランブルを解除してホスト I / F 1 4 を経由してホストにデータを送信する。

【 0 0 2 3 】

ホスト機器 1 0 が不揮発性半導体メモリ 1 2 のデータを消去する場合、ホスト I / F 1 4 を経由してコントローラ 1 3 に消去アドレスが通知される。コントローラ 1 3 は論物変換テーブルを用いてデータが書き込まれている位置を取得する。なお、論物変換テーブルのデータを書き替えれば、通常はホスト機器 1 0 から不揮発性半導体メモリ 1 2 内のデータを読み出すことができなくなる。しかしながら、その場合でも、不揮発性半導体メモリ 1 2 内にデータが残っているため不揮発性半導体メモリ 1 2 の端子に測定器を繋ぐことによってデータが読み出される可能性がある。このため、セキュアにデータを消去するにはデータが書き込まれているページ 2 を消去する必要がある。コントローラ 1 3 は同じブロック 1 内の他のページ 2 に有効なデータが残っていないのを確認した場合には、そのプロ

10

20

30

40

50

ック 1 の消去処理を行う。有効なデータが残っている場合には、消去するデータが書き込まれているページ 2 を、後述する所定のデータで上書きし、該当のアドレスの論物変換テーブルも削除する。

【 0 0 2 4 】

以下に、データを消去する動作の具体例として、メモリセル 2 3 が M L C である場合と、メモリセル 2 3 が T L C ある場合とを説明する。

【 0 0 2 5 】

[M L C の場合の消去動作の例]

図 9 は、M L C のセル電位とステートおよび各ページ A , B のデータの関係の一例を示している。M L C の場合、1 つのメモリセル 2 3 に 2 b i t 分のデータを記憶でき、1 つの W L 2 1 に 2 ページ分のデータが記憶される。ここでは 1 つの W L 2 1 上の第 1 のページをページ A、第 2 のページをページ B とする。ページ A に対してページ B の方が上位のページとする。また、1 つのメモリセル 2 3 につき、消去ステート、A ステート、B ステート、および C ステートの 4 段階のステートを取り得るものとする。セル電位が高い方を上位ステート、低い方を下位ステートと呼ぶ。最も下位のステートは消去ステート、最も上位のステートは C ステートとなる。消去ステートと A ステートとの閾値電圧を A、A ステートと B ステートとの閾値電圧を B、B ステートと C ステートとの閾値電圧を C とする。

【 0 0 2 6 】

図 9 のようなセル電位とステートとの関係を考慮して、一部のページ 4 のみを消去する場合に、コントローラ 1 3 は、消去対象の一部のページ 4 において、各メモリセル 2 3 にステートの変化が 1 段階しか起きないような所定のデータを作成して上書きする。特に、ステートの変化が下位から上位へと 1 段階しか起きないような所定のデータを作成して上書きする。なお、通常、書き込まれるデータはスクランブルされているため、各電圧レベルにあるメモリセル 2 3 の個数は、ブロック単位およびページ単位で大きな差はないものとする。

【 0 0 2 7 】

図 6 は、M L C において、ページ A のみを消去する場合のメモリセル 2 3 のステートおよびデータの変化の一例を示している。コントローラ 1 3 は、消去対象の一部のページ 4 を含む複数のページにおける書き込み済みのデータを読み出し、その読み出しデータに基づいて、ページ A に上書きする所定のデータを生成する。具体的には、コントローラ 1 3 は、ページ A を消去する場合、ページ A のデータとページ B のデータとを読み出し、それぞれの対応するビットのデータの論理積を計算して所定のデータを生成する。その所定のデータをページ A に上書きする。書き込みによりそれぞれのメモリセル 2 3 のステートは図 6 のように変化する。図 6 に示したように、ページ A に所定のデータを上書き後にもページ B のデータは保持される。これに対して、ページ A のデータは約 1 / 4 のビットが 1 から 0 に反転するため、正しいデータが取得できなくなる。これにより、ページ A のデータは実質的に消去される。また、このとき、ページ A 内の各メモリセル 2 3 は、ステートの変化があったとしても、1 つ上のステートにしか変化しない。このため、消去対象の一部のページ 4 が存在する W L 2 1 に対して前後の W L 2 1 の他のページ 2 に書かれているデータへの影響を抑えることができる。

【 0 0 2 8 】

図 7 は、M L C において、ページ B のみを消去した後、ページ A のみを消去する場合のメモリセル 2 3 のステートおよびデータの変化の一例を示している。ページ A を消去する前に、一部のページ 4 としてページ B のみを消去する場合には、コントローラ 1 3 は、ページ B 内のすべてのメモリセル 2 3 に対して、所定のデータとして、“ 1 ” のデータを上書きする。書き込みによりそれぞれのメモリセル 2 3 のステートは図 7 のように変化する。図 7 に示したように、B ステートにあったメモリセル 2 3 のみが C ステートに変化するため、ページ B に所定のデータを上書き後にもページ A のデータは保持される。これに対して、ページ B のデータは約 1 / 4 のビットが 0 から 1 に反転するため、正しいデータが

10

20

30

40

50

取得できなくなる。これにより、ページ B のデータは実質的に消去される。また、このとき、ページ B 内の各メモリセル 23 は、ステートの変化があったとしても、1 つ上のステートにしか変化しない。このため、消去対象の一部のページ 4 が存在する W L 2 1 に対して、前後の W L 2 1 の他のページ 2 に書かれているデータへの影響を抑えることができる。

【 0 0 2 9 】

ページ B を消去した後に、一部のページ 4 としてページ A を消去する場合には、上記図 6 の例と同様に、ページ A のデータとページ B のデータとを読み出し、それぞれの対応するビットのデータの論理積を計算して所定のデータを生成する。その所定のデータをページ A に上書きする。書き込みによりそれぞれのメモリセル 23 のステートは図 7 のように変化する。図 7 に示したように、ページ A に所定のデータを上書き後にもページ B のデータは保持される。これに対して、ページ A のデータは約 1 / 4 のビットが 1 から 0 に反転するため、正しいデータが取得できなくなる。これにより、ページ A のデータは実質的に消去される。また、このとき、ページ B の消去前と比較しても、ページ A 内の各メモリセル 23 のステートの变化は、最大で 1 つ上のステートにしか変化しない。このため、消去対象の一部のページ 4 が存在する W L 2 1 に対して前後の W L 2 1 の他のページ 2 に書かれているデータへの影響を抑えることができる。

【 0 0 3 0 】

図 8 は、M L C において、ページ A のみを消去した後、ページ B のみを消去する場合のメモリセル 23 のステートおよびデータの変化の一例を示している。まず、一部のページ 4 として、ページ A のみを消去する動作は、上記図 6 の例と同様である。その後、一部のページ 4 として、さらにページ B のみを消去する場合には、コントローラ 13 は、ページ B 内のすべてのメモリセル 23 に対して、所定のデータとして、“0”のデータを上書きする。書き込みによりそれぞれのメモリセル 23 のステートは図 8 のように変化する。ページ A を消去する前と比べると、消去ステートおよび A ステートにあったメモリセル 23 のみが 1 つ上のステートに変化し、ページ A およびページ B とともに約 1 / 4 のビットが 1 から 0 に反転するため、正しいデータが取得できなくなる。これにより、ページ A およびページ B のデータは実質的に消去される。このとき、ページ A の消去前と比較しても、ページ A およびページ B 内の各メモリセル 23 のステートの变化は、最大で 1 つ上のステートにしか変化しない。このため、消去対象の一部のページ 4 が存在する W L 2 1 に対して前後の W L 2 1 の他のページ 2 に書かれているデータへの影響を抑えることができる。

【 0 0 3 1 】

[T L C の場合の消去動作の例]

図 10 は、T L C のセル電位とステートおよび各ページ A , B , C のデータの関係の一例を示している。T L C の場合、1 つのメモリセル 23 に 3 b i t 分のデータを記憶でき、1 つの W L 2 1 に 3 ページ分のデータが記憶される。ここでは 1 つの W L 2 1 上の第 1 のページをページ A、第 2 のページをページ B、第 3 のページをページ C とする。ページ A に対してページ B の方が上位のページ、ページ B に対してページ C の方が上位のページとする。また、1 つのメモリセル 23 につき、消去ステート、A ステート、B ステート、C ステート、D ステート、E ステート、F ステート、および G ステートの 8 段階のステートを取り得るものとする。セル電位が高い方を上位ステート、低い方を下位ステートと呼ぶ。最も下位のステートは消去ステート、最も上位のステートは G ステートとなる。消去ステートと A ステートとの閾値電圧を A、A ステートと B ステートとの閾値電圧を B、B ステートと C ステートとの閾値電圧を C とする。また、C ステートと D ステートとの閾値電圧を D、D ステートと E ステートとの閾値電圧を E、E ステートと F ステートとの閾値電圧を F、F ステートと G ステートとの閾値電圧を G とする。

【 0 0 3 2 】

図 10 のようなセル電位とステートとの関係を考慮して、一部のページ 4 のみを消去する場合に、コントローラ 13 は、消去対象の一部のページ 4 において、各メモリセル 23 にステートの变化が 1 段階しか起きないような所定のデータを作成または選択して上書き

する。特に、ステートの変化が下位から上位へと１段階しか起きないような所定のデータを作成または選択して上書きする。上述のＭＬＣの例とは異なり、消去するページの順番や書かれているデータに関係なく、消去対象の一部のページ４として、ページＡまたはページＢを消去する場合には、ページＡまたはページＢ内のすべてのメモリセル２３に対して、所定のデータとして、“１”のデータを上書きする。また、消去対象の一部のページ４として、ページＣを消去する場合には、ページＣ内のすべてのメモリセル２３に対して、所定のデータとして、“０”のデータを上書きする。それぞれの場合において、書き込みによりメモリセル２３のステートは図図１１～図１３のように変化する。

【００３３】

図１１は、ＴＬＣにおいて、ページＡのみを消去する場合のメモリセル２３のステートおよびデータの変化の一例を示している。図１２は、ＴＬＣにおいて、ページＢのみを消去する場合のメモリセル２３のステートおよびデータの変化の一例を示している。図１３は、ＴＬＣにおいて、ページＣのみを消去する場合のメモリセル２３のステートおよびデータの変化の一例を示している。

【００３４】

図１１に示したように、ページＡに所定のデータとして“１”のデータを上書きした場合、ＦステートにあったページＡのメモリセル２３がＧステートに変化する。また、図１２に示したように、ページＢに所定のデータとして“１”のデータを上書きした場合、ＣステートにあったページＢのメモリセル２３がＤステートに変化する。また、図１３に示したように、ページＣに所定のデータとして“０”のデータを上書きした場合、消去ステートにあったページＣのメモリセル２３がＡステートに変化する。

【００３５】

上記した図１１～図１３のそれぞれの場合において、所定のデータを上書き後は、消去対象の一部のページ４は正しいデータが取得できなくなり、データは実質的に消去される。これに対して、消去対象以外の他の２つのページ２のデータは保持される。また、いずれの場合も、消去対象の一部のページ４内の各メモリセル２３は、ステートの変化があったとしても、１つ上のステートにしか変化しない。このため、消去対象の一部のページ４が存在するＷＬ２１に対して前後のＷＬ２１の他のページ２に書かれているデータへの影響を抑えることができる。

【００３６】

以上のように、現在のページの状態とデータの状態とにより所定のデータのデータパターンを決定し、その所定のデータを消去対象の一部のページ４に対して上書きする。これにより、高速かつ確実にデータを消去しつつ、消去対象の一部のページ４が存在するＷＬ２１に対して前後のＷＬ２１上のページ２への影響を抑えることができる。

【００３７】

[１．３ 効果]

以上のように、本実施の形態によれば、一部のページ４のみを消去する場合に、一部のページ４に、ステートの変化が１段階しか起きないような所定のデータを上書きするようにしたので、ブロック１内の一部のページ４のデータを安全、かつ高速に消去できる。これにより、例えば、メモリカード内のデータをセキュアに消去する必要がある場合において、高速、かつ、他のＷＬ２１におけるデータに影響を与えないように消去することが可能となる。

【００３８】

なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

【００３９】

< ２．その他の実施の形態 >

本開示による技術は、上記実施の形態の説明に限定されず種々の変形実施が可能である。

【００４０】

例えば、本技術は以下のような構成を取ることができる。

(1)

複数のページを有するブロックと、

データの書き込み、消去および読み出しの制御を行うコントローラと

を備え、

前記各ページは、それぞれが４段階以上の状態のうちのいずれかの段階の状態に変化し得る複数のメモリセルを有し、

前記コントローラは、前記複数のページのうち、一部のページのみを消去する場合に、前記一部のページに、前記状態の変化が１段階しか起きないような所定のデータを上書きする

半導体記憶装置。

10

(2)

複数のワード線と複数のビット線とをさらに備え、

前記メモリセルは、前記複数のワード線と前記複数のビット線との交点に配置され、

前記複数のワード線のそれぞれにおいて、１つのワード線上で、複数のページ分のデータの記憶が行われる

上記(1)に記載の半導体記憶装置。

(3)

前記コントローラは、前記一部のページを含む複数のページにおける書き込み済みのデータを読み出し、その読み出しデータに基づいて、前記所定のデータを生成する

上記(1)または(2)に記載の半導体記憶装置。

20

(4)

前記１つのワード線上の複数のページとして、第１のページと第２のページとを含み、

前記コントローラは、前記一部のページとして前記第１のページを消去する場合には、前記第１のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記第１のページと前記第２のページとの論理積のデータを上書きする

上記(2)に記載の半導体記憶装置。

(5)

前記複数のページとして、第１のページと第２のページとを含み、

前記コントローラは、

前記第１のページを消去する前に、前記一部のページとして前記第２のページを消去する場合には、前記第２のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 1 ”のデータを上書きし、

前記第２のページを消去した後に、前記一部のページとして、さらに前記第１のページを消去する場合には、前記第１のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記第１のページと前記第２のページとの論理積のデータを上書きする

上記(2)に記載の半導体記憶装置。

30

(6)

前記複数のページとして、第１のページと第２のページとを含み、

前記コントローラは、

前記一部のページとして前記第１のページを消去する場合には、前記第１のページ内のすべての前記メモリセルに対して、前記所定のデータとして、前記第１のページと前記第２のページとの論理積のデータを上書きし、

その後、前記一部のページとして、さらに前記第２のページを消去する場合には、前記第２のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 0 ”のデータを上書きする

上記(2)に記載の半導体記憶装置。

40

(7)

前記メモリセルは、４段階の状態に変化し得る

上記(1)ないし(6)のいずれか１つに記載の半導体記憶装置。

50

(8)

前記 1 つのワード線上の複数のページとして、第 1 ないし第 3 のページを含み、
前記コントローラは、

前記一部のページとして、前記第 1 のページまたは前記第 2 のページを消去する場合には、前記第 1 のページ内のすべてのメモリセルまたは前記第 2 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 1 ”のデータを上書きし、

前記一部のページとして、前記第 3 のページを消去する場合には、前記第 3 のページ内のすべての前記メモリセルに対して、前記所定のデータとして、“ 0 ”のデータを上書きする

上記 (2) に記載の半導体記憶装置。

10

(9)

前記メモリセルは、 8 段階のステートに変化し得る

上記 (8) に記載の半導体記憶装置。

(1 0)

複数のページを有するブロックを備え、前記各ページが、それぞれ 4 段階以上のステートのうちのいずれかの段階のステートになり得る複数のメモリセルを有する半導体記憶装置に対して、

前記複数のページのうち、一部のページのみを消去する場合に、前記一部のページに、前記ステートの変化が 1 段階しか起きないような所定のデータを上書きする

半導体記憶装置におけるデータ消去方法。

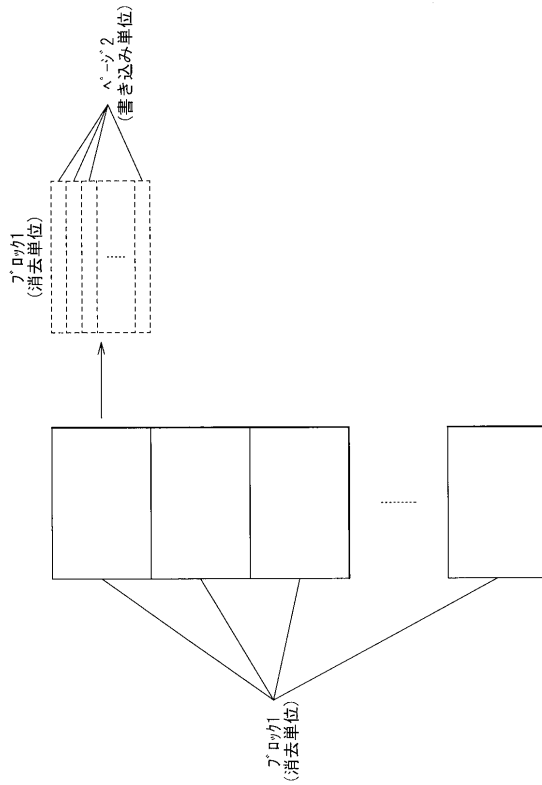
20

【符号の説明】

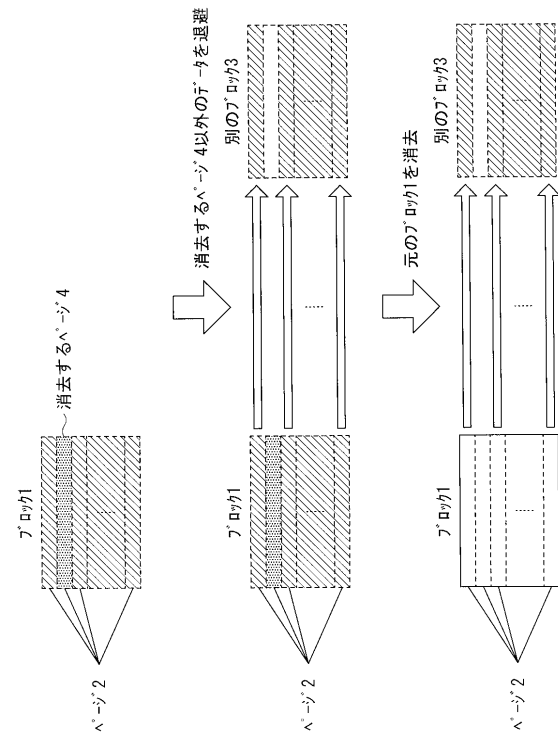
【 0 0 4 1 】

1 ... ブロック、 2 ... ページ、 3 ... ブロック、 4 ... ページ、 1 0 ... ホスト機器、 1 1 ... 半導体記憶装置、 1 2 ... 不揮発性半導体メモリ、 1 3 ... コントローラ、 1 4 ... ホスト I / F (インタフェース)、 2 1 ... ワード線 (W L)、 2 2 ... ビット線 (B L)、 2 3 ... メモリセル、 2 4 ... 選択線。

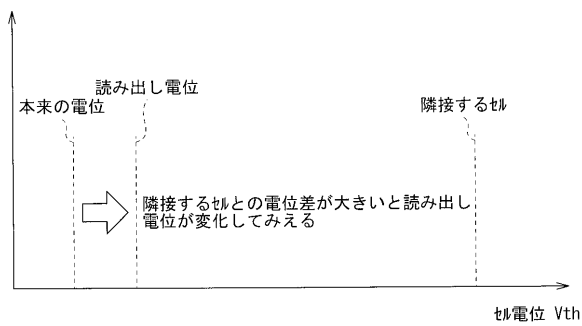
【図 1】



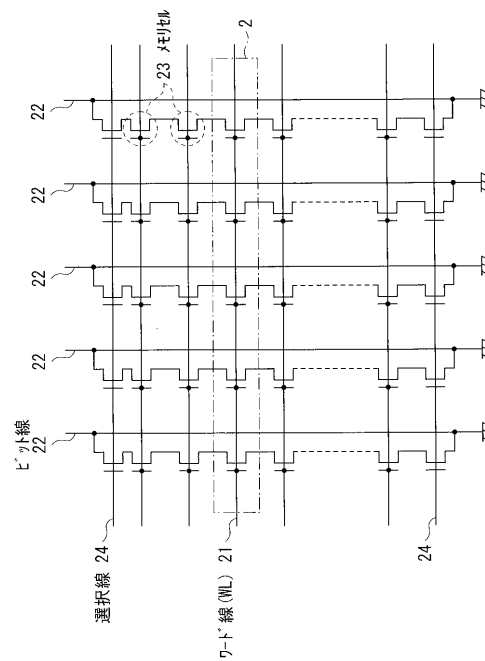
【図 2】



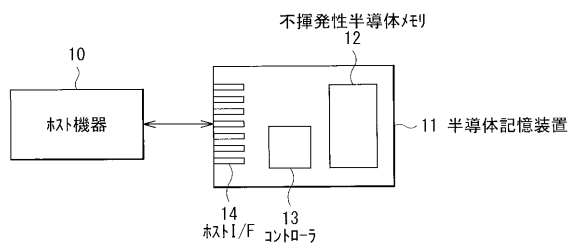
【図 3】



【図 5】



【図 4】



【図 6】

23

上書き前 データ	スタート	消去スタート	Aスタート	Bスタート	Cスタート
	ﾊﾞｰｼﾞ A	1	1	0	0
ﾊﾞｰｼﾞ A 上書きデータ (論理積)	ﾊﾞｰｼﾞ B	1	0	0	1
	スタート	1	0	0	0
上書き後 データ	消去スタート	消去スタート	Bスタート	Bスタート	Cスタート
	ﾊﾞｰｼﾞ A	1	0	0	0
	ﾊﾞｰｼﾞ B	1	0	0	1

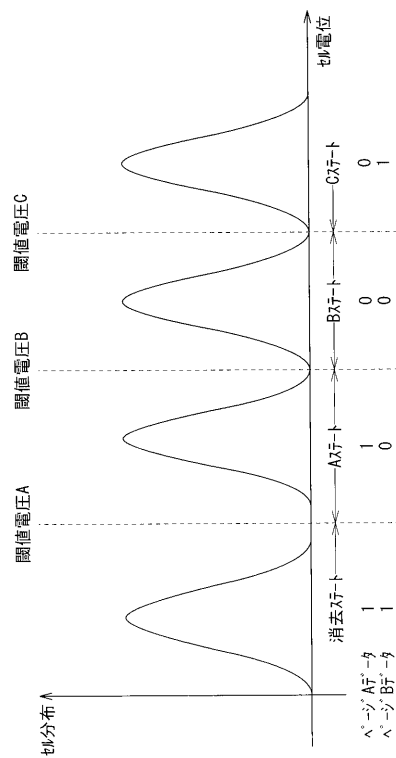
【図 7】

上書き前 データ	スタート	消去スタート	Aスタート	Bスタート	Cスタート
	ﾊﾞｰｼﾞ A	1	1	0	0
ﾊﾞｰｼﾞ B 上書きデータ (ALL1)	ﾊﾞｰｼﾞ B	1	0	0	1
	スタート	消去スタート	Aスタート	Cスタート	Cスタート
ﾊﾞｰｼﾞ B 上書き後 データ	ﾊﾞｰｼﾞ A	1	1	0	0
	ﾊﾞｰｼﾞ B	1	0	1	1
ﾊﾞｰｼﾞ A 上書きデータ (論理積)	スタート	1	0	0	0
	消去スタート	消去スタート	Bスタート	Cスタート	Cスタート
ﾊﾞｰｼﾞ B A 上書き後 データ	ﾊﾞｰｼﾞ A	1	0	0	0
	ﾊﾞｰｼﾞ B	1	0	1	1

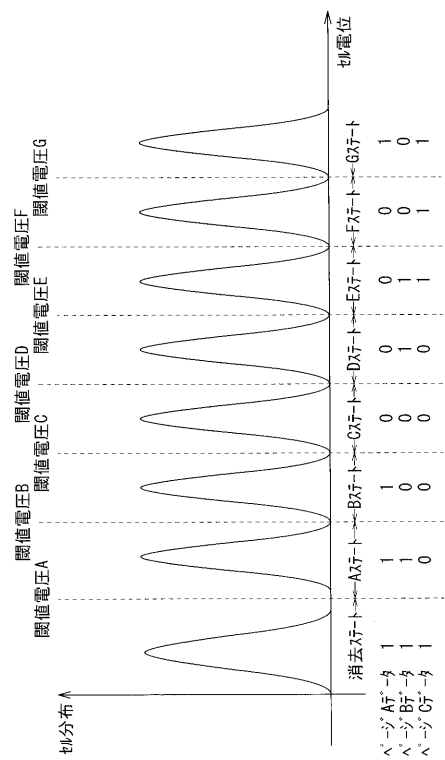
【図 8】

上書き前 データ	スタート	消去スタート	Aスタート	Bスタート	Cスタート
	ﾊﾞｰｼﾞ A	1	1	0	0
ﾊﾞｰｼﾞ A 上書きデータ (論理積)	ﾊﾞｰｼﾞ B	1	0	0	1
	スタート	1	0	0	0
ﾊﾞｰｼﾞ A 上書き後 データ	消去スタート	消去スタート	Bスタート	Bスタート	Cスタート
	ﾊﾞｰｼﾞ A	1	0	0	0
ﾊﾞｰｼﾞ B 上書きデータ (ALL0)	ﾊﾞｰｼﾞ B	1	0	0	1
	スタート	0	0	0	0
ﾊﾞｰｼﾞ A B 上書き後 データ	スタート	Aスタート	Bスタート	Cスタート	Cスタート
	ﾊﾞｰｼﾞ A	1	0	0	0
	ﾊﾞｰｼﾞ B	0	0	0	1

【図 9】



【図 1 0】



【図 1 1】

23

上書き前 データ	スタート	消去	A	B	C	D	E	F	G
A上書き後 (ALL1)	スタート	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1
A上書き後 (ALL1)	スタート	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1

【図 1 2】

上書き前 データ	スタート	消去	A	B	C	D	E	F	G
A上書き後 (ALL1)	スタート	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1
A上書き後 (ALL1)	スタート	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1

【図 1 3】

上書き前 データ	スタート	消去	A	B	C	D	E	F	G
A上書き後 (ALL1)	スタート	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1
A上書き後 (ALL1)	スタート	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1
	A上書き後	消去	1	1	1	1	1	1	1