

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5228355号
(P5228355)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月29日(2013.3.29)

(51) Int. Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 G
HO 1 L 29/78 (2006.01)	HO 1 L 21/28	3 O 1 S
HO 1 L 21/28 (2006.01)	HO 1 L 29/58	G
HO 1 L 29/423 (2006.01)	HO 1 L 21/88	Q
HO 1 L 29/49 (2006.01)	HO 1 L 27/08	3 2 1 D
請求項の数 7 (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2007-94560 (P2007-94560)	(73) 特許権者	308014341
(22) 出願日	平成19年3月30日(2007.3.30)		富士通セミコンダクター株式会社
(65) 公開番号	特開2008-252014 (P2008-252014A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成20年10月16日(2008.10.16)		23
審査請求日	平成21年12月16日(2009.12.16)	(74) 代理人	100090273
			弁理士 園分 孝悦
		(72) 発明者	三島 康由
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		(72) 発明者	倉橋 輝雄
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	小川 将之
			最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体領域と、

前記半導体領域上にゲート絶縁膜を介して形成されたゲート電極と

を含み、

前記ゲート電極は、半導体と高融点金属とが化学反応してなる金属半導体化合物からなり、炭素、窒素及び酸素のうちから選ばれた少なくとも1種である添加元素を、10重量%以上20重量%以下含み、前記ゲート絶縁膜との界面部位に前記添加元素が当該界面部位以外の部位よりも多く偏析していることを特徴とする半導体装置。

【請求項2】

前記ゲート電極は、前記化学反応前のバンドギャップが1.1(eV)より大きく1.5(eV)以下の範囲内の値とされていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記ゲート電極は、その全体が前記金属半導体化合物化されてなることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

半導体領域上にゲート絶縁膜を介して、炭素、窒素及び酸素のうちから選ばれた少なくとも1種である添加元素を、10重量%以上20重量%以下含む電極形状の半導体層を形成する工程と、

10

20

前記半導体層上に高融点金属膜を形成し、熱処理することにより前記半導体層を金属半導体化合物化して、前記ゲート絶縁膜との界面部位に前記添加元素が当該界面部位以外の部位よりも多く偏析するゲート電極を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 5】

前記ゲート電極は、前記熱処理前のバンドギャップが 1.1 (eV) より大きく 1.5 (eV) 以下の範囲内の値とされていることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記ゲート電極の上方に、炭素、窒素及び酸素のうちから選ばれた少なくとも 1 種である添加元素を含む配線形状の他の半導体層を形成する工程と、

前記他の半導体層上に高融点金属膜を形成し、熱処理することにより前記他の半導体層を金属半導体化合物化して、配線を形成する工程と

を更に含むことを特徴とする請求項 4 又は 5 に記載の半導体装置の製造方法。

【請求項 7】

半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、炭素、窒素及び酸素のうちから選ばれた少なくとも 1 種である添加元素を 10 重量%以上 20 重量%以下含む半導体層を形成する工程と、

前記半導体層上に保護膜を形成する工程と、

前記保護膜、前記半導体層、及び前記ゲート絶縁膜をパターニングする工程と、

パターニングされた前記保護膜、前記半導体層、及び前記ゲート絶縁膜をマスクとして、前記半導体基板上に不純物注入を行いソース領域およびドレイン領域を形成する工程と、

前記不純物注入の後、前記保護膜、前記ソース領域および前記ドレイン領域を覆う絶縁膜を形成する工程と、

前記絶縁膜を研磨し、前記保護膜を露出させる工程と、

前記保護膜を除去して前記半導体層を露出させる工程と、

前記絶縁膜及び前記半導体層上に金属膜を形成し、熱処理により前記半導体層を金属半導体化合物化する工程と

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体領域上にゲート絶縁膜を介してゲート電極が形成されてなる半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、MOS型の半導体デバイスにおいては、微細化が進むにつれて多結晶シリコンゲートの高抵抗化、空乏層の発生による駆動電流の低下が懸念されている。これらの課題を解決する手段として、ゲート電極を金属で形成する試みがなされている。しかしながら、この金属ゲートでは、通常の半導体プロセスに導入すると、金属材料自体が所望の場所以外の半導体内に入った場合に様々な欠陥レベルを発生させる。このため現存の半導体プロセスに導入することは簡単ではない。

【0003】

そこで、多結晶シリコン層上をNi, Co等の金属で覆い、熱処理することで多結晶シリコンと金属とを反応させてなるシリサイドゲートが開発されている。このシリサイドゲートは多結晶シリコンゲートに比して低抵抗であり、従来の多結晶シリコンゲートで使用する多結晶シリコン層を用いて形成することができ、多少のプロセス変更で現有の半導体プロセスに導入し易いという利点がある。

【0004】

更に、集積回路の微細化が進むと、ゲート電極長が短くなる。ゲート電極長が例えば 0

10

20

30

40

50

．5 μm以下になると、通常のシリサイドゲートでは十分低い抵抗値を得ることが困難になる。このため、多結晶シリコン層をシリサイド化する際に、多結晶シリコン層の全体をシリサイド化するフルシリサイドーションが提案されている（例えば、非特許文献1を参照）。ゲート電極全体をシリサイドで形成することにより、ゲート抵抗を低下させると共に、多結晶シリコン層内に生成する可能性のある空乏層の発生を防止することができ、トランジスタ特性が向上するという利点も生じる。

【0005】

更に特許文献1では、上記のフルシリサイドーション化を適用したゲート電極について、仕事関数の制御範囲を拡大すべく、シリサイド金属であるNiの含有量を所定値範囲に増大化させる技術が開示されている。

10

【0006】

【特許文献1】特開2005-129551号公報

【非特許文献1】J Kedzierski et.al IEDM2002 p.247

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、例えば特許文献1のようにNiの含有量を増大化させても、未だ十分に広い仕事関数の制御範囲が得られず、従ってゲート電極の閾値電圧(V_{th})の広範囲の制御は実現しているとは言い難い。具体的に、シリサイドゲートにおいて、当該シリサイドゲートのゲート絶縁膜との界面に $1 \times 10^{21} / \text{cm}^3$ を超える大量のNiを導入しても、 V_{th} の制御範囲は未だ十分ではないことが判っている。

20

【0008】

本発明は、上記の課題に鑑みてなされたものであり、金属半導体化合物からなるゲート電極を採用して十分な低抵抗化を図るも、煩瑣な構成・製造工程を付加することなく、容易且つ確実にゲート電極の閾値電圧(V_{th})の十分に広範囲な制御を可能とし、信頼性の高い半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の半導体装置は、半導体領域と、前記半導体領域上にゲート絶縁膜を介して形成されたゲート電極とを含み、前記ゲート電極は、半導体と高融点金属とが化学反応してなる金属半導体化合物からなり、炭素、窒素及び酸素のうちから選ばれた少なくとも1種である添加元素を、10重量%以上20重量%以下含む、前記ゲート絶縁膜との界面部位に前記添加元素が当該界面部位以外の部位よりも多く偏析している。

30

【0010】

本発明の半導体装置の製造方法は、半導体領域上にゲート絶縁膜を介して、炭素、窒素及び酸素のうちから選ばれた少なくとも1種である添加元素を、10重量%以上20重量%以下含む電極形状の半導体層を形成する工程と、前記半導体層上に高融点金属膜を形成し、熱処理することにより前記半導体層を金属半導体化合物化して、前記ゲート絶縁膜との界面部位に前記添加元素が当該界面部位以外の部位よりも多く偏析するゲート電極を形成する工程とを含む。

40

本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、炭素、窒素及び酸素のうちから選ばれた少なくとも1種である添加元素を10重量%以上20重量%以下含む半導体層を形成する工程と、前記半導体層上に保護膜を形成する工程と、前記保護膜、前記半導体層、及び前記ゲート絶縁膜をパターンニングする工程と、パターンニングされた前記保護膜、前記半導体層、及び前記ゲート絶縁膜をマスクとして、前記半導体基板に不純物注入を行いソース領域およびドレイン領域を形成する工程と、前記不純物注入の後、前記保護膜、前記ソース領域および前記ドレイン領域を覆う絶縁膜を形成する工程と、前記絶縁膜を研磨し、前記保護膜を露出させる工程と、

前記保護膜を除去して前記半導体層を露出させる工程と、前記絶縁膜及び前記半導体層

50

上に金属膜を形成し、熱処理により前記半導体層を金属半導体化合物化する工程とを含む。

【発明の効果】

【0011】

本発明によれば、金属半導体化合物からなるゲート電極を採用して十分な低抵抗化を図るも、煩瑣な構成・製造工程を付加することなく、容易且つ確実にゲート電極の閾値電圧 (V_{th}) の十分に広範囲な制御を可能とする、信頼性の高い半導体装置が実現する。

【発明を実施するための最良の形態】

【0012】

- 本発明の基本骨子 -

本発明では、所謂MIS (Metal Insulator Semiconductor) 型半導体装置において、ゲート電極を、半導体と高融点金属とが化学反応してなる金属半導体化合物から形成し、半導体領域のチャネル部よりも大きなバンドギャップを有する半導体層が金属半導体化合物化されてなるものとして構成する。ここで、当該バンドギャップを得るための具体的構成としては、金属半導体化合物化の前に、炭素、窒素及び酸素のうちから選ばれた少なくとも1種である添加元素が導入されてなる半導体層を形成する。

【0013】

金属半導体化合物化前におけるゲート電極材料である半導体層に上記の添加物を導入することにより、半導体層自体のバンドギャップが拡大される。これにより、バンド端が半導体領域に比べて広がる。そして、当該半導体層の金属半導体化合物化を行うことにより、金属半導体化合物の仕事関数の可変幅が広がり、閾値電圧 (V_{th}) を大きく変化させることができる。

【0014】

詳細には、半導体領域に例えばシリコン (例えばシリコン基板) を用い、ゲート電極材料に多結晶シリコンを用いる場合、多結晶シリコン膜を炭素、窒素及び酸素のうちから選ばれた少なくとも1種である添加元素を含有するように形成して半導体層とした後、この半導体層上にNi, Co, Pd, Pt等の高融点金属膜を積層して熱処理してシリサイド化し、ゲート電極を形成する。ここで、半導体領域の他の例としては、ゲルマニウム (例えばゲルマニウム基板) が用いられる。この場合、ゲルマニウム膜 (シリコン等を含有する (Ge_xSi_{1-x} , $0 < x < 1$ 等) ようにしても良い。) を上記の添加元素を含有するように形成して半導体層とした後、この半導体層上にNi, Co等の高融点金属膜を積層し、熱処理することにより半導体層をgermanide化して、ゲート電極を形成する。

【0015】

以下、半導体領域にシリコンを用い、半導体層をシリサイド化してゲート電極を形成する場合について詳説する。

図1に、シリコンに炭素 (C) を含有してなる半導体層における、Cの割合 (C/Si : wt%) とバンドギャップ (Eg : eV) との関係について調べた結果を示す。

ここでは、プラズマCVD法 (P-CVD法) により非晶質の半導体膜を成膜する。半導体膜を非晶質の状態に形成することにより、後のシリサイド化が容易となる。成膜条件としては、成膜温度を300、圧力を0.3 torr (40 Pa)、投入パワーを20 Wとし、原料ガスとしてCH₄及びSiH₄の混合ガスを用いて、CH₄/SiH₄ = 0 ~ 0.7と変化させた。その結果、シリコンにCを20 wt%程度添加することにより、Egが2 eV以上に、伝導帯 (Ec) 及び荷電子帯 (Ev) と共に変化することが認められた。

【0016】

同様に、図2に、シリコンに窒素 (N) を含有してなる半導体層における、Nの割合 (N/Si : wt%) とバンドギャップ (Eg : eV) との関係について調べた結果を示す。

ここでは、プラズマCVD法 (P-CVD法) により非晶質の半導体膜を成膜する。半導体膜を非晶質の状態に形成することにより、後のシリサイド化が容易となる。成膜条件としては、成膜温度を300、圧力を0.3 torr (40 Pa)、投入パワーを20 Wと

10

20

30

40

50

し、原料ガスとして NH_3 及び SiH_4 の混合ガスを用いて、 $\text{NH}_3/\text{SiH}_4 = 0 \sim 1.0$ と変化させた。その結果、シリコンにNを20wt%程度添加することにより、 E_g が1.9eV以上に、 E_c 及び E_v と共に変化することが認められた。

【0017】

その後、半導体層上に例えばNi膜を形成し、熱処理することによってシリサイド化してゲート電極を形成する。当該シリサイド化を確実にこなってフルシリサイド化するには、添加物の添加量はC, N共に20%以下とする必要がある。本発明の手法により形成されたゲート電極において、そのシリサイド化前における E_g は、 $1.6 < E_g < 2.0$ 程度に拡大される。ここで、添加量が下限値の1.6では0であり、上限値の2.0では20%程度である。ゲート電極は、例えばソース/ドレインの不純物活性化時のアニール処理により多結晶化され、 $1.6 < E_g < 2.0$ 程度の E_g を有する状態から、 $1.1 < E_g < 1.5$ 程度となる。従って、本発明において、多結晶化後でフルシリサイド化前のゲート電極における E_g の取り得る適正範囲は $1.1 < E_g < 1.5$ 程度である。

10

【0018】

そして、シリコンにNを添加してなる当該ゲート電極にn型不純物、例えばリン(P)を導入した場合のC(ゲート電極の容量： $\times 10^{-11}\text{f}$)-V(ゲート電圧：V)特性について、Nを添加しない従来のゲート電極との比較に基づいて調べた。その結果を図3に示す。

【0019】

ここでは、本発明のゲート電極として、シリコンにNを10wt%添加し($\text{Si}_{0.9}\text{N}_{0.1}$)、Pをイオン注入してなる半導体層をシリサイド化した。シリサイド化の条件としては、Ni膜を用いて400℃で急速アニール処理(RTA)し、厚み130nm程度のフルシリサイド化されてなるゲート電極を形成した。一方、比較例のゲート電極として、シリコンにPをイオン注入してなる半導体層を、上記と同様の条件でシリサイド化した。

20

図示のように、本発明のゲート電極の方が、比較例のゲート電極よりもC-V曲線が左方へシフトしていることが認められる。これは、比較例に比べて本発明のゲート電極を備えたMOS型半導体装置の仕事関数の制御範囲が大きいことを意味している。

【0020】

- 本発明を適用した具体的な実施形態 -

以下、本発明をCMOSトランジスタに適用した具体的な実施形態について、図面を参照しながら詳細に説明する。本実施形態では、説明の便宜上、CMOSトランジスタの構成をその製造方法と共に述べる。

30

図4は、本実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図である。

【0021】

初めに、図4(a)に示すように、シリコン基板1にSTI素子分離構造2を形成した後、ウェル12, 22、及びLDD領域18, 28を順次形成する。

詳細には、まず、シリコン基板1の素子分離領域に素子分離構造、ここではSTI(Shallow Trench Isolation)法によりSTI素子分離構造2(素子分離構造に形成した溝内をシリコン酸化物等の絶縁物で埋め込む構造)を形成する。これにより、シリコン基板1上でn型素子を形成する活性領域11(以下、n型活性領域11と記す。)と、p型素子を形成する活性領域21(以下、p型活性領域21と記す。)とが画定される。

40

【0022】

次に、p型活性領域21をレジストで覆い、当該レジストをマスクとしてn型活性領域11にp型不純物、例えばホウ素(B)をイオン注入により導入する。このイオン注入は、ウェル形成用及びチャネル領域形成用(閾値制御用)に行なわれるものであり、先ず深く導入した後、これよりも浅く且つ高濃度となるように、例えば加速エネルギーが10keV程度、ドーズ量が $1 \times 10^{13}/\text{cm}^2$ 程度の条件でイオン注入する。

【0023】

次に、レジストを灰化処理等により除去した後、n型活性領域11をレジストで覆い、

50

当該レジストをマスクとしてp型活性領域21にn型不純物、例えばリン(P)をイオン注入により導入する。このイオン注入も同様に、ウェル形成用及びチャネル領域形成用(閾値制御用)に行なわれるものであり、先ず深く導入した後、これよりも浅く且つ高濃度となるように、例えば加速エネルギーが50keV程度、ドーズ量が $1 \times 10^{13} / \text{cm}^2$ 程度の条件でイオン注入する。レジストは灰化处理等により除去する。

そして、更に熱処理による不純物の活性化を行なう。これにより、pウェル12及びnウェル22(チャネル領域は不図示)をそれぞれ形成する。

【0024】

続いて、図4(b)に示すように、ゲート絶縁膜13, 23及び半導体層14a, 24a、保護膜20を順次形成し、LDD領域18, 28のイオン注入を行なう。

10

詳細には、先ず、n型活性領域11及びp型活性領域21に、絶縁膜、ここではシリコン酸化膜をCVD法により例えば膜厚2nm程度に成膜する。

【0025】

次に、P-CVD法により、原料ガスとして CH_4 及び SiH_4 の混合ガスを用いて、アモルファスシリコン内にCを例えば20wt%程度(C/Si=0.2)含有するように、Cを含有したアモルファスシリコン膜(以下、C含有a-Si膜とする。)を例えば膜厚100nm程度に堆積する。このC含有a-Si膜は比較的低温、ここでは300程度で成膜される。

【0026】

なお、P-CVD法の代わりにPVD法(スパッタ法)を用いても良い。また、C含有a-Si膜の代わりに、Nを含有したアモルファスシリコン膜、Oを含有したアモルファスシリコン膜を形成しても良い。前者を形成するには、原料ガスとして例えば NH_3 及び SiH_4 の混合ガスを用い、後者を形成するには、原料ガスとして例えば N_2O 及び SiH_4 の混合ガスを用いる。

20

その後、C含有a-Si膜を覆うように、絶縁膜、例えばシリコン窒化膜をCVD法により堆積する。

【0027】

次に、シリコン窒化膜、C含有a-Si膜、及びシリコン酸化膜を電極形状に加工し、ゲート絶縁膜13, 23、ゲート絶縁膜13, 23上の半導体層14a, 24a、及び半導体層14a, 24a上の保護膜20を形成する。

30

【0028】

次に、p型活性領域21に相当する部分をレジストで覆い、当該レジスト及び半導体層14aをマスクとして、n型活性領域11にn型不純物、例えばリン(P)を、後述するn型ソース/ドレイン領域16よりも浅く、低濃度となるようにイオン注入する。

次に、レジストを灰化处理等により除去した後、n型活性領域11に相当する部分をレジストで覆い、当該レジスト及び半導体層24aをマスクとして、p型活性領域21にp型不純物、例えばホウ素(B)を、後述するp型ソース/ドレイン領域26よりも浅く、低濃度となるようにイオン注入する。レジストは灰化处理等により除去する。

なお、図4(b)にはLDD領域18, 28を示しておく。

【0029】

40

続いて、図4(c)に示すように、サイドウォール15, 25及びソース/ドレイン領域16, 26を順次形成する。

詳細には、先ず、全面をシリコン酸化物、シリコン窒化物等の絶縁材料で被覆し、当該絶縁材料を全面異方性エッチング(エッチバック)して、半導体層14a, 24aの両側面にサイドウォール15, 25を形成する。

【0030】

p型活性領域21に相当する部分をレジストで覆い、当該レジスト及び半導体層14a、サイドウォール15をマスクとして、n型活性領域11にn型不純物、例えばリン(P)を、加速エネルギーが20keV程度、ドーズ量が $7 \times 10^{15} / \text{cm}^2$ 程度の条件でイオン注入する。このとき、保護膜20を透過して半導体層14a内にもリンがイオン注入

50

される。

次に、レジストを灰化処理等により除去した後、n型活性領域11に相当する部分をレジストで覆い、当該レジスト及び半導体層24a、サイドウォール25をマスクとして、p型活性領域21にp型不純物、例えばホウ素(B)を、加速エネルギーが5keV程度、ドーズ量が $5 \times 10^{15} / \text{cm}^2$ 程度の条件でイオン注入する。このとき、保護膜20を透過して半導体層14b内にもホウ素がイオン注入される。レジストは灰化処理等により除去する。

【0031】

そして、例えば1000でアニール(RTA)処理してイオン注入した不純物を活性化し、n型活性領域11にはn型LDD領域18及びn型ソース/ドレイン領域16を、p型活性領域21にはp型LDD領域28及びp型ソース/ドレイン領域26をそれぞれ形成する。

10

【0032】

続いて、図5(a)に示すように、全面に厚い絶縁膜31を堆積する。

詳細には、全面に絶縁膜31、ここでは保護膜20との間でエッチングの選択比の異なる絶縁材料、例えばシリコン酸化膜をCVD法により堆積する。

【0033】

続いて、図5(b)に示すように、絶縁膜31を平坦化する。

詳細には、保護膜20を研磨ストッパーとして、保護膜20の表面が露出するまで絶縁膜31を化学機械研磨法(CMP法)により研磨し、絶縁膜31を平坦化する。

20

【0034】

続いて、図5(b)に示すように、保護膜20を除去する。

詳細には、ウェットエッチングにより保護膜20を除去する。ここでは、シリコン窒化膜である保護膜20を選択的にエッチングすることが可能なエッチング液を用いて、当該ウェットエッチングを行なう。

【0035】

続いて、図6(a)に示すように、Ni膜3を形成する。

詳細には、n型活性領域11及びp型活性領域21を含む全面に、シリサイド金属、ここではNi膜3を例えば厚み60nm程度に、例えばスパッタ法により堆積する。

【0036】

続いて、図6(b)に示すように、フルシリサイド化されてなるゲート電極14, 24を形成する。

30

詳細には、例えば400程度でRTA処理して半導体層14a, 24a、ここではその全体をNiシリサイド化する。その後、未反応のNiを除去する。半導体層14a, 24aのフルシリサイド化により、Cと、P又はBとを含有し、NiSiからなるゲート電極14, 25が形成される。

【0037】

ここで、ゲート電極14, 25においては、当該ゲート電極14, 25とゲート絶縁膜13, 23との界面部位に、添加元素であるCが当該界面部位以外の部位よりも多く偏析している。仕事関数の増減には当該界面部位における添加元素濃度が特に重要であり、界面部位の添加元素の偏析量が他の部位よりも多ければ、シリサイド化を妨げることなく十分な仕事関数の変化が得られる。

40

【0038】

しかる後、MOSトランジスタ17, 27を覆う層間絶縁膜やソース/ドレイン16, 26等と電氣的に接続される配線等の形成工程等を経て、n型活性領域11にはp型MOSトランジスタ17、p型活性領域21にはn型MOSトランジスタ18が設けられてなるCMOSトランジスタを完成させる。

【0039】

以上説明したように、本実施形態によれば、フルシリサイドゲートを採用して十分な低抵抗化を図るも、煩瑣な構成・製造工程を付加することなく、容易且つ確実にゲート電極

50

の閾値電圧 (V_{th}) の十分に広範囲な制御を可能とする、信頼性の高いCMOSトランジスタが実現する。

【0040】

従来のCMOSトランジスタでは、p型MOSトランジスタ17とn型MOSトランジスタ18との仕事関数差が小さく、必要以上に動作電圧を上げないとトランジスタとして十分な駆動能力が得られないという欠点があった。これに対して本実施形態のCMOSトランジスタでは、p型MOSトランジスタ17とn型MOSトランジスタ18との仕事関数差が大きく確保され、多結晶シリコンのゲート電極と同等の動作電圧を得ることが可能となる。

【0041】

なお、本実施形態では、添加元素であるC, N, 又はOを添加する対象としてゲート電極を例示したが、他の構造体、例えば半導体装置の配線に適用しても良い。例えば、多結晶シリコンからなる配線をC, N, 又はOを添加して形成する。この場合、配線の仕事関数を大きく変化させることができるため、当該配線と接続される他の配線との間で、配線間接続の際の仕事関数差を可及的に小さく抑えることが可能となる。

【0042】

以下、本発明の諸態様を付記としてまとめて記載する。

【0043】

(付記1) 半導体領域と、

前記半導体領域上にゲート絶縁膜を介して形成されたゲート電極と

を含み、

前記ゲート電極は、半導体と高融点金属とが化学反応してなる金属半導体化合物からなり、炭素、窒素及び酸素のうちから選ばれた少なくとも1種である添加元素を含むことを特徴とする半導体装置。

【0044】

(付記2) 前記ゲート電極は、前記化学反応前のバンドギャップが1.1 (eV) より大きく1.5 (eV) 以下の範囲内の値とされていることを特徴とする付記1に記載の半導体装置。

【0045】

(付記3) 前記ゲート電極は、前記ゲート絶縁膜との界面部位に、前記添加元素が当該界面部位以外の部位よりも多く偏析していることを特徴とする付記1又は2に記載の半導体装置。

【0046】

(付記4) 前記ゲート電極は、その全体が前記金属半導体化合物化されてなることを特徴とする付記1～3のいずれか1項に記載の半導体装置。

【0047】

(付記5) 前記ゲート電極は、前記半導体領域で確定された第1の活性領域に形成されたp型ゲート電極と、前記半導体領域で確定された第2の活性領域に形成されたn型ゲート電極と有しており、

前記p型ゲート電極はp型不純物を含有しており、前記n型ゲート電極はn型不純物を含有していることを特徴とする付記1～4のいずれか1項に記載の半導体装置。

【0048】

(付記6) 半導体領域上にゲート絶縁膜を介して、炭素、窒素及び酸素のうちから選ばれた少なくとも1種である添加元素を含む電極形状の半導体層を形成する工程と、

前記半導体層上に高融点金属膜を形成し、熱処理することにより前記半導体層を金属半導体化合物化して、ゲート電極を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【0049】

(付記7) 前記ゲート電極は、前記熱処理前のバンドギャップが1.1 (eV) より大きく1.5 (eV) 以下の範囲内の値とされていることを特徴とする付記6に記載の半導

10

20

30

40

50

体装置の製造方法。

【0050】

(付記8)前記半導体層を、非晶質の状態に形成することを特徴とする付記6又は7に記載の半導体装置の製造方法。

【0051】

(付記9)前記半導体層を、前記添加元素を含有するようにCVD法又はPVD法により形成することを特徴とする付記6～8のいずれか1項に記載の半導体装置の製造方法。

【0052】

(付記10)前記ゲート電極を、前記半導体層の全体を前記金属半導体化合物化して形成することを特徴とする付記6～9のいずれか1項に記載の半導体装置の製造方法。

10

【0053】

(付記11)前記ゲート電極を、前記半導体領域で確定された第1の活性領域に形成されたp型ゲート電極と、前記半導体領域で確定された第2の活性領域に形成されたn型ゲート電極とから構成するに際して、

前記第1の活性領域に形成された前記半導体層にp型不純物を、前記第2の活性領域に形成された前記半導体層にn型不純物をそれぞれ導入した後、

双方の前記半導体層を前記金属半導体化合物化して、前記第1の活性領域には前記p型ゲート電極を、前記第2の活性領域には前記n型ゲート電極をそれぞれ形成することを特徴とする付記6～10のいずれか1項に記載の半導体装置の製造方法。

【図面の簡単な説明】

20

【0054】

【図1】シリコンに炭素(C)を含有してなる半導体層における、Cの割合(C/Si:wt%)とバンドギャップ(Eg:eV)との関係を示す特性図である。

【図2】シリコンに窒素(N)を含有してなる半導体層における、Nの割合(N/Si:wt%)とバンドギャップ(Eg:eV)との関係を示す特性図である。

【図3】シリコンにNを添加してなる当該ゲート電極にn型不純物を導入した場合のC-V特性について、Nを添加しない従来のゲート電極との比較に基づいて示す特性図である。

【図4】本実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図である。

30

【図5】図4に引き続き、本実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図6】図5に引き続き、本実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図である。

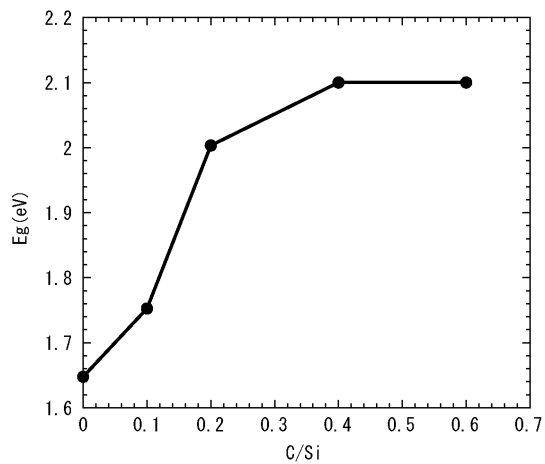
【符号の説明】

【0055】

- 1 シリコン基板
- 2 STI素子分離構造
- 11, 21 活性領域
- 12, 22 ウェル
- 13, 23 ゲート絶縁膜
- 14a, 24a 半導体層
- 14, 24 ゲート電極
- 15, 25 サイドウォール
- 16, 26 ソース/ドレイン領域
- 17, 27 MOSトランジスタ
- 18, 28 LDD領域
- 20 保護膜
- 31 絶縁膜

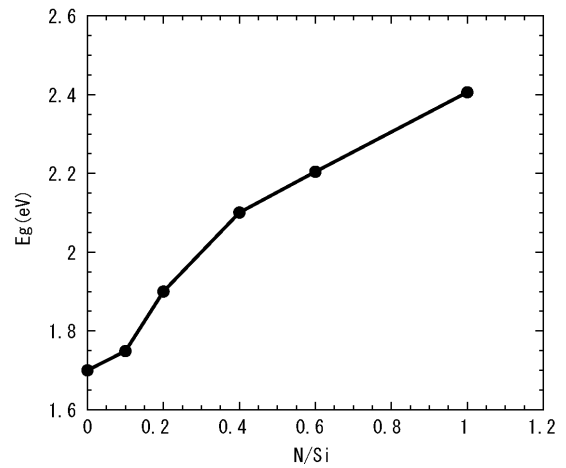
40

【 図 1 】



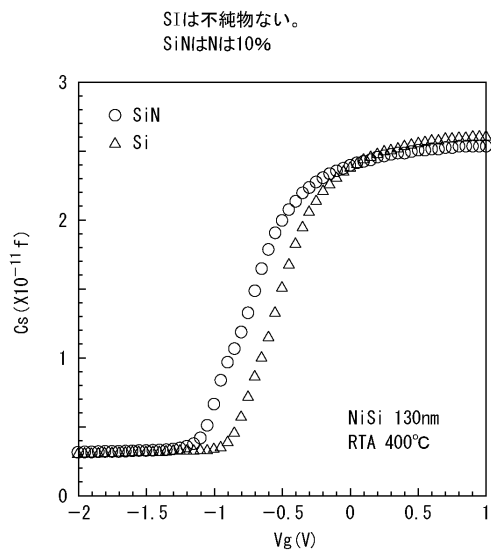
P-CVD
 Ts=300
 CH4/SiH4=0~0.7
 0.3torr
 20W

【 図 2 】

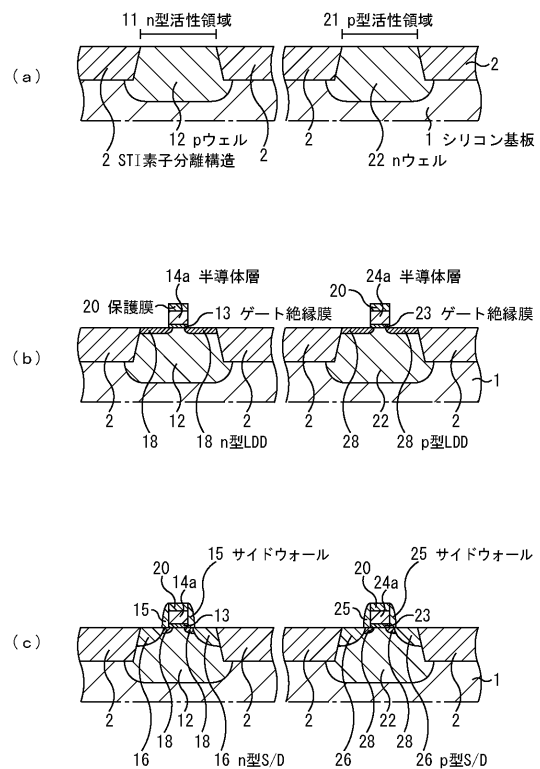


P-CVD
 Ts=300
 NH3/SiH4=0~1
 0.3torr
 20W

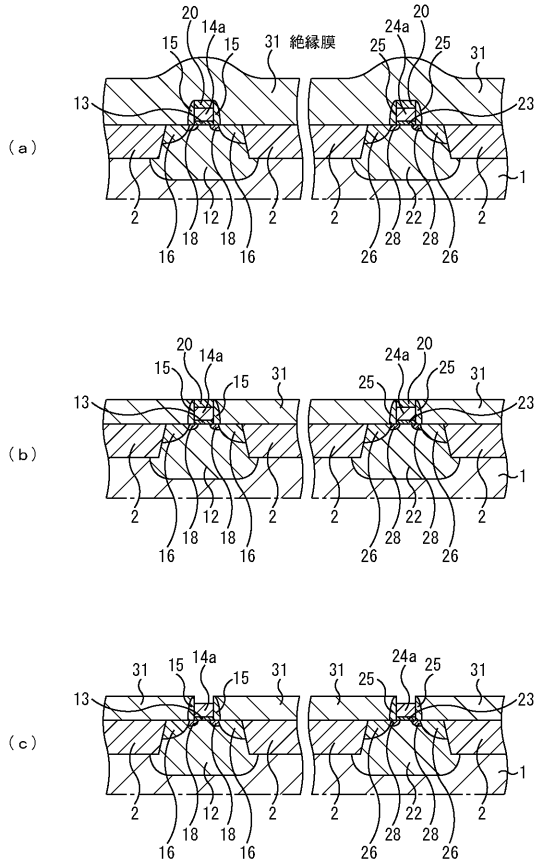
【 図 3 】



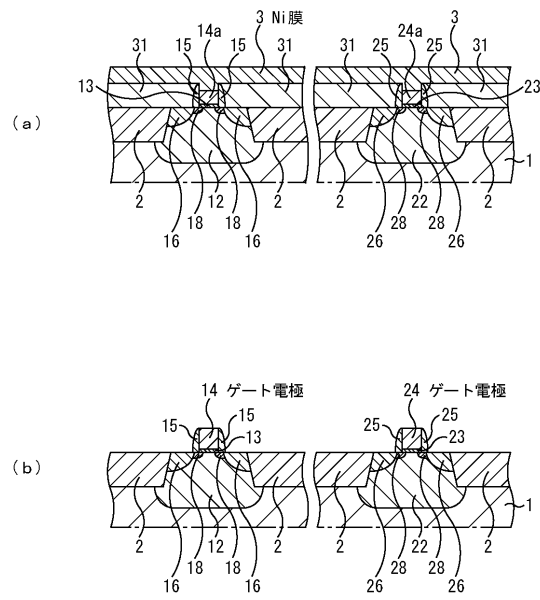
【 図 4 】



【図5】



【図6】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/3205 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/532 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

(56)参考文献 特開2005-005603(JP,A)

特開2006-261235(JP,A)

特開2007-012783(JP,A)

特開2007-080995(JP,A)

特開2008-218876(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/336

H 0 1 L 21/28

H 0 1 L 21/3205

H 0 1 L 21/768

H 0 1 L 21/8238

H 0 1 L 23/532

H 0 1 L 27/092

H 0 1 L 29/423

H 0 1 L 29/49

H 0 1 L 29/78