

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 13 日(13.09.2012)



(10) 国際公開番号

WO 2012/120749 A1

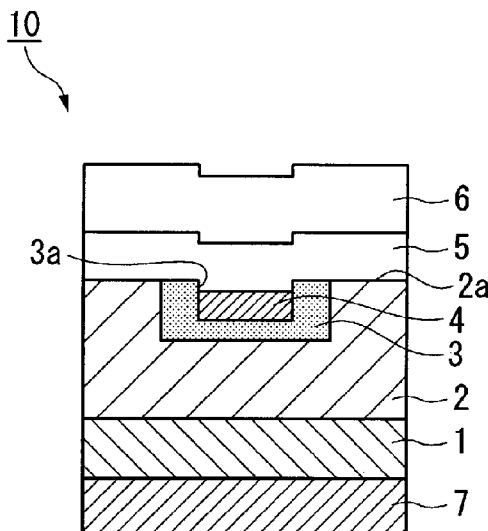
- (51) 国際特許分類:
H01L 29/47 (2006.01) H01L 29/861 (2006.01)
H01L 21/28 (2006.01) H01L 29/872 (2006.01)
H01L 29/41 (2006.01)
- (21) 国際出願番号: PCT/JP2011/079480
- (22) 国際出願日: 2011 年 12 月 20 日(20.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-051598 2011 年 3 月 9 日(09.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 昭和
電工株式会社 (SHOWA DENKO K.K.) [JP/JP]; 〒
1058518 東京都港区芝大門一丁目 1 3 番 9 号
Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 岡野 太一
(OKANO Taichi) [JP/JP]; 〒3691893 埼玉県秩父市下
影森 1 5 0 5 番地 昭和電工株式会社内 Saitama
(JP).
- (74) 代理人: 志賀 正武, 外 (SHIGA Masatake et al.); 〒
1006620 東京都千代田区丸の内一丁目 9 番 2 号
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称: 炭化珪素半導体装置及びその製造方法

[図1]



(57) Abstract: Provided is a silicon carbide semiconductor device and a manufacturing method for the same wherein the ohmic electrode is not destroyed during wire bonding employing ultrasonic oscillation. The silicon carbide semiconductor device is provided with a silicon carbide substrate (1), an n-type silicon carbide layer (2) formed on the silicon carbide substrate (1), a p-type impurity region (3) formed proximate to the surface of the n-type silicon carbide layer (2), a p-type ohmic electrode (4) formed on top of the p-type impurity region (3), and a Schottky electrode (5) formed on top of the n-type silicon carbide layer (2) so as to cover the p-type ohmic electrode (4). The p-type ohmic electrode (4) is formed in a recess (3a) provided in the surface of the p-type impurity region (3). The upper surface of the p-type ohmic electrode is lower than a surface (2a) of the n-type silicon carbide layer.

(57) 要約: 超音波振動を利用したワイヤボンディングの際にオーミック電極が破壊されない炭化珪素半導体装置及びその製造方法が提供される。そのような炭化珪素半導体装置は、炭化珪素基板(1)と、炭化珪素基板(1)上に形成されたn型炭化珪素層(2)と、n型炭化珪素層(2)の表面近傍に形成されたp型不純物領域(3)と、p型不純物領域上に形成されたp型オーミック電極(4)と、p型オーミック電極(4)を覆うようにn型炭化珪素層(2)上に形成されたショットキー電極(5)と、を備え、p型オーミック電極(4)はp型不純物領域

(3)の表面に設けられた凹部(3a)内に形成されており、p型オーミック電極の上面はn型炭化珪素層の表面(2a)よりも低い位置にある。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：炭化珪素半導体装置及びその製造方法

技術分野

[0001] 本発明は、炭化珪素半導体装置及びその製造方法に関するものである。

本願は、2011年3月9日に、日本に出願された特願2011-051598号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 炭化珪素半導体は、シリコン半導体よりも絶縁破壊電圧が大きく、エネルギーバンドギャップが広く、また、熱伝導度が高いなど優れた特徴を有するので、発光素子、大電力パワーデバイス、耐高温素子、耐放射線素子、高周波素子等への応用が期待されている。

[0003] また、炭化珪素半導体は、ショットキーバリアダイオードに適用されている。この炭化珪素（SiC）ショットキーバリアダイオードは、従来から、順方向にサージ電流が流れた際に、比較的低いサージ電流でも素子破壊が引き起こされることが知られている。

[0004] そこで、この問題を解決するために、SiC半導体素子の一方の表面にn型領域とp型領域とを並列に配置し、大電流導通時にp型領域から少数キャリアである正孔の注入が起こるようにした素子構造が提案されている（例えば、非特許文献1参照）。このような素子構造とした場合、サージ耐量を向上させることができる。そして、このような素子構造は、MPS（Merged P-i-N Schottky）構造と呼ばれている。

[0005] MPS構造では、半導体装置の一方の表面にショットキーダイオードとpn型ダイオードとを交互に配置している。したがって、半導体素子の一方の表面上には、n型半導体領域に良好なショットキー接合し、かつp型半導体領域に良好なオーミック接合をする接合材料からなる接合層を設ける必要がある。p型炭化珪素に対してオーミック性の電極を形成する金属としては、チタン-アルミニウム（Ti-Al）合金やニッケル（Ni）が知られてい

る。

[0006] 半導体装置を形成するためには、このオーミック電極を覆うようにショットキー電極を形成し、その上に表面パッド電極を形成し、その上にワイヤボンディングを行う。このワイヤボンディングについて、超音波振動による摩擦熱を利用して行う方法が知られている。この方法では、ヘッドでボンディングワイヤを押圧し、その荷重と超音波振動により、ボンディングワイヤを溶融して表面パッド電極に接合する。ここで、荷重はボンディングワイヤと表面パッド電極を結ぶ方向にかかるのに対して、超音波振動はボンディングワイヤと表面パッド電極を結ぶ方向に対して直交する方向にかかる。

先行技術文献

特許文献

[0007] 特許文献1：特開平5－75099号公報

特許文献2：特開2009－94433号公報

非特許文献

[0008] 非特許文献1：IEEE Electron Device Letters
Vol. EDL8 No. 9 1987, P407～409

発明の概要

発明が解決しようとする課題

[0009] 図22に従来の炭化珪素半導体装置50を示す。

炭化珪素半導体装置50は、炭化珪素基板51と、炭化珪素基板51上に形成されたn型炭化珪素層52と、n型炭化珪素層52の表面近傍に形成されたp型不純物領域53と、p型不純物領域上に形成されたp型オーミック電極54と、p型オーミック電極54を覆うようにn型炭化珪素層52上に形成されたショットキー電極55と、ショットキー電極55上に形成された表面パッド電極56と、炭化珪素基板51の裏面に形成された裏面オーミック電極57とを備えている。

[0010] 超音波振動を利用したワイヤボンディングはすぐれた技術であるが、p型オ

ーミック電極 5 4 が n 型炭化珪素層 5 2 (p 型不純物領域 5 3) 上に突き出た構造を有するために、ワイヤボンディングの超音波振動の際に、p 型オーミック電極 5 4 が p 型不純物領域 5 3 上で擦られ、p 型オーミック電極が破壊されるという問題があった。

[0011] 発明者らは鋭意研究の結果、このオーミック電極の破壊は、T i A l オーミック電極の場合、合金化熱処理により A l が融解し、硬い A l の反応生成物が形成され、その反応生成物が超音波振動により n 型炭化珪素層 (p 型不純物領域) の表面を擦られるために炭化珪素層の表面を傷をつけることによって進むと推測した。

[0012] 本発明は、上記事情を鑑みてなされたものであり、超音波振動を利用したワイヤボンディングの際にオーミック電極が破壊されない炭化珪素半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0013] 本発明は、以下の手段を提供する。

(1) 炭化珪素基板と、前記炭化珪素基板上に形成された n 型炭化珪素層と、前記 n 型炭化珪素層の表面近傍に形成された p 型不純物領域と、前記 p 型不純物領域上に形成された p 型オーミック電極と、前記 p 型オーミック電極を覆うように前記 n 型炭化珪素層上に形成されたショットキー電極と、を備え、前記 p 型オーミック電極は前記 p 型不純物領域の表面に設けられた凹部内に形成されており、前記 p 型オーミック電極の上面は前記 n 型炭化珪素層の表面よりも低い位置にある、ことを特徴とする炭化珪素半導体装置。

(2) 炭化珪素基板と、前記炭化珪素基板上に形成された n 型炭化珪素層と、前記 n 型炭化珪素層の表面に設けられた窪み部の下方に形成されると共に、前記表面よりも低い位置に配置する p 型不純物領域と、前記 p 型不純物領域上に形成された p 型オーミック電極と、前記 p 型オーミック電極を覆うように前記 n 型炭化珪素層上に形成されたショットキー電極と、を備え、前記 p 型オーミック電極は前記 p 型不純物領域の表面に設けられた凹部内に形成されており、前記 p 型オーミック電極の上面は前記 n 型炭化珪素層の表面よりも低い位

置にある、ことを特徴とする炭化珪素半導体装置。

(3) 炭化珪素基板と、前記炭化珪素基板上に形成された n 型炭化珪素層と、前記 n 型炭化珪素層の表面に設けられた窪み部の下方に形成されると共に、前記表面よりも低い位置に配置する p 型不純物領域と、前記 p 型不純物領域上に形成された p 型オーミック電極と、前記 p 型オーミック電極を覆うように前記 n 型炭化珪素層上に形成されたショットキー電極と、を備え、前記 p 型オーミック電極の上面は前記 n 型炭化珪素層の表面よりも低い位置にある、ことを特徴とする炭化珪素半導体装置。

(4) 前記 p 型不純物領域は互いに離間して形成された複数の領域からなることを特徴とする (1) から (3) のいずれか一つに記載の炭化珪素半導体装置。

(5) 前記ショットキー電極上に表面パッド電極を備えたことを特徴とする (1) から (4) のいずれか一つに記載の炭化珪素半導体装置。

(6) 前記 p 型オーミック電極は直線状であることを特徴とする (1) から (5) のいずれか一つに記載の炭化珪素半導体装置。

(7) 前記 p 型オーミック電極がチタンとアルミニウムを含有する合金からなることを特徴とする (1) から (6) のいずれか一つに記載の炭化珪素半導体装置。

(8) 炭化珪素基板上に n 型炭化珪素層を形成する工程と、前記 n 型炭化珪素層の表面にドーパントを注入して p 型不純物領域を形成する工程と、前記 p 型不純物領域の表面に凹部を形成する工程と、前記凹部内に、前記 n 型炭化珪素層の表面よりも低く配置するように p 型オーミック電極を形成する工程と、前記 p 型オーミック電極を覆うように前記 n 型炭化珪素層上にショットキー電極を形成する工程と、を有すること特徴とする炭化珪素半導体装置の製造方法。

(9) 炭化珪素基板上に n 型炭化珪素層を形成する工程と、前記 n 型炭化珪素層の表面に窪み部を形成する工程と、前記窪み部にドーパントを注入して p 型不純物領域を形成する工程と、前記 p 型不純物領域の表面に凹部を形成する

工程と、前記凹部内に、前記 n 型炭化珪素層の表面よりも低く配置するように p 型オーミック電極を形成する工程と、前記 p 型オーミック電極を覆うように前記 n 型炭化珪素層上にショットキー電極を形成する工程と、を有することと特徴とする炭化珪素半導体装置の製造方法。

(10) 炭化珪素基板上に n 型炭化珪素層を形成する工程と、前記 n 型炭化珪素層の表面に窪み部を形成する工程と、前記窪み部にドーパントを注入して p 型不純物領域を形成する工程と、前記 p 型不純物領域上に、前記 n 型炭化珪素層の表面よりも低く配置するように p 型オーミック電極を形成する工程と、前記 p 型オーミック電極を覆うように前記 n 型炭化珪素層上にショットキー電極を形成する工程と、を有することと特徴とする炭化珪素半導体装置の製造方法。

(11) 前記 p 型オーミック電極を形成する工程が、チタン層、アルミニウム層を順に堆積し、熱処理によってそれらを合金化することを含むことと特徴とする (8) から (10) のいずれか一つに記載の炭化珪素半導体装置の製造方法。

発明の効果

[0014] 本発明の炭化珪素半導体装置によれば、n 型炭化珪素層の表面近傍に形成された p 型不純物領域と、p 型不純物領域上に形成された p 型オーミック電極とを備え、p 型オーミック電極が p 型不純物領域の表面に設けられた凹部内に形成されており、p 型オーミック電極の上面が n 型炭化珪素層の表面よりも低い位置にある構成を採用したので、超音波振動を利用したワイヤボンディングの際に、超音波振動により p 型オーミック電極が p 型不純物領域の表面上を揺すられることがなく、p 型オーミック電極が破壊されることがない。

[0015] 本発明の炭化珪素半導体装置によれば、n 型炭化珪素層の表面に設けられた窪み部の下方に形成されると共に、前記表面よりも低い位置に配置する p 型不純物領域と、p 型不純物領域上に形成された p 型オーミック電極とを備え、p 型オーミック電極が p 型不純物領域の表面に設けられた凹部内に形成されており、p 型オーミック電極の上面が n 型炭化珪素層の表面よりも低い位置にある

構成を採用したので、超音波振動を利用したワイヤボンディングの際に、超音波振動によりp型オーミック電極がp型不純物領域の表面上を揺すられることがなく、p型オーミック電極が破壊されることがない。

[0016] 本発明の炭化珪素半導体装置によれば、n型炭化珪素層の表面に設けられた窪み部の下方に形成されると共に、前記表面よりも低い位置に配置するp型不純物領域とp型不純物領域上に形成されたp型オーミック電極とを備え、p型オーミック電極の上面がn型炭化珪素層の表面よりも低い位置にある構成を採用したので、超音波振動を利用したワイヤボンディングの際に、超音波振動によりp型オーミック電極がp型不純物領域の表面上を揺すられることがなく、p型オーミック電極が破壊されることがない。

[0017] 本発明の炭化珪素半導体装置の製造方法によれば、p型不純物領域の表面に凹部を形成する工程と、前記凹部内に、前記n型炭化珪素層の表面よりも低く配置するようにp型オーミック電極を形成する工程と、を有する構成を採用したので、超音波振動を利用したワイヤボンディングの際に、超音波振動によりp型オーミック電極がp型不純物領域の表面上を揺すられることがなく、p型オーミック電極が破壊されることがない炭化珪素半導体装置を製造することができる。

[0018] 本発明の炭化珪素半導体装置の製造方法によれば、p型不純物領域の表面に凹部を形成する工程と、前記凹部内に、n型炭化珪素層の表面よりも低く配置するようにp型オーミック電極を形成する工程と、を有する構成を採用したので、超音波振動を利用したワイヤボンディングの際に、超音波振動によりp型オーミック電極がp型不純物領域の表面上を揺すられることがなく、p型オーミック電極が破壊されることがない炭化珪素半導体装置を製造することができる。

[0019] 本発明の炭化珪素半導体装置の製造方法によれば、n型炭化珪素層の表面に窪み部を形成する工程と、前記窪み部にドーパントを注入してp型不純物領域を形成する工程と、前記p型不純物領域の表面に凹部を形成する工程と、前記凹部内に、前記n型炭化珪素層の表面よりも低く配置するようにp型オーミ

ック電極を形成する工程と、を有する構成を採用したので、超音波振動を利用したワイヤボンディングの際に、超音波振動によりp型オーミック電極がp型不純物領域の表面上を揺すられることがなく、p型オーミック電極が破壊されることがない炭化珪素半導体装置を製造することができる。

[0020] 本発明の炭化珪素半導体装置の製造方法によれば、n型炭化珪素層の表面に窪み部を形成する工程と、前記窪み部にドーパントを注入してp型不純物領域を形成する工程と、前記p型不純物領域上に、前記n型炭化珪素層の表面よりも低く配置するようにp型オーミック電極を形成する工程と、を有する構成を採用したので、超音波振動を利用したワイヤボンディングの際に、超音波振動によりp型オーミック電極がp型不純物領域の表面上を揺すられることがなく、p型オーミック電極が破壊されることがない炭化珪素半導体装置を製造することができる。

図面の簡単な説明

[0021] [図1]本発明の第1実施形態に係る炭化珪素半導体装置を示した断面模式図である。

[図2]図1で示した炭化珪素半導体装置のp型オーミック電極周辺の拡大図である。

[図3]本発明の第1実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図4]本発明の第1実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図5]本発明の第1実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図6]本発明の第1実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図7]本発明の第1実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図8]本発明の第1実施形態に係る炭化珪素半導体装置の製造方法を説明する

ための断面模式図である。

[図9]本発明の第2実施形態に係る炭化珪素半導体装置を示した断面模式図である。

[図10]本発明の第2実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図11]本発明の第2実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図12]本発明の第2実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図13]本発明の第2実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図14]本発明の第2実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図15]本発明の第2実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図16]本発明の第3実施形態に係る炭化珪素半導体装置を示した断面模式図である。

[図17]本発明の第3実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図18]本発明の第3実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図19]本発明の第3実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図20]本発明の第3実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図21]本発明の第3実施形態に係る炭化珪素半導体装置の製造方法を説明するための断面模式図である。

[図22]従来の炭化珪素半導体装置を説明するための断面模式図である。

発明を実施するための形態

[0022] 以下、本発明を適用した実施形態の炭化珪素半導体装置及びその製造方法について、図を用いてその構成を説明する。なお、以下の説明で用いる図面は、特徴をわかりやすくするために便宜上特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などは実際と同じであるとは限らない。また、以下の説明において例示される材料、寸法等は一例であって、本発明はそれらに限定されるものではなく、その要旨を変更しない範囲で適宜変更して実施することが可能である。

[0023] [炭化珪素半導体装置（第1実施形態）]

図1は、本発明の炭化珪素半導体装置の一例を示した断面模式図である。

図1に示す炭化珪素半導体装置10は、炭化珪素基板1と、炭化珪素基板1上に形成されたn型炭化珪素層2と、n型炭化珪素層2の表面近傍に形成されたp型不純物領域3と、p型不純物領域上に形成されたp型オーミック電極4と、p型オーミック電極4を覆うようにn型炭化珪素層2上に形成されたショットキー電極5と、を備え、p型オーミック電極4はp型不純物領域3の表面に設けられた凹部3a内に形成されており、p型オーミック電極の上面はn型炭化珪素層の表面2aよりも低い位置にある。また、ショットキー電極5上には表面パッド電極6が備えられ、炭化珪素基板1の裏面には裏面オーミック電極7が備えられている。

なお、図示しないボンディングワイヤは表面パッド電極6上に形成される。

[0024] 炭化珪素基板1は例えば、4H-SiC単結晶基板である。また、面方位はSi面を用いても、C面を用いてもよく、オフ角が設けられていてもよい。この炭化珪素基板1は、高濃度にn型不純物がドーピングされたn型半導体基板が望ましい。

[0025] 炭化珪素基板1上にはn型エピタキシャル層（n型炭化珪素層）2が形成されており、n型エピタキシャル層2には複数のp型不純物領域3が形成されている。これにより、p型不純物領域3とn型エピタキシャル層2との界

面には p n 接合領域が形成され、ショットキーバリアダイオードの整流性が向上される。また、p n 接合領域の間隔を狭くすることにより、リーク電流を小さくすることができる。

なお、後述する炭化珪素半導体装置の製造方法において説明するように、p 型不純物領域 3 は、p 型不純物濃度の違いにより、高濃度 p 型不純物領域と、その高濃度 p 型不純物領域を囲繞する低濃度 p 型不純物領域からなるものとしてもよい。また、p 型不純物領域 3 は、エピタキシャル成長で形成されたものであってもよい。

[0026] 図 2 は、p 型オーミック電極 4 の周辺の拡大図であって、後述する合金化前のものである。図 2 に示すように、p 型オーミック電極 4 は、p 型不純物領域 3 側に設けられた第 1 合金層 4 a と、第 1 合金層 4 a を挟んで p 型不純物領域 3 と反対側に設けられた第 2 合金層 4 b との二層構造を有している。なお、電極の断面観察において二層構造が観察される p 型オーミック電極 4 は、オーミック特性が良好で且つ表面状態が良好な電極となっている。これは、後述する炭化珪素半導体装置の製造方法において説明するように、p 型オーミック電極 4 の形成において、チタンを蒸着した後にアルミニウムを積層するという順序になっていることと関連している。したがって、上記積層順序と異なる場合には、明確な層として観察されない。

なお、第 1 合金層 4 a と第 2 合金層 4 b との境界は、電子顕微鏡を用いて断面を観察した際にコントラストが異なる境界から定めることができる。

[0027] p 型オーミック電極 4 は、少なくともチタン、アルミニウムを含む二元系の合金層である。そして、この合金層のチタンとアルミニウムの割合は、アルミニウム (Al) が 40～70 質量%、チタン (Ti) が 20～50 質量%であることが好ましい。アルミニウムが 40 質量%未満であると、オーミック性を示さないために好ましくなく、アルミニウムが 70 質量%を越えると、余剰のアルミニウムが液相を形成して周囲に飛散し、SiO₂等の保護膜と反応してしまうために好ましくない。また、Ti が 20%未満であると、余剰のアルミが周囲に飛散し、SiO₂保護膜と反応してしまうために好まし

くなく、50質量%を超えるとオーミック性を示さないために好ましくない。

[0028] 図1に示すように、p型不純物領域3及びn型エピタキシャル層2とショットキー金属部5との界面には、金属と半導体との接合によって生じるショットキー障壁が形成され、ショットキー接合領域が形成される。これにより、炭化珪素半導体装置（ショットキーバリアダイオード）10の順方向の電圧降下を低くするとともに、スイッチング速度を速くすることができる。

なお、電極全体で前記ショットキー接合領域が占める面積の割合を大きくすることにより、順方向に電流を流したときの電圧降下を小さくして、電力損失を小さくすることができる。

[0029] 以上説明したように、本実施形態の炭化珪素半導体装置10によれば、p型オーミック電極4がp型不純物領域3の表面に設けられた凹部3a内に形成されており、p型オーミック電極4の上面4cがn型炭化珪素層2の表面2aよりも低い位置にあるので、この炭化珪素半導体装置10の表面パッド電極6に超音波振動を利用したワイヤボンディングを行っても、超音波振動によりp型オーミック電極4がp型不純物領域3の表面上を揺すられることがなく、p型オーミック電極4が破壊されることがない。

[0030] 〔炭化珪素半導体装置の製造方法（第1実施形態）〕

次に、本発明の実施形態である炭化珪素半導体装置10の製造方法について説明する。

図3～図8は、本実施形態の炭化珪素半導体装置10の製造方法の一例を説明する工程断面図である。なお、図1及び図2で示した部材と同一の部材については同一の符号を付している。

[0031] （n型炭化珪素層形成工程）

まず、炭化珪素基板1上にn型エピタキシャル層（n型炭化珪素層）2を形成する。

[0032] （p型不純物領域形成工程）

＜マスク形成工程＞

次に、図3に示すように、p型ドーパントを注入するためのマスクを形成する。

まず、CVD法により、N型エピタキシャル層2上に酸化膜を形成する。

次に、その酸化膜上にレジストを塗布した後、ステッパーによるフォトリソパターンを形成する。ステッパーを用いることにより微細パターンからなるフォトリソパターンを形成することができる。その後、酸化膜をドライエッチングして窓部11aを形成する。

レジストマスクをp型不純物のイオン注入用マスクとして用いてもよい。

高温でイオン注入を行う場合、レジストマスクを使用できないため、SiO₂等の酸化膜マスクや、SiN等の窒化膜マスクその他のイオン注入用のマスクを用いることができる。

[0033] <ドーパント注入工程>

次に、図4に示すように、窓部11aが形成された酸化膜11をマスクとして用いて、p型不純物となるアルミニウムまたはボロンをn型エピタキシャル層2にイオン注入してp型不純物領域3を形成する。

イオン注入は、室温～高温（600℃程度）で行うことができる。Alのイオン注入量は、 $10^{18} \sim 10^{20} / \text{cm}^2$ 程度がよい。多すぎると結晶のダメージが大きく、少なすぎるとN_dが少なくなるからである。

マスクはレジストの場合、有機洗浄や灰化処理により除去する。SiO₂等の場合、HF等の酸によりエッチング除去する。

イオンの活性化は1700～1850℃程度の温度で行う。雰囲気はAr、処理時間は数分～数10分程度が好ましい。表面保護膜によって面あれを防止してもよい。活性化後、保護マスクを付けた場合は、保護マスクを除去する。保護マスクが炭化膜の場合は酸化するとよい。

[0034] (凹部形成工程)

次に、図5及び図6に示すように、p型不純物領域3に、p型オーミック電極を形成するための凹部3aを形成する。

<マスク形成工程>

まず、図5に示すように、全面にレジストを塗布した後、p型不純物領域3に形成する凹部に対応した窓部12aを有するフォトリソレジストパターンを形成する。

[0035] <ドライエッチング工程>

次に、図6に示すように、窓部12aを有するレジストマスク12を用いて、ドライエッチングにより、p型不純物領域3の表面に深さ100~300nm程度の凹部3aを形成する。100nmよりも浅いと、上面がn型炭化珪素層2の表面よりも低い位置にあるp型オーミック電極4を形成するのが困難であり、300nmよりも深いと、エッチングに時間がかかり過ぎるからである。

レジストマスクは逆テーパー型にしておくといよい。

ドライエッチングの条件としては例えば、エッチングガスにSF₆、希釈ガスにAr、圧力は1Pa、RF出力は500W程度で行うことができる。

SiO₂等の酸化膜マスクや、SiN等の窒化膜マスクを用いてドライエッチングを行ってもよい。

[0036] (p型オーミック電極形成工程)

次に、図7に示すように、レジストマスク12を用いて、p型不純物領域3の凹部3a内に、p型オーミック電極4を形成する。この際、p型オーミック電極4の上面4cがn型炭化珪素層2の表面2aよりも低い位置になるようにp型オーミック電極4を形成する。

p型オーミック電極形成工程は、p型不純物領域3を形成したn型エピタキシャル層2上にチタン層を形成する工程（チタン層形成工程）と、チタン層上にアルミニウム層を形成する工程（アルミニウム層形成工程）と、熱処理により合金化する工程（熱処理工程）とから概略構成されている。

電子ビーム蒸着等の蒸着法やスパッタ法を用いて形成する。TiAlの厚さは、各々30nm、80nm程度が好ましい。上記マスクの上にTiAlを堆積し、リフトオフして電極を形成する。上記マスクを除去、TiAlを堆積後、フォトリソグラフィを行い、エッチングにより電極を形成してもよ

い。エッチングの場合は、残ったレジストを溶剤や灰化処理にて除去する。

合金化熱処理は、 900°C 前後、 Ar 雰囲気中で、数分～数10分行うのが好ましい。

[0037] <チタン層形成工程>

まず、前処理として例えば硫酸+過酸化水素、アンモニア+過酸化水素、フッ酸水溶液、塩酸+過酸化水素、フッ酸水溶液等を用いて基板をRCA洗浄する。

次に、スパッタ法または蒸着法を用いて、p型不純物領域3を形成したn型エピタキシャル層2上にチタン層を形成する。これにより、チタン層4aが形成される。

[0038] <アルミニウム層形成工程>

次に、スパッタ法または蒸着法を用いて、チタン層4a上にアルミニウム層を形成する。これにより、アルミニウム層4bが形成される。

ここで、チタン層4a及びアルミニウム層4bの膜厚は、それぞれ1～200nmであることが好ましく、10～100nmが特に好ましい。チタン層4a及びアルミニウム層4bの膜厚が1nm未満であるとオーミック接合に十分な電極層が形成できないために好ましくなく、200nmを超えると周囲の絶縁膜等に影響が出るおそれがあるために好ましくない。チタン層4a及びアルミニウム層4bを合わせた膜厚は凹部3aの深さを超えない膜厚とする。

[0039] <熱処理工程>

次に、積層されたチタン層4aとアルミニウム層4bとを熱処理により合金化する。

熱処理には、赤外線ランプ加熱装置(RTA装置)等を用いることができる。熱処理温度は、 880°C ～ 930°C が好ましく、 890°C ～ 910°C がより好ましい。熱処理温度が 880°C 未満であると合金化反応が十分に促進しないため好ましくなく、 930°C を超えると拡散の制御が困難となって所望の合金組成を得られないために好ましくない。また、熱処理時間は、1～5分が

好ましく、1～3分がより好ましい。熱処理時間が1分未満であると合金化反応が十分に促進しないため好ましくなく、5分を超えると基板との反応が進行しすぎてしまい電極の表面が荒れてしまうために好ましくない。なお、熱処理は、不活性ガス雰囲気で行うことが好ましく、アルゴン雰囲気で行うことがより好ましい。このようにして、チタン-アルミニウムからなる二元系の合金膜を形成する。

[0040] 次に、レジストマスク12を除去する。

[0041] (ショットキー電極形成工程)

次に、図8に示すように、p型オーミック電極4を覆うようにn型炭化珪素層2上にショットキー電極5を形成する。ショットキー電極5の膜厚は100～数100nm程度が好ましい。その後、ショットキー障壁高さを適切に制御するため、ショットキー熱処理を行う。ショットキー熱処理はショットキー電極金属により異なるが、Tiの場合、500℃前後で行う。

<マスク形成工程>

まず、p型オーミック電極4を形成したn型エピタキシャル層2上にレジストを塗布した後、フォトリソパターンを形成する。

[0042] <金属膜形成工程>

次に、スパッタ法または蒸着法で、窓部を形成したレジスト上に、例えば、チタンまたはモリブデンなどからなる金属膜を形成する。

次に、そのレジストを除去（リフトオフ）することにより、窓部に形成された金属膜のみをp型オーミック電極4を覆うように残すことができる。

[0043] <熱処理工程>

次に、ショットキー障壁制御のための熱処理（例えば、600℃での熱処理）を不活性ガス雰囲気で行い、ショットキー電極5を形成する。ショットキー電極5は、炭化珪素基板1に接続され、ショットキーコンタクトを形成している。

[0044] (表面パッド電極形成工程)

次に、図8に示すように、ショットキー電極5上に表面パッド電極6を形

成する。パッド電極にはA l等を用い、その厚さは必要によるが、通常、数～10 μm 程度とする。

<マスク形成工程>

まず、ショットキー金属部8を形成したn型エピタキシャル層2上にレジストを塗布した後、露光・現像により、フォトリジストパターンを形成する。

[0045] <金属膜形成工程>

次に、スパッタ法で、窓部を形成したレジスト上に、例えば、アルミニウムからなる金属膜を形成する。

次に、前記レジストを除去（リフトオフ）することにより、窓部に形成された金属膜のみをショットキー電極5を覆うように残すことができる。

これにより、ショットキー電極5に電氣的に接続された表面パッド電極6を形成する。

[0046] （裏面オーミック電極形成工程）

次に、図8に示すように、炭化珪素基板1の裏面に、裏面オーミック電極を形成する。

裏面オーミック電極は例えば、Ni等を用い、1000℃程度、数分～数10分、Ar雰囲気中で熱処理する。この熱処理は、上記ショットキー熱処理温度よりも高いため、ショットキー電極形成前に行うか、又は、表面側に影響を与えない条件でレーザーアニールを用いて、ショットキー電極形成後に行うのが好ましい。

<保護膜形成工程>

まず、CVD法により、表面パッド電極6上に、たとえば、シリコン酸化膜（ SiO_2 ）からなる保護膜（図示せず）を形成する。

この後、CMP（Chemical Mechanical Polishing）法により、保護膜の平坦化を行ってもよい。

[0047] <裏面オーミック電極形成工程>

スパッタ法または蒸着法で、p型不純物領域3を形成した炭化珪素基板1

の裏面に、例えば、Niからなる金属膜を形成する。

次に、熱処理（例えば、950℃の熱処理）を不活性ガス雰囲気または真空中で行って、裏面オーミック電極7とする。これにより、裏面オーミック電極7は、炭化珪素基板1の裏面と良好なオーミックコンタクトを形成する。

次に、保護膜を除去する。

[0048] 以上の工程により、本実施形態の炭化珪素半導体装置10を製造することができる。

[0049] 以上説明したように、本実施形態の炭化珪素半導体装置10の製造方法によれば、p型不純物領域3の表面に凹部3aを形成する工程と、凹部3a内に、n型炭化珪素層2の表面2aよりも低く配置するようにp型オーミック電極4を形成する工程と、を有するので、表面パッド電極に超音波振動を利用したワイヤボンディングを行っても、超音波振動によりp型オーミック電極がp型不純物領域の表面上を揺すられることがなく、p型オーミック電極が破壊されることがない炭化珪素半導体装置を製造することができる。

[0050] [炭化珪素半導体装置（第2実施形態）]

図9は、本発明の炭化珪素半導体装置の一例を示した断面模式図である。

第1実施形態で示した部材と同一の部材については同一の符号を付し、その説明を省略する。

図9に示す炭化珪素半導体装置20は、炭化珪素基板1と、炭化珪素基板1上に形成されたn型炭化珪素層2と、前記n型炭化珪素層2の表面2aに設けられた窪み部2bの下方に形成されると共に、表面2aよりも低い位置に配置するp型不純物領域23と、p型不純物領域23上に形成されたp型オーミック電極24と、p型オーミック電極24を覆うようにn型炭化珪素層2上に形成されたショットキー電極5と、を備え、p型オーミック電極24はp型不純物領域23の表面に設けられた凹部23a内に形成されており、p型オーミック電極24の上面24aはn型炭化珪素層2の表面2aよりも低い位置にある。また、ショットキー電極5上には表面パッド電極6を備え、炭化珪

素基板 1 の裏面には裏面オーミック電極 7 が備えられている。

第 1 実施形態とは、p 型不純物領域 2 3 の最上面 2 3 a が n 型炭化珪素層 2 の表面 2 a よりも低い位置に形成されている点で相違する。図 9 に示した例では、p 型オーミック電極 2 4 の表面 2 4 a は p 型不純物領域 2 3 の最上面 2 3 a よりも高い位置にあるが、最上面 2 3 a よりも低い位置にあってもよい。

なお、図示しないボンディングワイヤは表面パッド電極 6 上に形成される。

[0051] 以上説明したように、本実施形態の炭化珪素半導体装置 2 0 によれば、n 型炭化珪素層 2 の表面 2 a に設けられた窪み部 2 b の下方に形成されると共に、表面 2 a よりも低い位置に配置する p 型不純物領域 2 3 を備え、p 型オーミック電極 2 4 が p 型不純物領域 2 3 の表面に設けられた凹部 2 3 a 内に形成されており、p 型オーミック電極 2 4 の上面 2 4 c が n 型炭化珪素層 2 の表面 2 a よりも低い位置にあるので、この炭化珪素半導体装置 2 0 の表面パッド電極 6 に超音波振動を利用したワイヤボンディングを行っても、超音波振動により p 型オーミック電極 2 4 が p 型不純物領域 2 3 の表面上を揺すられることがなく、p 型オーミック電極 2 4 が破壊されることがない。

[0052] [炭化珪素半導体装置の製造方法（第 2 実施形態）]

次に、本発明の実施形態である炭化珪素半導体装置 2 0 の製造方法について説明する。

図 1 0 ～図 1 5 は、本実施形態の炭化珪素半導体装置 2 0 の製造方法の一例を説明する工程断面図である。

[0053] （n 型炭化珪素層形成工程）

まず、炭化珪素基板 1 上に n 型エピタキシャル層（n 型炭化珪素層）2 を形成する。

[0054] （窪み部形成工程）

＜マスク形成工程＞

次に、n 型エピタキシャル層 2 の表面に窪み部 2 b を形成すると共に、p

型ドーパントを注入してp型不純物領域23を形成するためのマスクを形成する。

このマスクは図3を用いて説明したのと同様に、CVD法により、n型エピタキシャル層2上に酸化膜を形成する。

次に、その酸化膜上にレジストを塗布した後、ステッパーによるフォトリソグラフィパターンを形成する。ステッパーを用いることにより微細パターンからなるフォトリソグラフィパターンを形成することができる。その後、酸化膜をドライエッチングして窓部21aを形成する。

レジストからなるマスクを用いてもよい。

[0055] <ドライエッチング工程>

次に、図10に示すように、窓部21aが形成された酸化膜21をマスクとして用いて、ドライエッチングにより、n型エピタキシャル層2の表面に深さ50～100nm程度の窪み部2bを形成する。50nmよりも浅いと、上面がn型炭化珪素層2の表面よりも低い位置にあるp型オーミック電極24を形成するのが困難であり、100nmよりも深いと、エッチングに時間がかかり過ぎるからである。

ドライエッチングの条件としては例えば、エッチングガスにSF₆、希釈ガスにAr、圧力は1Pa、RF出力は500W程度で行うことができる。

SiO₂等の酸化膜マスクや、SiN等の窒化膜マスクを用いてドライエッチングを行ってもよい。

[0056] (p型不純物領域形成工程)

次に、図11に示すように、窓部21aが形成された酸化膜21をマスクとして用いて、p型不純物となるアルミニウムまたはボロンをn型エピタキシャル層2の窪み部2bの下方部分にイオン注入してp型不純物領域23を形成する。酸化膜21を除去した後、注入したイオンの活性化を行うために熱処理を行う。

[0057] (凹部形成工程)

次に、図12及び図13に示すように、p型不純物領域23に、p型オーミ

ック電極 24 を形成するための凹部 23 a を形成する。

＜マスク形成工程＞

まず、図 12 に示すように、全面にレジストを塗布した後、p 型不純物領域 23 に形成する凹部 23 a に対応した窓部を有するフォトリソパターンを形成する。

[0058] ＜ドライエッチング工程＞

次に、図 13 に示すように、窓部 22 a を有するレジストマスク 22 を用いて、ドライエッチングにより、p 型不純物領域 23 の表面に深さ 50 ~ 100 nm 程度の凹部 23 a を形成する。50 nm よりも浅いと、上面が n 型炭化珪素層 2 の表面よりも低い位置にある p 型オーミック電極 24 を形成するのが困難であり、100 nm よりも深いと、エッチングに時間がかかり過ぎるからである。

ドライエッチングの条件としては例えば、エッチングガスに SF_6 、希釈ガスに Ar 、圧力は 1 Pa、RF 出力は 500 W 程度で行うことができる。

SiO_2 等の酸化膜マスクや、 SiN 等の窒化膜マスクを用いてドライエッチングを行ってもよい。

[0059] (p 型オーミック電極形成工程)

次に、図 14 に示すように、p 型不純物領域 23 の凹部 23 a 内に、p 型オーミック電極 24 を形成する。この際、p 型オーミック電極 24 の上面 24 a が n 型炭化珪素層 2 の表面 2 a よりも低い位置になるように p 型オーミック電極 24 を形成する。

p 型オーミック電極形成工程は、第 1 実施形態と同様に、p 型不純物領域 23 を形成した n 型エピタキシャル層 2 上にチタン層を形成する工程（チタン層形成工程）と、チタン層上にアルミニウム層を形成する工程（アルミニウム層形成工程）と、熱処理により合金化する工程（熱処理工程）とから概略構成されている。

各工程は第 1 実施形態と同様である。p 型オーミック電極 24 の膜厚（チタン層及びアルミニウム層を合わせた膜厚）は窪み部 2 b の深さと凹部 23 a

の深さを合わせた深さを超えない膜厚とする。

[0060] (ショットキー電極形成工程)

次に、図 1 5 に示すように、p 型オーミック電極 2 4 を覆うように n 型炭化珪素層 2 上にショットキー電極 5 を形成する。この工程は第 1 実施形態と同様である。

[0061] (表面パッド電極形成工程)

次に、図 1 5 に示すように、ショットキー電極 5 上に表面パッド電極 6 を形成する。この工程は第 1 実施形態と同様である。

[0062] (裏面オーミック電極形成工程)

次に、図 1 5 に示すように、炭化珪素基板 1 の裏面に、裏面オーミック電極 7 を形成する。この工程は第 1 実施形態と同様である。

[0063] 以上の工程により、本実施形態の炭化珪素半導体装置 2 0 を製造することができる。

[0064] 以上説明したように、本実施形態の炭化珪素半導体装置 2 0 の製造方法によれば、n 型炭化珪素層 2 の表面に窪み部 2 b を形成する工程と、p 型不純物領域 2 3 の表面に凹部 2 3 a を形成する工程と、凹部 2 3 a 内に、n 型炭化珪素層 2 の表面 2 a よりも低く配置するように p 型オーミック電極 2 4 を形成する工程と、を有するので、表面パッド電極に超音波振動を利用したワイヤボンディングを行っても、超音波振動により p 型オーミック電極が p 型不純物領域の表面上を揺すられることがなく、p 型オーミック電極が破壊されることがない炭化珪素半導体装置を製造することができる。

[0065] [炭化珪素半導体装置 (第 3 実施形態)]

図 1 6 は、本発明の炭化珪素半導体装置の一例を示した断面模式図である。

第 1 実施形態で示した部材と同一の部材については同一の符号を付し、その説明を省略する。

図 1 6 に示す炭化珪素半導体装置 3 0 は、炭化珪素基板 1 と、炭化珪素基板 1 上に形成された n 型炭化珪素層 2 と、前記 n 型炭化珪素層 2 の表面 2 a

に設けられた窪み部 2 c の下方に形成されると共に、表面 2 a よりも低い位置に配置する p 型不純物領域 3 3 と、p 型不純物領域 3 3 上に形成された p 型オーミック電極 3 4 と、p 型オーミック電極 3 4 を覆うように n 型炭化珪素層 2 上に形成されたショットキー電極 5 と、を備え、p 型オーミック電極 3 4 の上面 3 4 a は n 型炭化珪素層 2 の表面 2 a よりも低い位置にある。また、ショットキー電極 5 上には表面パッド電極 6 が備えられ、炭化珪素基板 1 の裏面には裏面オーミック電極 7 が備えられている。

第 1 実施形態とは、p 型不純物領域 3 3 の最上面 3 3 a が n 型炭化珪素層 2 の表面 2 a よりも低い位置に形成されている点で相違し、第 2 実施形態とは、p 型不純物領域 3 3 に p 型オーミック電極 3 4 を形成するための凹部を有しない点で相違する。

p 型オーミック電極 3 4 の膜厚（チタン層及びアルミニウム層を合わせた膜厚）は窪み部 2 c の深さを超えない膜厚とする。

なお、図示しないボンディングワイヤは表面パッド電極 6 上に形成される。

[0066] 以上説明したように、本実施形態の炭化珪素半導体装置 3 0 によれば、n 型炭化珪素層 2 の表面 2 a に設けられた窪み部 2 c に形成されると共に、表面 2 a よりも低い位置に配置する p 型不純物領域 3 3 を備え、p 型オーミック電極 3 4 の上面 3 4 a が n 型炭化珪素層 2 の表面 2 a よりも低い位置にあるので、この炭化珪素半導体装置 3 0 の表面パッド電極 6 に超音波振動を利用したワイヤボンディングを行っても、超音波振動により p 型オーミック電極 3 4 が p 型不純物領域 3 3 の表面上を揺すられることがなく、p 型オーミック電極 3 4 が破壊されることがない。

[0067] 〔炭化珪素半導体装置の製造方法（第 3 実施形態）〕

次に、本発明の実施形態である炭化珪素半導体装置 3 0 の製造方法について説明する。

図 1 7 ～図 2 1 は、本実施形態の炭化珪素半導体装置 3 0 の製造方法の一例を説明する工程断面図である。

[0068] (n型炭化珪素層形成工程)

まず、炭化珪素基板 1 上に n 型エピタキシャル層 (n 型炭化珪素層) 2 を形成する。

[0069] (窪み部形成工程)

<マスク形成工程>

次に、n 型エピタキシャル層 2 の表面に窪み部 2 c を形成すると共に、p 型ドーパントを注入して p 型不純物領域 3 3 を形成するためのマスクを形成する。

このマスクは図 3 を用いて説明したのと同様に、CVD 法により、N 型エピタキシャル層 2 上に酸化膜を形成する。

次に、その酸化膜上にレジストを塗布した後、ステッパーによるフォトリソグラフィパターンを形成する。ステッパーを用いることにより微細パターンからなるフォトリソグラフィパターンを形成することができる。その後、酸化膜をドライエッチングして窓部 3 1 a を形成する。

[0070] <ドライエッチング工程>

次に、図 1 7 に示すように、窓部 3 1 a が形成された酸化膜 3 1 をマスクとして用いて、ドライエッチングにより、n 型エピタキシャル層 2 の表面に深さ 100~1000 nm 程度の窪み部 2 c を形成する。100 nm よりも浅いと、上面が n 型炭化珪素層 2 の表面よりも低い位置にある p 型オーミック電極 3 4 を形成するのが困難であり、1000 nm よりも深いと、エッチングに時間がかかり過ぎるからである。

ドライエッチングの条件としては例えば、エッチングガスに SF_6 、希釈ガスに Ar 、圧力は 1 Pa、RF 出力は 500 W 程度で行うことができる。

SiO_2 等の酸化膜マスクや、 SiN 等の窒化膜マスクを用いてドライエッチングを行ってもよい。

[0071] (p型不純物領域形成工程)

次に、図 1 8 に示すように、窓部 3 1 a が形成された酸化膜 3 1 をマスクとして用いて、p 型不純物となるアルミニウムまたはボロンを n 型エピタキ

シャル層 2 の窪み部 2 c の下方部分にイオン注入して p 型不純物領域 3 3 を形成する。酸化膜 3 1 を除去した後、注入したイオンの活性化を行うために熱処理を行う。

[0072] (p 型オーミック電極形成工程)

次に、図 1 9 に示すように、n 型エピタキシャル層 2 の窪み部 2 c 内の p 型不純物領域 3 3 上に、p 型オーミック電極 3 4 を形成する。この際、p 型オーミック電極 3 4 の上面 3 4 a が n 型炭化珪素層 2 の表面 2 a よりも低い位置になるように p 型オーミック電極 3 4 を形成する。

<マスク形成工程>

まず、図 1 9 に示すように、全面にレジストを塗布した後、p 型不純物領域 3 3 に形成する p 型オーミック電極 3 4 の範囲に対応した窓部 3 2 a を有するフォトリソパターンを形成する。

[0073] <p 型オーミック電極形成工程>

次に、窓部 3 2 a を有するレジストマスク 3 2 を用いて、n 型エピタキシャル層 2 の窪み部 2 c 内の p 型不純物領域 3 3 上に、p 型オーミック電極 3 4 を形成する (図 2 0)。

p 型オーミック電極形成工程は、第 1 実施形態と同様に、p 型不純物領域 3 3 を形成した n 型エピタキシャル層 2 上にチタン層を形成する工程 (チタン層形成工程) と、チタン層上にアルミニウム層を形成する工程 (アルミニウム層形成工程) と、熱処理により合金化する工程 (熱処理工程) とから概略構成されている。各工程は第 1 実施形態と同様である。

[0074] (ショットキー電極形成工程)

次に、図 2 1 に示すように、p 型オーミック電極 3 4 を覆うように n 型炭化珪素層 2 上にショットキー電極 5 を形成する。この工程は第 1 実施形態と同様である。

[0075] (表面パッド電極形成工程)

次に、図 2 1 に示すように、ショットキー電極 5 上に表面パッド電極 6 を形成する。この工程は第 1 実施形態と同様である。

[0076] (裏面オーミック電極形成工程)

次に、図 2 1 に示すように、炭化珪素基板 1 の裏面に、裏面オーミック電極 7 を形成する。この工程は第 1 実施形態と同様である。

[0077] 以上の工程により、本実施形態の炭化珪素半導体装置 3 0 を製造することができる。

[0078] 以上説明したように、本実施形態の炭化珪素半導体装置 3 0 の製造方法によれば、n 型炭化珪素層 2 の表面に窪み部 2 c を形成する工程と、p 型不純物領域 3 3 上に、n 型炭化珪素層 2 の表面 2 a よりも低く配置するように p 型オーミック電極 3 4 を形成する工程と、を有するので、表面パッド電極に超音波振動を利用したワイヤボンディングを行っても、超音波振動により p 型オーミック電極 3 4 が p 型不純物領域 3 3 の表面上を揺すられることがなく、p 型オーミック電極 3 4 が破壊されることがない炭化珪素半導体装置を製造することができる。

実施例

[0079] 以下、本発明の効果を、実施例を用いて具体的に説明する。なお、本発明はこれらの実施例に限定されるものではない。

[0080] (実施例 1)

実施例 1 は第 1 実施形態に係る、M P S 構造を有する炭化珪素半導体装置及び第 1 実施形態に係る炭化珪素半導体装置の製造方法の実施例である。

まず、S i C 単結晶基板（炭化珪素基板）上に C V D 法を用いて、一般に採用されている通常の成膜条件によって n 型エピタキシャル層を形成した。次に、C V D 法により、n 型エピタキシャル層上に酸化膜を形成した。次に、酸化膜上にレジストを塗布した後、フォトレジストパターンを形成した。その後、酸化膜をドライエッチングして形成する p 型不純物領域パターン（複数の線幅 $10\ \mu\text{m}$ の縞状パターン）に対応した窓部を形成した。次に、窓部が形成された酸化膜をマスクとして用いて、p 型不純物となるアルミニウムを $2 \times 10^{19} / \text{cm}^2$ のイオン注入量、 $300\ \text{nm}$ の深さでイオン注入して p 型不純物領域を形成した。次に、酸化膜を除去した後、 1800

℃の熱処理を真空中で3分間行い、アルミニウムイオンを活性化した。

[0081] 次に、窓部を有するフォトリソパターンレジストマスクを用いて、エッチングガスに SF_6 、希釈ガスに Ar 、圧力は1 Pa、RF出力は500 Wの条件で3分間のドライエッチングにより、p型不純物領域の表面に、p型オーミック電極を形成するための150 nm程度の深さの凹部を形成した。

[0082] 次に、引き続きレジストマスクを用いて、スパッタ法により、p型不純物領域を形成したn型エピタキシャル層上に、Tiを30 nmの膜厚で成膜した。続いて、Ti膜上にAlを80 nmの膜厚で成膜した。その後、900℃で5分間熱処理を行ってp型オーミック電極を形成した。

[0083] 次に、窓部を有するレジストマスクを用いて、p型オーミック電極4を覆うようにn型炭化珪素層2全面にMoからなる金属膜を100 nmの膜厚で蒸着法により成膜した。その後、ショットキー障壁高さ(ϕ_B)を制御するために、アルゴンガス雰囲気中600℃の温度で熱処理を行い、ショットキー電極とした。

[0084] 次に、ショットキー電極上に、Al膜をスパッタ法により形成し、レジストパターンからなるマスクを用いてエッチングを行って5 μm の膜厚で表面パッド電極を形成した。

[0085] 次に、レジストマスクを除去して、裏面オーミック電極を形成した。具体的には、まず、CVD法により、p型オーミック電極を形成したn型エピタキシャル層2上に、シリコン酸化膜(SiO_2)からなる保護膜を形成し、その後、電子ビーム(EB)蒸着法で、p型不純物領域を形成したSiC単結晶基板の裏面に、Niからなる金属膜を100 nmの膜厚で形成した後、レーザーアニールを行って、裏面オーミック電極とした。この熱処理により、裏面オーミック電極はSiC単結晶基板の裏面と良好なオーミックコンタクトを形成された。

その後、保護膜を除去した。

以上のようにして、実施例1の炭化珪素半導体装置を得た。

[0086] (特性評価)

このように作製した炭化珪素半導体装置について、直径 $250\mu\text{m}$ のアルミニウムのワイヤを用いて超音波を利用してワイヤボンディングを行った。次に、ワイヤをつけた炭化珪素半導体装置について、測定機を用いて順方向の電流 (I_f) 電圧 (V_f) 特性、及び、逆方向の電流 (I_r) 電圧 (V_r) 特性を調べた。

[0087] 超音波の出力 1.9W 及び印加時間 220msec 、出力 4.7W 及び印加時間 110msec 、出力 6.5W 及び印加時間 110msec 、出力 7.4W 及び印加時間 110msec 、出力 10.5W 及び印加時間 110msec の5つの条件のいずれでワイヤボンディングを行った場合も、順方向に 0.5V の電圧 (V_f) を印加した際の順方向電流 (I_f) は $10^{-7}\text{A}/\text{cm}^2$ であり、逆方向に 200V の電圧 (V_r) を印加した際の逆方向電流 (I_r) は $10^{-8}\text{A}/\text{cm}^2$ であり、順方向の電流電圧特性及び逆方向の電流電圧特性のいずれも良好だった。

この結果により、超音波振動を利用したワイヤボンディングの際に素子が破壊されず、短絡がなかったことが確認できた。

なお、本実施形態は、ショットキーバリアダイオード (SBD) とPNダイオード (PND) とを併せたMPS構造を有するものであって、SBDとPNDとは電氣的に並列に配置する。通常動作では、SBDのみ (例えば、 $I_f=20\text{A}@1.5\text{V}$ の動作、 $I_r=10^{-8}\text{A}@200\text{V}$) が動作する。よって、この部分の構造に違いがない実施形態1~3 (本発明はPNDの部位の素子破壊を防止する構成に係るもの) では、 I_f と I_r とは同じになる。

[0088] (実施例2)

実施例2は第2実施形態に係る、MPS構造を有する炭化珪素半導体装置及び第2実施形態に係る炭化珪素半導体装置の製造方法の実施例である。

まず、SiC単結晶基板 (炭化珪素基板) 上にCVD法を用いて、一般に採用されている通常の成膜条件によってn型エピタキシャル層を形成した。次に、CVD法により、n型エピタキシャル層上に酸化膜を形成した。次に、酸化膜上にレジストを塗布した後、フォトリソパターンを形成した。

その後、酸化膜をドライエッチングして形成する p 型不純物領域パターン（複数の線幅 $10\ \mu\text{m}$ の縞状パターン）に対応した窓部を形成した。

次に、窓部が形成された酸化膜をマスクとして用いて、エッチングガスに SF_6 、希釈ガスに Ar 、圧力は $1\ \text{Pa}$ 、RF 出力は $500\ \text{W}$ の条件でドライエッチングにより、n 型エピタキシャル層の表面に $100\ \text{nm}$ 程度の深さの窪み部を形成した。次に、同じマスクを用いて、p 型不純物となるアルミニウムを $2 \times 10^{19}\ \text{cm}^{-2}$ のイオン注入量、 $300\ \text{nm}$ の深さでイオン注入して窪み部に p 型不純物領域を形成した。次に、酸化膜を除去した後、 1800°C の熱処理を真空中で行い、アルミニウムイオンを活性化した。

[0089] 次に、窓部を有するフォトリソマスクパターンのレジストマスクを用いて、エッチングガスに SF_6 、希釈ガスに Ar 、圧力は $1\ \text{Pa}$ 、RF 出力は $500\ \text{W}$ の条件でドライエッチングにより、窪み部下方の p 型不純物領域の表面に、p 型オーミック電極を形成するための $50\ \text{nm}$ 程度の深さの凹部を形成した。

[0090] 次に、引き続きレジストマスクを用いて、スパッタ法により、凹部内の p 型不純物領域上に、 Ti を $30\ \text{nm}$ の膜厚で成膜した。続いて、 Ti 膜上に Al を $80\ \text{nm}$ の膜厚で成膜した。その後、 900°C で 5 分間熱処理を行って p 型オーミック電極を形成した。

[0091] 次に、レジストマスクを除去して実施例 1 と同様の条件で、裏面オーミック電極を形成した。

[0092] 次に、窓部を有するレジストマスクを用いて実施例 1 と同様の条件で、ショットキー電極を形成した。

[0093] 次に、ショットキー電極上に実施例 1 と同様の条件で、表面パッド電極を形成した。

以上のようにして、実施例 2 の炭化珪素半導体装置を得た。

[0094] (特性評価)

実施例 1 と同様の評価を行った。

超音波の出力 $1.9\ \text{W}$ 及び印加時間 $220\ \text{ms}$ 、出力 $4.7\ \text{W}$ 及び印

加時間 110 msec、出力 6.5 W 及び印加時間 110 msec、出力 7.4 W 及び印加時間 110 msec、出力 10.5 W 及び印加時間 110 msec の 5 つの条件のいずれでワイヤボンディングを行った場合も、順方向に 0.5 V の電圧 (V_f) を印加した際の順方向電流 (I_f) は 10^{-7} A/cm^2 であり、逆方向に 200 V の電圧 (V_r) を印加した際の逆方向電流 (I_r) は 10^{-8} A/cm^2 であり、順方向の電流電圧特性及び逆方向の電流電圧特性のいずれも良好だった。この結果により、超音波振動を利用したワイヤボンディングの際に素子が破壊されず、短絡がなかったことが確認できた。

なお、 I_f 及び I_r は、SBD の部分の構造に違いがない本実施形態においても第 1 の実施形態と同様になる。

[0095] (実施例 3)

実施例 3 は第 3 実施形態に係る、MPS 構造を有する炭化珪素半導体装置及び第 3 実施形態に係る炭化珪素半導体装置の製造方法の実施例である。

まず、SiC 単結晶基板（炭化珪素基板）上に CVD 法を用いて、一般に採用されている通常の成膜条件によって n 型エピタキシャル層を形成した。次に、CVD 法により、n 型エピタキシャル層上に酸化膜を形成した。次に、酸化膜上にレジストを塗布した後、フォトリソパターンを形成した。その後、酸化膜をドライエッチングして形成する p 型不純物領域パターン（複数の線幅 $10 \mu\text{m}$ の縞状パターン）に対応した窓部を形成した。次に、窓部が形成された酸化膜をマスクとして用いて、エッチングガスに SF_6 、希釈ガスに Ar、圧力は 1 Pa、RF 出力は 500 W の条件でドライエッチングにより、n 型エピタキシャル層の表面に 150 nm 程度の深さの窪み部を形成した。次に、同じマスクを用いて、p 型不純物となるアルミニウムを $2 \times 10^{19} \text{ cm}^{-2}$ のイオン注入量、300 nm の深さでイオン注入して窪み部に p 型不純物領域を形成した。次に、酸化膜を除去した後、1800 °C の熱処理を真空中で行い、アルミニウムイオンを活性化した。

[0096] 次に、窓部を有するフォトリソパターンのレジストマスクを用いて、

スパッタ法により、p型不純物領域を形成したn型エピタキシャル層上に、Tiを30nmの膜厚で成膜した。続いて、Ti膜上にAlを80nmの膜厚で成膜した。その後、900℃で5分間熱処理を行ってp型オーミック電極を形成した。

[0097] 次に、レジストマスクを除去して実施例1と同様の条件で、裏面オーミック電極を形成した。

[0098] 次に、窓部を有するレジストマスクを用いて実施例1と同様の条件で、ショットキー電極を形成した。

[0099] 次に、ショットキー電極上に実施例1と同様の条件で、表面パッド電極を形成した。

以上のようにして、実施例3の炭化珪素半導体装置を得た。

[0100] (特性評価)

実施例1と同様の評価を行った。

超音波の出力1.9W及び印加時間220msec、出力4.7W及び印加時間110msec、出力6.5W及び印加時間110msec、出力7.4W及び印加時間110msec、出力10.5W及び印加時間110msecの5つの条件のいずれでワイヤボンディングを行った場合も、順方向に0.5Vの電圧(V_f)を印加した際の順方向電流(I_f)は 10^{-7} A/cm^2 であり、逆方向に200Vの電圧(V_r)を印加した際の逆方向電流(I_r)は 10^{-8} A/cm^2 であり、順方向の電流電圧特性及び逆方向の電流電圧特性のいずれも良好だった。この結果により、超音波振動を利用したワイヤボンディングの際に素子が破壊されず、短絡がなかったことが確認できた。

なお、 I_f 及び I_r は、SBDの部分の構造に違いがない本実施形態においても第1及び第2の実施形態と同様になる。

[0101] (比較例)

比較例は、本発明に係る窪み部や凹部を有しない、MPS構造を有する従来の炭化珪素半導体装置及びその製造方法の例である。

まず、SiC単結晶基板（炭化珪素基板）上にCVD法を用いて、一般に採用されている通常の成膜条件によってn型エピタキシャル層を形成した。次に、CVD法により、n型エピタキシャル層上に酸化膜を形成した。次に、酸化膜上にレジストを塗布した後、フォトリソパターンを形成した。その後、酸化膜をドライエッチングして形成するp型不純物領域パターン（複数の線幅 $10\mu\text{m}$ の縞状パターン）に対応した窓部を形成した。

次に、窓部が形成された酸化膜をマスクとして用いて、p型不純物となるアルミニウムをイオン注入した。次に、酸化膜を除去した後、 1800°C の熱処理を真空中で行い、p型不純物領域を形成した。

[0102] 次に、窓部を有するフォトリソパターンのレジストマスクを用いて、実施例1と同様の条件で、p型オーミック電極を形成した。

[0103] 次に、レジストマスクを除去して、実施例1と同様の条件で、裏面オーミック電極を形成した。

[0104] 次に、窓部を有するレジストマスクを用いて、実施例1と同様の条件で、ショットキー電極を形成した。

[0105] 次に、ショットキー電極上に、実施例1と同様の条件で、表面パッド電極を形成した。

以上のようにして、比較例の炭化珪素半導体装置を得た。

[0106]（特性評価）

実施例1と同様の評価を行った。

超音波の出力 1.9W 及び印加時間 220msec 、出力 4.7W 及び印加時間 110msec 、出力 6.5W 及び印加時間 110msec 、出力 7.4W 及び印加時間 110msec 、出力 10.5W 及び印加時間 110msec の5つの条件のうち、出力 7.4W 及び印加時間 110msec の場合に、順方向に 0.5V の電圧（ V_f ）を印加した際の順方向電流（ I_f ）は $10^{-3}\text{A}/\text{cm}^2$ 以上、逆方向に 200V の電圧（ V_r ）を印加した際の逆方向電流（ I_r ）は $10^{-3}\text{A}/\text{cm}^2$ 以上のサンプルが3個中1個あり、出力 10.5W 及び印加時間 110msec で行った場合には全サンプル（5個

すべて)が順方向に0.5Vの電圧(V_f)を印加した際の順方向電流(I_f)は 10^{-3} A/cm^2 以上、逆方向に200Vの電圧(V_r)を印加した際の逆方向電流(I_r)は 10^{-3} A/cm^2 以上であった。

このように、順方向電流(I_f)が実施例の場合に比べて4桁も大きく増加し、逆方向電流(I_r)が実施例の場合に比べて5桁も大きく増加する場合が発生したのは、素子が破壊され、短絡してしまったためである。すなわち、ボンディングで破壊されると、本来SBDの部位を電流が流れるところ、両端を短絡する部分が発生して、その部分を電流が流れてしまったためである。

比較例の場合、順方向の電流電圧特性及び逆方向の電流電圧特性に異常があり、PNDの部位のp型オーミック電極の劣化が確認された。

[0107] 尚、p型オーミック電極を有しない以外は比較例と同様な条件で炭化珪素半導体装置を作製し、その炭化珪素半導体装置について特性評価を行ったところ、p型オーミック電極の劣化は確認されなかった。

産業上の利用可能性

[0108] 本発明は、炭化珪素半導体装置及びその製造方法に適用できる。

符号の説明

- [0109]
- 1 炭化珪素基板
 - 2 n型炭化珪素層
 - 2a n型炭化珪素層の表面
 - 2b 窪み部
 - 3, 23, 33 p型不純物領域
 - 3a, 23a, 33a 凹部
 - 4, 24, 34 p型オーミック電極
 - 4a, 24a, 34a p型オーミック電極の上面
 - 5 ショットキー電極
 - 6 表面パッド電極

請求の範囲

[請求項1]

炭化珪素基板と、
前記炭化珪素基板上に形成された n 型炭化珪素層と、
前記 n 型炭化珪素層の表面近傍に形成された p 型不純物領域と、
前記 p 型不純物領域上に形成された p 型オーミック電極と、
前記 p 型オーミック電極を覆うように前記 n 型炭化珪素層上に形成されたショットキー電極と、を備え、
前記 p 型オーミック電極は前記 p 型不純物領域の表面に設けられた凹部内に形成されており、
前記 p 型オーミック電極の上面は前記 n 型炭化珪素層の表面よりも低い位置にある、ことを特徴とする炭化珪素半導体装置。

[請求項2]

炭化珪素基板と、
前記炭化珪素基板上に形成された n 型炭化珪素層と、
前記 n 型炭化珪素層の表面に設けられた窪み部に形成されると共に、前記表面よりも低い位置に配置する p 型不純物領域と、
前記 p 型不純物領域上に形成された p 型オーミック電極と、
前記 p 型オーミック電極を覆うように前記 n 型炭化珪素層上に形成されたショットキー電極と、を備え、
前記 p 型オーミック電極は前記 p 型不純物領域の表面に設けられた凹部内に形成されており、
前記 p 型オーミック電極の上面は前記 n 型炭化珪素層の表面よりも低い位置にある、ことを特徴とする炭化珪素半導体装置。

[請求項3]

炭化珪素基板と、
前記炭化珪素基板上に形成された n 型炭化珪素層と、
前記 n 型炭化珪素層の表面に設けられた窪み部に形成されると共に、前記表面よりも低い位置に配置する p 型不純物領域と、
前記 p 型不純物領域上に形成された p 型オーミック電極と、
前記 p 型オーミック電極を覆うように前記 n 型炭化珪素層上に形成

されたショットキー電極と、を備え、

前記p型オーミック電極の上面は前記n型炭化珪素層の表面よりも低い位置にある、ことを特徴とする炭化珪素半導体装置。

[請求項4] 前記p型不純物領域は互いに離間して形成された複数の領域からなることを特徴とする請求項1から3のいずれか一項に記載の炭化珪素半導体装置。

[請求項5] 前記ショットキー電極上に表面パッド電極を備えたことを特徴とする請求項1から4のいずれか一項に記載の炭化珪素半導体装置。

[請求項6] 前記p型オーミック電極は直線状であることを特徴とする請求項1から5のいずれか一項に記載の炭化珪素半導体装置。

[請求項7] 前記p型オーミック電極がチタンとアルミニウムを含有する合金からなることを特徴とする請求項1から6のいずれか一項に記載の炭化珪素半導体装置。

[請求項8] 炭化珪素基板上にn型炭化珪素層を形成する工程と、
前記n型炭化珪素層の表面にドーパントを注入してp型不純物領域を形成する工程と、
前記p型不純物領域の表面に凹部を形成する工程と、
前記凹部内に、前記n型炭化珪素層の表面よりも低く配置するようにp型オーミック電極を形成する工程と、
前記p型オーミック電極を覆うように前記n型炭化珪素層上にショットキー電極を形成する工程と、を有すること特徴とする炭化珪素半導体装置の製造方法。

[請求項9] 炭化珪素基板上にn型炭化珪素層を形成する工程と、
前記n型炭化珪素層の表面に窪み部を形成する工程と、
前記窪み部にドーパントを注入してp型不純物領域を形成する工程と、
前記p型不純物領域の表面に凹部を形成する工程と、
前記凹部内のp型不純物領域上に、前記n型炭化珪素層の表面より

も低く配置するようにp型オーミック電極を形成する工程と、

前記p型オーミック電極を覆うように前記n型炭化珪素層上にショットキー電極を形成する工程と、を有すること特徴とする炭化珪素半導体装置の製造方法。

[請求項10]

炭化珪素基板上にn型炭化珪素層を形成する工程と、

前記n型炭化珪素層の表面に窪み部を形成する工程と、

前記窪み部にドーパントを注入してp型不純物領域を形成する工程と、

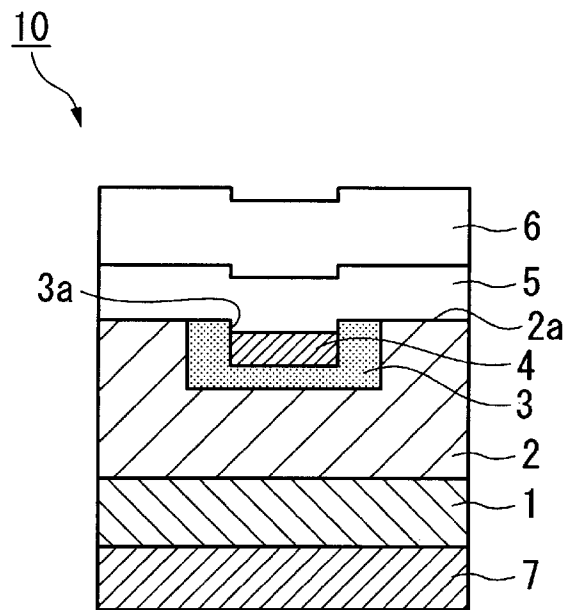
前記p型不純物領域上に、前記n型炭化珪素層の表面よりも低く配置するようにp型オーミック電極を形成する工程と、

前記p型オーミック電極を覆うように前記n型炭化珪素層上にショットキー電極を形成する工程と、を有すること特徴とする炭化珪素半導体装置の製造方法。

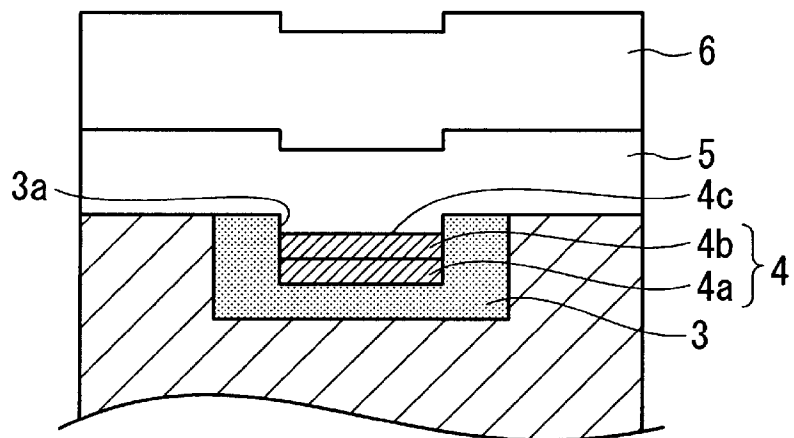
[請求項11]

前記p型オーミック電極を形成する工程が、チタン層、アルミニウム層を順に堆積し、熱処理によってそれらを合金化することを含むこと特徴とする請求項8から10のいずれか一項に記載の炭化珪素半導体装置の製造方法。

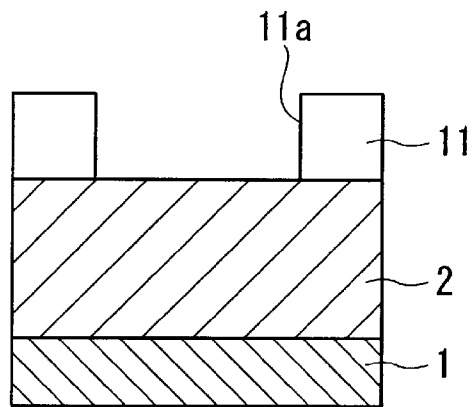
[図1]



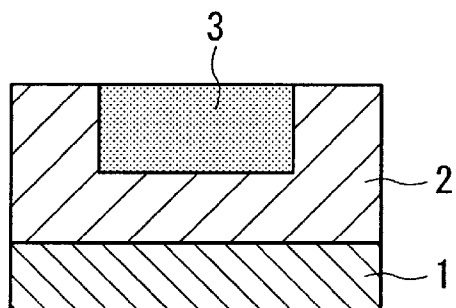
[図2]



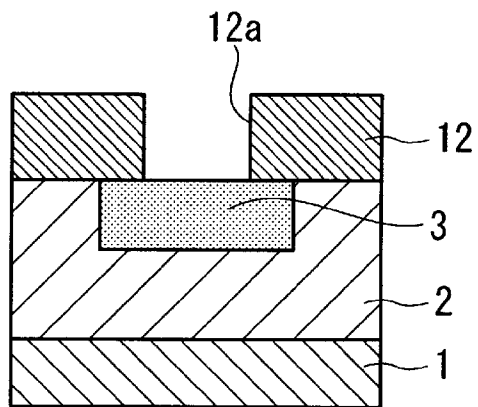
[図3]



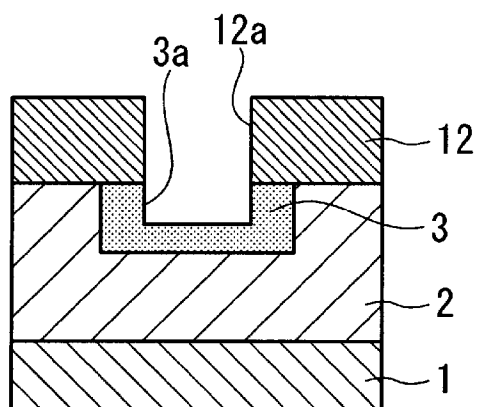
[図4]



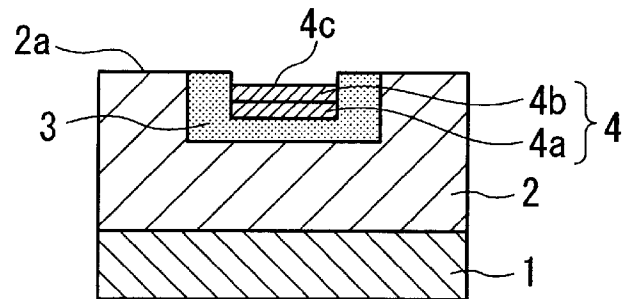
[図5]



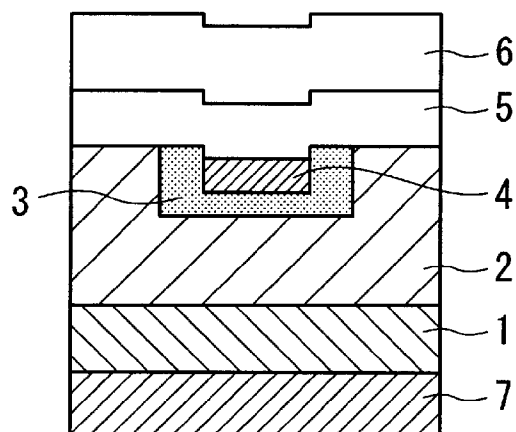
[図6]



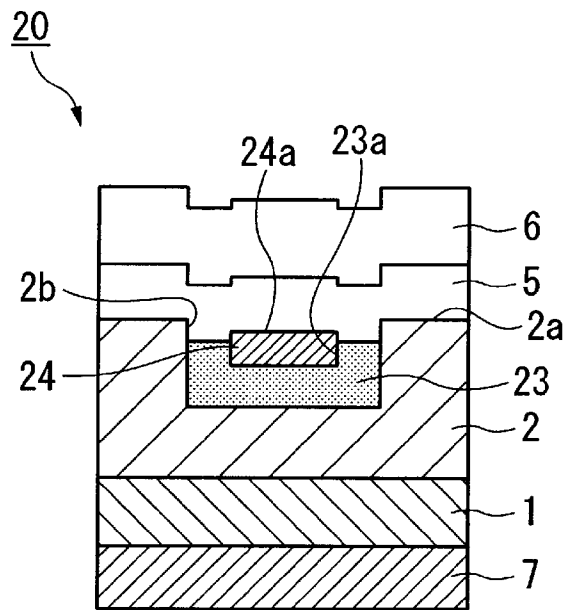
[図7]



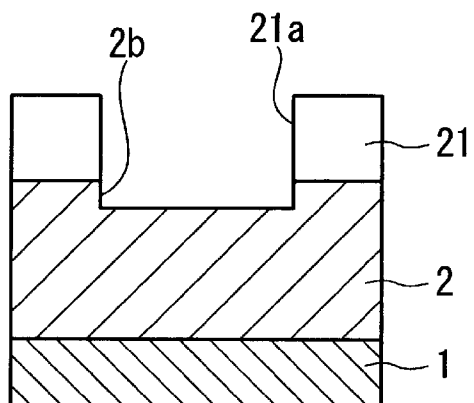
[図8]



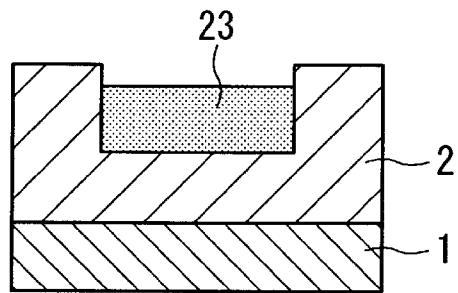
[図9]



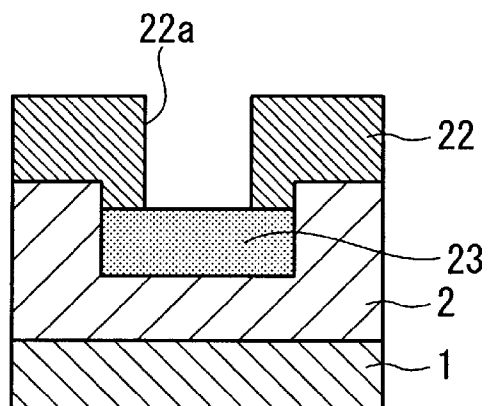
[図10]



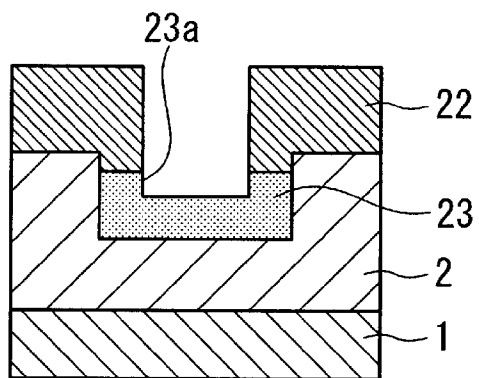
[図11]



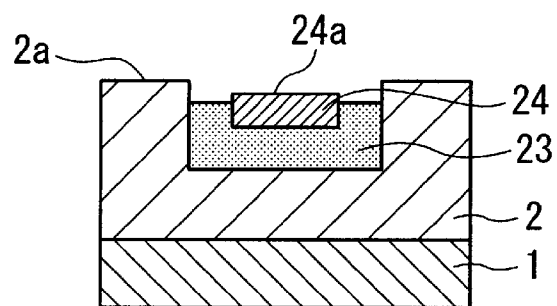
[図12]



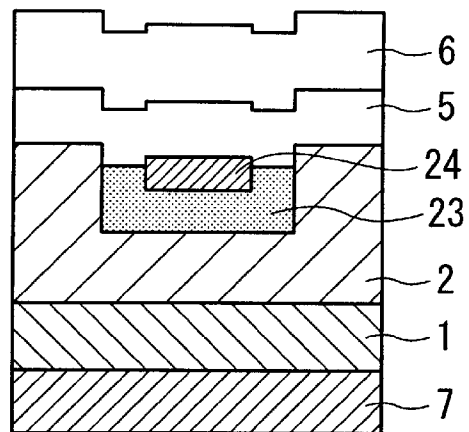
[図13]



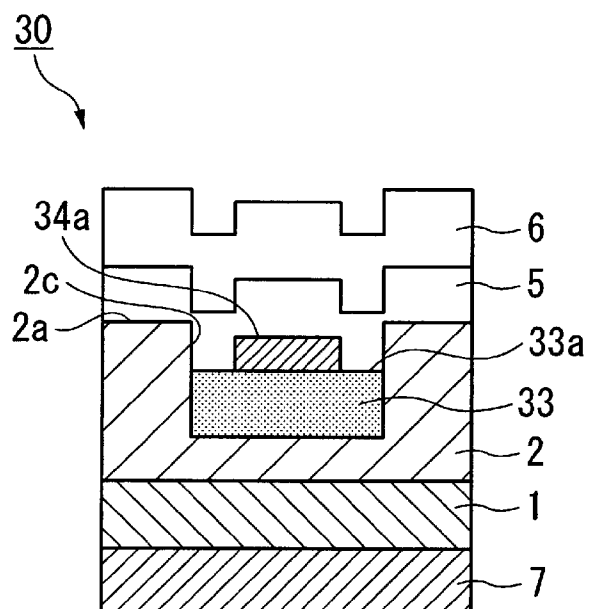
[図14]



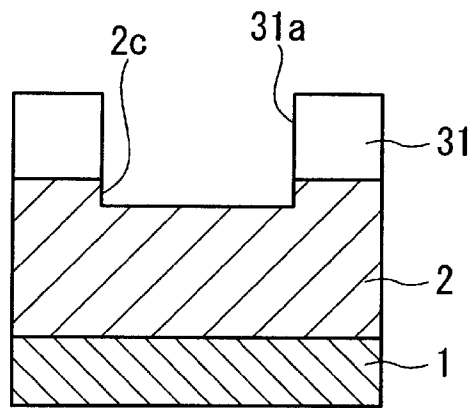
[図15]



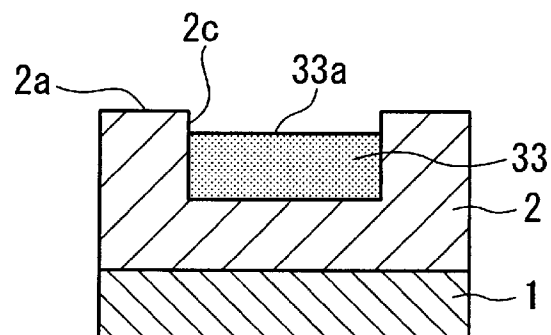
[図16]



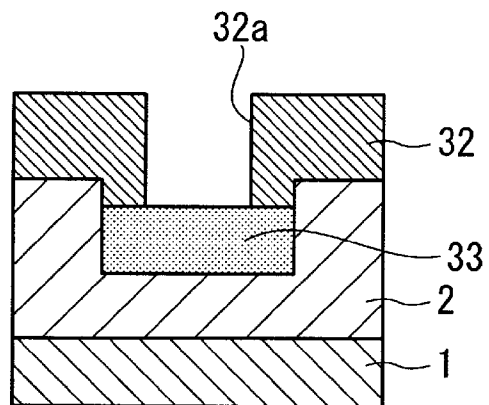
[図17]



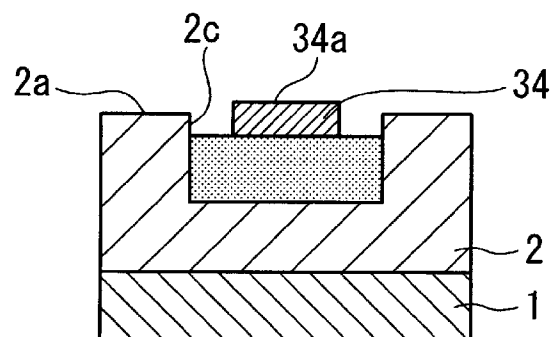
[図18]



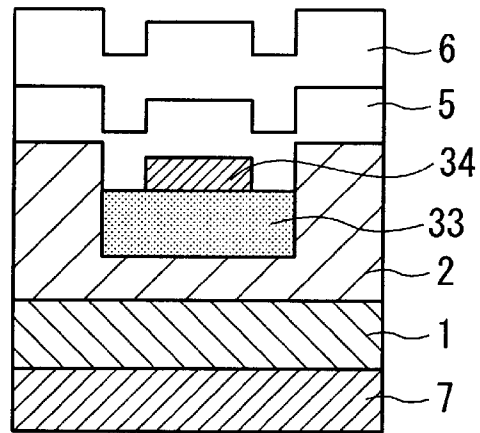
[図19]



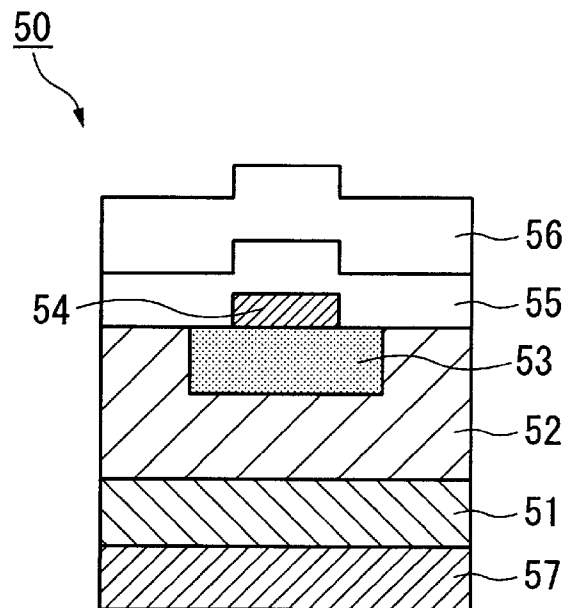
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/079480

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/47(2006.01)i, H01L21/28(2006.01)i, H01L29/41(2006.01)i, H01L29/861(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/47, H01L21/28, H01L29/41, H01L29/861, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-36052 A (Toshiba Corp.), 08 February 2007 (08.02.2007), paragraphs [0067] to [0068], [0012] to [0048]; fig. 13, 2 to 4 & US 2007/0023781 A1	3-4, 6, 10 1-2, 5, 7-9, 11
Y	JP 11-8399 A (Mitsubishi Electric Corp.), 12 January 1999 (12.01.1999), paragraphs [0068] to [0074]; fig. 10 to 16 & US 6501146 B1 & US 2003/0057482 A1 & DE 19801999 A1	1-2, 8-9
Y	JP 2009-521816 A (Qspeed Semiconductor Inc.), 04 June 2009 (04.06.2009), paragraphs [0011] to [0032]; fig. 1 & US 2007/0145429 A1 & WO 2007/075996 A2 & CN 101361194 A	5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 January, 2012 (18.01.12)

Date of mailing of the international search report
31 January, 2012 (31.01.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/079480

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-50267 A (Showa Denko Kabushiki Kaisha), 04 March 2010 (04.03.2010), paragraphs [0024] to [0029]; fig. 2 & EP 2320466 A1 & WO 2010/021136 A1 & KR 10-2011-0042112 A & CN 102124567 A	7, 11
A	JP 2002-319685 A (Fuji Electric Co., Ltd.), 31 October 2002 (31.10.2002), paragraphs [0002] to [0061]; fig. 1 to 19 (Family: none)	1-11
A	JP 6-29557 A (Fuji Electric Co., Ltd.), 04 February 1994 (04.02.1994), paragraphs [0002] to [0009]; fig. 3 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/47 (2006.01)i, H01L21/28 (2006.01)i, H01L29/41 (2006.01)i, H01L29/861 (2006.01)i,
H01L29/872 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/47, H01L21/28, H01L29/41, H01L29/861, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2007-36052 A (株式会社東芝) 2007.02.08, 段落番号[0067]-[0068], [0012]-[0048], 図 13, 2-4 & US 2007/0023781 A1	3-4, 6, 10 1-2, 5, 7-9, 11
Y	JP 11-8399 A (三菱電機株式会社) 1999.01.12, 段落番号[0068]-[0074], 図 10-16 & US 6501146 B1 & US 2003/0057482 A1 & DE 19801999 A1	1-2, 8-9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 1 . 2 0 1 2

国際調査報告の発送日

3 1 . 0 1 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

早川 朋一

4 L

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-521816 A (キュースピード セミコンダクター インコーポレーテッド) 2009.06.04, 段落番号[0011]-[0032], 図1 & US 2007/0145429 A1 & WO 2007/075996 A2 & CN 101361194 A	5
Y	JP 2010-50267 A (昭和電工株式会社) 2010.03.04, 段落番号[0024]-[0029], 図2 & EP 2320466 A1 & WO 2010/021136 A1 & KR 10-2011-0042112 A & CN 102124567 A	7, 11
A	JP 2002-319685 A (富士電機株式会社) 2002.10.31, 段落番号[0002]-[0061], 図1-19 (ファミリーなし)	1-11
A	JP 6-29557 A (富士電機株式会社) 1994.02.04, 段落番号[0002]-[0009], 図3 (ファミリーなし)	1-11