



(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
30.10.2002 Patentblatt 2002/44

(51) Int Cl.7: **G05F 3/00**

(21) Anmeldenummer: **02008935.5**

(22) Anmeldetag: **22.04.2002**

(84) Benannte Vertragsstaaten:
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE TR**
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(72) Erfinder: **Gregorius, Peter**
81476 München (DE)

(74) Vertreter: **Repkow, Ines, Dr. Dipl.-Ing. et al**
Jannig & Repkow
Patentanwälte
Klausenberg 20
86199 Augsburg (DE)

(30) Priorität: **24.04.2001 DE 10119858**

(71) Anmelder: **Infineon Technologies AG**
81669 München (DE)

(54) **Spannungsregler**

(57) Es wird ein Spannungsregler beschrieben, dessen Ausgangsspannung von der Ansteuerung eines im Spannungsregler enthaltenen Transistors abhängt. Der beschriebene Spannungsregler zeichnet sich da-

durch aus, daß er eine Stabilisierungsschaltung enthält, welche den durch den Transistor fließenden Strom verändern kann. Ein solcher Spannungsregler ist einfach entwerfbar und realisierbar, und ist bei minimalem Eigenenergiebedarf unter allen Umständen stabil.

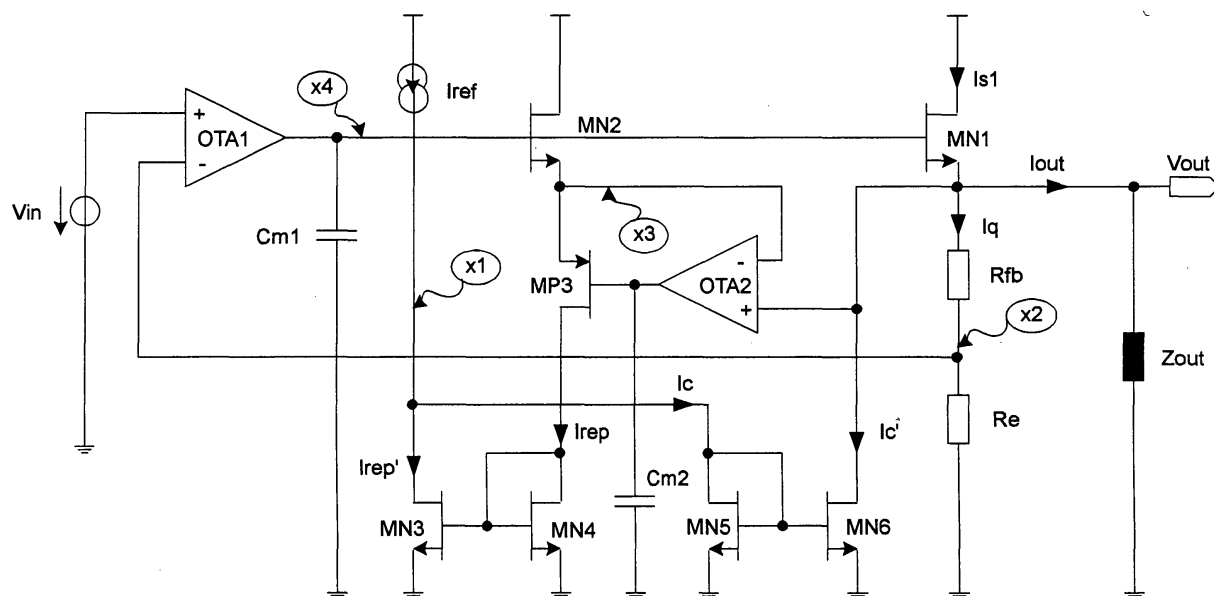


FIG. 1

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Vorrichtung gemäß dem Oberbegriff des Patentanspruchs 1, d.h. einen Spannungsregler, dessen Ausgangsspannung von der Ansteuerung eines im Spannungsregler enthaltenen Transistors abhängt.

[0002] Ein Spannungsregler dieser Art ist in Figur 5 dargestellt.

[0003] Die in der Figur 5 gezeigte Anordnung enthält einen Gleichspannungsregler und einen daran angeschlossenen Lastwiderstand Z_{out} .

[0004] Der Spannungsregler enthält einen Differenzverstärker (einen differentiellen Transkonduktanzverstärker) OTA1, einen NMOS-Transistor MN1, einen ersten Widerstand R_{fb} , einen zweiten Widerstand R_e , einen dritten Widerstand R_s , einen ersten Kondensator C_{s1} , einen zweiten Kondensator C_{s2} , und einen dritten Kondensator C_{s3} .

[0005] Der Spannungsregler erzeugt eine Ausgangsspannung V_{out} , welche am Sourceanschluß des Transistors MN1 abgegriffen wird, und welche der Last Z_{out} als Versorgungsspannung zugeführt wird. Der Drainanschluß des Transistors MN1 wird mit einer den Spannungsregler mit Energie versorgenden Versorgungsspannung beaufschlagt, und der Gateanschluß ist mit dem Ausgangsanschluß des Transkonduktanzverstärkers OTA1 verbunden. Der Transkonduktanzverstärker OTA1 weist zwei Eingangsanschlüsse auf, von welchen einem eine Eingangsspannung V_{in} zugeführt wird, und von welchen dem anderen eine von der Ausgangsspannung V_{out} abhängende (rückgekoppelte) Spannung zugeführt wird; der Transkonduktanzverstärker OTA1 bildet die Differenz zwischen diesen Spannungen und gibt das Ergebnis an den Gateanschluß des Transistors MN1 aus. Die rückgekoppelte Spannung wird an einem zwischen den Widerständen R_{fb} und R_e liegenden Knotenpunkt x_2 abgegriffen; die Widerstände R_{fb} und R_e sind in Reihe geschaltet und zwischen dem Sourceanschluß des Transistors MN1 und Masse angeordnet.

[0006] Figur 6 zeigt das Kleinsignal-Ersatzschaltbild der in der Figur 5 gezeigten Anordnung.

[0007] Der beschriebene Spannungsregler ist ein Serienregler (Series Voltage Regulator) mit einem NMOS-Transistor in Drain-Grundsaltung als Treiberstufe. Es dürfte einleuchten und bedarf keiner näheren Erläuterung, daß der gezeigte Spannungsregler in der Lage ist, eine alleine von V_{in} und dem (durch die Widerstände R_{fb} und R_e bestimmten) Rückkoppelfaktor abhängende konstante Ausgangsspannung V_{out} zu erzeugen. Dies ist jedoch insbesondere bei komplexen Lasten Z_{out} , d.h. bei Lasten mit induktiven und/oder kapazitiven Komponenten nicht unter allen Umständen gewährleistet: das System kann in diesem Fall instabil werden.

[0008] Die Stabilitätsprobleme würden nicht auftreten, wenn durch eine geeignete Dimensionierung von R_{fb} und R_e dafür gesorgt werden würde, daß der durch den Transistor MN1 fließende Strom I_{s1} auch bei großem Z_{out} , also geringem Laststrom, einen gewissen Minimalwert nicht unterschreitet, der Transistor MN1 also eine gewisse Mindeststeilheit (einen gewissen Mindest-Ausgangsleitwert) aufweist. Das Vorsehen eines über den Transistor MN1 und die Widerstände R_{fb} und R_e fließenden großen (Quer)Stromes ist allerdings mit diversen Nachteilen verbunden. Insbesondere hat ein solcher Spannungsregler einen hohen Eigenenergiebedarf und muß der Transistor MN1 größer ausgebildet werden als es bei einem geringen Querstrom der Fall wäre. Zudem steht der notwendige Mindest-Querstrom zur Sicherstellung der Stabilität nicht zum Treiben der Last Z_{out} zur Verfügung.

[0009] Die Abhängigkeit der Stabilität des Spannungsreglers vom Mindest-Querstrom läßt sich wie folgt erklären:

[0010] Die Anordnung nach Figur 5 kann vereinfacht als Zweipolssystem verstanden werden. Das Stabilitätskriterium fordert hierbei, dass die beiden Pole mindestens um einen Faktor von $n \geq 10$ auseinander liegen.

[0011] Der erste Pol f_{p1} ergibt sich vereinfacht nach Gleichung 1.1.

$$f_{p1} \cong \frac{1}{2 \cdot \pi \cdot C_{m1} \cdot 1/gm_{OTA1}} \quad (1.1)$$

[0012] Es ist zu erkennen, daß der erste dominante Pol von der Steilheit gm des Transkonduktanzverstärkers OTA1 als auch von der Stabilisierungskapazität C_{m1} bestimmt wird. In der Praxis ist der erste Pol invariant. er wird bestimmt durch die notwendige Bandbreite der Anordnung.

[0013] Der zweite Pol wird vereinfacht bestimmt durch die Lastkapazität C_{out} am Ausgang V_{out} , die Lastimpedanz Z_{out} , und den Ausgangsleitwert g_{ds} des treibenden Transistor MN1. Die Gleichung 1.2 gibt den mathematischen Zusammenhang zur Errechnung des zweiten Pols wieder.

$$f_{p2} \cong \frac{1}{2 \cdot \pi \cdot C_{out} \cdot (1/g_{ds_{MN1}} \| Z_{out} \| (R_e + R_{fb}))} \quad (1.2)$$

[0014] Mit der vorstehend erwähnten vereinfachten Dimensionierungsvorschrift, wonach bei gegebener Last $f_{p2} \geq 10 \cdot f_{p1}$ gelten soll, kann der notwendige Mindest-Querstrom und somit der Widerstandswert R_{min} (die Summe der

Widerstände R_e und R_{fb}) errechnet werden.

[0015] Der zweite Pol f_{p2} hängt direkt proportional vom Ausgangsleitwert des treibenden Transistors ab. Der Mindest-Ausgangsleitwert des Transistors ist direkt proportional zum eingestellten Mindest-Querstrom $I_q = I_{s1}$ und somit letztendlich die Mindest-Phasenreserve der Anordnung.

[0016] Diese Zusammenhänge sind, wie vorstehend bereits erläutert wurde, nachteilig.

[0017] Man ist daher schon seit langem auf der Suche nach Alternativen zur Beeinflussung der Stabilität von Spannungswandlern, die diese Nachteile nicht aufweisen.

[0018] Eine Möglichkeit hierfür besteht im Vorsehen von zusätzlichen Elementen, durch welche sich auf die Übertragungsfunktion des Systems, genauer gesagt auf die Lage der Pol- und Nullstellen derselben Einfluß nehmen läßt um somit eine Mindest-Phasenreserve zur Stabilisierung zu garantieren. Bei dem in der Figur 5 gezeigten Spannungsregler wurde von dieser Möglichkeit Gebrauch gemacht. Die zusätzlichen Elemente umfassen den Widerstand R_s und die Kondensatoren C_{s1} , C_{s2} , und C_{s3} . Von den genannten Elementen sind

- der Widerstand R_s und der Kondensator C_{s1} in Reihe geschaltet und zwischen dem Ausgangsanschluß des Transkonduktanzverstärkers OTA1 und Masse angeordnet,
- der Kondensator C_{s2} zwischen dem Rückkoppelzweig und Masse angeordnet, und
- der Kondensator C_{s3} parallel zum Widerstand R_{fb} angeordnet.

Durch die genannten Elemente kann Einfluß auf die Lage der Pol- und Nullstellen der Übertragungsfunktion und damit auch auf das Stabilitätsverhalten des Systems genommen werden. Allerdings ist es schwierig und aufwendig, und teilweise sogar unmöglich, die genannten Elemente so zu dimensionieren, daß der Spannungsregler über den gesamten Lastbereich stabil arbeitet.

Es existiert eine Vielzahl von Veröffentlichungen, in welchen diese und weitere Möglichkeiten zur Stabilisierung von Spannungsreglern beschrieben sind. Es wird beispielsweise auf

- Thomas M. Frederiksen: "A Monolithic High-Power Series Voltage Regulator", IEEE Journal of Solid-State Circuits, Dezember 1968, Seite 380 ff.,
 - Gabriel A. Rincon-Mora et al.: "A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator", IEEE Journal of Solid-State Circuits, Vol.33, No. 1., January 1998, Seiten 36 ff., und
 - Gerrit W. den Besten et al.: "Embedded 5V-to-3.3V Voltage Regulator for Supplying Digital IC's in 3.3V CMOS Technology", IEEE Journal of Solid-State Circuits, Vol 33, No. 7, July 1998, Seite 956 ff.
- und die darin genannten weiteren Fundstellen verwiesen.

[0019] Unter den bekannten Möglichkeiten zur Stabilisierung von Spannungsreglern befindet sich keine, die einfach entwerfbar und realisierbar ist und bei geringem Eigenenergiebedarf eine unter allen Umständen zuverlässige Stabilisierung gewährleisten kann.

[0020] Die gilt nicht nur für den vorstehend beschriebenen Series Voltage Regulator, sondern auch für die sogenannten Low Drop Output Regulators (LDO-Regler), welche als treibenden Transistor einen PMOS-Transistor in Source-Grundsaltung aufweisen.

[0021] Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, den Spannungsregler gemäß dem Oberbegriff des Patentanspruchs 1 derart weiterzubilden, daß dieser bei minimalem Eigenenergiebedarf eine unter allen Umständen zuverlässige Stabilisierung gewährleisten kann, und zudem einfach entwerfbar und realisierbar ist.

[0022] Diese Aufgabe wird erfindungsgemäß durch den in Patentanspruch 1 beanspruchten Spannungsregler gelöst.

[0023] Der erfindungsgemäße Spannungsregler zeichnet sich dadurch aus, daß er eine Stabilisierungsschaltung enthält, welche den durch den Transistor fließenden Strom verändern kann.

[0024] Die Stabilisierungsschaltung kann dafür sorgen, daß der durch den Transistor fließende Strom in Phasen, und zwar nur in Phasen, in welchen dieser zu klein wäre, um einen stabilen Betrieb des Spannungsreglers zu gewährleisten, erhöht wird.

[0025] Dadurch entfällt die Notwendigkeit, den Transistor dauerhaft von einem hohen Querstrom durchfließen zu lassen. Der Spannungsregler kann so aufgebaut werden, daß der Querstrom, der den Transistor durchfließt, in Phasen, in welchen er durch die Stabilisierungsschaltung nicht erhöht wird, sehr gering ist, wodurch der den Transistor durchfließende Strom bei großen Lasten nur unwesentlich größer ist als der von der Last gezogene Strom.

[0026] Dies hat den positiven Effekt, daß der Transistor in alleiniger Abhängigkeit von der maximalen Last dimensioniert werden kann, also nicht aus Gründen der Stabilität des Spannungsreglers größer ausgebildet werden muß. Darüber hinaus hat der erfindungsgemäße Spannungsregler einen geringeren Eigenenergiebedarf, denn das Fließen

des zusätzlichen Querstromes wird ja nur in bestimmten Phasen veranlaßt.

[0027] Die Stabilisierungsschaltung ist darüber hinaus einfach entwerfbar und realisierbar und problemlos an die jeweiligen Gegebenheiten anpaßbar. Sie kann darüber hinaus im wesentlichen unverändert bei allen Arten von Spannungsreglern eingesetzt werden, deren Ausgangsspannung von der Ansteuerung eines Transistors abhängt.

[0028] Vorteilhafte Weiterbildungen der Erfindung sind den Unteransprüchen, der folgenden Beschreibung und den Figuren entnehmbar.

[0029] Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen unter Bezugnahme auf die Figuren näher erläutert. Es zeigen

Figur 1 einen Series Voltage Regulator mit einer im folgenden näher beschriebenen Stabilisierungsschaltung,

Figur 2 einen Low Drop Output Regulator mit der im folgenden näher beschriebenen Stabilisierungsschaltung,

Figur 3 die zeitlichen Verläufe ausgewählter Ströme und Spannungen in der in der Figur 1 gezeigten Anordnung,

Figur 4 einen Series Voltage Regulator mit einer modifizierten Stabilisierungsschaltung,

Figur 5 einen herkömmlichen Series-Voltage Regulator, und

Figur 6 ein vereinfachtes Kleinsignal-Ersatzschaltbild der in der Figur 5 gezeigten Anordnung.

[0030] Die im folgenden beschriebenen Spannungsregler sind Gleichspannungsregler. Es sei jedoch bereits an dieser Stelle darauf hingewiesen, daß sich die Besonderheiten der im folgenden beschriebenen Spannungsregler auch bei Spannungsreglern für zeitlich variierende Spannungen einsetzen lassen.

[0031] In Figur 1 ist eine Anordnung gezeigt, welche einen besonders stabilisierten Spannungsregler und einen daran angeschlossenen Lastimpedanz Z_{out} umfaßt.

[0032] Der Spannungsregler ist ein Series-Voltage Regulator, der wie der in der Figur 5 gezeigte und eingangs unter Bezugnahme darauf beschriebene Spannungsregler einen Differenzverstärker (einen differentiellen Transkonduktanzverstärker) OTA1, einen NMOS-Transistor MN1, einen ersten Widerstand R_{fb} und einen zweiten Widerstand R_e enthält, welche auch wie bei dem in der Figur 5 gezeigten Spannungsregler verschaltet sind und kooperieren. Der in der Figur 1 gezeigte Spannungsregler enthält darüber hinaus eine Stabilisierungsschaltung, welche jedoch völlig anders aufgebaut ist und arbeitet als die zur Stabilisierung dienenden Elemente R_s , C_{s1} , C_{s2} und C_{s3} des Spannungsreglers gemäß Figur 5.

[0033] Die Stabilisierungsschaltung besteht aus einem zweiten Differenzverstärker (einem zweiten differentiellen Transkonduktanzverstärker) OTA2, NMOS-Transistoren MN2, MN3, MN4, MN5, und MN6, und einem PMOS-Transistor MP3.

[0034] Vom Transistor MN2 ist der Drainanschluß mit einer den Spannungsregler mit Energie versorgenden Versorgungsspannung beaufschlagt, ist der Gateanschluß mit dem Ausgangsanschluß des ersten Transkonduktanzverstärkers OTA1 verbunden, und ist der Sourceanschluß mit einem Knotenpunkt x_3 verbunden.

[0035] Vom Transistor MP3 ist der Sourceanschluß mit dem Knotenpunkt x_3 verbunden, ist der Gateanschluß mit dem Ausgangsanschluß des zweiten Transkonduktanzverstärkers OTA2 verbunden, und ist der Drainanschluß mit dem Sourceanschluß des Transistors MN4 verbunden.

[0036] Der Transkonduktanzverstärker OTA2 weist zwei Eingangsanschlüsse auf, von welchem einem die sich am Knotenpunkt x_3 einstellenden Spannung zugeführt wird, und von welchem dem anderen die Spannung V_{out} zugeführt wird; der Transkonduktanzverstärker OTA2 bildet die Differenz zwischen diesen Spannungen und gibt diese an den Gateanschluß des Transistors MP3 aus.

[0037] Der (sourceseitig auf Masse liegende) Transistor MN4 ist mit dem Transistor MN5 zu einem Stromspiegel verschaltet, wobei ein den Transistor MN4 durchfließender Strom I_{rep} bewirkt, daß der Transistor MN3 von einem Strom I_{rep}' durchflossen wird.

[0038] Der Drainanschluß des (sourceseitig ebenfalls auf Masse liegenden) Transistors MN3 ist mit einem Knotenpunkt x_1 verbunden. Mit diesem Knotenpunkt x_1 sind ferner eine einen Strom I_{ref} ausgebende Referenzstromquelle sowie der Drainanschluß des Transistors MN5 verbunden.

[0039] Der (sourceseitig auf Masse liegende) Transistor MN5 ist mit dem Transistor MN6 zu einem Stromspiegel verschaltet, wobei ein den Transistor MN5 durchfließender Strom I_c bewirkt, daß der Transistor MN6 von einem Strom I_c' durchflossen wird.

[0040] Der Drainanschluß des (sourceseitig ebenfalls auf Masse liegenden) Transistors MN6 ist mit dem Drainanschluß des Transistors MN1 verbunden; dieser Transistor MN6 stellt für den Transistor MN1 eine zusätzliche Last dar, durch welche bei gleichbleibender Ansteuerung des Transistors MN1 die Größe des durch den Transistor MN1 flie-

ßenden Stromes I_{s1} veränderbar ist.

[0041] Der Transistor MN1 wird von einem Strom durchflossen, der der Summe der Ströme $I_{c'}$, I_q , und I_{out} entspricht, wobei $I_{c'}$ der über den Transistor MN6 fließende Strom ist, I_q der über den Spannungsteiler R_{fb} , R_e fließende Strom ist, und I_{out} der die Last Z_{out} durchfließende Strom ist.

[0042] Der Transkonduktanzverstärker OTA2 und der Transistor MP3 sorgen dafür, daß sich am Sourceanschluß des Transistors MN2 (am Knotenpunkt x3) das selbe Potential einstellt wie am Sourceanschluß des Transistors MN1. D.h., daß sich auch am Knotenpunkt x3 das Potential V_{out} einstellt. Vereinfacht läßt sich die Anordnung von Transkonduktanzverstärker OTA2 und Transistor MP3 als Spannungsfolger auffassen der eine Replika der Ausgangsspannung V_{out} am Knoten x3 erzeugt. Die Transistoren MN1 und MN2 befinden sich somit spannungsmäßig im gleichen Arbeitspunkt, was der Verbesserung des Gleichlaufs beider Transistoren zueinander dient.

[0043] Deshalb, und weil der Transistor MN2 durch das selbe Signal wie der Transistor MN1 gateseitig angesteuert wird, wird der Transistor MN2 von einem Strom durchflossen, der in einem bestimmten Verhältnis zu dem den Transistor MN1 durchfließenden Strom steht. Der Transistor ist vorzugsweise sehr viel schwächer ausgebildet als der Transistor MN1, so daß der den Transistor MN2 durchfließende Strom I_{rep} sehr viel kleiner ist als der den Transistor MN1 durchfließende Strom $I_{c'} + I_q + I_{out}$. Der Transistor MN2 stellt somit einen Replikastrom I_{rep} zum Transistor MN1 durchfließende Strom $I_{c'} + I_q + I_{out}$ her.

[0044] Der den Transistor MN2 durchfließende Strom I_{rep} fließt auch durch den Transistor MP3 und den Transistor MN4. Das Fließen des Stromes I_{rep} durch den Transistor MN4 bewirkt, daß der Transistor MN3 durch einen in einem bestimmten Verhältnis zum Strom I_{rep} stehenden Strom $I_{rep'}$ durchflossen wird.

[0045] Wenn der Strom $I_{rep'}$ größer als oder gleich groß wie der Strom I_{ref} ist, wird der Knotenpunkt x1 auf Massepotential gezogen, wodurch der vom Knoten x1 zum Sourceanschluß des Transistors MN5 fließende Strom I_c und damit auch der gespiegelte Strom $I_{c'}$ zu 0 werden und durch den Transistor MN1 kein zusätzlicher Querstrom fließt. Dies ist der Fall wenn die Lastimpedanz Z_{out} klein genug, d.h. der Laststrom I_{out} groß genug ist.

[0046] Wenn andererseits der Strom $I_{rep'}$ kleiner als der Strom I_{ref} ist, fließt vom Knoten x1 ein der Differenz von $I_{rep'}$ und I_{ref} entsprechender Strom I_c durch den Transistor MN5. Das Fließen des Stromes I_c durch den Transistor MN5 bewirkt, daß der Transistor MN6 durch einen in einem bestimmten Verhältnis zum Strom I_c stehenden Strom $I_{c'}$ durchflossen wird. Dadurch wird der Transistor MN1 durch einen zusätzlichen Querstrom $I_{c'}$ durchflossen. Dies ist der Fall wenn die Lastimpedanz Z_{out} groß, d.h. der Laststrom I_{out} klein ist.

[0047] Durch die Stabilisierungsschaltung kann also erreicht werden, daß der Transistor MN1 von einem zusätzlichen Querstrom $I_{c'}$ durchflossen wird, wenn die Summe der Ströme I_{out} und I_q klein ist, und daß der Transistor MN1 von keinem zusätzlichen Querstrom $I_{c'}$ durchflossen wird, wenn die Summe der Ströme I_{out} und I_q groß ist, genauer gesagt groß genug ist, um einen stabilen Betrieb des Spannungsreglers zu gewährleisten.

[0048] Darüber hinaus enthält der Spannungsregler gemäß Figur 1 noch Kondensatoren C_{m1} und C_{m2} , über welche die Ausgangsanschlüsse der Transkonduktanzverstärker OTA1 und OTA2 mit Masse verbunden sind, und welche zur Frequenzkompensation der Transkonduktanzverstärker OTA1 und OTA2 dienen.

[0049] Im wesentlichen die selbe Stabilisierungsschaltung kann bei einem sogenannten Low Drop Output Regulator zum Einsatz kommen. Ein Low Drop Output Regulator mit einer Stabilisierungsschaltung, welche der vorstehend beschriebenen Stabilisierungsschaltung entspricht, ist in Figur 2 dargestellt.

[0050] Die in der Figur 2 dargestellte Anordnung unterscheidet sich von der in der Figur 1 dargestellten Anordnung nur dadurch,

- daß anstelle des NMOS-Treibertransistors MN1 in Drain-Grundsaltung ein PMOS-Treibertransistor MP1 in Source-Grundsaltung verwendet wird, und
- daß die Frequenzkompensation des ersten Transkonduktanzverstärkers OTA1 durch eine zwischen dem Ausgangsanschluß des Transkonduktanzverstärkers OTA1 und dem Ausgangsanschluß des Spannungsreglers (dem Drainanschluß des Transistors MP1) angeordnete Reihenschaltung eines Kondensators C_{m1} und eines Widerstandes R_{m1} erfolgt (Stichwort: Millerkompensation bzw. Polsplitting).

[0051] Die Funktion der in den Figur 1 und 2 gezeigten Anordnungen und deren Dimensionierung werden im folgenden nochmals detaillierter beschrieben.

[0052] Die Ausgangsspannung V_{out} des Spannungsreglers ergibt sich unter Vernachlässigung von Nichtidealitäten zu:

$$V_{out} \equiv V_{in} * \frac{R_{fb} + R_e}{R_e} \quad (1.3)$$

[0053] Bei sich ändernder Last verändert sich die Ausgangsspannung V_{out} . Der Transkonduktanzverstärker OTA1

(auch Fehlerverstärker genannt) regelt die Gate-Source-Spannung des Transistors MN1 (MP1) nach, bis sich am Ausgang die Spannung erneut auf den Nominalwert eingestellt hat.

[0054] Wenn der Laststrom I_{out} oberhalb einer unteren Schwelle I_{outmin} liegt, ist der Strom $I_{c'}$ gleich 0, und gilt für die Summe der Ströme am im folgenden als Knoten Vout bezeichneten Abgriffspunkt von Vout:

$$I_{out} + I_q - I_{s1} = 0 \quad (1.4)$$

[0055] Der durch den Transistor MN2 fließende Strom ergibt sich unter Vernachlässigung von Nichtidealitäten (Mismatch etc.) als:

$$I_{rep} \equiv \frac{\beta_{n_{MN2}} * W_{MN2} * L_{MN1}}{\beta_{n_{MN1}} * W_{MN1} * L_{MN2}} * I_{s1} \quad (1.5)$$

[0056] wobei W die Breite des im jeweiligen Index genannten Transistors, L die Länge des im jeweiligen Index genannten Transistors, und β die Prozesskonstante des im jeweiligen Index genannten Transistors und Transistortyps bezeichnen. Zur Vereinfachung wird davon ausgegangen, dass die Prozesskonstante für Transistoren gleichen Typs identisch sind und somit, wenn nicht erforderlich, nachfolgend nicht genannt werden.

[0057] Der Strom I_{s1} ist minimal, wenn I_{out} und $I_{c'}$ gleich 0 sind und beträgt

$$\begin{aligned} I_{s1_{min}} &= \frac{V_{out}}{R_{fb} + R_e} \\ &= V_{in} * \frac{(R_{fb} + R_e)}{R_e} * \frac{1}{(R_{fb} + R_e)} \\ &= \frac{V_{in}}{R_e} \end{aligned} \quad (1.6)$$

[0058] Der sich bei $I_{s1} = I_{s1min}$ einstellende Strom I_{rep} beträgt (siehe Gleichungen 1.5 und 1.6)

$$I_{rep_{min}} = \frac{W_{MN2} * L_{MN1}}{W_{MN1} * L_{MN2}} * \frac{V_{in}}{R_e} \quad (1.7)$$

Ferner gilt

$$I_{ref} - I_c - I_{rep'} = 0 \quad (1.8)$$

$$I_{rep'} \equiv \frac{W_{MN3} * L_{MN4}}{W_{MN4} * L_{MN3}} I_{rep} \quad (1.9)$$

$$I_{c'} \equiv \frac{W_{MN6} * L_{MN5}}{W_{MN5} * L_{MN6}} I_c \quad (1.10)$$

[0059] Nimmt der Laststrom I_{out} ausgehend von einem Maximalwert ab, so sinkt der Strom I_{s1} im Transistor MN1 (MP1) und somit auch der Strom im Transistor MN2. Wenn der Strom $I_{rep'}$ kleiner als I_{ref} wird, steigt das Potential am Knoten x1. Wird die sich am Knoten x1 einstellende Spannung $V(x1)$ größer als V_{thn} (Schwellspannung des Transistors MN5), so fließt durch den Transistor MN5 ein Strom I_c , und durch den Transistor MN6 ein Strom $I_{c'}$. In diesem Moment setzt sich der Strom im Knoten Vout wie folgt zusammen.

$$I_{out} + I_q + I_{c'} - I_{s1} = 0 \quad (1.11)$$

[0060] Aus den Gleichungen 1.3 bis 1.11 ergibt sich

$$I_{rep'} \cong \left[\left(\frac{W_{MN2} * L_{MN1}}{W_{MN1} * L_{MN2}} \right) * (I_{out} + \frac{V_{in}}{R_e}) \right] * \frac{W_{MN3} * L_{MN4}}{W_{MN4} * L_{MN3}} \quad (1.12)$$

$$I_{c'} \cong \left(I_{ref} - \left[\left(\frac{W_{MN2} * L_{MN1}}{W_{MN1} * L_{MN2}} \right) * (I_{out} + \frac{V_{in}}{R_e}) \right] * \frac{W_{MN3} * L_{MN4}}{W_{MN4} * L_{MN3}} \right) * \frac{W_{MN6} * L_{MN5}}{W_{MN5} * L_{MN6}} \quad (1.13)$$

[0061] Daraus ergeben sich nun die Bedingungen für den Strom $I_{c'}$:

$$\text{für } I_{out} < I_{ref} * \frac{W_{MN1} * L_{MN2}}{W_{MN2} * L_{MN1}} * \frac{W_{MN4} * L_{MN3}}{W_{MN3} * L_{MN4}} - I_q \Rightarrow I_{c'} > 0 \quad (1.14a)$$

$$\begin{aligned} &\text{für } I_{out} > I_{ref} * \frac{W_{MN1} * L_{MN2}}{W_{MN2} * L_{MN1}} * \frac{W_{MN4} * L_{MN3}}{W_{MN3} * L_{MN4}} - I_q \\ &\Rightarrow I_{c'} = 0 \end{aligned} \quad (1.14b)$$

[0062] Mit den Gleichung 1.14a und 1.14b kann nun unter Berücksichtigung der zur Stabilität notwendigen Steilheit des Transistors MN1 (MP1) die Schaltung dimensioniert werden.

[0063] Zunächst wird beschrieben, wie sich der notwendige Strom $I_{c'}$ aus der Forderung nach der Stabilität und somit einer Mindestphasenreserve ermitteln läßt. Dabei wird davon ausgegangen, daß der Transkonduktanzverstärker OTA1 eine vereinfachte Übertragungsfunktion mit einem dominanten Pol besitzt. Parasitäre Pole und Nullstellen werden nicht berücksichtigt.

[0064] Die Laplace-Übertragungsfunktion im Frequenzbereich des Transkonduktanzverstärkers ist dann

$$A_{OTA1}(s) \cong \frac{1}{1 + s * C_{m1} * 1/gm_{OTA1}} \quad (1.15)$$

und deren Polfrequenz beträgt

$$f_{p1} = \frac{1}{2 * \pi * C_{m1} * 1/gm_{OTA1}} \quad (1.16)$$

wobei $g_{m_{OTA1}}$ die Steilheit des Transkonduktanzverstärkers OTA1 bezeichnet.

[0065] Für die weiteren Betrachtungen wird vorerst die Frequenzgangkompensationsschaltung, bestehend aus C_{m1} und R_{m1} vernachlässigt. Für den Transkonduktanzverstärker OTA1 und die Ausgangsstufe kann man folgende Festlegungen treffen:

$$R1 = \frac{1}{g_{dsp}} + \frac{1}{g_{dsn}} \quad (1.17)$$

$$C1 = C_{gs_{MP1}} + C_{gd_{MP1}} * (1 + |A_{v11_{MP1}}|) \quad (1.18)$$

$$R2 = \frac{1}{g_{ds_{MP1}}} \parallel R_{out} \parallel R_{min}; R_{min} = \frac{V_{in}}{I_{s_{min}}} \quad (1.19)$$

$$C2 = C1 + C_{gd_{MP1}} * (1 + |A_{v11_{MP1}}|) \quad (1.20)$$

$$A_{v11} = g_{m_{MP1}} * \left(\frac{1}{g_{ds_{MP1}}} \parallel R_{min} \right) \quad (1.21)$$

wobei

- R1 den Ausgangswiderstand des Transkonduktanzverstärkers OTA1,
- g_{dsp} den Ausgangsleitwert eines P-Kanal MOS-Transistors,
- g_{dsn} den Ausgangsleitwert eines N-Kanal MOS-Transistors,
- C1 die Summe der Lastkapazitäten am Knoten X4 (Ausgang OTA1),
- $C_{gs_{MP1}}$ die Gate-Source-Kapazität des Transistors MP1,
- $C_{gd_{MP1}}$ die Gate-Drain-Kapazität des Transistors MP1,
- A_{v11} die Gleichspannungsverstärkung der Ausgangsstufe (z.B. Transistor MP1),
- R2 den Ausgangswiderstand der Treiberanordnung,
- $g_{ds_{MP1}}$ den Ausgangsleitwert des Transistors MP1,
- R_{out} den rein resistiven Lastwiderstand am Knoten Vout,
- R_{min} die minimalste Summenresistivität aus R_{fb} und R_e als Hilfsgröße zur Dimensionierung,
- C2 die transformierte Lastkapazität zur Berechnung des zweiten Pols $f_{p2'}$, und
- $g_{m_{MP1}}$ die Steilheit des Ausgangstransistors MP1 bezeichnen.

[0066] Für Serien-Shunt-Feedback-Konfiguration wie die in den Figuren 1 und 2 gezeigten Spannungsregler kann

man unter Vernachlässigung der Frequenzgangskompensation zwei Pole angeben:

$$f_{p1'} = \frac{1}{2\pi R_1 C_1} \quad (1.22)$$

$$f_{p2'} = \frac{1}{2\pi R_2 C_2} \quad (1.23)$$

[0067] Aus der allgemeinen Stabilitätstheorie ist bekannt, daß, um eine ausreichend große Phasenreserve zu garantieren, $f_{p2} \gg f_{p1'}$ sein muß. Geht nun der Laststrom I_{out} gegen 0 (geht R_l gegen unendlich), so wandert der Pol $f_{p2'}$ auf den Pol $f_{p1'}$ zu. Die Phasenreserve nimmt ab, das System wird instabil.

[0068] Unter Berücksichtigung der Frequenzgangskompensation ergeben sich die Pole wie folgt:

$$f_{c1} = \frac{1}{2\pi R_1 [C_{gs_{MP1}} + (C_{gd_{MP1}} + C_{m1}) * (1 + |A_{v11}|)]} \quad (1.24)$$

$$f_{c2} = \frac{1}{2\pi R_2 (C_1 + C_{m1} + C_{gs_{MP1}})} \quad (1.25)$$

[0069] Aus den Gleichungen 1.22 und 1.23 kann man nun die Gesamtübertragungsfunktion in der Frequenzebene als System zweiter Ordnung darstellen.

$$A_{vtot}(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{g_{m_{OTA1}} R_1 A_{v11}}{(1 + s/f_{c1})(1 + s/f_{c2})} \quad (1.26)$$

[0070] Unter der Annahme, daß $f_{lc} \ll f_{2c}$, und der Überlegung, daß bei einer Frequenz von f_u der Betrag der Gain $|A_{vtot}(s)| = 1$ ist ergibt sich:

$$|A_{vtot}(s)| = \frac{g_{m_{OTA1}} R_1 A_{v11}}{\sqrt{1 + (f/f_{c1})^2}} = 1 \quad (1.27)$$

$$f_u = f_{c1} * g_{m_{OTA1}} * R_1 * A_{v11} \quad (1.27a)$$

[0071] Unter der Annahme das die Lastkapazität, der maximale Laststrom, und minimale Laststrom bekannt ist, kann man nun entweder die Kompensationskapazität C_{m1} und/oder den minimalen Querstrom I_{s1} im Transistor $MP1/MN1$ berechnen. Um Stabilität zu garantieren, sollte folgende Festlegung gelten:

$$f_{c2} > 10 * f_u \Rightarrow f_{c2} > 10 * f_{c1} * g_{m_{OTA1}} * R_1 * A_{v11} \quad (1.28)$$

[0072] Somit ergeben sich (unter Berücksichtigung der Gleichung 1.25) für R_{min} bzw. für C_{m1} folgende Zusammenhänge:

$$R_{min} = \frac{V_{in}}{I_q + I_{c'}}$$

$$= \frac{1}{[2\pi * 10f_{c1} * g_{m_{OTA1}} * R_1 * A_{v11} * (C_1 + C_{m1} + C_{gd_{MP1}}) - g_{ds_{MP1}} - \frac{1}{R_{out}}]}$$

(1.29)

[0073] Mit der Gleichungen 1.29, 1.14 und 1.15 kann nun die Schaltung entsprechend dimensioniert werden. Für die Transkonduktanz $g_{m_{OTA1}}$ des OTA1 muß zu Beginn der Dimensionierung eine Struktur und ein Wert festgelegt werden. Das kann aus einer Vorgabe für die Bandbreite des OTA nach Gleichung 1.16 geschehen. Für die Verstärkung des treibenden Transistors kann man die Annahme treffen, das der minimale Strom I_q als I_{s1} fließt. Somit erhält die Schaltung entsprechend Reserve in der Stabilität.

[0074] Wie aus den vorstehenden Gleichungen ersichtlich ist, wurden diese teilweise für den in Figur 2 gezeigten Low Drop Output Voltage Regulator erstellt. Die damit hergeleiteten Zusammenhänge können unter Berücksichtigung der folgenden Formeln auf den in Figur 1 gezeigten Series Voltage Regulator übertragen werden.

$$A_{v12} = \frac{g_{m_{MN1}} * R_{out}}{g_{m_{MN1}} * R_{out} + 1} \quad (1.30)$$

$$R_2' = \frac{1}{g_{m_{MN1}} + g_{mb_{MN1}} + g_{ds_{MN1}}} \parallel R_{out} \parallel R_{min} \quad (1.31)$$

$$C_2' = C_1 + C_{db1} \quad (1.32)$$

$$C_1' = C_{gs1} + C_{gd1} * \left(1 + \left| \frac{g_{m_{MN1}} * R_{out}}{g_{m_{MN1}} * R_{out} + 1} \right| \right) \quad (1.33)$$

$$f_{c1}' = \frac{1}{2 * \pi * R_1 * [C_{gs_{MN1}} + (C_{gd_{MN1}} + C_{m1}) * (1 + |A_{v12}|)]} \quad (1.34)$$

[0075] Unter den gleichen Annahmen wie für die LDO-Konfiguration ergibt sich für den Series-Voltage Regulator ein R_{min}' :

$$R_{\min}' = \frac{V_{in}}{I_q + I_{c'}}$$

$$= \frac{1}{[2\pi \cdot 10f_{c1'} \cdot g_{m_{OTA1}} \cdot R_1 \cdot A_{v12} \cdot (C_1 + C_{m1} + C_{gs_{MN1}}) - g_{m_{MN1}} + g_{mb_{MN1}} + g_{ds_{MN1}} - \frac{1}{R_{out}}]}$$

(1.35)

[0076] Mit den Gleichungen 1.35 und 1.29 kann nun für die in den Figuren 1 und 2 dargestellten Anordnungen der minimale Querstrom bestimmt werden, der durch den Ausgangstransistor MN1 bzw. MP1 fließen muß, um bei einer gegebenen Lastkapazität eine Stabilität zu gewährleisten. Hier sei nochmals darauf hingewiesen, dass der Widerstand Rmin (Rmin') als Hilfsgröße zur Dimensionierung dient. Der Strom durch einen angenommenen Widerstand Rmin (Rmin') kann nun entsprechend zwischen dem Strom Iq durch Spannungsteiler Rfb und Re und dem Strom Ic' aufgeteilt werden. Die Schaltung ist somit vollständig dimensionierbar.

[0077] Um die rechnerischen Ergebnisse zu überprüfen, kann aus dem in der Figur 6 dargestellten Kleinsignal-Ersatzschaltbild die Übertragungsfunktion in der Frequenzebene der geschlossenen Regelschleife abgeleitet werden.

$$G_{av_{ac}}(s) =$$

$$20 \cdot \log \left(\frac{\frac{Z_{in}(s)}{Z_{in}(s) + R_e \parallel R_{fb}} \cdot A_{vtot}(s) \cdot \frac{(R_e + R_{fb}) \parallel C_1}{(R_e + R_{fb}) \parallel C_1 + R_{out}}}{1 + \frac{R_e}{R_e + R_{fb}} \cdot \left(\frac{Z_{in}(s)}{Z_{in}(s) + R_e \parallel R_{fb}} \cdot A_{vtot}(s) \cdot \frac{(R_e + R_{fb}) \parallel C_1}{(R_e + R_{fb}) \parallel C_1 + R_{out}} \right)} \right)$$

(1.36)

$$G_{av_{dc}} \cong 20 \cdot \log \left(\frac{R_e + R_f}{R_e} \right) \quad (1.37)$$

[0078] Zeigt die Übertragungsfunktion eine Überhöhung im Frequenzbereich zur erwarteten DC-Gain, so ist von einer Instabilität bzw. mindestens von einem Ringing (Überschwingen) auszugehen.

[0079] Mit den oben genannten Gleichungen kann die Schaltung entsprechend dimensioniert werden.

[0080] Figur 3 zeigt beispielhaft Strom- und Spannungsverläufe in einem ordnungsgemäß dimensionierten Spannungsregler mit einer Stabilisierungsschaltung der vorstehend beschriebenen Art.

[0081] In Figur 4 ist eine Stabilisierungsschaltung dargestellt, bei welcher für das Einschalten und das Ausschalten des zusätzlichen Querstromes Ic' eine Hysterese vorgesehen ist.

[0082] Die in der Figur 4 gezeigte Anordnung entspricht weitestgehend der in der Figur 1 gezeigten Anordnung; mit den gleichen Bezugszeichen bezeichnete Elemente sind identische oder einander entsprechende Elemente.

[0083] Die in der Figur 4 gezeigte Stabilisierungsschaltung enthält zusätzlich NMOS-Transistoren MN7 und MN8 sowie eine einen Referenzstrom Iref2 liefernde Stromquelle.

[0084] Die Transistoren MN7 und MN8 sind zu einem Stromspiegel verschaltet, wobei der Drainanschluß des Transistors MN7 und die Gateanschlüsse der Transistoren MN7 und MN8 mit dem Knoten x1 verbunden sind, der Drain-

anschluß der Transistors MN8 mit dem Drainanschluß des Transistors MN4, den Gateanschlüssen der Transistoren MN3 und MN4 und der den Referenzstrom Iref2 liefernden Stromquelle verbunden ist, und die Sourceanschlüsse der Transistoren MN7 und MN8 mit Masse verbunden sind.

[0085] Durch die zusätzlichen Maßnahmen wird erreicht, daß der Schwellenwert, der von Iref unterschritten werden muß, damit der zusätzliche Querstrom Ic' fließt, kleiner ist als der Schwellenwert, der von Iref überschritten werden muß, damit kein zusätzlicher Querstrom Ic' mehr fließt.

Die Hysterese wird charakterisiert durch:

[0086]

$$I_{hys} = \left(\frac{W_{MN4} * L_{MN3}}{W_{MN3} * L_{MN4}} - \frac{W_{MN7} * L_{MN8}}{W_{MN8} * L_{MN7}} \right) * I_{ref1} \quad (1.38)$$

[0087] Die beschriebenen Stabilisierungsschaltungen können auf mannigfaltige Art und Weise modifiziert werden.

[0088] Beispielsweise kann vorgesehen werden, daß die Größe des zusätzlichen Querstromes Ic' so eingestellt wird, daß der durch den Transistor MN1 bzw. MP1 durchfließende Strom jeweils gerade groß genug ist, d.h. nicht wesentlich größer ist, als es erforderlich ist, um einen stabilen Betrieb des Spannungsreglers zu gewährleisten.

[0089] Es könnte auch vorgesehen werden, die Größe des zusätzlichen Querstromes Ic' in mehreren Stufen zu veränderbar zu machen.

[0090] Ferner könnte vorgesehen werden, daß der durch den Transistor fließende Querstrom standardmäßig groß gemacht wird, und daß die Stabilisierungsschaltung dafür sorgt, daß der Querstrom verringert wird, wenn die Größe des durch den Transistor fließenden Stromes (oder ein von der Größe dieses Stromes abhängender Strom) einen bestimmten Schwellenwert überschreitet.

[0091] Unabhängig hiervon kann vorgesehen werden, daß die Veränderung des durch den Transistor MN1 bzw. MP1 durchfließenden Stromes durch eine Umkonfigurierung der Anordnung erfolgt, beispielsweise durch Öffnen, Schließen oder Umschalten von Schaltern, über welche der Transistor mit als Lastelemente wirkenden Bauteilen oder Stromsenken verbunden werden kann.

[0092] Die Stabilisierungsschaltungen der beschriebenen Spannungsregler sind unabhängig von den Einzelheiten der praktischen Realisierung einfach entwerfbar und realisierbar, und können bei minimalem Eigenenergiebedarf der Spannungsregler eine unter allen Umständen zuverlässige Stabilisierung gewährleisten.

[0093] Bezugszeichenliste

Cx	Kondensatoren
Ix	Ströme
MNx	NMOS-Transistoren
MPx	PMOS-Transistoren
OTAx	Transkonduktanzverstärker
Rx	Widerstände
Vx	Spannungen
Zout	Lastwiderstand

Patentansprüche

- Spannungsregler, dessen Ausgangsspannung (Vout) von der Ansteuerung eines im Spannungsregler enthaltenen Transistors (MN1, MP1) abhängt,
dadurch gekennzeichnet,
daß der Spannungsregler eine Stabilisierungsschaltung enthält, welche den durch den Transistor (MN1, MP1) fließenden Strom (Is1) verändern kann.
- Spannungsregler nach Anspruch 1,
dadurch gekennzeichnet,
daß die Veränderung des durch den Transistor (MN1, MP1) fließenden Stromes (Is1) dadurch erfolgt, daß die vom Transistor getriebene Last verändert wird.

3. Spannungsregler nach Anspruch 2,
dadurch gekennzeichnet,
daß die Veränderung der vom Transistor (MN1, MP1) getriebenen Last durch eine Umkonfigurierung des Spannungsreglers erfolgt.
4. Spannungsregler nach Anspruch 3,
dadurch gekennzeichnet,
daß die Umkonfigurierung durch Öffnen, Schließen oder eines Schalters erfolgt, über welche der Transistor (MN1, MP1) mit einem als Lastelement wirkenden Bauteil oder einer Stromsenke verbunden werden kann.
5. Spannungsregler nach Anspruch 1,
dadurch gekennzeichnet,
daß die Veränderung des durch den Transistor (MN1, MP1) fließenden Stromes (I_{s1}) durch eine Veränderung der Ansteuerung eines Bauelementes erfolgt, das in einem den Transistor enthaltenden Schaltungszweig angeordnet ist.
6. Spannungsregler nach Anspruch 5,
dadurch gekennzeichnet,
daß die Veränderung des durch den Transistor (MN1, MP1) fließenden Stromes (I_{s1}) dadurch erfolgt, daß die Ansteuerung eines zum Transistor in Reihe geschalteten zweiten Transistors (MN6) verändert wird.
7. Spannungsregler nach Anspruch 6,
dadurch gekennzeichnet,
daß der zweite Transistor (MN6) mit einem dritten Transistor (MN5) zu einem Stromspiegel verschaltet ist, und daß der durch den zweiten Transistor fließende Strom von dem durch den dritten Transistor fließenden Strom abhängt.
8. Spannungsregler nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß die Stabilisierungsschaltung eine Veränderung des durch den ersten Transistor (MN1, MP1) fließenden Stromes (I_{s1}) veranlaßt, wenn und so lange der den Transistor durchfließende Strom eine Größe aufweist, bei welcher kein stabiler Betrieb des Spannungsreglers gewährleistet werden kann.
9. Spannungsregler nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß die Stabilisierungsschaltung den durch den ersten Transistor (MN1, MP1) fließenden Strom (I_{s1}) nicht verändert, wenn und so lange der den Transistor durchfließende Strom eine Größe aufweist, bei welcher ein stabiler Betrieb des Spannungsreglers gewährleistet ist.
10. Spannungsregler nach Anspruch 8 oder 9,
dadurch gekennzeichnet,
daß die Stabilisierungsschaltung einen Strom (I_{rep}) erzeugt, dessen Größe ein Maß für den den ersten Transistor (MN1, MP1) durchfließenden Strom ist, und den durch den ersten Transistor fließenden Strom verändert, wenn der generierte Strom (I_{rep}) oder ein davon abhängender Strom (I_{rep}') kleiner als ein Referenzstrom (I_{ref}) ist.
11. Spannungsregler nach Anspruch 10,
dadurch gekennzeichnet,
daß die Generierung des Stromes durch einen vierten Transistor (MN2, MP2) erfolgt, der wie der erste Transistor (MN1, MP1) angesteuert wird.
12. Spannungsregler nach Anspruch 11,
dadurch gekennzeichnet,
daß der vierte Transistor (MN2, MP2) kleiner dimensioniert ist als der erste Transistor (MN1, MP1).
13. Spannungsregler nach einem der Ansprüche 11 oder 12,
dadurch gekennzeichnet,
daß die Stabilisierungsschaltung dafür sorgt, daß der vierte Transistor (MN2, MP2) im selben Arbeitspunkt betrieben wird wie der erste Transistor (MN1, MP1).

14. Spannungsregler nach einem der Ansprüche 10 bis 13,

dadurch gekennzeichnet,

daß in Reihe zum vierten Transistor (MN2, MP2) ein fünfter Transistor (MN4) geschaltet ist, wobei dieser fünfte Transistor mit einem sechsten Transistor (MN3) zu einem zweiten Stromspiegel verschaltet ist, wobei dem Sourceanschluß des sechsten Transistors der Referenzstrom (I_{ref}) zugeführt wird, und wobei der Sourceanschluß des sechsten Transistors mit dem primären Transistor (MN5) des ersten Stromspiegels (MN5, MN6) verbunden ist.

15. Spannungsregler nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet,

daß die Veränderung des durch den Transistor (MN1, MP1) fließenden Stromes (I_{s1}) über eine Hystereseschleife erfolgt.

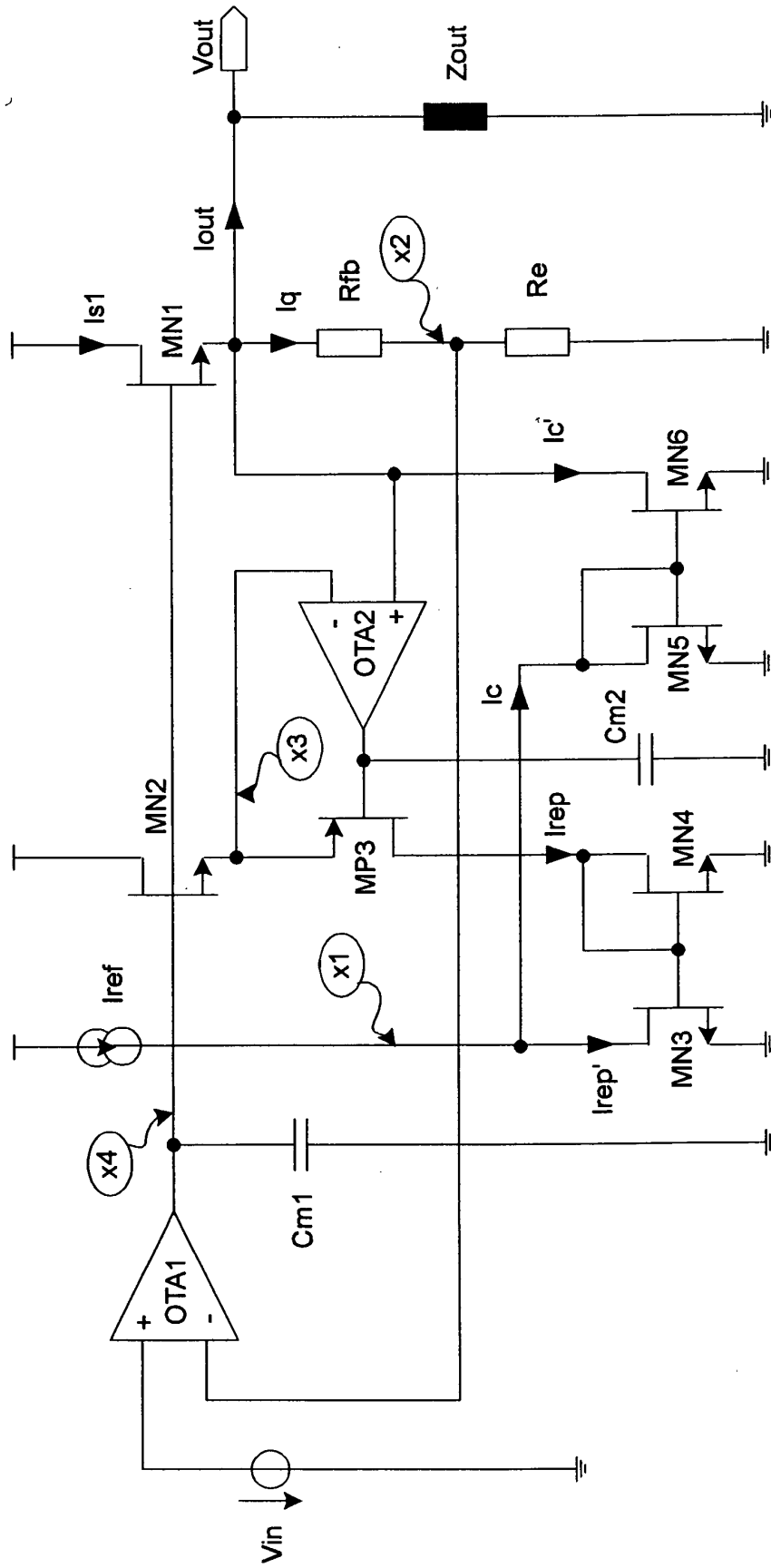


FIG. 1

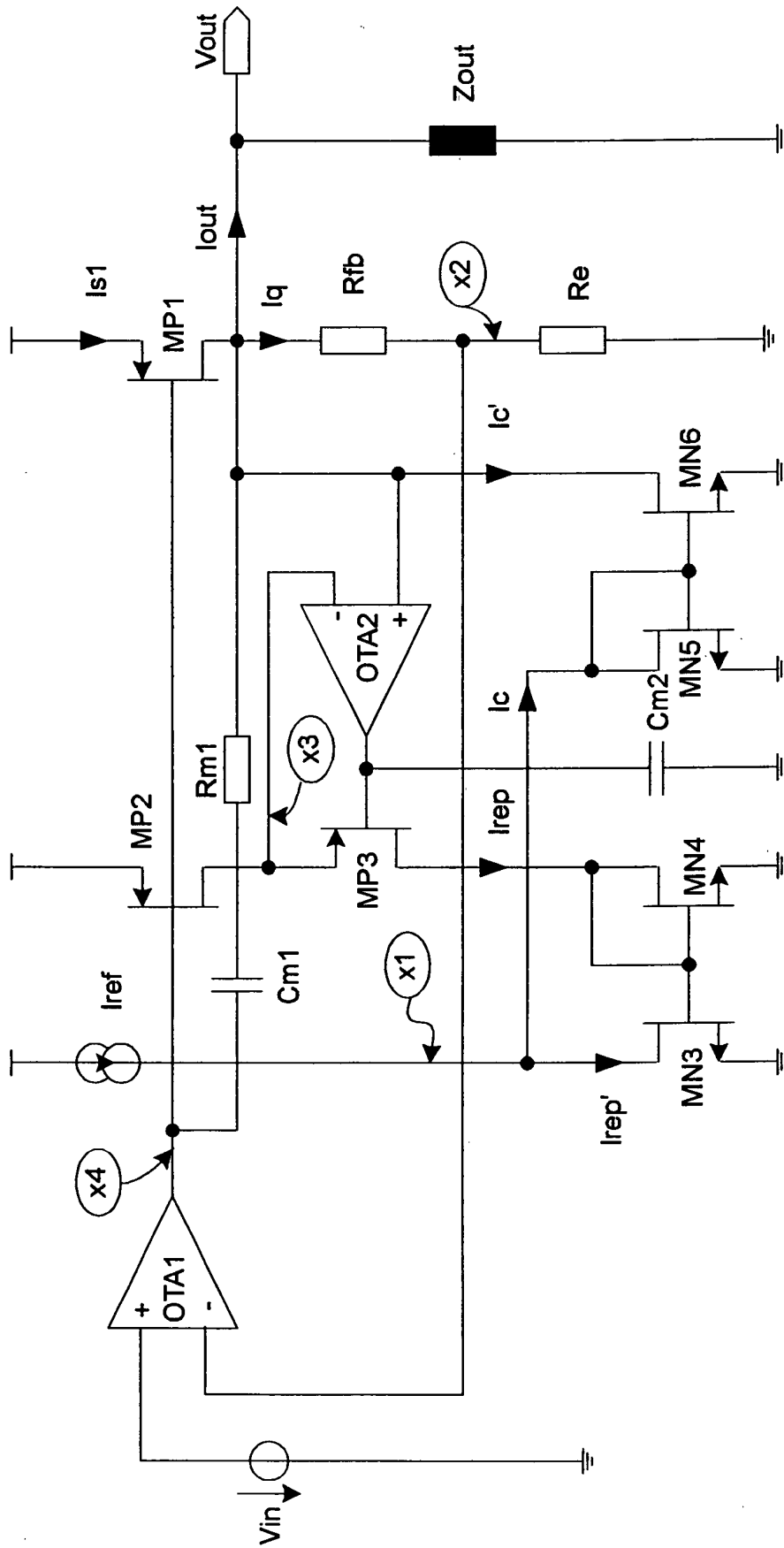


FIG. 2

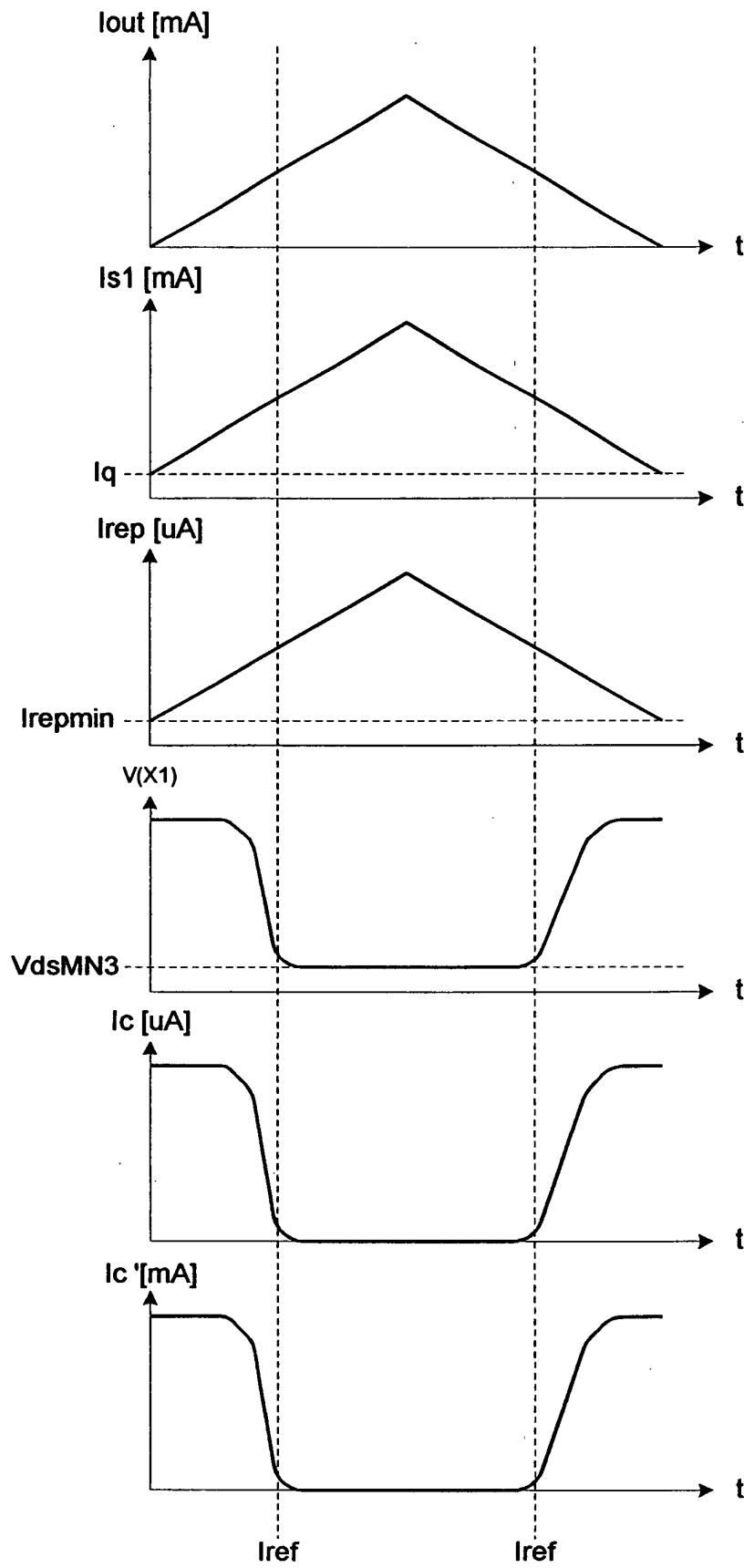


FIG. 3

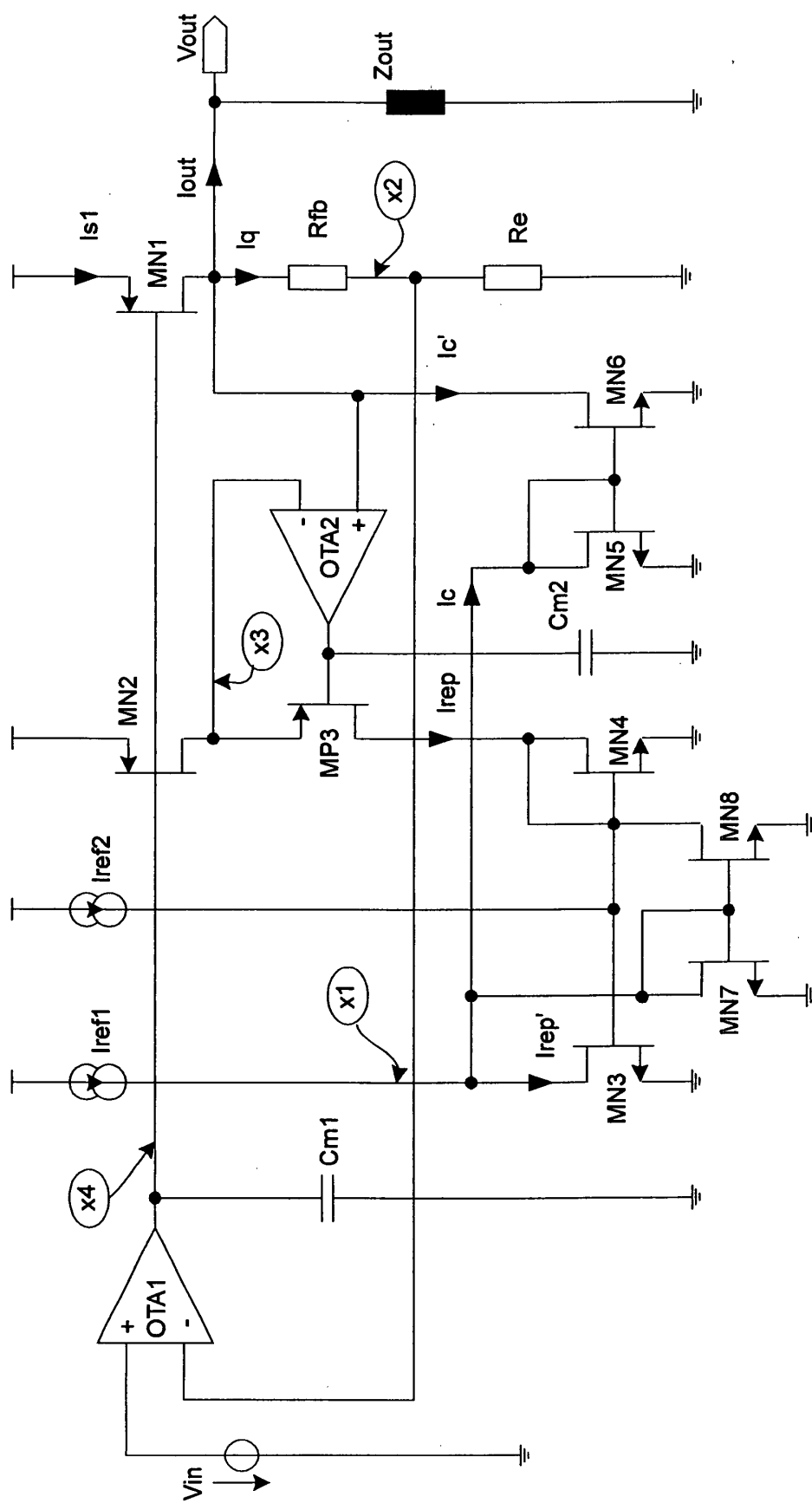


FIG. 4

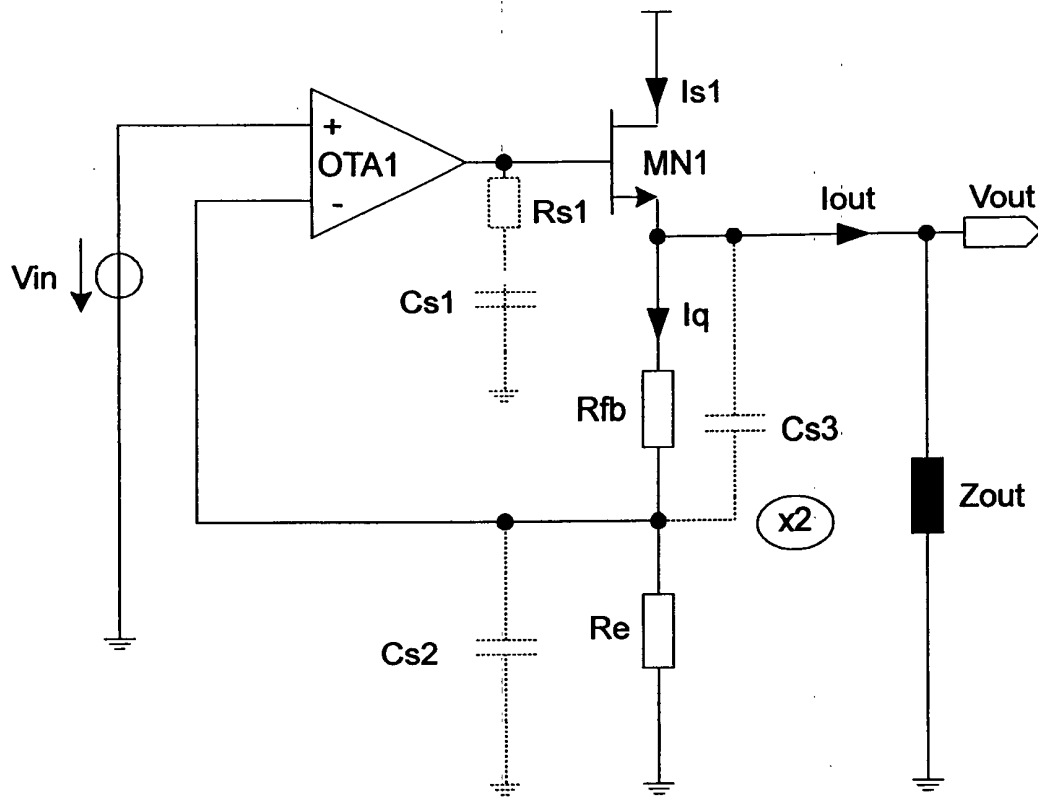


FIG. 5

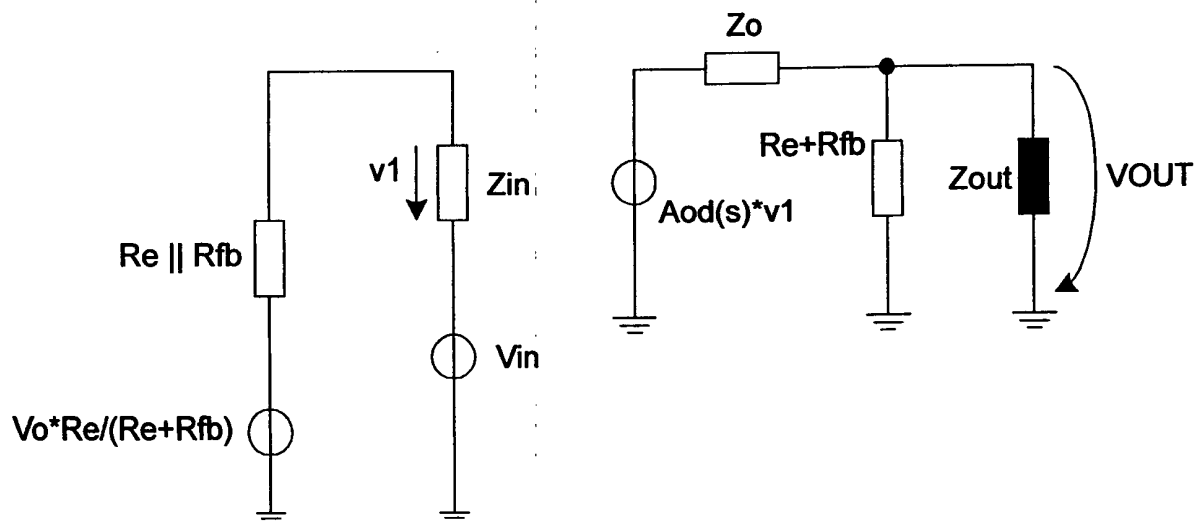


FIG. 6



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 02 00 8935

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
A	US 5 182 525 A (THEUS ULRICH) 26. Januar 1993 (1993-01-26) * Spalte 2, Zeile 4 - Spalte 4, Zeile 37; Abbildung 1 *	1-15	G05F3/00
A	EP 1 081 835 A (INFORMATION STORAGE DEVICES) 7. März 2001 (2001-03-07) * das ganze Dokument *	1-15	
A	EP 0 620 514 A (KONINKL PHILIPS ELECTRONICS NV) 19. Oktober 1994 (1994-10-19) * das ganze Dokument *	1-15	
A	US 6 144 250 A (OWEN RICHARD T ET AL) 7. November 2000 (2000-11-07) * das ganze Dokument *	1-15	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.7)
			G05F
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort MÜNCHEN		Abschlußdatum der Recherche 3. Juni 2002	Prüfer Villafuerte Abrego
KATEGORIE DER GENANNTEN DOKUMENTE X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

EPC FORM 1503 03 82 (P04C03)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT
 ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 02 00 8935

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentedokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am

Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

03-06-2002

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5182525 A	26-01-1993	EP 0491980 A1	01-07-1992
		DE 59010535 D1	14-11-1996
		JP 3124601 B2	15-01-2001
		JP 4352508 A	07-12-1992
		KR 210174 B1	15-07-1999
EP 1081835 A	07-03-2001	US 5808506 A	15-09-1998
		EP 1081835 A2	07-03-2001
		CA 2216891 A1	01-04-1998
		EP 0834981 A2	08-04-1998
		JP 10199282 A	31-07-1998
EP 0620514 A	19-10-1994	US 5519313 A	21-05-1996
		DE 69423121 D1	06-04-2000
		DE 69423121 T2	21-09-2000
		EP 0620514 A2	19-10-1994
		JP 6309049 A	04-11-1994
US 6144250 A	07-11-2000	KEINE	

EPO FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82