

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-8695

(P2012-8695A)

(43) 公開日 平成24年1月12日(2012.1.12)

(51) Int.Cl.
G06F 12/00 (2006.01)F I
G06F 12/00 550Kテーマコード (参考)
5B060

審査請求 未請求 請求項の数 13 O L (全 12 頁)

(21) 出願番号 特願2010-142540 (P2010-142540)
(22) 出願日 平成22年6月23日 (2010.6.23)(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100123788
弁理士 宮崎 昭夫
(74) 代理人 100106138
弁理士 石橋 政幸
(74) 代理人 100127454
弁理士 緒方 雅昭
(72) 発明者 大野 隆夫
東京都中央区八重洲2-2-1 エルピー
ダメモリ株式会社内
(72) 発明者 森島 篤志
東京都中央区八重洲2-2-1 エルピー
ダメモリ株式会社内
Fターム(参考) 5B060 MM10

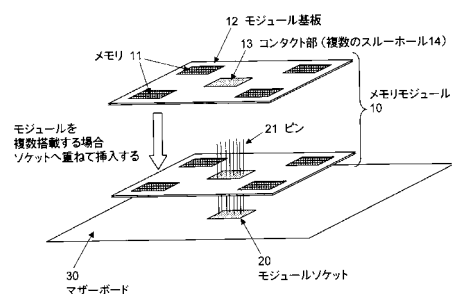
(54) 【発明の名称】 メモリシステム、メモリモジュール、モジュールソケット

(57) 【要約】

【課題】マザーボードの面積を増大することなく、または、CPUとメモリモジュール間のバス長を増大することなく、メモリモジュールの搭載枚数を増やすこと。

【解決手段】本発明は、複数のメモリ11がモジュール基板12上に実装されてなるメモリモジュール10と、マザーボード30に実装され、メモリモジュール10を搭載するモジュールソケット20と、を有するメモリシステムに適用される。ここで、モジュールソケット20は、2次元的に配列された複数のピン21を有し、該複数のピンのそれぞれがマザーボード30に対して垂直方向に立つように実装されるピンソケットである。また、メモリモジュール10は、複数のピン21にそれぞれ対応してモジュール基板12上に配列され、対応するピン21が挿入されて該ピン21をモジュール基板12上の配線と接続する複数のスルーホール14を具備するコンタクト部13を有する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数のメモリがモジュール基板上に実装されてなるメモリモジュールと、マザーボードに実装され、前記メモリモジュールを搭載するモジュールソケットと、を有してなるメモリシステムであって、

前記モジュールソケットは、

２次元的に配列された複数のピンを有し、該複数のピンのそれぞれが前記マザーボードに対して垂直方向に立つように実装されるピンソケットであり、

前記メモリモジュールは、

前記複数のピンにそれぞれ対応して前記モジュール基板上に配列され、対応するピンが挿入されて該ピンを前記モジュール基板上の配線と接続する複数のスルーホールを具備するコンタクト部を有する、メモリシステム。

10

【請求項 2】

前記モジュールソケットは、

前記メモリモジュールを固定するためのノッチを具備する支柱を有し、

前記メモリモジュールは、

前記モジュール基板上に配置され、前記支柱が挿入されて該支柱に具備される前記ノッチと係合するホールを有する、請求項 1 に記載のメモリシステム。

【請求項 3】

前記モジュールソケットは、

前記マザーボードにおける CPU が実装された面と同一面に実装されている、請求項 1 または 2 に記載のメモリシステム。

20

【請求項 4】

前記モジュールソケットは、

前記マザーボードにおける CPU が実装された面の裏面において前記 CPU と対向する位置に実装されている、請求項 1 または 2 に記載のメモリシステム。

【請求項 5】

前記メモリモジュールは、

前記モジュール基板上において、前記コンタクト部の周辺に該コンタクト部を取り囲むように前記複数のメモリが実装されている、請求項 1 から 4 のいずれか 1 項に記載のメモリシステム。

30

【請求項 6】

前記モジュールソケットには、複数の前記メモリモジュールが実装され、

前記複数のメモリモジュールは、前記マザーボードに対して水平に重ねて実装されている、請求項 1 から 5 のいずれか 1 項に記載のメモリシステム。

【請求項 7】

複数のメモリがモジュール基板上に実装されてなり、モジュールソケットに搭載されるメモリモジュールであって、

前記モジュール基板上に２次元的に配列された複数のスルーホールを具備するコンタクト部を有し、

前記複数のスルーホールのそれぞれは、前記モジュールソケットを構成しマザーボードに対して垂直方向に立つように実装される複数のピンのうち対応するピンが挿入され、該ピンを前記モジュール基板上の配線と接続する、メモリモジュール。

40

【請求項 8】

前記モジュール基板上に配置され、前記モジュールソケットを構成する支柱が挿入されて該支柱に具備されるノッチと係合するホールを有する、請求項 7 に記載のメモリモジュール。

【請求項 9】

前記モジュール基板上において、前記コンタクト部の周辺に該コンタクト部を取り囲むように前記複数のメモリが実装されている、請求項 7 または 8 に記載のメモリモジュール

50

。

【請求項 1 0】

複数のメモリがモジュール基板上に実装されてなるメモリモジュールを、マザーボードに実装された状態で搭載するモジュールソケットであって、

２次元的に配列された複数のピンを有し、該複数のピンのそれぞれが前記マザーボードに対して垂直方向に立つように実装されるピンソケットであり、

前記複数のピンのそれぞれは、前記モジュール基板上に配列された複数のスルーホールのうち対応するスルーホールに挿入され、該スルーホールを介して前記モジュール基板上の配線と接続される、モジュールソケット。

【請求項 1 1】

10

前記メモリモジュールを固定するためのノッチを具備する支柱を有し、該支柱が、前記モジュール基板上に配置されたホールに挿入され、該支柱に具備される前記ノッチが、該ホールと係合する、請求項 1 0 に記載のモジュールソケット。

【請求項 1 2】

前記マザーボードにおける CPU が実装された面と同一面に実装されている、請求項 1 0 または 1 1 に記載のモジュールソケット。

【請求項 1 3】

前記マザーボードにおける CPU が実装された面の裏面において前記 CPU と対向する位置に実装されている、請求項 1 0 または 1 1 に記載のモジュールソケット。

【発明の詳細な説明】

20

【技術分野】

【0 0 0 1】

本発明は、複数のメモリが実装されたメモリモジュールを、モジュールソケットに搭載するための技術に関する。

【背景技術】

【0 0 0 2】

従来、D R A M (Dynamic Random Access Memory) 等のメモリを大量に使用するメモリシステムにおいては、複数のメモリをメモリモジュールのモジュール基板上に実装し、そのメモリモジュールを、マザーボード上に実装されたモジュールソケットに搭載することが多い。また、モジュールソケットの形状としては、特許文献 1 , 2 に開示されたように、マザーボードに対して垂直に 1 つのメモリモジュールを搭載する形状が一般的である。

30

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 0 9 - 2 9 4 8 6 4 号公報

【特許文献 2】特開 2 0 1 0 - 0 2 7 1 3 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

ところで、近年、デスクトップ型のパーソナルコンピュータは、小型化・薄型化を図るため、マザーボードを M i c r o A T X や M i n i I T X といった小型のマザーボードにする傾向にあり、この傾向は、メモリシステムとしても主流になりつつある。

40

【0 0 0 5】

しかしながら、現在の一般的なモジュールソケットの形状では、メモリモジュールの搭載枚数を増やす場合、その分モジュールソケットを増やすことになるため、マザーボードにはモジュールソケット分の面積が必要になる。これは、マザーボードの小型化という傾向に逆行することになる。

【0 0 0 6】

また、メモリモジュールの搭載枚数を増やす場合、上述のように、その分モジュールソケットを増やすことになるが、この場合、モジュールソケットの配置位置はモジュールソ

50

ケットの厚さやモジュールソケット周辺の配線等の制約を受ける。そのため、ＣＰＵから離れた位置にあるモジュールソケットに搭載されたメモリモジュールほどＣＰＵとの間のバス長が長くなり、このバス長がメモリシステムの高速化を図る上でのボトルネックになる。

【０００７】

以上のように、メモリシステムにおいては、マザーボードの面積を増大することなく、メモリモジュールの搭載枚数を増やすことが課題となっている。また、メモリシステムにおいては、ＣＰＵとメモリモジュール間のバス長を増大することなく、メモリモジュールの搭載枚数を増やすことが課題となっている。

【課題を解決するための手段】

【０００８】

本発明のメモリシステムは、

複数のメモリがモジュール基板上に実装されてなるメモリモジュールと、マザーボードに実装され、前記メモリモジュールを搭載するモジュールソケットと、を有してなるメモリシステムであって、

前記モジュールソケットは、

２次元的に配列された複数のピンを有し、該複数のピンのそれぞれが前記マザーボードに対して垂直方向に立つように実装されるピンソケットであり、

前記メモリモジュールは、

前記複数のピンにそれぞれ対応して前記モジュール基板上に配列され、対応するピンが挿入されて該ピンを前記モジュール基板上の配線と接続する複数のスルーホールを具備するコンタクト部を有する。

【０００９】

本発明のメモリモジュールは、

複数のメモリがモジュール基板上に実装されてなり、モジュールソケットに搭載されるメモリモジュールであって、

前記モジュール基板上に２次元的に配列された複数のスルーホールを具備するコンタクト部を有し、

前記複数のスルーホールのそれぞれは、前記モジュールソケットを構成しマザーボードに対して垂直方向に立つように実装される複数のピンのうち対応するピンが挿入され、該ピンを前記モジュール基板上の配線と接続する。

【００１０】

本発明のモジュールソケットは、

複数のメモリがモジュール基板上に実装されてなるメモリモジュールを、マザーボードに実装された状態で搭載するモジュールソケットであって、

２次元的に配列された複数のピンを有し、該複数のピンのそれぞれが前記マザーボードに対して垂直方向に立つように実装されるピンソケットであり、

前記複数のピンのそれぞれは、前記モジュール基板上に配列された複数のスルーホールのうち対応するスルーホールに挿入され、該スルーホールを介して前記モジュール基板上の配線と接続される。

【発明の効果】

【００１１】

本発明のメモリシステムによれば、モジュールソケットを、２次元的に配列された複数のピンがマザーボードに対して垂直に実装されるピンソケットとし、メモリモジュールのモジュール基板上には、複数のピンがそれぞれ挿入される複数のスルーホールを設ける。

【００１２】

したがって、メモリモジュールを、マザーボードに対して水平になるように、モジュールソケットに搭載することができ、メモリモジュールの搭載枚数を増やす場合は、メモリモジュールを重ねてモジュールソケットに挿入していけばよい。

【００１３】

10

20

30

40

50

よって、単一のモジュールソケットで複数のメモリモジュールを搭載可能であるため、マザーボードの面積を増大することなく、メモリモジュールの搭載枚数を増やすことができるという効果が得られる。

【 0 0 1 4 】

また、単一のモジュールソケットで複数のメモリモジュールを搭載可能であるため、モジュールソケットの厚さやモジュールソケット周辺の配線等の制約を受けなくなることから、モジュールソケットを配置する自由度が増え、CPUから最短位置に実装することもできる。それにより、CPUとメモリモジュール間のバス長を増大することなく、メモリモジュールの搭載枚数を増やすことができるという効果が得られる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】本発明の一実施形態のメモリシステムの構成例を示す斜視図である。

【図 2】図 1 に示したメモリモジュールの構成例を示す上面図である。

【図 3】図 1 に示したモジュールソケットの構成例を示す断面図である。

【図 4】図 1 に示したピンとスルーホールとの接触方法の例を説明する図である。

【図 5】図 1 に示したピンとスルーホールとの接触方法の例を説明する図である。

【図 6】図 1 に示したピンとスルーホールとの接触方法の例を説明する図である。

【図 7】図 1 に示したピンとスルーホールとの接触方法の例を説明する図である。

【図 8】図 1 に示したモジュール基板に横方向からの圧力を作用させる方法の例を説明する図である。

【図 9】図 1 に示したモジュールソケットと CPU との位置関係の例を説明する図である。

【図 10】図 1 に示したモジュールソケットと CPU との位置関係の例を説明する図である。

【図 11】図 1 に示したメモリシステムの効果の例を説明する図である。

【図 12】図 1 に示したメモリシステムの効果の例を説明する図である。

【図 13】図 1 に示したメモリシステムの効果の例を説明する図である。

【発明を実施するための形態】

【 0 0 1 6 】

以下に、本発明を実施するための形態について図面を参照して説明する。

(1) メモリシステムの構成

まず、本実施形態のメモリシステムの構成について図 1 を参照して説明する。なお、図 1 は、メモリモジュール 10 およびモジュールソケット 20 周辺の構成のみを抜粋して図示したものである。

【 0 0 1 7 】

図 1 に示すように、本実施形態のメモリシステムは、複数のメモリ 11 がモジュール基板 12 上に実装されてなるメモリモジュール 10 と、マザーボード 30 に実装され、メモリモジュール 10 を搭載するモジュールソケット 20 と、を有する。

【 0 0 1 8 】

ここで、モジュールソケット 20 は、2 次元的に配列された複数のピン 21 を有し、複数のピン 21 のそれぞれがマザーボード 30 に対して垂直な方向に立つように実装されて、マザーボード 30 上の配線に接続されるピンソケットになっている。なお、垂直とは、完全な垂直に限らず、実質的に垂直とみなせるものも含むものとする。

【 0 0 1 9 】

また、メモリモジュール 10 は、複数のピン 21 にそれぞれ対応してモジュール基板 12 上に 2 次元的に配列され、対応するピン 21 が挿入されてそのピン 21 をモジュール基板 12 上の配線と接続する複数のスルーホール 14 を具備するコンタクト部 13 を有している。よって、メモリ 11 に対しては、ピン 21 からスルーホール 14 を介して電源や信号が供給されることになる。なお、各スルーホール 14 は、上述のように電極として使用されるため、内壁が導電材によりメッキまたはコーティングされており、また、ピン 21

10

20

30

40

50

を挿入することができるように、ピン 2 1 のピン径よりも大きな径を有している。

【 0 0 2 0 】

本実施形態のメモリシステムは、以上のように構成されているため、メモリモジュール 1 0 を、マザーボード 3 0 に対して水平になるように、モジュールソケット 2 0 に搭載することができる。また、複数のメモリモジュール 1 0 をモジュールソケット 2 0 に搭載する場合は、メモリモジュール 1 0 を重ねて、モジュールソケット 2 0 のピン 2 1 にメモリモジュール 1 0 のスルーホール 1 4 を挿入していけばよい。

【 0 0 2 1 】

本実施形態において、上記図 1 を用いて説明したように、マザーボード 3 0 に対して水平に複数のメモリモジュール 1 0 を搭載できることの効果に関しては、下記 (7 - 1) にて詳しく説明する。

10

(2) メモリモジュール 1 0 の構成

次に、メモリモジュール 1 0 の詳細構成について図 2 を参照して説明する。

【 0 0 2 2 】

図 2 に示すように、モジュール基板 1 2 においては、略中央部にコンタクト部 1 3 が配置され、コンタクト部 1 3 の周辺にコンタクト部 1 3 を取り囲むように複数のメモリ 1 1 が実装されている。また、モジュール基板 1 2 においては、メモリモジュール 1 0 をモジュールソケット 2 0 に固定するためのモジュール固定用ホール 1 5 が設けられている。

【 0 0 2 3 】

本実施形態において、上記図 2 を用いて説明したように、モジュール基板 1 2 中央のコンタクト部 1 3 の周辺に複数のメモリ 1 1 を実装できることの効果に関しては、下記 (7 - 2) にて詳しく説明する。

20

(3) モジュールソケット 2 0 の構成

次に、モジュールソケット 2 0 の詳細構成について図 3 を参照して説明する。

【 0 0 2 4 】

図 3 に示すように、モジュールソケット 2 0 においては、複数のピン 2 1 の他、メモリモジュール 1 0 をモジュールソケット 2 0 に固定するためのノッチ 2 3 を具備するモジュール固定用支柱 2 2 が設けられている。

【 0 0 2 5 】

メモリモジュール 1 0 のモジュールソケット 2 0 への搭載時には、ピン 2 1 がスルーホール 1 4 に挿入されるとともに、モジュール固定用支柱 2 2 がモジュール固定用ホール 1 5 に挿入される。そして、モジュール固定用ホール 1 5 がノッチ 2 3 と係合することで、メモリモジュール 1 0 がモジュールソケット 2 0 に固定されることになる。

30

【 0 0 2 6 】

なお、ピン 2 1 の長さや、各モジュール固定用支柱 2 2 が具備するノッチ 2 3 の数は、モジュールソケット 2 0 に搭載するメモリモジュール 1 0 の枚数に応じて決まり、図 3 は、2 枚のメモリモジュール 1 0 を搭載することを想定した構成になっている。

(4) ピン 2 1 とスルーホール 1 4 との接触方法

次に、ピン 2 1 をスルーホール 1 4 の内壁と接触させる方法について図 4 ~ 図 7 を参照して説明する。

40

【 0 0 2 7 】

図 4 の例では、メモリモジュール 1 0 のモジュールソケット 2 0 への搭載時に、モジュール基板 1 2 に作用する横方向からの圧力によりピン 2 1 をたわませ、ピン 2 1 をスルーホール 1 4 の内壁と接触させている。

【 0 0 2 8 】

図 5 の例では、ピン 2 1 自身を予め曲げておき、メモリモジュール 1 0 のモジュールソケット 2 0 への搭載時に、モジュール基板 1 2 に作用する横方向からの圧力によりピン 2 1 をスルーホール 1 4 の内壁と接触させている。

【 0 0 2 9 】

図 6 の例では、ピン 2 1 とスルーホール 1 4 とを半田 4 1 により半田付けすることで、

50

ピン 2 1 をスルーホール 1 4 の内壁と接触させている。

【 0 0 3 0 】

図 7 の例では、可動域を持つ三角錐形の金属製の接触用部材 4 2 をピン 2 1 に取り付けることで、メモリモジュール 1 0 をモジュールソケット 2 0 に搭載する際にモジュール基板 1 2 に作用する上方向からの圧力により、接触用部材 4 2 を介してピン 2 1 とスルーホール 1 4 の内壁とを接触させている。

(5) モジュール基板 1 2 に横方向からの圧力を作用させる方法

次に、図 4 および図 5 を用いて説明したようなメモリモジュール 1 0 に対する横方向からの押圧方法について、特に、段別に異なる方向に押圧する方法について説明する。

【 0 0 3 1 】

モジュール基板 1 2 に対し、段別に異なる方向に横方向から押圧する手段としては、スプリング等を用いる構成も考えられる。

【 0 0 3 2 】

これに対して、図 8 に示すように、モジュール固定用支柱 2 2 自身をノッチ 2 3 の設置位置の間において予め曲げておき、段別にメモリモジュール 1 0 の固定位置をずらすことでも、上記押圧手段を実現できる。このような簡単な構成によっても、段別に異なる方向に圧力を作用させることが可能である。

(6) モジュールソケット 2 0 と CPU 5 0 との位置関係

次に、モジュールソケット 2 0 と CPU 5 0 との位置関係について図 9 ~ 図 1 0 を参照して説明する。

【 0 0 3 3 】

図 9 の例では、モジュールソケット 2 0 は、マザーボード 3 0 における CPU 5 0 が実装された面と同一面に実装されている。

【 0 0 3 4 】

図 1 0 の例では、モジュールソケット 2 0 は、マザーボード 3 0 における CPU 5 0 が実装された面の裏面において、CPU 5 0 と対向する位置に実装されている。

【 0 0 3 5 】

本実施形態において、上記図 9 および上記図 1 0 を用いて説明したような位置関係で、モジュールソケット 2 0 および CPU 5 0 を配置できることの効果に関しては、下記 (7 - 1) にて詳しく説明する。

(7) 本実施形態のメモリシステムの効果

(7 - 1) 第 1 の効果

本実施形態によれば、モジュールソケット 2 0 を、2 次元的に配列された複数のピン 2 1 がマザーボード 3 0 に対して垂直な方向に立つように実装されるピンソケットとし、メモリモジュール 1 0 のモジュール基板 1 2 上には、複数のピン 2 1 がそれぞれ挿入される複数のスルーホール 1 4 を設ける。

【 0 0 3 6 】

そのため、マザーボード 3 0 の面積が増大することなく、また、CPU 5 0 とメモリモジュール 1 0 間のバス長が増大することなく、メモリモジュール 1 0 の搭載枚数を増やすことができるという第 1 の効果が得られる。この第 1 の効果について図 1 1 を用いて詳しく説明する。なお、図 1 1 において、(a) は、本発明者が検討した一般的なメモリシステムの構成を示し、(b) は、図 9 に示した本発明のメモリシステムの構成を示し、(c) は、図 1 0 に示した本発明のメモリシステムの構成を示している。

【 0 0 3 7 】

図 1 1 (a) に示すように、一般的なメモリシステムでは、モジュールソケット 2 0 0 は、マザーボード 3 0 に対してモジュール基板が垂直となるようにメモリモジュール 1 0 0 を搭載する形状である。そのため、メモリモジュール 1 0 0 の搭載枚数を増やす場合、その分モジュールソケット 2 0 0 を増やすことになるため、マザーボード 3 0 の面積が増える。また、モジュールソケット 2 0 0 の厚さやモジュールソケット 2 0 0 周辺の配線等の制約を受けるため、各モジュールソケット 2 0 0 は近接して配置し難く、CPU 5 0 と

10

20

30

40

50

メモリモジュール 100 間のバス配線 60 の長さ（以下、単にバス長）は、モジュールソケット 200 の配置位置に依存する。

【0038】

これに対して、図 11（b）および（c）に示すように、本発明のメモリシステムでは、メモリモジュール 10 を、マザーボード 30 に対して水平になるように、モジュールソケット 20 に搭載することができる。また、複数のメモリモジュール 10 をモジュールソケット 20 に搭載する場合は、メモリモジュール 10 を重ねて、モジュールソケット 20 のピン 21 をメモリモジュール 10 のスルーホール 14 に挿入する。

【0039】

よって、単一のモジュールソケット 20 で複数のメモリモジュール 10 を搭載可能であるため、マザーボード 30 の面積が増大することなく、メモリモジュール 10 の搭載枚数を増やすことができる。

【0040】

また、単一のモジュールソケット 20 で複数のメモリモジュール 10 を搭載可能であるため、複数のメモリモジュール 10 それぞれの配置間隔がモジュールソケット 20 の配置位置の制約に依存しなくなり、CPU 50 により近い位置に複数のメモリモジュール 10 を実装することができる。それにより、CPU 50 とメモリモジュール 10 間のバス長を増大することなく、メモリモジュール 10 の搭載枚数を増やすことができる。

【0041】

また、図 11（c）に示すように、モジュールソケット 20 を、マザーボード 30 における CPU 50 が実装された面の裏面において、CPU 50 と対向する位置に実装した場合には、CPU 50 とメモリモジュール 10 間のバス長が最短になる。

（7 - 2）第 2 の効果

また、本実施形態によれば、メモリモジュール 10 では、コンタクト部 13 の周辺にコンタクト部 13 を取り囲むように複数のメモリ 11 を実装している。

【0042】

そのため、コンタクト部 13 とメモリ 11 間の Stub 長（スタブ長）を短くすることができるという第 2 の効果が得られる。この第 2 の効果について図 12 および図 13 を用いて詳しく説明する。なお、図 12 において、（a）は、本発明者が検討した一般的なメモリモジュール（DDR3：Double Data Rate 3）100 の構成を示し、（b）は、本発明のメモリモジュール（DDR3）10 の構成を示している。また、図 13 において、（a）は、本発明者が検討した一般的なメモリモジュール（DDR2：Double Data Rate 2）100 の構成を示し、（b）は、本発明のメモリモジュール（DDR2）10 の構成を示している。

【0043】

図 12 に示すように、DDR3 の場合、CLK（clock）配線および CA（command address）系配線の分岐は不可となる。そのため、図 12（a）に示すように、一般的な DDR3 では、コンタクト部 130 からの CLK 配線および CA 系配線をモジュール基板 120 の一方の基板端にあるメモリ 11 まで引き回さなければならない。これに対して、図 12（b）に示すように、本発明の DDR3 では、その必要がないため、Stub 長を短くすることができる。

【0044】

一方、図 13 に示すように、DDR2 の場合、CLK 配線および CA 系配線の分岐が可能である。しかし、図 13（a）に示すように、一般的な DDR2 では、コンタクト部 130 からの CLK 配線および CA 系配線を 1 箇所でのみ分岐させざるを得ないため、モジュール基板 120 の両基板端にあるメモリ 11 までの Stub 長が長くなる。これに対して、図 13（b）に示すように、本発明の DDR2 では、CLK 配線および CA 系配線を複数個所で分岐させることができるため、Stub 長を約半分に短くすることができる。

【0045】

なお、DDR2 および DDR3 のいずれの場合においても、DQ（data）配線および D

10

20

30

40

50

Q S (DQ strobe) 配線の S t u b 長については同じであるため、説明を省略する。

(7 - 3) その他の効果

また、本実施形態によれば、単一のモジュールソケット 2 0 で複数のメモリモジュール 1 0 を搭載可能であるため、マザーボード 3 0 上のバス配線領域を小さくすることができるという効果が得られる。また、モジュール基板 1 2 の基板長がコンタクト部 (図 1 2 (a) および図 1 3 (a) のコンタクト部 1 3 0 参照) に依存することがなくなるため、モジュール基板 1 2 の面積の縮小が容易になるという効果が得られる。

【 0 0 4 6 】

また、本実施形態によれば、モジュールソケット 2 0 を、2 次元的に配列された複数のピン 2 1 を有するピンソケットとし、メモリモジュール 1 0 のモジュール基板 1 2 上には、複数のピン 2 1 にそれぞれ対応する複数のスルーホール 1 3 を設けている。このため、ピン数が増えた場合にも、2 次元的にピン 2 1 およびスルーホール 1 3 を増やすことで対応可能であり、マザーボード 3 0 およびモジュール基板 1 2 の面積の増大を抑えることができるという効果が得られる。

10

【 0 0 4 7 】

また、本実施形態のメモリモジュールでは、一般的なメモリモジュールでコンタクト部として使用されていた金端子 (図 1 2 (a) および図 1 3 (a) のコンタクト部 1 3 0 参照) を用いない。このため、金端子の破壊による不具合 (例えば、タイバースhort など) を懸念する必要がなくなる。また、金使用量の削減によってモジュール基板 1 2 の基板コストを低減できるという効果が得られる。

20

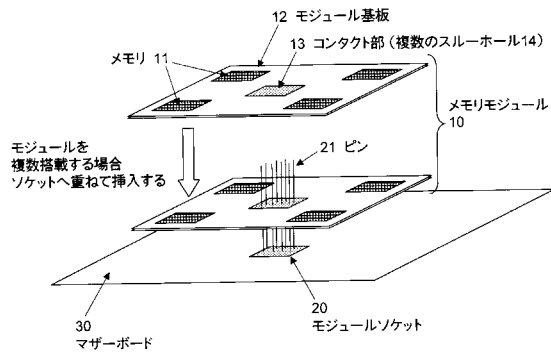
【 符号の説明 】

【 0 0 4 8 】

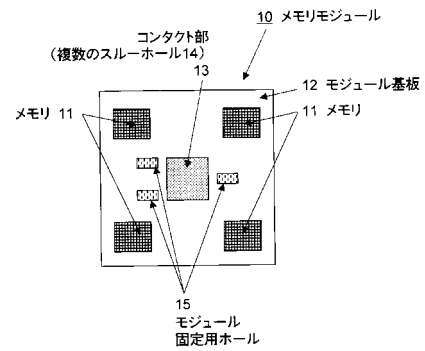
- 1 0 メモリモジュール
- 1 1 メモリ
- 1 2 モジュール基板
- 1 3 コンタクト部
- 1 4 スルーホール
- 1 5 モジュール固定用ホール
- 2 0 モジュールソケット
- 2 1 ピン
- 2 2 モジュール固定用支柱
- 2 3 ノッチ
- 3 0 マザーボード
- 4 1 半田
- 4 2 接触用部材
- 5 0 C P U

30

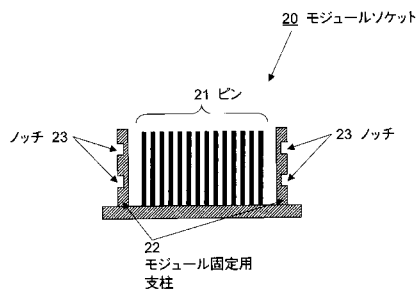
【図 1】



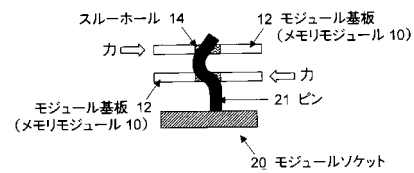
【図 2】



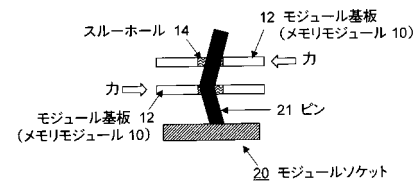
【図 3】



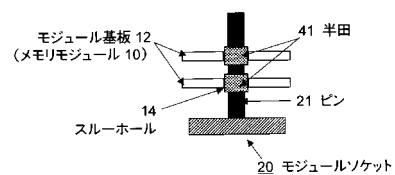
【図 4】



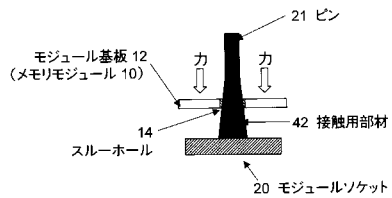
【図 5】



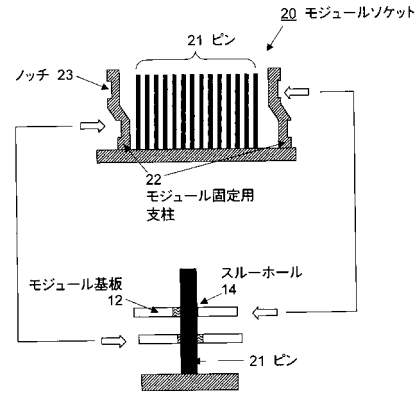
【図 6】



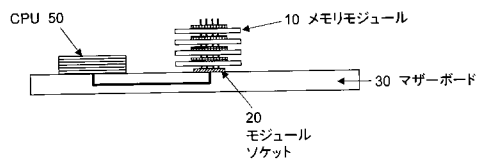
【図 7】



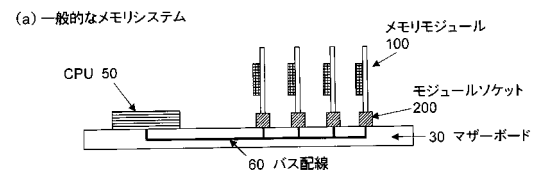
【図 8】



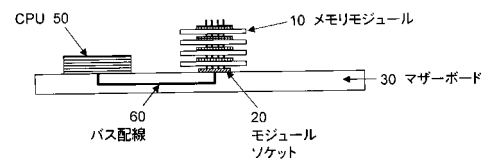
【図 9】



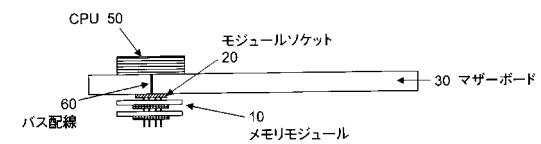
【図 11】



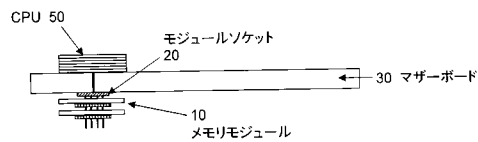
(b) 本発明のメモリシステム (CPUと同一面にソケットを実装)



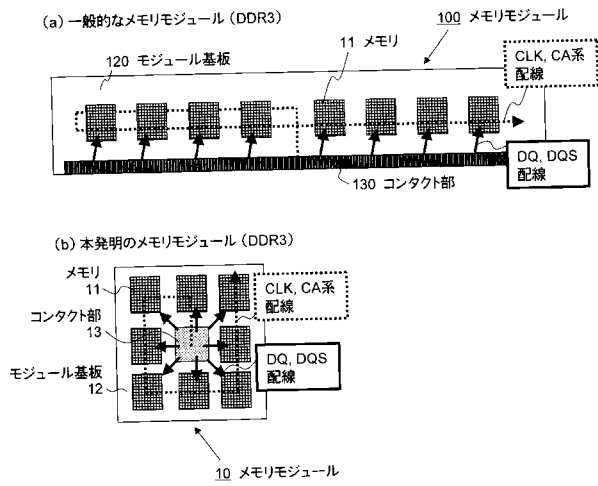
(c) 本発明のメモリシステム (CPUの裏面にソケットを実装)



【図 10】



【図 12】



【図 13】

