

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-241490  
(P2004-241490A)

(43) 公開日 平成16年8月26日(2004.8.26)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 27/146	HO 1 L 27/14	4M118
HO 4 N 5/335	HO 4 N 5/335	5C024

審査請求 未請求 請求項の数 12 O L (全 13 頁)

(21) 出願番号	特願2003-27330 (P2003-27330)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年2月4日(2003.2.4)	(74) 代理人	100095728 弁理士 上柳 雅普
		(74) 代理人	100107076 弁理士 藤綱 英吉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	多津田 哲男 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	4M118 AA05 AB01 BA14 CA02 DD10 FA06 GB09 5C024 CX07 GX03 GY31

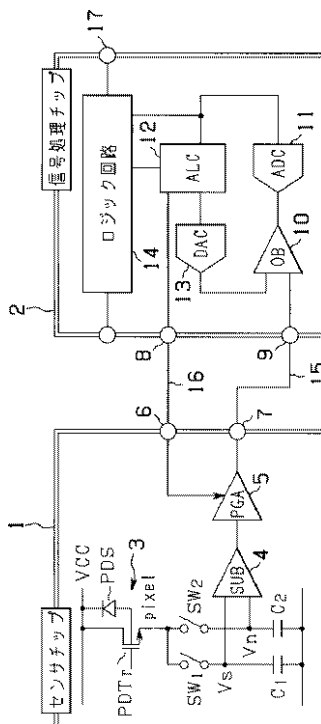
(54) 【発明の名称】 センサチップ及び画像処理装置

(57) 【要約】

【課題】 ノイズの混入を防止し高画質の画像を得る。

【解決手段】 第1の半導体基板上に形成され、アレイ状に配設されたセンサセル3と、前記第1の半導体基板上に形成され、受光した光に基づく前記センサセル3からの信号成分を保持する第1のメモリC1と、前記第1の半導体基板上に形成され、前記センサセル3からのノイズ成分を保持する第2のメモリC2と、前記第1の半導体基板上に形成され、前記第1及び第2のメモリC1, C2からの前記信号成分と前記ノイズ成分との差分を求める差分回路部4と、前記第1の半導体基板上に形成され、前記差分回路部4からの信号を増幅する増幅部5とを具備したことを特徴とする。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の半導体基板上に形成され、アレイ状に配設されたセンサセルと、  
前記第 1 の半導体基板上に形成され、受光した光に基づく前記センサセルからの信号成分を保持する第 1 のメモリと、  
前記第 1 の半導体基板上に形成され、前記第 1 のメモリからの信号を増幅する増幅部とを具備したことを特徴とするセンサチップ。

## 【請求項 2】

第 1 の半導体基板上に形成され、アレイ状に配設されたセンサセルと、  
前記第 1 の半導体基板上に形成され、受光した光に基づく前記センサセルからの信号成分を保持する第 1 のメモリと、  
前記第 1 の半導体基板上に形成され、前記センサセルからのノイズ成分を保持する第 2 のメモリと、  
前記第 1 の半導体基板上に形成され、前記第 1 及び第 2 のメモリからの前記信号成分と前記ノイズ成分との差分を求める差分回路部と、  
前記第 1 の半導体基板上に形成され、前記差分回路部からの信号を増幅する増幅部とを具備したことを特徴とするセンサチップ。

## 【請求項 3】

前記増幅部は、前記増幅部の出力に基づいて前記増幅部のゲインを制御するアナログフィードバックループの一部を構成することを特徴とする請求項 1 又は 2 のいずれか一方に記載のセンサチップ。

## 【請求項 4】

前記アナログフィードバックループは、その一部が前記第 1 の半導体基板とは異なる第 2 の半導体基板上に形成されることを特徴とする請求項 3 に記載のセンサチップ。

## 【請求項 5】

前記増幅部は、ゲインがプログラマブルに可変であることを特徴とする請求項 1 又は 2 のいずれか一方に記載のセンサチップ。

## 【請求項 6】

前記増幅部は、前記第 1 の半導体基板上に形成されたアクティブ層よりも上層に金属膜、絶縁膜及び金属膜による積層構造によって容量が形成されていることを特徴とする請求項 1 又は 2 のいずれか一方に記載のセンサチップ。

## 【請求項 7】

前記差分回路部は、前記第 1 の半導体基板上に形成されたアクティブ層よりも上層に金属膜、絶縁膜及び金属膜による積層構造によって容量が形成されていることを特徴とする請求項 2 に記載のセンサチップ。

## 【請求項 8】

請求項 1 又は 2 に記載のセンサチップと、  
前記増幅部の出力を前記第 1 の半導体基板とは異なる第 2 の半導体基板に転送する第 1 の配線と、  
前記第 2 の半導体基板上に形成され、前記第 1 の配線によって転送された前記増幅部の出力に基づいて前記増幅部のゲインを制御するアナログフィードバックループの一部を構成するフィードバック回路部を備えた信号処理チップと、  
前記フィードバック回路部の出力を前記第 1 の半導体基板の前記増幅部に転送するための第 2 の配線とを具備したことを特徴とする画像処理装置。

## 【請求項 9】

第 1 の半導体基板上に形成され、アレイ状に配設されたセンサセルと、  
前記第 1 の半導体基板上に形成され、受光した光に基づく前記センサセルからの信号成分を保持する第 1 のメモリと、  
前記第 1 の半導体基板上に形成され、前記第 1 のメモリからの信号を増幅する増幅部と、  
前記第 1 の半導体基板上に形成され、前記増幅部と共に、前記増幅部の出力に基づいて前

10

20

30

40

50

記増幅部のゲインを制御するアナログフィードバックループを構成するフィードバック回路部とを具備したことを特徴とするセンサチップ。

【請求項 10】

第 1 の半導体基板上に形成され、アレイ状に配設されたセンサセルと、  
前記第 1 の半導体基板上に形成され、受光した光に基づく前記センサセルからの信号成分を保持する第 1 のメモリと、  
前記第 1 の半導体基板上に形成され、前記センサセルからのノイズ成分を保持する第 2 のメモリと、  
前記第 1 の半導体基板上に形成され、前記第 1 及び第 2 のメモリからの前記信号成分と前記ノイズ成分との差分を求める差分回路部と、  
前記第 1 の半導体基板上に形成され、前記差分回路部からの信号を増幅する増幅部と  
前記第 1 の半導体基板上に形成され、前記増幅部と共に、前記増幅部の出力に基づいて前記増幅部のゲインを制御するアナログフィードバックループを構成するフィードバック回路部とを具備したことを特徴とするセンサチップ。

10

【請求項 11】

前記アナログフィードバックループは、前記増幅部の出力に基づくデジタル信号を発生するアナログデジタル変換部を具備したことを特徴とする請求項 9 又は 10 のいずれか一方に記載のセンサチップ。

【請求項 12】

請求項 11 のセンサチップと、  
前記アナログデジタル変換部の出力を前記第 1 の半導体基板とは異なる第 2 の半導体基板上に転送する第 1 の配線と、  
前記第 2 の半導体基板上に形成され、前記第 1 の配線によって転送された前記アナログデジタル変換部の出力に対して所定の画像信号処理を施して画像信号を出力するロジック回路部を備えた信号処理チップとを具備したことを特徴とする画像処理装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサのノイズの耐性を向上させたセンサチップ及び画像処理装置に関する。

30

【0002】

【従来の技術】

近年、イメージセンサ等の固体撮像素子を用いて動画あるいは静止画を得る固体撮像装置が種々開発されている。イメージセンサは、例えばフォトダイオードとトランジスタによって画素を構成し、画素を 2 次元にアレイ状に配列することで、2 次元イメージを得る。

【0003】

図 4 はこのようなイメージセンサを採用した固体撮像装置を示すブロック図である。図 4 の固体撮像装置は、センサチップ 100 及び信号処理チップ 110 によって構成されている。センサチップ 100 内に各画素を構成するセンサセル 101 がマトリクス状に配設されている。なお、図 4 では 1 画素の構成のみを示している。

40

【0004】

各画素のフォトダイオード 102 によって得られた画素信号はトランジスタ 103 を介して取り出される。この場合には、例えば、1 ラインの全ての画素が同時に選択されて、スイッチ 104, 105 を介して電圧又は電流の形で列読出し回路を構成するコンデンサ 106, 107 に供給される。コンデンサ 106 は信号蓄積用であり、コンデンサ 107 はノイズ成分の蓄積用である。コンデンサ 106, 107 に蓄積された信号とノイズ成分とは夫々アンプ 108, 109 によって増幅され、信号  $V_s$ ,  $V_n$  として出力される。

【0005】

信号  $V_s$ ,  $V_n$  は外部の信号処理チップ 110 に転送される。信号処理チップ 110 の差分アンプ回路 (SUB) 111 は、光量に応じた信号  $V_s$  とノイズ成分  $V_n$  との差分を求

50

め、ノイズを除去した信号を出力する。差分アンプ回路111の出力はOBクランプ回路(OB)112によってオプティカルブラックのレベルが調整され、更に、PGA(プログラマブルゲインアンプ回路)113によって所定の増幅度で増幅されてアナログ/デジタル変換器(ADC)114に供給される。ADC114はPGA113の出力をデジタル信号に変換してALC115及びロジック回路117に出力する。ロジック回路117は、入力された信号に対して所定の画像信号処理を施すことによって、センサセルによって取得した画像に基づく画像信号出力を得る。一方、ALC115はPGA113及びOBクランプ回路112を制御するためのデジタル制御信号をDAC(デジタル/アナログ変換器)116に出力し、DAC116によって発生されるアナログ信号がPGA113及びOBクランプ回路112に供給される。

10

**【0006】**

このようなイメージセンサは、例えば、特開平11-195778号公報に開示されている。

**【0007】****【特許文献1】**

特開平11-195778号公報

**【0008】****【発明が解決しようとする課題】**

ところで、センサチップから出力される信号及びノイズ成分には、信号処理チップへの伝送路途中においてノイズが混入する。このようにノイズが混入した信号をPGAにおいて増幅すると、ノイズ成分も増幅されてしまい、画像品質が著しく劣化してしまうという問題点があった。

20

**【0009】**

本発明はかかる問題点に鑑みてなされたものであって、信号及びノイズ成分の増幅をセンサチップ内で行うことを可能にすることにより、ノイズの画像への影響を著しく軽減することができるセンサチップ及び画像処理装置を提供することを目的とする。

**【0010】****【課題を解決するための手段】**

本発明に係るセンサチップは、第1の半導体基板上に形成され、アレイ状に配設されたセンサセルと、前記第1の半導体基板上に形成され、受光した光に基づく前記センサセルからの信号成分を保持する第1のメモリと、前記第1の半導体基板上に形成され、前記第1のメモリからの信号を増幅する増幅部とを具備したことを特徴とする。

30

**【0011】**

このような構成によれば、センサセルが受光した光は電気信号に変換される。センサセルからの信号成分は第1のメモリに保持され、第1のメモリから読み出された信号は増幅部において増幅される。センサセル、第1のメモリ及び増幅部が同一の半導体基板上に形成されており、増幅部への信号の転送に際してノイズの混入が著しく低減される。これにより、増幅部による増幅後の信号に含まれるノイズ成分は極めて小さい。従って、増幅部の出力に基づく画像はノイズの悪影響がない高画質のものとなる。

**【0012】**

また、本発明に係るセンサチップは、第1の半導体基板上に形成され、アレイ状に配設されたセンサセルと、前記第1の半導体基板上に形成され、受光した光に基づく前記センサセルからの信号成分を保持する第1のメモリと、前記第1の半導体基板上に形成され、前記センサセルからのノイズ成分を保持する第2のメモリと、前記第1の半導体基板上に形成され、前記第1及び第2のメモリからの前記信号成分と前記ノイズ成分との差分を求める差分回路部と、前記第1の半導体基板上に形成され、前記差分回路部からの信号を増幅する増幅部とを具備したことを特徴とする。

40

**【0013】**

このような構成によれば、受光した光に基づくセンサセルからの信号成分は第1のメモリに保持され、センサセルからのノイズ成分は第2のメモリに保持される。第1及び第2の

50

メモリから読み出された信号は差分回路部において差分が求められ、信号成分のみが増幅部において増幅される。センサセル、第1及び第2のメモリ、差分回路部及び増幅部が同一の半導体基板上に形成されており、差分回路部及び増幅部への信号の転送に際してノイズの混入が著しく低減される。これにより、増幅部による増幅後の信号に含まれるノイズ成分は極めて小さくなり、ノイズの悪影響がない高画質の画像が得られる。

【0014】

また、前記増幅部は、前記増幅部の出力に基づいて前記増幅部のゲインを制御するアナログフィードバックループの一部を構成することを特徴とする。

【0015】

このような構成によれば、増幅部はアナログフィードバックループによってゲインが制御されるので、所望の輝度レベルの信号を得ることができる。 10

【0016】

また、前記アナログフィードバックループは、その一部が前記第1の半導体基板とは異なる第2の半導体基板上に形成されることを特徴とする。

【0017】

このような構成によれば、センサセルからの信号を増幅する増幅部までが第1の半導体基板上に構成され、増幅部のゲインを制御するためのアナログフィードバックループの一部は第2の半導体基板上に形成される。増幅部による増幅までに混入するノイズが極めて小さいので、アナログフィードバックループによるフィードバック制御の精度が高い。

【0018】

また、前記増幅部は、ゲインがプログラマブルに可変であることを特徴とする。 20

【0019】

このような構成によれば、アナログフィードバックループ制御を高精度に行うことができる。

【0020】

また、前記増幅部は、前記第1の半導体基板上に形成されたアクティブ層よりも上層に金属膜、絶縁膜及び金属膜による積層構造によって容量が形成されていることを特徴とする。

【0021】

このような構成によれば、金属膜、絶縁膜及び金属膜による積層構造によって形成される容量は、電圧依存性を有していない。従って、第1の半導体基板上に構成する増幅部の容量を常に所望の値に設定することができ、回路特性を向上させることができ、増幅部の出力に基づく画像の画質を向上させることができる。 30

【0022】

また、前記差分回路部は、前記第1の半導体基板上に形成されたアクティブ層よりも上層に金属膜、絶縁膜及び金属膜による積層構造によって容量が形成されていることを特徴とする。

【0023】

このような構成によれば、金属膜、絶縁膜及び金属膜による積層構造によって形成される容量は、電圧依存性を有していない。従って、第1の半導体基板上に構成する差分回路部の容量を常に所望の値に設定することができ、回路特性を向上させることができ、増幅部の出力に基づく画像の画質を向上させることができる。 40

【0024】

また、本発明に係る画像処理装置は、上記センサチップと、前記増幅部の出力を前記第1の半導体基板とは異なる第2の半導体基板に転送する第1の配線と、前記第2の半導体基板上に形成され、前記第1の配線によって転送された前記増幅部の出力に基づいて前記増幅部のゲインを制御するアナログフィードバックループの一部を構成するフィードバック回路部を備えた信号処理チップと、前記フィードバック回路部の出力を前記第1の半導体基板の前記増幅部に転送するための第2の配線とを具備したことを特徴とする。

【0025】

このような構成によれば、センサチップからの信号は第1の配線を介して第2の半導体基板に転送され、第2の半導体基板上に形成されたフィードバック回路部に与えられる。フィードバック回路部の出力は第2の配線を介して第1の半導体基板の増幅部に転送される。これにより、センサチップからの信号出力にノイズが混入することを防止すると共に、アナログフィードバックによって、増幅部の増幅度を制御して、所望の輝度レベルの信号を得ることができる。

【0026】

また、本発明に係るセンサチップは、第1の半導体基板上に形成され、アレイ状に配設されたセンサセルと、前記第1の半導体基板上に形成され、受光した光に基づく前記センサセルからの信号成分を保持する第1のメモリと、前記第1の半導体基板上に形成され、前記第1のメモリからの信号を増幅する増幅部と、前記第1の半導体基板上に形成され、前記増幅部と共に、前記増幅部の出力に基づいて前記増幅部のゲインを制御するアナログフィードバックループを構成するフィードバック回路部とを具備したことを特徴とする。

10

【0027】

このような構成によれば、センサセルからの信号成分は第1のメモリに保持され、第1のメモリから読み出された信号は増幅部において増幅される。更に、増幅部の出力はフィードバック回路部に供給されて、増幅部の増幅度がフィードバック制御される。アナログフィードバックループを構成する各回路が全て第1の半導体基板上に構成されており、アナログ回路に混入するノイズを著しく低減することができる。これにより、高画質の画像を得ることができる。

20

【0028】

また、本発明に係るセンサチップは、第1の半導体基板上に形成され、アレイ状に配設されたセンサセルと、前記第1の半導体基板上に形成され、受光した光に基づく前記センサセルからの信号成分を保持する第1のメモリと、前記第1の半導体基板上に形成され、前記センサセルからのノイズ成分を保持する第2のメモリと、前記第1の半導体基板上に形成され、前記第1及び第2のメモリからの前記信号成分と前記ノイズ成分との差分を求める差分回路部と、前記第1の半導体基板上に形成され、前記差分回路部からの信号を増幅する増幅部と前記第1の半導体基板上に形成され、前記増幅部と共に、前記増幅部の出力に基づいて前記増幅部のゲインを制御するアナログフィードバックループを構成するフィードバック回路部とを具備したことを特徴とする。

30

【0029】

このような構成によれば、差分回路部によって、センサセルからの信号成分とノイズ成分との差分が求められる。差分回路部からの信号成分は増幅部において増幅され、増幅部の増幅度はフィードバックループによって制御される。差分回路部及びアナログフィードバックループを構成する各回路が全て第1の半導体基板上に構成されており、アナログ回路に混入するノイズを著しく低減することができる。これにより、高画質の画像を得ることができる。

【0030】

また、前記アナログフィードバックループは、前記増幅部の出力に基づくデジタル信号を発生するアナログデジタル変換部を具備したことを特徴とする。

40

【0031】

このような構成によれば、増幅部の出力に基づくアナログ信号をデジタル信号に変換して第1の半導体基板上から外部に出力可能である。増幅部の出力に含まれるノイズは著しく低減されており、また、増幅部の出力に基づくデジタル信号を外部に出力することができるので、外部回路においてノイズの影響を受けない信号処理が可能である。

【0032】

また、本発明に係る画像処理装置は、センサチップと、前記アナログデジタル変換部の出力を前記第1の半導体基板とは異なる第2の半導体基板に転送する第1の配線と、前記第2の半導体基板上に形成され、前記第1の配線によって転送された前記アナログデジタル変換部の出力に対して所定の画像信号処理を施して画像信号を出力するロジック回路

50

部を備えた信号処理チップとを具備したことを特徴とする。

【0033】

このような構成によれば、増幅部の出力に基づくデジタル信号が第1の半導体基板上から第1の配線を介して第2の半導体基板に転送される。第2の半導体基板上的ロジック回路部は、入力されたデジタル信号に対する画像信号処理によって画像信号を得る。この画像信号は第1の半導体基板から第2の半導体基板にデジタル伝送された信号を用いて生成されており、ノイズの影響が著しく低減されている。

【0034】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。図1は本発明の第1の実施の形態に係る画像処理装置を示すブロック図である。 10

【0035】

本実施の形態はセンサセルによって得た画素信号を増幅するPGAまでのアナログ回路をセンサチップ内に内蔵させることにより、画素信号の転送時のノイズの影響を低減するようになっている。

【0036】

図1の画像処理装置は、大規模集積回路によって構成した固体撮像装置であるセンサチップ1と、信号処理装置である信号処理チップ2とからなる。センサチップ1は、2次元の固体撮像装置であり、光学像を光電変換して、光学像に基づく画素信号を信号処理チップ2へ供給するものである。本実施の形態においては、センサチップ1は、センサセル3、 20  
スイッチSW1, SW2、コンデンサC1, C2、差分アンプ回路4及びPGA5によって構成されている。

【0037】

信号処理チップ2は、受信した各画素信号に対して予め決められた信号処理を施して、画像信号を出力する。本実施の形態においては、信号処理チップ2は、オプティカルブラック(以下、OBと略す。)クランプ回路10と、アナログデジタル変換回路(ADC) 11と、ALC回路12と、デジタルアナログ変換器(DAC)13及びロジック回路 14によって構成されている。

【0038】

センサチップ1は、センサセル3をマトリクス状に配置して構成した図示しないセンサセルアレイを有している。センサセル3は、例えば、特開平11-195778号に記載されたような閾値変調型の固体撮像素子である。なお、センサセルアレイは、例えば、640×480のセンサセルと、オプティカルブラック(OB)のための領域(OB領域)を含む。OB領域を含めると、センサセルアレイは例えば712×500のセンサセルで構成される。センサセル3は、受光した光量に応じた画素信号を出力する。そして、センサチップ1は、受光光量に応じた信号成分の電圧出力信号VOUTSと、ノイズ成分に応じた電圧出力信号VOUTNの2つの出力信号を発生する。 30

【0039】

更に、詳述すると、センサチップ1のセンサセル3は、フォトダイオードPDSと、光信号検出用絶縁ゲート型電界効果型トランジスタであるMOSトランジスタPDTrとを含む。フォトダイオードPDSは、不純物拡散領域とウエル領域からなり、入射光に応じてホール(正孔)がウエル領域内に生じる。そのウエル領域は、光信号検出用MOSトランジスタPDTrと共有されており、光信号検出用MOSトランジスタPDTrのゲート領域を構成する。フォトダイオードPDSの不純物拡散領域と、光信号検出用MOSトランジスタPDTrのドレイン拡散領域は、ウエル領域の表層に一体的に形成されている。ドレイン拡散領域は、リング状のゲート電極の外周部を取り囲むように形成されている。リング状のゲート電極の中心部にソース拡散領域が形成されている。ゲート電極下のウエル領域内であって、ソース拡散領域の周辺部に、ソース拡散領域を取り囲むようにキャリアポケットが形成されている。センサ構造の詳細は、特開平11-195778号公報に記載されている。 40

## 【 0 0 4 0 】

センサセル3から光量に応じた信号を得るために、蓄積、読み出し及びクリアの3状態のそれぞれにおいて、センサセル3のゲート、ソース及びドレインに、所定のバイアス電圧を印加することによって、光量に応じた信号を得ることができる。簡単に言えば、蓄積状態のとき、フォトダイオードPDSに入射した光量に応じて生じたホールをキャリアポケットに蓄積させる。読み出し状態のとき、蓄積されたホールに基づいて信号電圧を読み出す。読み出された信号電圧は、ゲート電圧と、受光量に応じて変化した閾値との差に応じた電圧信号である。クリア状態のとき、蓄積されたホールは基板方向へ掃き出され、ホール等の残留電荷を排出する。クリア後、ノイズ成分のオフセット電圧を読み出し、信号電圧とオフセット電圧との差分をとることによって、画像信号を得ることができる。各セルについて、上述した動作を行い、画像信号を得ることによって、2次元の画像信号を得ることができる。バイアス条件、すなわち各状態における各セルのゲート、ソース及びドレインのバイアス電圧については、各状態毎に適宜設定する。

10

## 【 0 0 4 1 】

センサセルアレイの各列に対応するソース線が蓄積信号用ラインメモリを構成するコンデンサC1とオフセット信号用ラインメモリを構成するコンデンサC2とに、夫々スイッチSW1, SW2を介して接続されている。スイッチSW1はコンデンサC1への蓄積信号用のロード信号によってオンとなり、スイッチSW2は、コンデンサC2へのノイズ分蓄積用のロード信号によってオンとなる。

## 【 0 0 4 2 】

先ず、スイッチSW1がオンとなることによって、各ソース線から光量に応じた電圧がコンデンサC2に与えられ、コンデンサC2にその電圧に応じた電荷が蓄積される。

20

## 【 0 0 4 3 】

次に、センサセル3に対してクリア用のバイアス電圧が印加されて、センサセル3に保持されていた電荷が排出される。次にスイッチSW2がオンとなって、各ソース線からノイズ成分に応じた電圧がコンデンサC2に与えられる。こうして、コンデンサC2にはノイズ成分に応じた電荷が蓄積される。コンデンサC1に蓄積された電荷に応じた電圧は、VOUTS信号として出力され、コンデンサC2に蓄積された電荷に応じた電圧は、VOUTN信号として出力される。

## 【 0 0 4 4 】

本実施の形態においては、コンデンサC1, C2からのVOUTSとVOUTNの2つの電圧アナログ信号は、センサチップ1内に構成された差分アンプ回路4に供給されるようになっている。差分アンプ回路4は、VOUTSとVOUTNの2つのアナログ信号が与えられ、信号成分の電圧値とノイズ成分との電圧値の差を取って、センサチップ1内に構成されたPGA5に出力するようになっている。

30

## 【 0 0 4 5 】

PGA5は、例えば1デシベル単位でゲインを調整するための増幅器である。PGA5は差分アンプ回路4の出力を後述するゲイン制御信号に基づく増幅度で増幅して出力する。PGA5の出力はセンサチップ1の出力端子7を介して外部に出力されるようになっている。

40

## 【 0 0 4 6 】

センサチップ1の端子6, 7と信号処理チップ2端子8, 9との間はそれぞれ信号線15, 16によって接続されている。信号線15は、PGA5の出力を信号処理チップ2に伝送する。信号処理チップ2の端子9を介して取込まれた信号は信号処理チップ2内のOBクランプ回路10に与えられる。

## 【 0 0 4 7 】

OBクランプ回路10は、適切な黒色の基準レベルに調整するための回路である。センサセルアレイ内の予め決められた数画素分のセル、すなわちOB領域は、遮光板等によって遮光されており、その遮光されたセルの信号レベルに基づいて、適切な黒色レベルが調整される。OBクランプ回路10の出力はADC11に与えられる。ADC11は入力され

50

た信号をデジタル信号に変換してA L C 1 2及びロジック回路1 4に供給する。

【0048】

A L C 1 2は、O Bクランプ回路1 0を制御するO B制御処理、輝度制御処理、輝度測光処理等を行うと共に、これらの処理に必要なパラメータを格納する図示しないレジスタを有している。レジスタには、例えば、シャッタースピードデータ等のデータもストアされる。

【0049】

O B領域の画素については、その画素の輝度データが、A D C 1 1からデジタル信号としてA L C 1 2に供給される。A L C 1 2は、A D C 1 1からの信号を入力し、黒レベルを調整するためにO Bクランプ回路1 0に制御信号を出力する。また、A L C 1 2は、輝度測光処理を行うことによって、例えば、A D C 1 1から供給される1フレーム内の全ての緑(G)の画素のデータに基づいて、輝度を測定することができる。更に、A L C 1 2は、測定した輝度データに基づいて撮像した画像の輝度を調整するためのゲイン制御信号を発生することができるようになっている。

10

【0050】

A L C 1 2からのゲイン制御信号は信号処理チップ2の出力端子8を介して外部に出力可能である。本実施の形態においては、ゲイン制御信号は信号線1 6を介してセンサチップ1の端子6に供給されるようになっている。更に、センサチップ1の端子6はP G A 5の制御端に接続されており、P G A 5は、A L C 1 2における輝度測光処理に基づいて生成されたゲイン制御信号に応じて、差分アンプ回路4の出力に対するゲインが調整されるようになっている。これにより、画像の明るさの調整が行われる。なお、A L C 1 2は、輝度制御処理によって最適なシャッタースピードを求めて、このデータをレジスタに書き込むようになっている。

20

【0051】

ロジック回路1 4は、A D C 1 1の出力が与えられ、所定の画像信号処理を施すことで、画像信号を生成して出力端子1 7から出力するようになっている。

次に、このように構成された実施の形態の動作について説明する。

【0052】

図示しない被写体からの光学像がセンサチップ1の各画素に入射すると、蓄積状態において入射光量に応じた電気信号がフォトダイオードP D Sに生じる。所定のセンサセル3のフォトダイオードP D Sに発生した電気信号は読み出し状態においてトランジスタP D T rを介してソース線に供給され、スイッチS W 1を介してコンデンサC 1 に蓄積される。次いで、読み出しを行ったセンサセル3に蓄積されている残留電気信号をクリア状態において排出し、スイッチS W 2をオンにしてセンサセル3のノイズ成分をコンデンサC 2 に蓄積する。コンデンサC 1 , C 2 に蓄積された電気信号は夫々信号成分の出力V O U T S及びノイズ成分の出力V O U T Nとして差分アンプ回路4に出力される。

30

【0053】

本実施の形態においては、差分アンプ回路4は、センサチップ1内に構成されている。従って、コンデンサC 1 , C 2 からの信号転送に際してノイズの混入は著しく低減される。差分アンプ回路4は、信号V O U T Sと信号V O U T Nとの差分を求めて画素の信号成分を取り出しP G A 5に出力する。本実施の形態においては、P G A 5もセンサチップ1内に構成されている。従って、差分アンプ回路4からの信号転送に際してノイズの混入は著しく低減される。P G A 5は端子6を介して入力されるゲイン制御信号に基づく増幅度で入力された画素信号を増幅して出力する。

40

【0054】

差分アンプ回路4及びP G A 5に入力される信号に混入するノイズ成分は極めて小さく、差分アンプ回路4及びP G A 5による増幅後の画素信号に含まれるノイズ成分も極めて小さい。

P G A 5の出力はセンサチップ1の出力端子7から信号線1 5を介して信号処理チップ2に転送される。信号処理チップ2のO Bクランプ回路1 0は端子9を介してP G A 5から

50

の画素信号が与えられる。OBクランプ回路10は、ALC12からオプティカルブラック調整用の制御信号がDAC13を介して与えられており、入力された画素信号のオプティカルレベルを黒レベルが適切なレベルとなるように調整して出力する。OBクランプ回路10の出力はADC11においてデジタル信号に変換された後、ロジック回路14に与えられる。

**【0055】**

ロジック回路14は順次入力されるデジタル画素信号に対して所定の画像信号処理を施して、画像信号を得る。この画像信号は出力端子17を介して外部に出力される。

また、ADC11の出力はALC12にも供給される。ALC12は入力されたデジタル画素信号に基づいて、輝度調整のためのゲイン制御信号やOBクランプ用の制御信号等を発生する。なお、ALC12からのゲイン制御信号は端子8から信号線16を介してセンサチップ1に転送され、センサチップ1のPGA5は端子6を介してこのゲイン制御信号を取込む。

10

**【0056】**

このように、本実施の形態においては、信号成分VOUTS及びノイズ成分VOUTNの差分を求めて増幅する差分アンプ回路4及びPGA5をセンサチップ1内に構成していることから、信号の転送に際してノイズの混入を著しく低減することができ、これにより、増幅後の信号に含まれるノイズ成分を十分に低減させている。信号線15を用いたセンサチップ1と信号処理チップ2との間の画素信号の転送後には、信号の増幅処理を行っていないので、転送に際して混入したノイズによる画質の影響は極めて小さく、画質を向上させることができる。

20

**【0057】**

図2は本発明の第2の実施の形態を示す回路図である。図2において図1と同一の構成要素には同一符号を付して説明を省略する。

**【0058】**

第1の実施の形態においては、特に増幅に寄与する差分アンプ回路及びPGAをセンサチップ内に構成することによって、ノイズによる悪影響を十分に低減することを可能にしている。更に、本実施の形態はアナログ処理を行う回路部分の全てをセンサチップ内に構成することによって、ノイズによる悪影響を更に一層低減するようにしたものである。

**【0059】**

本実施の形態は差分アンプ回路4の出力をOBクランプ回路10に与え、OBクランプ回路10の出力をPGA5に与え、PGA5の出力をADC11に与えるようにすると共に、差分アンプ回路4、OBクランプ回路10、PGA5、ADC11、ALC12及びDAC13をセンサチップ21に内蔵した点が図1の実施の形態と異なる。なお、この場合には、信号処理チップ22は、ロジック回路14のみによって構成される。

30

**【0060】**

ADC11の出力はALC12に供給されると共に、センサチップ21の端子23を介して外部に転送されるようになっている。端子23と信号処理チップ22の端子24とは信号線25によって接続されており、ADC11の出力は端子23、信号線25、端子24を介して信号処理チップ22内のロジック回路14に供給されるようになっている。

40

**【0061】**

次に、このように構成された実施の形態の動作について説明する。

**【0062】**

差分アンプ回路4においてコンデンサC1、C2からの信号成分VOUTSとノイズ成分VOUTNとの差分を求めるまでは第1の実施の形態と同様の動作が行われる。差分アンプ回路4の出力はOBクランプ回路10においてオプティカルレベルが調整された後、PGA5に与えられる。PGA5は入力された画素信号をALC12からのゲイン制御信号に基づく増幅度で増幅してADC11に出力する。

**【0063】**

本実施の形態においても、差分アンプ回路4及びPGA5までの伝送路におけるノイズの

50

混入は極めて少なく、PGA5の増幅後の信号に含まれるノイズ成分は十分に低減されている。ADC11は入力された画素信号をデジタル信号に変換してALC12に出力する。ALC12はPGA5にゲイン制御信号を供給すると共に、OBクランプ用の制御信号をDAC13に出力する。DAC13は入力された制御信号をアナログ信号に変換してOBクランプ回路10に与える。

【0064】

これらのアナログフィードバックループを構成するOBクランプ回路10、PGA5、ADC11、ALC12及びDAC13の全てがセンサチップ21内に構成されている。従って、アナログフィードバックループ内におけるノイズの混入を著しく低減することができる。

10

【0065】

一方、ADC11の出力は端子23、信号線25及び端子24を介して信号処理チップ22内のロジック回路14に入力される。ロジック回路14は入力されたデジタル画素信号に対して所定の画像信号処理を施して、出力端子26から画像信号を出力する。

【0066】

センサチップ21と信号処理チップ22との間はデジタル信号によって信号伝送が行われており、ノイズの悪影響を十分に低減することができる。

【0067】

このように本実施の形態においては、アナログフィードバックループを構成する全ての回路をセンサチップ内に構成し、センサチップと信号処理チップとの間はデジタル伝送を行っていることから、ノイズによる悪影響を更に一層低減することができる。

20

【0068】

ところで、一般的に、CMOSプロセスにおいて容量を形成する場合には、ゲートとソース・ドレイン間の酸化膜を絶縁膜とするMOS容量が採用される。しかしながら、アクティブ層に形成されたMOS容量は、電圧依存性を有し、ゲート、ソース、ドレインに印加される電圧によって容量値が変化してしまう。このため、アナログ回路をセンサチップ内に構成した場合にはMOS容量の変化によって、十分な特性を得ることができない。例えば、PGAをセンサチップ内に構成した場合には、その増幅特性がリニアでなくなってしまう、所望の増幅度を得ることが困難になってしまう。

【0069】

そこで、上記第1及び第2の実施の形態においては、容量をMIM(Metal Insulator Metal)構造によってアクティブ層よりも上の層に形成することにより、この問題を解決している。

30

【0070】

図3はこのようなMIM構造によって形成された容量を説明するための模式的な断面図である。図3はセンサとして、閾値電圧変調方式のMOS型固体撮像素子に適用した例を示している。なお、閾値電圧変調方式のMOS型固体撮像素子は、CCD(電荷結合素子)の高性能画質、及びCMOSの低消費電力を兼ね備え、画質の劣化を抑えたほか、高密度化および低コスト化を実現するものとして注目されており、特開平11-195778号公報にて開示されている。

40

【0071】

図3において領域31, 32, 33, 34は夫々NMOSトランジスタ形成領域、PMOSトランジスタ形成領域、MIM形成領域及び閾値電圧変調方式のMOS型固体撮像素子形成領域である。NMOSトランジスタ形成領域31はPウェル35上に形成されたたN+領域によってソース、ドレイン領域36, 37が形成される。また、Pウェル35上に酸化膜を介してゲート電極38が形成されている。PMOSトランジスタ形成領域32はNウェル40上には形成されたたP+領域によってソース、ドレイン領域41, 42が形成される。また、Nウェル40上には酸化膜を介してゲート電極43が形成されている。

【0072】

閾値電圧変調方式のMOS型固体撮像素子形成領域34においては、上述したように、不

50

純物拡散領域 5 3 において入射光量に基づくホールが蓄積される。ドレイン拡散領域 5 1、ソース拡散領域 5 2 の下層に P ウェル領域 5 5 が形成されており、このウェル領域 5 5 のソース領域拡散領域 5 2 の周辺部に、ソース拡散領域 5 2 を囲むように不純物拡散領域 5 3 から転送されたキャリアを蓄積するキャリアポケット（図示せず）が形成される。ソース拡散領域 5 2 上を囲むようにリング状のゲート電極 5 4 が形成されている。

【0073】

これらの NMOS、PMOS トランジスタ形成領域 3 1、3 2 と閾値電圧変調方式の MOS 型固体撮像素子形成領域 3 4 とは P ウェル 7 1 上に形成された層間膜 7 2 によって区画されている。そして、これらの NMOS、PMOS トランジスタ及び閾値電圧変調方式の MOS 型固体撮像素子を形成したアクティブ層上には層間絶縁膜 7 3 が形成されている。層間絶縁膜 7 3 上にはアルミニウム等で構成した配線 6 1 ~ 6 6 が形成されている。NMOS、PMOS トランジスタ形成領域 3 1、3 2 のソース、ドレイン領域 3 6、3 7、4 1、4 2 並びに VMOS 形成領域 3 4 のゲート電極 5 4 及びソース拡散領域 5 2 と、配線 6 1 ~ 6 6 とは、コンタクト 4 5 ~ 5 0 によって電氣的に接続されている。

10

【0074】

本実施の形態においては、アクティブ層よりも上層の層間絶縁膜 7 3 上に、アルミニウム等の配線 7 4 を形成している。そして配線 7 4 上に、MIM 構造を有する容量層 8 5 を形成している。容量層 8 5 は、配線 7 4 上に形成された絶縁膜 7 5、絶縁膜 7 5 上に形成された窒化膜 7 6、窒化膜 7 6 上に形成された絶縁膜 7 7、絶縁膜 7 7 上に形成された金属膜 7 8 によって構成されている。これらの MIM 積層構造によって、所望の容量が得られる。

20

【0075】

容量層 8 5 上、配線 7 4 及び他の配線 6 1 ~ 6 6 上には酸化膜 7 9 が形成され、酸化膜 7 9 上には層間絶縁膜 8 6 を介して上層の配線層が形成されている。この配線層にはアルミニウム等の配線 8 2、8 3 が形成されており、これらの配線 8 2、8 3 は夫々コンタクト 8 0、8 1 を介して下層の配線 7 4 及び金属膜 7 8 に接続されている。

【0076】

このような図 3 の MIM 構造による容量は、電圧依存性を有していない。従って、容量層 8 5 は常に一定の容量を得ることができ、アナログ回路に採用することによって、アナログ回路の特性を向上させることができる。例えば、PGA 等に採用すると、PGA の特性のリニアリティを向上させることができ、ノイズ耐性が高いセンサチップを得ることができる。

30

【0077】

尚、上記実施の形態は、固体撮像素子として閾値電圧変調方式の MOS 型イメージセンサを例に説明したが、閾値電圧変調方式の MOS 型イメージセンサに限定されるものではなく、他の方式のイメージセンサについても適応可能であることは言うまでも無い。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る画像処理装置を示すブロック図。

【図 2】本発明の第 2 の実施の形態を示す回路図。

【図 3】MIM 構造によって形成された容量を説明するための模式的な断面図。

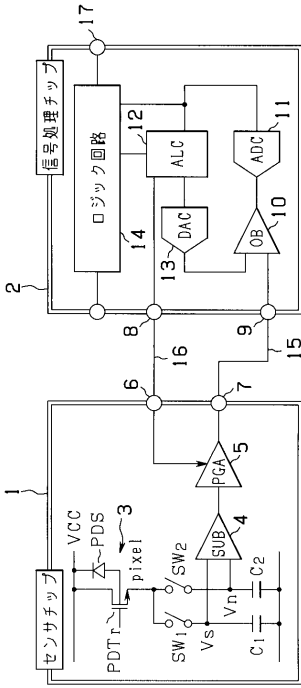
40

【図 4】イメージセンサを採用した固体撮像装置を示すブロック図。

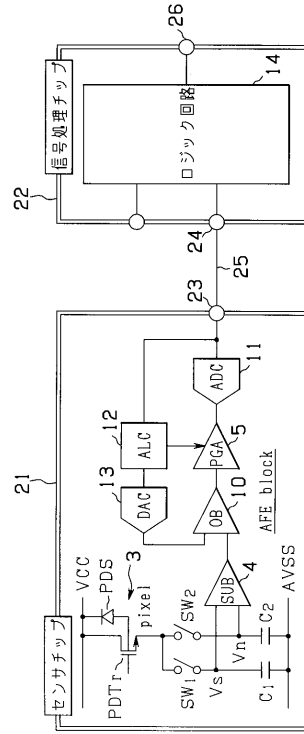
【符号の説明】

1 ... センサチップ、2 ... 信号処理チップ、3 ... センサセル、C 1 ... コンデンサ、4 ... 差分アンプ回路、5 ... PGA、10 ... OB クランプ回路、11 ... ADC、12 ... AL C、13 ... DAC、14 ... ロジック回路、15、16 ... 信号線。

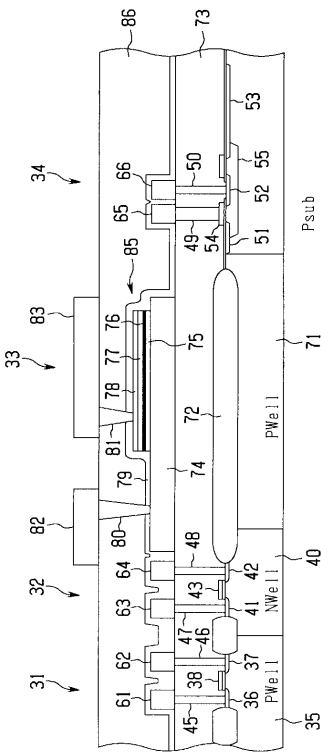
【図 1】



【図 2】



【図 3】



【図 4】

