(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 9 月 7 日 (07.09.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/157279 A1

(51) 国际专利分类号:
H01L 27/11524 (2017.01) *H01L 29/06* (2006.01)

(21) 国际申请号: PCT/CN2017/075141

(22) 国际申请日: 2017 年 2 月 28 日 (28.02.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。

(72) 发明人: 刘琦 (LIU, Qi); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。 赵晓龙 (ZHAO, Xiaolong); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。 刘森 (LIU, Sen); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。 刘明 (LIU, Ming); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。 吕杭炳 (LV, Hangbing); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。 龙世兵 (LONG, Shibing); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。 王艳 (WANG, Yan); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。 伍法才 (WU, Facai); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路87号4-1105室, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) **Title:** CONDUCTIVE BRIDGE SEMICONDUCTOR COMPONENT AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 导电桥半导体器件及其制备方法

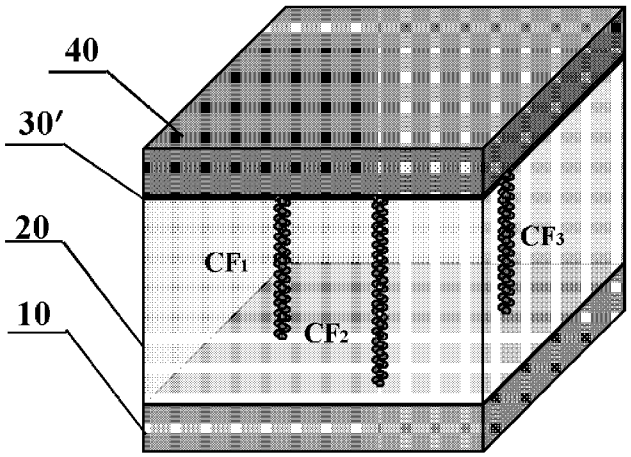


图 5A

(57) **Abstract:** A conductive bridge semiconductor component and a manufacturing method therefor. The conductive bridge semiconductor component comprises in an upward sequence: a lower electrode (10), a resistive functional layer (20), an ion barrier layer (30), and an active upper electrode (40), where holes (31) for active electrically-conductive ions to pass through are provided on the ion barrier layer (30). A conductive bridge resistive memory and a conductive bridge selector can be manufactured on the basis of such structure, by regulating the number, diameter, and density of the holes on the ion barrier layer, implemented is precise regulation of an electrically-conductive pathway for a conductive bridge-based memory and selector.

WO 2018/157279 A1

[见续页]

JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种导电桥半导体器件及其制备方法。导电桥半导体器件自下而上包括：下电极（10）、阻变功能层（20）、离子阻挡层（30）和活性上电极（40），其中，离子阻挡层（30）上开设有供活性导电离子通过的孔洞（31）。基于此结构可以制备导电桥阻变存储器以及导电桥选择器，通过调控离子阻挡层孔洞的数量、直径及密度，实现对基于导电桥的存储器与选择器的导电通路的精确调控。

导电桥半导体器件及其制备方法

技术领域

本发明涉及微电子行业存储器技术领域，尤其涉及一种导电桥半导体器件及其制备方法。

背景技术

随着微电子及半导体技术的不断革新，FLASH 存储技术正面临一系列的瓶颈问题，如浮栅不可能随技术发展而无限制减薄，数据保持时间有限，操作电压过大等问题。诸多新型存储器中，阻变存储器由于具备较低操作功耗、耐久力（Endurance）好、结构简单、器件面积小等优点而逐渐成为目前新型非易失性存储器中的研究重点。基于导电桥的器件，外加偏压去除后，导电通路依然保持，则该非易失性器件可应用于阻变存储器；外加偏压去除后，导电通路不能保持，则该易失性器件可应用于阻变存储器交叉阵列中的选择器，用以消除交叉阵列中漏电通道引起的读写串扰问题。然而，非易失性阻变存储器导电通路的随机形成，极大的削弱了导电桥阻变存储器的记忆特性，即阻态的保持特性，更不利于实现低限流下器件的低功耗特性。

同时，基于交叉阵列架构的阻变存储器，在阵列中的读取操作存在交叉串扰的问题，导致所存储信息的错误读取。对于如何解决交叉串扰问题，最常见的是选择器与阻变存储器集成的解决方案，包括一个晶体管一个 RRAM（1T1R）结构，一个单向二极管一个 RRAM（1D1R）和一个双向选择器一个 RRAM（1S1R）结构。1T1R 结构中存储器单元面积主要取决于晶体管的面积，无法发挥 RRAM 优良的可缩小性优势；1T1R 结构中二极管通常仅有单向导通的特性；1S1R 结构中的选择器分为两种类型，一种是以电子导电为主导的电子型选择器，该类型选择器通常具有缓变的电学特性，较小的选择比，并且不能给阻变存储器提供较高的操作电流。另外一种是以活性金属导电桥为主导的导电桥选择器，该类型选择器基于导电桥脆弱的保持特性，通常具有突变的电学特性，较高的选择比。然而，该类型选择器在较大操作电流运行时，导电桥保持特性发生变化，不易断裂，变为非挥发的存储特性，无法实现器件的选通。

发明内容

（一）要解决的技术问题

本发明提供了一种导电桥半导体器件及其制备方法，以至少部分解决以上所提出的技术问题。

（二）技术方案

根据本发明的一个方面，提供了一种导电桥半导体器件。该导电桥半导体器件自下而上包括：下电极、阻变功能层、离子阻挡层和活性上电极，其中，离子阻挡层上开设有供活性导电离子通过的孔洞。

优选地，本发明导电桥器件为导电桥阻变存储器，离子阻挡层上的孔洞为 1 个，该孔洞的径向宽度介于 5nm~200nm 之间。

优选地，本发明导电桥器件中，孔洞位于离子阻挡层的中央位置。

优选地，本发明导电桥器件中，离子阻挡层采用石墨烯材料制备，孔洞的径向宽度介于 5nm~100 nm 之间。

优选地，本发明导电桥器件为导电桥选择器，离子阻挡层上的孔洞的数量大于或等于 1 个，孔洞的径向宽度小于 5nm。

优选地，本发明导电桥器件中，孔洞在离子阻挡层上随机分布，其面密度介于 $10^7/cm^2$~$10^{14}/cm^2$ 之间。

优选地，本发明导电桥器件中，离子阻挡层采用石墨烯材料制备，孔洞的面密度为 $n\times10^{10}/cm^2$，n 为正整数。

优选地，本发明导电桥器件中，孔洞的形状为长方形、椭圆形、三角形或六边形。

优选地，本发明导电桥器件中，下电极为以下材料其中的一种或多种制备的层状结构：TaN、TiN、W、Al、Ru、Ti 与 Pt 中的一种或多种材料制备，其厚度介于 10nm~200nm 之间；阻变功能层为以下材料其中的一种或多种制备的层状结构：TaO_x、MgO、HfO_2、Al_2O_3、TiO_2、SiO_2 与 ZrO_2，其厚度介于 3nm~100nm 之间；离子阻挡层为以下材料其中的一种或多种制备的层状结构：Ta、TaN、TiN、TiW、单层或多层石墨烯，其厚度小于 10nm；活性上电极采用 Ag，Cu，Ni 等单元素电极或者包含至少其中一种元素的合金电极，其厚度介于 10nm~200nm 之间。

根据本发明的另一个方面，还提供了一种如上述导电桥器件的制备方

法。该制备方法包括：依次形成下电极、阻变功能层和离子阻挡层；在离子阻挡层上加工孔洞；以及在具有孔洞的离子阻挡层上制备活性上电极。

优选地，本发明导电桥器件的制备方法中，用光学曝光结合聚焦离子束刻蚀的方式在离子阻挡层上加工孔洞。

优选地，本发明导电桥器件的制备方法中，离子阻挡层上的孔洞的数量大于 1 个；通过高能离子轰击离子阻挡层来在离子阻挡层上加工孔洞，所述孔洞在离子阻挡层上随机分布，其面密度介于 $10^7/cm^2$~$10^{14}/cm^2$ 之间。

优选地，本发明导电桥器件的制备方法中，用于轰击的高能离子由离子注入机或粒子加速器获得，其能量高于 2 KeV~200 KeV，入射角度介于 80°~100° 之间，剂量大于 10^5。

优选地，本发明导电桥器件的制备方法中，离子阻挡层的材料为石墨烯材料，用于轰击的高能离子的剂量介于 10^{12}~10^{14} 之间。

（三）有益效果

从上述技术方案可以看出，本发明导电桥半导体器件及其制备方法至少具有以下有益效果其中之一：

（1）通过引入含孔洞的离子阻挡层，提供了一种新颖的包括活性上电极/具有孔洞的离子阻挡层/阻变功能层/下电极的导电桥半导体器件结构；

（2）通过调控离子阻挡层孔洞的数量、直径及密度，实现对基于导电桥的存储器与选择器的导电通路的精确调控；

（3）对于导电桥阻变存储器，单个纳米级孔洞可促使导电通路集中分布，提高阻态保持特性，在较小的操作电流下仍能实现非易失阻变特性，从而有效降低导电桥阻变存储器的功耗；

（4）对于导电桥选择器，离子阻挡层上的孔洞阵列可促使导电通路离散分布，降低导电通路保持特性，在大的工作电流下仍能实现易失性阻变特性，从而提高导电桥选择器的驱动电流和选择比。

附图说明

图 1A 为根据本发明第一实施例离子阻挡层上单个孔洞的导电桥阻变存储器的结构和导电通路调控的示意图。

图 1B 为图 1A 所示导电桥阻变存储器中离子阻挡层上单个孔洞的示意图。

图 2 为根据本发明实施例制备图 1A 所示导电桥阻变存储器的流程图。

图 3 和图 4 分别为传统的 Cu/HfO_2/Pt 器件与根据本发明第一实施例制备的 Cu/单孔石墨烯/HfO_2/Pt 器件在 1 μA 时的特征 I-V 曲线。

图 5A 为根据本发明第二实施例离子阻挡层上有孔洞阵列的导电桥选择器的结构和导电通路调控的示意图。

图 5B 为图 5A 所示导电桥选择器中离子阻挡层上孔洞阵列的示意图。

图 6 为未加工石墨烯与某一条件离子轰击后的石墨烯的拉曼光谱图。

图 7 和图 8 分别为在离子阻挡层上形成多孔时注入剂量为 D1，D2 的 Ag/多孔石墨烯/SiO_2/Pt 器件在最大易失性限流 100 μA 时的特征 I-V 曲线。

图 9 为在离子阻挡层上形成多孔时注入剂量增加到 D3 后 Ag/多孔石墨烯/SiO_2/Pt 器件在限流 100 μA 时的特征 I-V 曲线。

图 10 为在离子阻挡层上形成多孔时注入剂量增加到 D3 后 Ag/多孔石墨烯/SiO_2/Pt 器件在最大易失性限流 500 μA 时的特征 I-V 曲线。

图 11 为将 Ag/多孔石墨烯/SiO_2/Pt 器件与 Cu/HfO_2/Pt 器件通过外围电路串联后测试得到的特征 I-V 曲线。

【附图中本发明实施例主要元件符号说明】

10-下电极；

20-阻变功能层；

40-活性上电极；

30-具有单个孔洞的离子阻挡层； 31-单个孔洞；

30′-具有孔洞阵列的离子阻挡层； 31′、32′、33′-孔洞；

CF-单根导电通路； CF_1、CF_2、CF_3-多根导电通路。

具体实施方式

低功耗的导电桥阻变存储器与高电流的导电桥选择器功能的实现关键在于调控导电桥的保持特性。因此，通过调控导电通路的保持特性来优化基于导电桥的阻变存储器与选择器的性能就显得十分重要。

本发明在活性上电极/阻变功能层/下电极结构基础上，引入含孔洞的离子阻挡层，形成活性上电极/具有孔洞的离子阻挡层/阻变功能层/下电极结构，通过调控离子阻挡层上孔洞的数量，孔径及密度，实现对基于导电桥的存储器与选择器的导电通路的精确调控。

为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

在本发明的第一个示例性实施例中，提供了一种导电桥阻变存储器。图 1A 为根据本发明第一实施例离子阻挡层上有单个孔洞的导电桥阻变存储器的结构和导电通路调控的示意图。图 1B 为图 1A 所示导电桥阻变存储器中离子阻挡层上单个孔洞的示意图。如图 1A 和图 1B 所示，该导电桥阻变存储器自下而上包括：下电极 10、阻变功能层 20、离子阻挡层 30 和活性上电极 40。其中，离子阻挡层上开设有供活性导电离子通过的单个孔洞 31。

以下分别对本实施例导电桥阻变存储器的各个部分进行详细描述。

关于下电极 10，可采用 TaN、TiN、W、Al、Ru、Ti 与 Pt 中的一种或多种材料制备。该下电极 10 的厚度介于 10nm~200nm 之间。

关于阻变功能层 20，为以下材料其中的一种或多种制备的层状结构：TaO_x、MgO、HfO_2、Al_2O_3、TiO_2、SiO_2 与 ZrO_2。该阻变功能层 30 的厚度介于 3nm~100nm 之间。

关于离子阻挡层 30，为以下材料其中的一种或多种制备的层状结构：Ta、TaN、TiN、TiW、单层或多层石墨烯等。该离子阻挡层 20 的厚度小于 10 nm。

关于活性上电极 40，可采用 Ag，Cu，Ni 等单元素电极或者至少包含其中一种元素的合金电极。该活性上电极 40 的厚度介于 10nm~200nm 之间。

本领域技术人员应当清楚，活性上电极并不局限于以上列出的种类，其还可以采用其他能够产生活性导电离子的电极。同样，下电极也并不局限于以上列出的种类，其可以采用其他导电材料制成的电极。同样，阻变功能层还可以采用其他具有阻变性质的材料制备。同样，离子阻挡层也并不局限于以上列出的种类，其可以采用其他材料制成的结构致密的薄膜。

本实施例中，离子阻挡层 30 上仅有一个孔洞 31。该孔洞 31 为纳米尺度（5nm~200nm）的孔洞。对于图 1A 所示的导电桥阻变存储器而言，单个孔洞的离子阻挡层可促使导电通路集中分布，形成单根导电通路（Conductive filament，简称 CF），增强其阻态保持特性，特别是提高导电

桥阻变存储器低限流下的阻态保持特性，有利于实现器件稳定地低功耗操作。

关于离子阻挡层上孔洞的形状，可以是长方形、正方形、圆形、椭圆形、三角形、六边形等各个形状，孔洞的径向宽度介于 5nm~100nm 之间。优选地，考虑到电流在各个方向上传输的均匀性，孔洞优选为圆形。

本实施例中，离子阻挡层上的单个孔洞优选的位于离子阻挡层中央的位置，如图 1A 所示。在这种情况下，单根导电通路 CF 定位于离子阻挡层中央，相比于设置在外围，这样的设置方式更有利于器件的设计与加工。

图 2 为根据本发明实施例制备图 1A 所示导电桥阻变存储器的流程图。请参照图 1A 和图 2 所示，离子阻挡层上具有单个孔洞的导电桥阻变存储器的制备方法包括：

步骤 S202，依次形成下电极 10、阻变功能层 20 和离子阻挡层 30；

步骤 S204，在离子阻挡层 30 上加工单个孔洞；

本步骤在离子阻挡层 30 上加工单个孔洞的方法包括：

子步骤 S204a，在离子阻挡层上涂覆光刻胶；

子步骤 S204b，采用电子束或者纳米压印光刻技术精确曝光不同直径纳米尺度的单个孔洞，形成光刻胶图案；

子步骤 S204c，以光刻胶为离子阻挡层掩蔽层，以聚焦离子束技术直接定位刻蚀离子阻挡层，刻蚀孔内未被掩蔽的离子阻挡层，从而在离子阻挡层上形成单个孔洞；

子步骤 S204d，去除离子阻挡层上方的光刻胶，得到具有单个孔洞的离子阻挡层，至此步骤 S204 完成。

步骤 S206，在具有单个孔洞的离子阻挡层上制备活性上电极 40，至此，完成如图 1A 所示的离子阻挡层上具有单个孔洞的导电桥阻变存储器的制备。

为突出单个孔洞的离子阻挡层对导电桥阻变存储器性能的影响，对传统阻变存储器与根据本发明实施例制备的导电桥阻变存储器进行了性能测试。

图 3 和图 4 分别为传统的 Cu/HfO_2/Pt 器件与根据本发明第一实施例制备的 Cu/单孔石墨烯/HfO_2/Pt 器件在 1 μA 时的特征 I-V 曲线。在 Cu/单孔

石墨烯/HfO_2/Pt 器件中，石墨烯单孔直径介于 5~100 nm 之间。

由图 3 和图 4 可知，没有石墨烯阻挡层的 Cu/HfO_2/Pt 器件在 1 μA 限流下表现出易失性特点，而 Cu/单孔石墨烯/HfO_2/Pt 器件在该限流下表现出非易失性的特点。

在本发明的另一个示例性实施例中，还提供了一种导电桥选择器。图 5A 为根据本发明实施例离子阻挡层上有孔洞阵列的导电桥选择器的结构和导电通路调控的示意图。图 5B 为图 5A 所示导电桥选择器中离子阻挡层上孔洞阵列的示意图。如图 5A 和图 5B 所示，本实施例与上一实施例的区别在于：离子阻挡层 30′上具有多个原子尺度（小于 5nm）的孔洞（31′、32′、33′ 等），形成孔洞阵列。

如图 5A 所示，对于形成孔洞阵列的离子阻挡层而言，其可促使导电通路离散分布，形成多根导电通路（CF_1、CF_2、CF_3 等），从而极大削弱其保持特性，提高导电桥选择器所能提供的最大电流，提高其驱动能力和选择比。

优选地，如果离子阻挡层 20 上的孔洞为多孔，则该多孔在离子阻挡层上遵循随机分布，其面密度介于 $10^7/cm^2$~$10^{14}/cm^2$ 之间。如此设置主要是避免导电通道过于集中，提高选择器反应速度。经过实验验证，石墨烯孔洞缺陷密度在 $n\times10^{10}/cm^2$ 时，器件性能反应速度较快，开关速度在 1 μs 以内，其中 n 为正整数。

对于离子阻挡层上有多个孔洞的导电桥选择器而言，其制备方法与图 2A 所示的离子阻挡层上有单个孔洞的导电桥阻变存储器类似，区别在于离子阻挡层上多孔的制作方法，提供以下两种具体方法：

（1）采用类似子步骤 S204a~S204dd 的光刻曝光+离子束刻蚀的方法在离子阻挡层上形成多个孔洞组成的阵列；

（2）由离子注入机或粒子加速器加速的高能离子直接轰击离子阻挡层，通过控制轰击能量与剂量，形成直径及密度可调控的多孔离子阻挡层。在一定的范围内，孔洞的孔径大小主要由轰击离子的能量与入射角度决定，而孔洞的密度主要由轰击离子的剂量决定。

优选地，离子轰击过程中，轰击离子的能量高于 2 KeV~200 KeV，入射角度介于 80°~100° 之间，剂量大于 10^5。

离子轰击的方法所形成的孔洞孔径在原子尺度，可通过测试拉曼光谱对这种类型的石墨烯缺陷进行表征。

图 6 为未加工石墨烯与某一条件离子轰击后的石墨烯的拉曼光谱图。图 6 中，G 峰为 C sp^2 结构的特征峰，反映对称性和结晶程度，2D 峰为双声子非弹性散射峰。D 峰，D'峰及 D+ D'峰为与石墨烯缺陷相关的拉曼峰。较图 6 中的（a）图和（b）图可知，经粒子轰击后，各个峰之间的相对比发生较大的变化，可用 D 峰与 G 峰的强度比 I_D/I_G 来定性衡量缺陷的平均距离 L_D 与缺陷密度 σ 。其相互关系如下：$I_D/I_G \propto 1/L^2_D \propto \sigma$。多孔离子阻挡层主要用于分散导电通路，削弱其保持特性，提高导电桥选择器所能提供的最大电流，提高选择比。

为突出多孔离子阻挡层对导电桥选择器性能的影响，我们制备了 Ag/多孔石墨烯/SiO_2/Pt 器件。使用离子注入机，以 Si 为轰击离子源，注入能量 10 KeV，注入剂量 D1，D2 和 D3（D1＜D2＜D3），其中 D1=10^{12}；D2=5×10^{12} ，D3=10^{13}，从而得到了三种具有不同石墨烯孔洞密度的 Ag/多孔石墨烯/SiO_2/Pt 器件。

图 7 和图 8 分别为注入剂量为 D1，D2 的 Ag/多孔石墨烯/SiO_2/Pt 器件在最大易失性限流 100 μA 时的特征 I-V 曲线。可以看出，两个剂量的 Ag/多孔石墨烯/SiO_2/Pt 器件都表现出单极性的特点，因此可用作单极性的导电桥选择器。

图 9 为注入剂量增加到 D3 后 Ag/多孔石墨烯/SiO_2/Pt 器件在限流 100 μA 时的特征 I-V 曲线。如图 9 所示，随着注入剂量增加到 D3，Ag/多孔石墨烯/SiO_2/Pt 器件由单极性转变为双极性。随着注入剂量增加，更多的活性金属离子进入阻变功能层形成导电通道并在下电极积累，这也导致了单极性到双极性的转变。

图 10 为注入剂量增加到 D3 后 Ag/多孔石墨烯/SiO_2/Pt 器件在最大易失性限流 500 μA 时的特征 I-V 曲线。可见，在更高限流 500 μA 时，该 Ag/多孔石墨烯/SiO_2/Pt 器件依然保持着双向易失性特点。

由此可知，如图 5B 所示导电桥选择器中，多孔离子阻挡层的确可以分散导电通路，削弱其保持特性，提高导电桥选择器所能提供的最大电流，提高选择比，Ag/多孔石墨烯/SiO_2/Pt 器件在 D3 的剂量下最大易失性限流

达到 500 μA，选择比达到了 5×10^8。

进一步地，为检测本实施例 Ag/多孔石墨烯/SiO_2/Pt 导电桥选择器的效果，我们将 Ag/多孔石墨烯/SiO_2/Pt 器件与 Cu/HfO_2/Pt 器件通过外围电路串联。

图 11 为将 Ag/多孔石墨烯/SiO_2/Pt 器件与 Cu/HfO_2/Pt 器件通过外围电路串联后测试得到的特征 I-V 曲线。该特征 I-V 曲线显示，Ag/多孔石墨烯/SiO_2/Pt 选择器具有很好的选择效果，并且选择比达到 10^8。

为了达到简要说明的目的，上述第一实施例中任何可作相同应用的技术特征叙述皆并于此，无需再重复相同叙述。

至此，本发明第二实施例导电桥选择器介绍完毕。

本领域技术人员应当清楚，除了导电桥阻变存储器和导电桥选择器之外，其他应用导电桥原理的半导体器件仍然适用本发明，此处不再赘述。

还需要说明的是，在附图或说明书正文中，未绘示或描述的实现方式，均为所属技术领域中普通技术人员所知的形式，并未进行详细说明。此外，上述对各元件和方法的定义并不仅限于实施例中提到的各种具体结构、形状、尺寸或方式，本领域普通技术人员可对其进行简单地更改或替换，例如：

（1）下电极还可以是 ITO 等导电氧化物的形式；

（2）阻变功能层可以用新型二维材料如 BN、MoS_x、氧化石墨烯等来代替。

至此，已经结合附图对本发明实施例进行了详细描述。依据以上描述，本领域技术人员应当对本发明导电桥半导体器件及其制备方法有了清楚的认识。

综上所述，本发明提供了中基于活性上电极/具有孔洞的离子阻挡层/阻变功能层/下电极结构的导电桥半导体器件，通过调控离子阻挡层中孔洞的直径，数量及密度，实现对基于导电桥的存储器与选择器的导电通路尺寸和数量的调控：

（1）对离子阻挡层加工单个纳米尺度的孔洞，可促使导电通路集中分布，提高阻态保持特性，在较小的操作电流下仍能实现非易失阻变特性，从而有效降低导电桥阻变存储器的功耗；

（2）对离子阻挡层加工多个原子尺度的孔洞，可促使导电通路离散分布，降低导电通路保持特性，在大的工作电流下仍能实现易失性阻变特性，从而提高导电桥选择器的驱动电流和选择比。

本发明的导电桥半导体器件及其制备方法具有高性能，易集成，低成本等优点，具有较好的推广应用前景。

还需要说明的是，本文可提供包含特定值的参数的示范，但这些参数无需确切等于相应的值，而是可在可接受的误差容限或设计约束内近似于相应值。实施例中提到的方向用语，例如“上”、“下”、“前”、“后”、“左”、“右”等，仅是参考附图的方向，并非用来限制本发明的保护范围。此外，除非特别描述或必须依序发生的步骤，上述步骤的顺序并无限制于以上所列，且可根据所需设计而变化或重新安排。并且上述实施例可基于设计及可靠度的考虑，彼此混合搭配使用或与其他实施例混合搭配使用，即不同实施例中的技术特征可以自由组合形成更多的实施例。

应注意，贯穿附图，相同的元素由相同或相近的附图标记来表示。在以下描述中，一些具体实施例仅用于描述目的，而不应该理解为对本发明有任何限制，而只是本发明实施例的示例。在可能导致对本发明的理解造成混淆时，将省略常规结构或构造。应注意，图中各部件的形状和尺寸不反映真实大小和比例，而仅示意本发明实施例的内容。

以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种导电桥半导体器件，其特征在于，自下而上包括：下电极、阻变功能层、离子阻挡层和活性上电极，其中，所述离子阻挡层上开设有供活性导电离子通过的孔洞。

2、根据权利要求 1 所述的导电桥器件，其特征在于，该导电桥器件为导电桥阻变存储器，所述离子阻挡层上的孔洞为 1 个，该孔洞的径向宽度介于 5nm~200nm 之间。

3、根据权利要求 2 所述的导电桥器件，其特征在于，所述孔洞位于离子阻挡层的中央位置。

4、根据权利要求 2 所述的导电桥器件，其特征在于，所述离子阻挡层采用石墨烯材料制备，所述孔洞的径向宽度介于 5nm~100 nm 之间。

5、根据权利要求 1 所述的导电桥器件，其特征在于，该导电桥器件为导电桥选择器，所述离子阻挡层上的孔洞的数量大于 1 个，所述孔洞的径向宽度小于 5nm。

6、根据权利要求 5 所述的导电桥器件，其特征在于，所述孔洞在离子阻挡层上随机分布，其面密度介于 $10^7/cm^2$~$10^{14}/cm^2$ 之间。

7、根据权利要求 6 所述的导电桥器件，其特征在于，所述离子阻挡层采用石墨烯材料制备，所述孔洞的面密度为 $n\times10^{10}/cm^2$，n 为正整数。

8、根据权利要求 1 至 7 中任一项所述的导电桥半导体器件，其特征在于，所述孔洞的形状为长方形、椭圆形、三角形或六边形。

9、根据权利要求 1 至 7 中任一项所述的导电桥半导体器件，其特征在于：

所述下电极为以下材料其中的一种或多种制备的层状结构：TaN、TiN、W、Al、Ru、Ti 与 Pt 中的一种或多种材料制备，其厚度介于 10nm~200nm 之间；

所述阻变功能层为以下材料其中的一种或多种制备的层状结构：TaO_x、MgO、HfO_2、Al_2O_3、TiO_2、SiO_2 与 ZrO_2，其厚度介于 3nm~100nm 之间；

所述离子阻挡层为以下材料其中的一种或多种制备的层状结构：Ta、TaN、TiN、TiW、单层或多层石墨烯，其厚度小于 10nm；

所述活性上电极采用 Ag，Cu，Ni 等单元素电极或者包含至少其中一

种元素的合金电极，其厚度介于 10nm~200nm 之间。

10、一种如权利要求 1 所述导电桥器件的制备方法，其特征在于，包括：

依次形成所述下电极、阻变功能层和离子阻挡层；

在所述离子阻挡层上加工孔洞；以及

在具有孔洞的离子阻挡层上制备活性上电极。

11、根据权利要求 10 所述的制备方法，其特征在于，用光学曝光结合聚焦离子束刻蚀的方式在离子阻挡层上加工孔洞。

12、根据权利要求 10 所述的制备方法，其特征在于：

所述离子阻挡层上的孔洞的数量大于 1 个；

通过高能离子轰击离子阻挡层来在离子阻挡层上加工孔洞，所述孔洞在离子阻挡层上随机分布，其面密度介于 $10^7/cm^2$~$10^{14}/cm^2$ 之间。

13、根据权利要求 12 所述的制备方法，其特征在于，用于轰击的高能离子由离子注入机或粒子加速器获得，其能量高于 2 KeV~200 KeV，入射角度介于 80° ~100° 之间，剂量大于 10^5。

14、根据权利要求 13 所述的制备方法，其特征在于，所述离子阻挡层的材料为石墨烯材料，用于轰击的高能离子的剂量介于 10^{12}~10^{14} 之间。

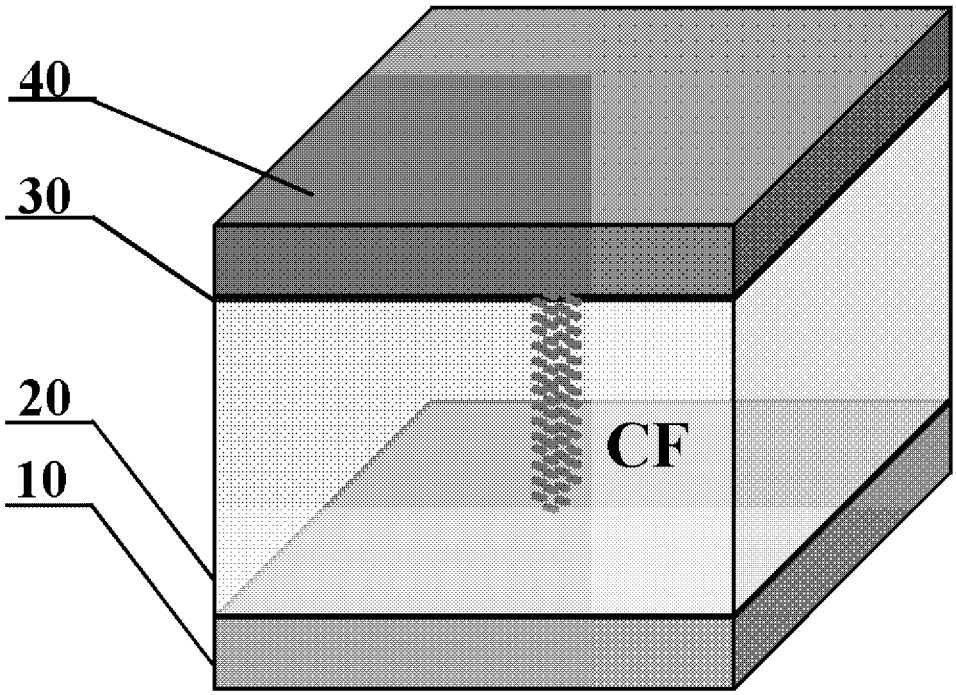


图 1A

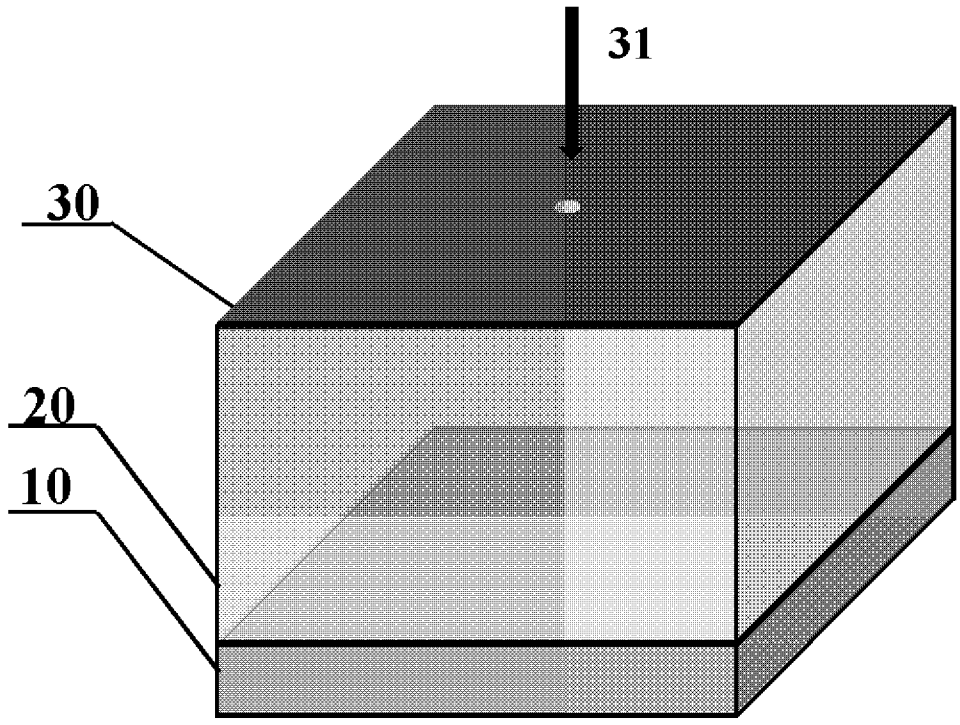


图 1B

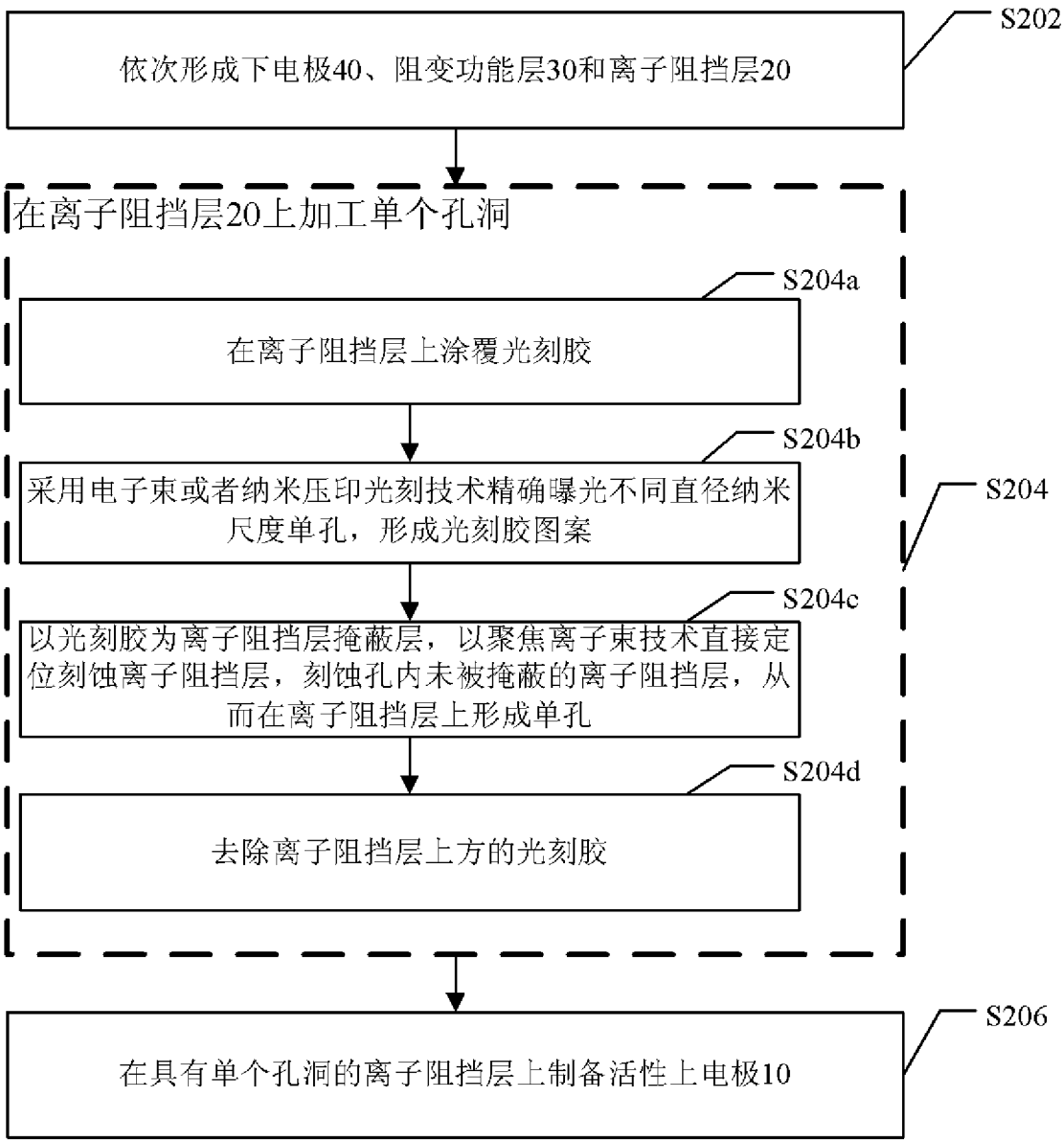

S202
依次形成下电极40、阻变功能层30和离子阻挡层20
在离子阻挡层20上加工单个孔洞
S204a
在离子阻挡层上涂覆光刻胶
S204b
采用电子束或者纳米压印光刻技术精确曝光不同直径纳米尺度单孔，形成光刻胶图案
S204
S204c
以光刻胶为离子阻挡层掩蔽层，以聚焦离子束技术直接定位刻蚀离子阻挡层，刻蚀孔内未被掩蔽的离子阻挡层，从而在离子阻挡层上形成单孔
S204d
去除离子阻挡层上方的光刻胶
S206
在具有单个孔洞的离子阻挡层上制备活性上电极10

图 2

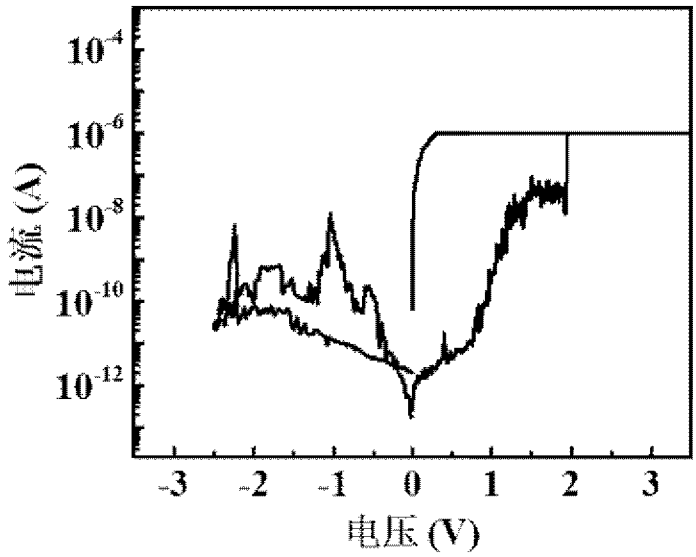

10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
电流 (A)
-3 -2 -1 0 1 2 3
电压 (V)

图 3

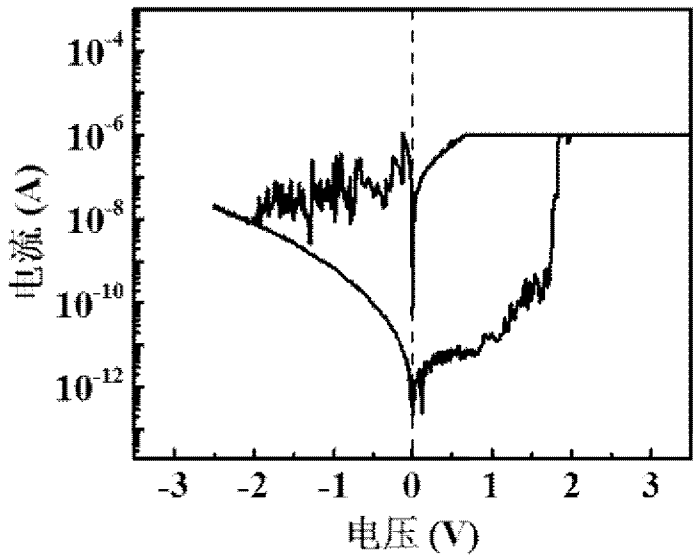

10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
电流 (A)
-3 -2 -1 0 1 2 3
电压 (V)

图 4

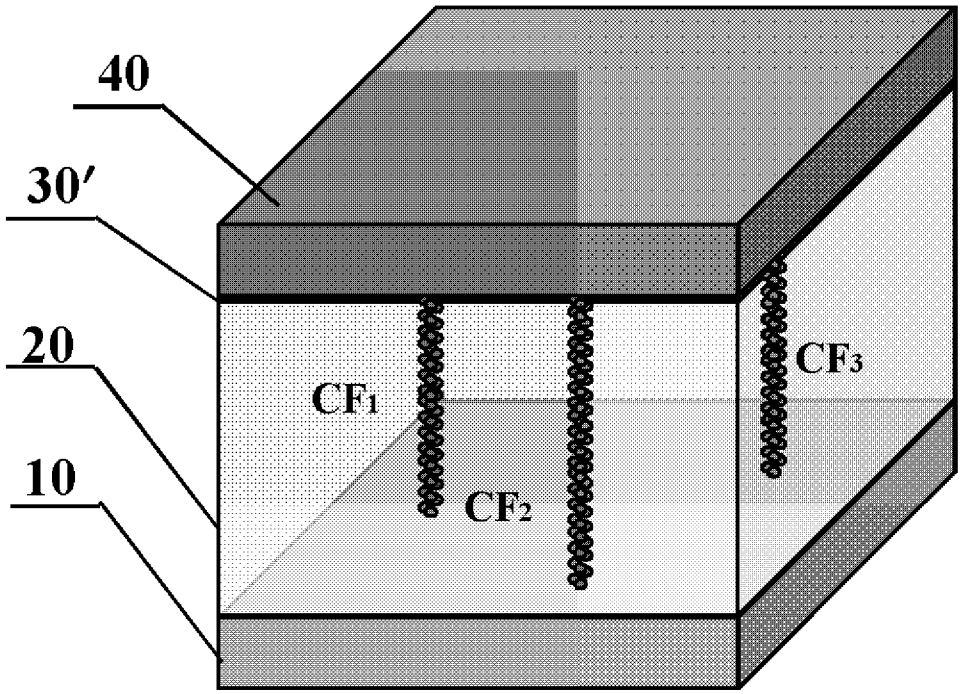


图 5A

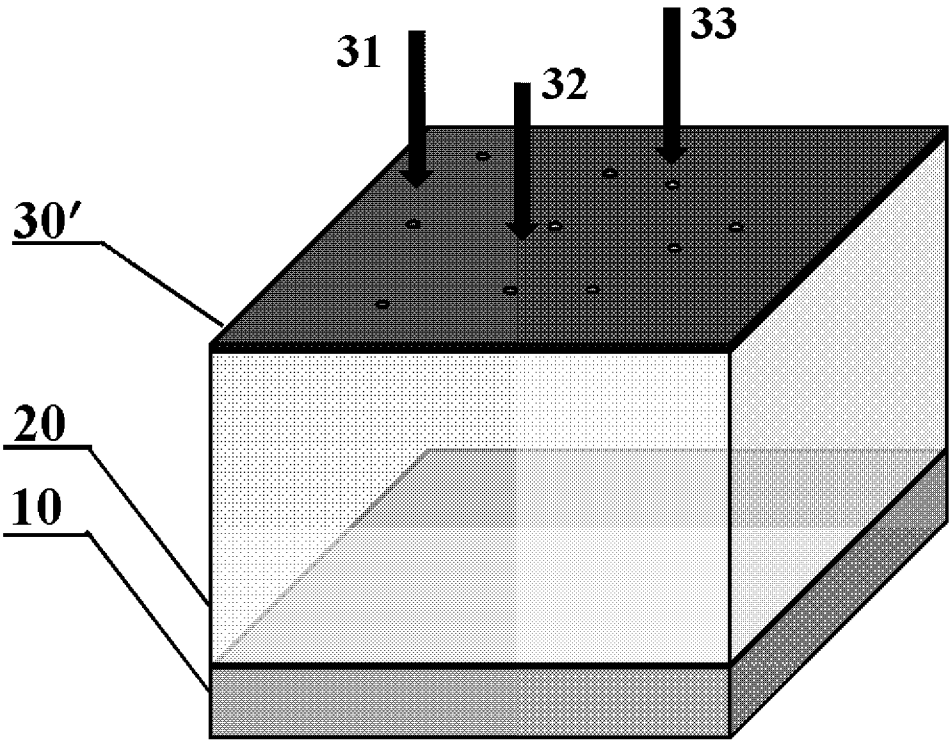


图 5B

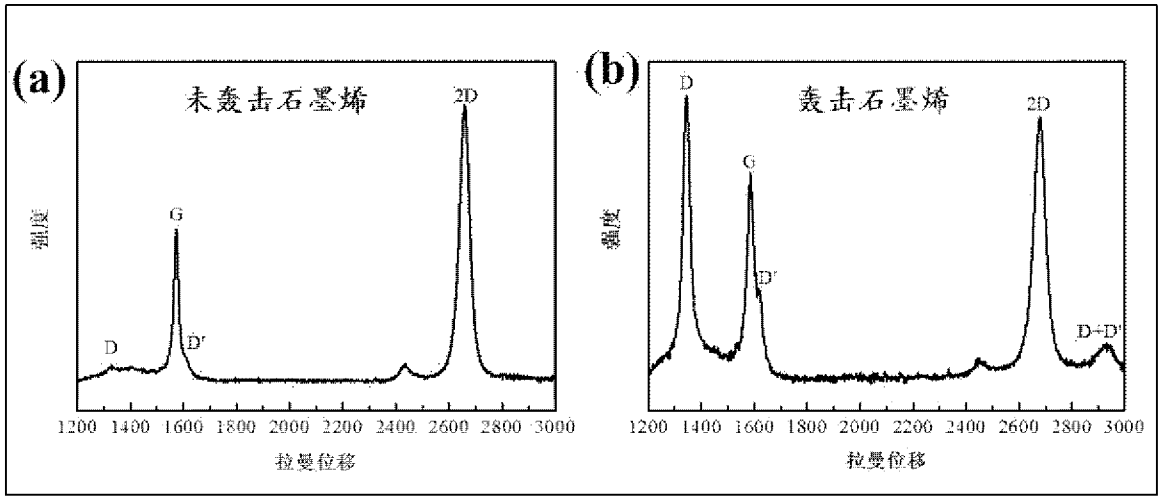

(a)
未轰击石墨烯
2D
G
D
D'
强度
1200 1400 1600 1800 2000 2200 2400 2600 2800 3000
拉曼位移
(b)
轰击石墨烯
D
G
D'
2D
D+D'
强度
1200 1400 1600 1800 2000 2200 2400 2600 2800 3000
拉曼位移

图 6

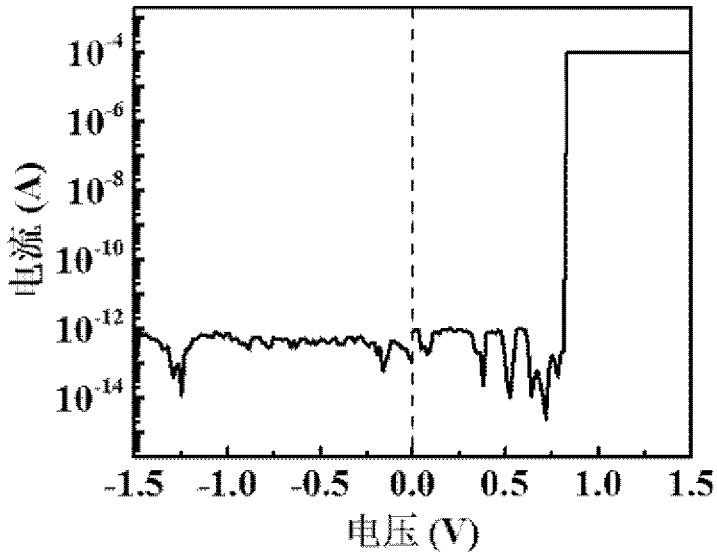

10-4
10-6
10-8
10-10
10-12
10-14
电流 (A)
-1.5 -1.0 -0.5 0.0 0.5 1.0 1.5
电压 (V)

图 7

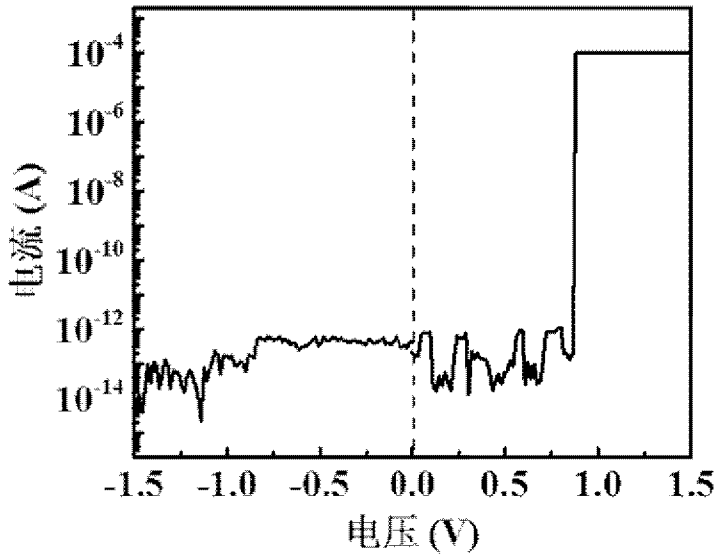

电流 (A)
10-4
10-6
10-8
10-10
10-12
10-14
-1.5 -1.0 -0.5 0.0 0.5 1.0 1.5
电压 (V)

图 8

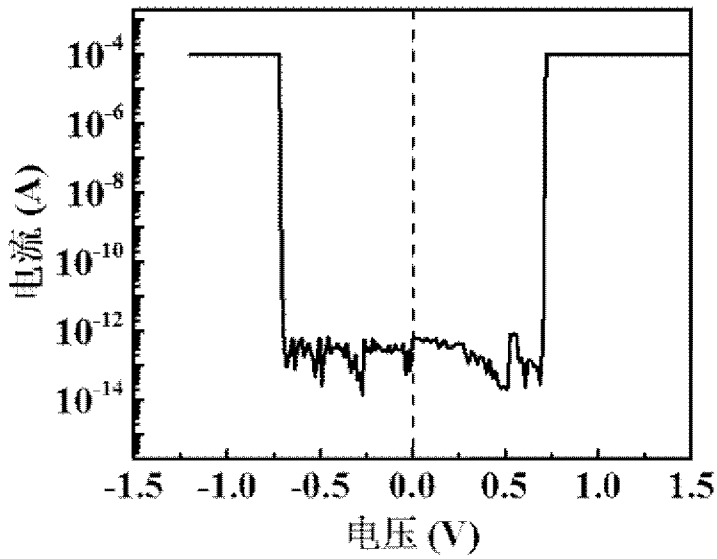

电流 (A)
10-4
10-6
10-8
10-10
10-12
10-14
-1.5 -1.0 -0.5 0.0 0.5 1.0 1.5
电压 (V)

图 9

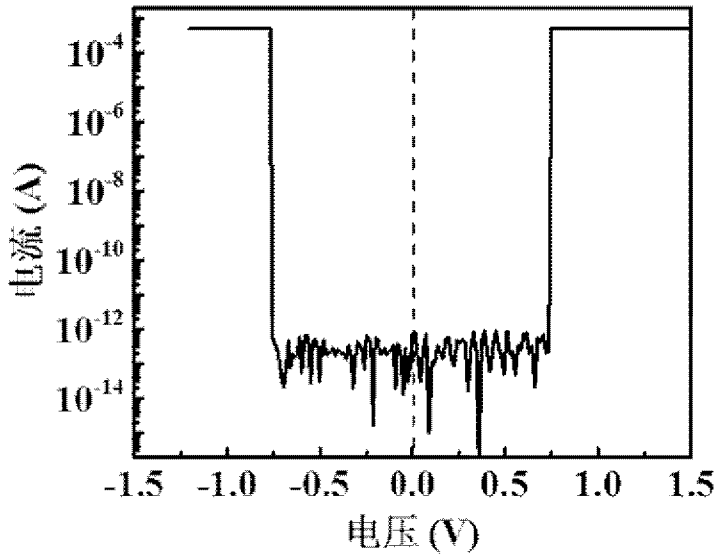

电流 (A)
10-4
10-6
10-8
10-10
10-12
10-14
-1.5 -1.0 -0.5 0.0 0.5 1.0 1.5
电压 (V)

图 10

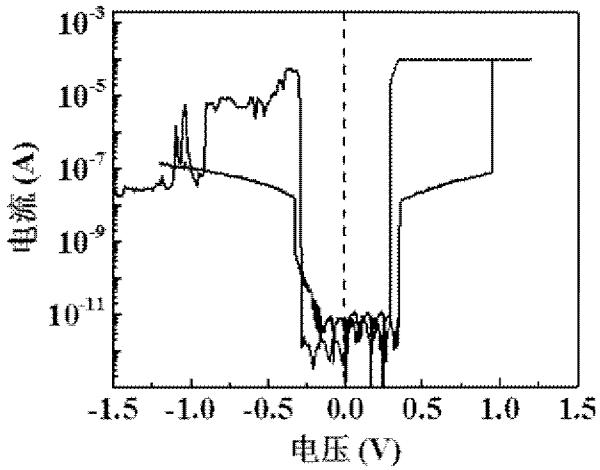

电流 (A)
10-3
10-5
10-7
10-9
10-11
-1.5 -1.0 -0.5 0.0 0.5 1.0 1.5
电压 (V)

图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/075141

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/11524 (2017.01) i; H01L 29/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; SIPOABS; CNABS; CNKI; IEEE: 导电桥, 半导体, 电极, 电阻, 离子, 阻挡, 孔洞, conductive, bridge, semiconductor, electrode, resistance, carrier, block, hole

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105990519 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 05 October 2016 (05.10.2016), description, paragraphs [0004]-[0041], and figures 1-3	1-14
A	DE 102009054003 A1 (QIMONDA AG), 05 August 2010 (05.08.2010), entire document	1-14
A	GB 2501760 A (IND CONTROL SYSTEMS LTD.), 06 November 2013 (06.11.2013), entire document	1-14

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 August 2017	28 September 2017

Name and mailing address of the ISA	Authorized officer
State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	ZHANG, Fang Telephone No. (86-10) 62411844

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/075141

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105990519 A	05 October 2016	WO 2016123881 A1	11 August 2016
DE 102009054003 A1	05 August 2010	None	
GB 2501760 A	06 November 2013	GB 2501760 B	22 July 2015

国际检索报告

国际申请号
PCT/CN2017/075141

A. 主题的分类

H01L 27/11524(2017.01)i; H01L 29/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

DWPI;SIPOABS;CNABS;CNKI;IEEE:导电桥，半导体，电极，电阻，离子，阻挡，孔洞，conductive, bridge, semi-conductor, electrode, resistance, carrier, block, hole

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 105990519 A (中国科学院微电子研究所) 2016年 10月 5日 (2016-10-05) 说明书第[0004]-[0041]段，图1-3	1-14
A	DE 102009054003 A1 (QIMONDA AG) 2010年 8月 5日 (2010-08-05) 全文	1-14
A	GB 2501760 A (IND CONTROL SYSTEMS LTD) 2013年 11月 6日 (2013-11-06) 全文	1-14

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 8月 1日	2017年 9月 28日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	章放
传真号 (86-10)62019451	电话号码 (86-10)62411844

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/075141

检索报告引用的专利文件	公布日（年/月/日）	同族专利	公布日（年/月/日）
CN 105990519 A	2016年 10月 5日	WO 2016123881 A1	2016年 8月 11日
DE 102009054003 A1	2010年 8月 5日	无	
GB 2501760 A	2013年 11月 6日	GB 2501760 B	2015年 7月 22日