

## (19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>H01L 29/78</i> (2006.01)	(45) 공고일자 2006년09월22일 (11) 등록번호 10-0626786 (24) 등록일자 2006년09월14일
--	--

(21) 출원번호	10-2001-0023248	(65) 공개번호	10-2001-0098965
(22) 출원일자	2001년04월28일	(43) 공개일자	2001년11월08일

(30) 우선권주장      2000-130705      2000년04월28일      일본(JP)

(73) 특허권자      가부시킴가이샤 히타치세이사쿠쇼  
 일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

히타치 토부 세미콘덕터 가부시킴가이샤  
 일본국 군마켄 타카사키시 니시요코테마치 1 반치 1

(72) 발명자      야마우찌순이찌  
 일본군마켄다까사끼시니시요코테마찌1-1히타치토부세미콘덕터가부시  
 킴가이샤내

나까자와요시또  
 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히  
 타치세이사쿠쇼지적소유권본부내

야즈다유우지  
 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히  
 타치세이사쿠쇼지적소유권본부내

(74) 대리인      장수길  
 구영창

심사관 : 임동우

### (54) 반도체 장치 및 그 제조 방법

#### 요약

주 스위치(MS) 트랜지스터와, 이 MS 트랜지스터를 기동시키는 기동 스위치(SS) 및 기동 저항(저항 소자) SR로 이루어지는 기동 회로를 포함하는 구동 파워 IC에 있어서, 필드 절연막 상에 기동 저항을 설치한다. IC 칩의 주변 영역, 즉 상기 필드 절연막 하의 반도체 기판면에는 액티브 영역을 다중으로 둘러싸는 필드 제한 링(FLR)이 설치되어 있다. 저항 소자는 FLR 군의 내측 시단(始端)으로부터 FLR 군의 외측 종단(終端)을 향하여 사행하면서 연장되어 있다. 저항 소자의 시단과 종단을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기판 표면의 각 부의 포텐셜에 일치하거나 또는 근사하도록 되어 있다. 최외주의 FLR 부분의 내외에서 사행 궤적이 다르다.

## 대표도

도 1

## 색인어

반도체 기판, 트랜지스터, 필드 제한 링, 필드 절연막

## 명세서

### 도면의 간단한 설명

도 1은 본 발명의 일 실시 형태(실시 형태 1)에 따른 반도체 장치(구동 파워 IC)의 기동 저항 평면도 및 단면도 및 기동 저항 부분의 포텐셜을 나타내는 도표.

도 2는 실시 형태 1의 구동 파워 IC가 조립된 스위칭 조절기를 나타내는 회로도.

도 3은 실시 형태 1의 스위칭 조절기의 기동 타이밍을 나타내는 타임차트.

도 4는 실시 형태 1의 구동 파워 IC의 모식적 평면도.

도 5는 상기 구동 파워 IC의 모식적 단면도.

도 6은 상기 구동 파워 IC의 등가 회로도.

도 7은 상기 구동 파워 IC의 주 스위치용 트랜지스터를 포함하는 일부 단면도.

도 8은 상기 구동 파워 IC의 기동 스위치 및 기동 저항을 포함하는 일부 단면도.

도 9는 실시 형태 1의 저항 소자의 특성을 나타내는 그래프.

도 10은 실시 형태 1의 저항 소자의 온도 특성을 나타내는 그래프.

도 11은 실시 형태 1의 구동 파워 IC를 스위칭 조절기의 컨트롤 IC에 모노리식에 조립한 예를 나타내는 모식도.

도 12는 실시 형태 1의 구동 파워 IC의 제조에 있어서, 반도체 기판 표면에 FLR 등이나 필드 절연막을 형성한 상태를 나타내는 주요부의 모식적 단면도.

도 13은 실시 형태 1의 구동 파워 IC의 제조에 있어서, 트랜지스터의 게이트 전극이나 저항 소자의 저항층이 되는 폴리실리콘층을 형성한 상태를 나타내는 주요부의 모식적 단면도.

도 14는 실시 형태 1의 구동 파워 IC의 제조에 있어서, 트랜지스터의 게이트 전극이나 소스 영역 및 저항층을 형성한 상태를 나타내는 주요부의 모식적 단면도.

도 15는 실시 형태 1의 구동 파워 IC의 제조에 있어서, 층간 절연막 및 콘택트홀을 형성한 상태를 나타내는 주요부의 모식적 단면도.

도 16은 실시 형태 1의 구동 파워 IC의 제조에 있어서 보호 절연막을 형성한 상태를 나타내는 주요부의 모식적 단면도.

도 17은 실시 형태 1의 구동 파워 IC에서의 저항층의 변형예 1의 모식도.

도 18은 실시 형태 1의 구동 파워 IC에서의 저항층의 변형예 2의 모식도.

도 19는 실시 형태 1의 구동 파워 IC에서의 저항층의 변형예 3의 모식도.

도 20은 실시 형태 1의 구동 파워 IC에서의 저항층의 변형예 4의 모식도.

도 21은 실시 형태 1의 구동 파워 IC에서의 저항층의 변형예 5의 모식도.

도 22는 실시 형태 1의 구동 파워 IC에서의 저항층의 변형예 6의 모식도.

도 23은 실시 형태 1의 구동 파워 IC에서의 저항층의 변형예 7의 모식도.

도 24는 본 발명의 다른 실시 형태(실시 형태 2)에 의한 기동 스위치와 기동 저항 부분을 나타내는 모식적 단면도.

도 25는 실시 형태 2에 의한 저항 소자의 모식적 평면도와 일부의 단면도.

도 26은 본 출원인의 제안에 의한 반도체 장치(구동 파워 IC)의 기동 저항의 평면도 및 단면도 및 기동 저항 부분의 포텐셜을 나타내는 도표.

도 27은 상기 제안에 의한 구동 파워 IC의 내압 열화 파형 비교를 나타내는 그래프.

도 28은 내압 측정 회로도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 반도체 기판

2 : 에피택셜층

3 : 필드 절연막

4 : 게이트 절연막

5 : 게이트

6 : 게이트 배선

7 : p형층

## 발명의 상세한 설명

### 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 직류 안정화 전원인 스위칭 조절기의 IC(Integrated Circuit)화 기술에 적용하여 유효한 기술에 관한 것이다.

퍼스널 컴퓨터, 휴대 전화 등의 전자 기기(전자 회로)를 고정밀도로 또한 사양대로 구동하기 위해서 직류 안정화 전원이 사용되고 있다. 이 직류 안정화 전원 중 하나로서, 스위칭 방식 직류 안정화 전원(스위칭 조절기)이 알려져 있다. 스위칭 조절기는 교류 입력 전압을 한번 정류한 후, 트랜지스터의 온 오프 회로를 이용하여 교류로 변환하고, 그 후, 다시 정류 회로에 의해 직류로 변환하여 출력 전압으로 한다. 스위칭 조절기의 제어 방식에는 일정한 시간으로 발진하는 펄스의 폭을 제어하는 펄스폭 제어 방식, 부하에 따라 발진하는 펄스수를 변화시키는 주파수 제어 방식 등이 있다.

IEEE Transactions on Electron Devices, vol., 44, No. 11, November 1997, pp2002-2010에는 스위칭 조절기의 일부를 집적 회로화한 기술에 대하여 기재되어 있다. 이 문헌에는 스위칭 조절기의 집적 회로화에 있어서 스파이럴형으로 저항 소자를 형성하고, 그 중심 부분을 고전위에 접속하고 외주 부분을 접지 전위에 접속하는 구조(SJT : Spiral Junction Termination)가 개시되어 있다. 이 스파이럴형의 저항 소자는 액티브 영역으로 형성되어 있다.

한편, 특개평 9-186315호 공보에는 내압의 저하를 억제하는 인버터용 절연 게이트 바이폴라 트랜지스터(IGBT)가 개시되어 있다. 이 문헌에는 반도체 칩의 주변(주변 영역) 반도체 기판(드리프트층)의 표층부에 FLR(Field Limiting Ring)을 설치하고, 이 드리프트층 상에 산화막을 통해 과전압 억제 다이오드를 형성한 예를 나타내고 있다. 이 예에서는 FLR의 소자 치수를 과전압 억제 다이오드의 소자 치수의 4/5로 함으로써 전위 분포를 최적화하여 내압의 저하를 억제하고 있다.

현재, 상용 전원의 교류 전압은 나라마다 달라서, 예를 들면 일본에서는 100V 또는 200V이지만, 미국에서는 115V, 유럽에서는 220V ~ 240V가 되고 있다.

스위칭 조절기는 주 스위치와, 이 주 스위치를 기동시키는 기동 회로를 포함하고 있다. 기동 회로는 기동 스위치와 기동 저항(저항 소자)로 구성되어 있다.

240V의 교류를 정류한 직류 전원과 접속하는 스위칭 조절기에서는 사용되는 트랜지스터의 최대 내압은 700V 정도가 필요하게 되고 제품치로서 이 숫자를 보증하기 위해서, 주 스위치와 기동 스위치는 최대 내압 750V 정도의 설계치가 필요하게 된다.

주 스위치 및 기동 스위치를 구성하는 트랜지스터의 고전압 인가 시의 항복은 면적이 큰 소자에서 그 표면 부분 이외에서 행해지는 것이 바람직하다. 구체적으로는, 면적이 작고 표면에서 항복하기 쉬운 기동 저항 소자에서의 항복을 회피하고, 면적이 크고 표면에서 항복하기 어려운 파워 MISFET(Metal Insulator Semiconductor Field Effect Transistor)나 MOSFET(Metal Oxide Semiconductor FET)에서 항복시키는 것이 바람직하다. 이 때문에, 파워 MISFET의 내압을 750V ~ 800V라고 하면, 기동 저항의 내압은 800V 이상으로 하는 것이 바람직하다.

그러나, 이러한 800V 이상의 고내압의 기동 저항은 현재까지 IC화되어 있지 않고 그 외에 예가 없기 때문에 새롭게 개발을 진행시킬 필요가 있다.

본 출원인에서는 상기 문헌에 기재되어 있듯이 저항 소자를 스파이럴형으로 형성하는 것을 검토하였다. 그러나, 이 저항 소자는 인가 전압이 커지면 저항치가 내려가고 큰 전류가 흐르게 되는 것을 실험에 의해서 알 수 있었다.

또한, 이 저항 소자는 IC가 형성되는 반도체 기판의 활성 영역에 형성되기 때문에, IC 칩의 사이즈의 확대를 초래하여 제조 비용이 비싸진다. 또한, 저항 소자의 레이아웃에 의해서는 인접하는 것 외의 소자 등 간에서 기생 동작을 일으키는 것이 생각된다.

그래서, 본 출원인에서는 반도체 칩의 주변 영역에 설치되는 필드 절연막 상에 반도체 칩의 중심으로부터 외주를 향하는 방향으로 사행한 저항층을 갖는 저항 소자를 설치하는 구성으로 하고, 고전압 인가 시에 상기 필드 절연막이 파괴하는 것을 방지하는 기술을 제안하고 있다. 상기 사행 부분은 반도체 칩의 액티브 영역을 다중으로 둘러싸는 복수의 FLR의 각 링 부분을 가로지르도록 연장하고 있다.

### 발명이 이루고자 하는 기술적 과제

그러나, 이러한 사행 구조 저항 소자에서는 이하와 같은 문제가 있는 것이 판명되었다. 도 26의 (a) ~ 도 26의 (c)는 이미 제안된 기술을 분석 검토한 결과를 나타내는 도표이다. 도 26의 (a)는 기동 저항(저항 소자) SR을 구성하는 저항층의 사행 패턴을 나타내는 모식도, 도 26의 (b)는 구동 파워 IC의 FLR이나 저항층 등을 포함하는 부분의 단면도, 도 26의 (c)는 FLR을 포함하는 반도체 기판 표면의 포텐셜과, 저항층의 포텐셜을 나타내는 그래프이다. 또, 이 분석 검토에서는 FLR을 P1 ~ P5로 나타낸 바와 같이 5개로서 기재하고 있지만 이에 한정하지는 않는다.

도 26의 (b)에는 구동 파워 IC가 형성된 반도체 칩의 주변 부분의 단면을 나타낸다. 도 26의 (b)에는 주변에 n<sup>-</sup>형의 에피택셜층(2)이 설치된 n<sup>+</sup>형 실리콘으로 이루어지는 반도체 기판(1)이 나타나고 있다.

반도체 칩은 트랜지스터 등의 소자가 형성되는 반도체 기판의 액티브 영역 주변에 주변 영역이 위치하고, 이 주변 영역의 에피택셜층(2) 주면에는 LOCOS (Local Oxidation of Silicon)로 이루어지는 필드 절연막(3)이 형성되어 있다. 그리고, 주변 영역의 반도체 기판의 주면, 즉 에피택셜층(2)의 주면에는 p형 확산층으로 이루어지는 P1 ~ P5로 나타내는 필드 제한 링(FLR; 13)이 도시하지 않은 액티브 영역을 둘러싸도록 형성되어 있다. 또, P1의 내측에는 접지(GND) 전위가 되는 p형 확산층(P0)이 형성되어 있다.

또한, 반도체 칩의 주연부에는 가드링(14)이 설치되어 있다. 이 가드링(14)은 필드 절연막(3)으로부터 떨어져 있는 필드 절연막(3)보다도 얇은 절연막(24)의 하측 에피택셜층(2) 표면에 설치되어 있다. 이 가드링(14)은 에피택셜층(2)의 주면에 고농도로 불순물을 확산한  $n^+$ 형의 링형의 확산 영역에서 형성되어 있다.

상기 필드 절연막(3) 상에는 폴리실리콘층에서 형성되는 저항층(20)이 설치되어 있다. 이 저항층(20)은 그 표면을 층간 절연막(9)으로 덮여져 있다. 또한, 상기 P0 상의 층간 절연막(9) 및 필드 절연막(3)의 외주 부분에는 각각 콘택트홀(21, 22, 23)이 형성되어 있다. 콘택트홀(23)은 필드 절연막(3)으로부터 떨어져 있는 얇은 절연막(24)을 관통하도록 형성되어 있다.

또한, 층간 절연막(9) 상에는 반도체 칩의 주변을 따라 연장하는 링형의 도체막(25 ~ 28)이 형성되어 있다. 도체막(25)은 주변 영역의 내측, 즉 액티브 영역측에 설치됨과 함께, 콘택트홀(21)에도 충전되어 저항층(20)에 전기적으로 접속되어 있다. 도체막(26)은 도체막(25)에 근접하여 설치되며 기준 전위(GND)가 되는 p형 확산층(P0)에 전기적으로 접속되어 있다. 도체막(27)은 최외주의 FLR(13) 상에 형성되며, 최외주의 FLR(13)에 전기적으로 접속되어 있다. 도체막(28)은 콘택트홀(22) 및 콘택트홀(23) 내에도 충전되며 저항층(20)과 가드링(14)을 전기적으로 접속하고 있다.

상기 FLR(13)군에서는 인가 전압의 증가에 따라 애벌런치 항복이 일어나기 전에 내주 FLR(13)로부터 외주의 FLR(13)에 공핍층이 연장되어 펀치스루하는 구성으로 되어 있고, 최종적으로는 최외주의 FLR(13)의 pn 접합 부분에서 항복하도록 되어 있다. FLR(13)을 설치함으로써 펀치스루 내압과 FLR(13)의 수와의 곱만큼 내압이 향상되게 된다. 따라서, 기동 저항 SR의 내압은 상기 FLR(13) 부분의 내압과, 필드 절연막(3) 두께 등에 기인하는 내압과의 합이 되어 종합적인 내압은 800V 이상으로 하게 하는 것이다.

콘택트홀(21)에 대응하는 저항층 부분이 저항 소자(기동 저항) SR의 시단(31)이 되고 콘택트홀(22)에 대응하는 저항층 부분이 기동 저항 SR의 종단(32)이 된다. 시단(31)으로부터 종단(32)에 이르는 기동 저항 SR로서의 저항층(20)의 패턴은 도 26의 (a)에 도시한 바와 같이, 일정 피치로 일정 진폭의 사행 패턴으로 되어 있다. 도 26의 (b)에서는 특히 사행 상태는 명기하지 않고 간략화하고 있다.

이와 같이 저항층(20)을 사행시키는 패턴으로 함으로써, 저항층(20)을 길게 하여 방열 면적의 증대와 전계 강도의 완화를 도모하고 있다. 따라서, 저항 소자의 발열에 의한 파괴 및 과전계에 의한 파괴를 방지할 수 있다.

또한, 저항층(20)은 사행 패턴으로 함으로써, 시단(31)과 종단(32)을 직선적으로 연결하는 선분으로 대체한 저항 소자의 단위 길이당 저항치를 크게 하여 소정의 저항치를 얻는 구조로 되어 있다.

이와 같이 FLR(13)이 배치되는 영역을 포함하는 필드 절연막(3) 상에 기동 저항 SR을 설치함으로써, 기동 저항 SR에 고전위가 가해졌을 때, 기동 저항 SR에 발생하는 전계와 FLR(13)에 발생하는 전계와의 차가 작아지며, 필드 절연막(3)에 가해지는 전계가 완화되어 필드 절연막(3)의 파괴가 방지된다.

그러나, 본 발명자 등에 의한 분석에 따르면, 기동 저항 SR의 포텐셜과 FLR(13)이 설치되는 반도체 기판 표면의 포텐셜은 도 26의 (c)에 도시한 바와 같이, 서로 근사할만한 것은 아니고 최외주의 FLR(13) 부분에서 가장 커지는 것이 판명되었다. 이것은 저항층(20)이 시단(31)으로부터 종단(32)에 이르는 동일 굽기가 되는 저항층(20)을 동일 사행폭으로 등 피치로 형성하고 있기 때문에, 기동 저항 SR의 시단(31)으로부터 종단(32)에 이르는 직선으로 대체한 상태에서의 저항의 포텐셜은 도 26의 (c)에 도시한 바와 같이 직선이 된다. 그러나, 반도체 기판의 표면, 즉 필드 절연막(3)과 반도체 기판(1)과의 계면에서의 포텐셜은 도 26의 (c)에 도시한 바와 같이, FLR(13) 부분에서는 단계적으로 변화하고, 최외주의 FLR(13)를 떨어져 있는 영역에서는 곡선을 그리도록 포텐셜이 변화하는 것이 판명되었다.

최외주의 FLR(13) 부분에서는 고전계가 발생한다. 이 전계에 의해, 벌크로 발생한 전자 정공쌍 중의 전자가 강하게 저항층(20)인 폴리 실리콘층측으로 포착되어 그 하측 필드 절연막(3) 중에 다량으로 트랩된다. 이 전하에 의해 반도체 기판 표면의 FLR(13) 간의  $n^-$ 형 에피택셜층(2)의 표면이 p형으로 반전하여 채널 누설이 발생하여 내압 저하가 일어난다.

본 발명자 등은 구동 파워 IC의 측정 시험을 행하였다. 도 28은 구동 파워 IC(PW MOS 칩)의 측정 회로이다. 구동 파워 IC는 특히 한정되는 되지 않지만, 주 스위치 MS, 기동 스위치 SS 및 기동 저항 SR이 실리콘 반도체 기판에 모노리식적으로 조립된 구조로 되어 있다. 주 스위치 MS는 셀수가 2270이 되는 메인 MOS (MAIN-MOS)와, 셀수가 2셀이 되는 전류 검출을 행하는 CS-MOS로 구성되어 있다. 또한, 주 스위치 MS의 4개의 전극은 드레인 단자(DRAIN), 소스 단자(SOURCE), 게이트 단자(GATE), 전류 검출 단자(CS)에 접속되어 있다.

기동 스위치 SS는 특히 한정되지는 않지만, 셀수가 60이 되는 MOS(Start-MOS)로 이루어지고, 3개의 전극은 드레인 단자, 기동 회로용 제어 단자(Start-MOS Gate), 기동 회로용 소스 단자(Start-MOS Source)에 각각 접속되어 있다. 기동 스위치 SS의 게이트와 드레인 단자 간에는 기동 저항 SR(예를 들면, 2 MΩ)이 직렬로 접속되어 있다.

이러한 구동 파워 IC의 드레인 단자와 다른 단자 간에  $V_{ds}$ 를 인가하고 전류계에서  $I_{ds}$ 를 측정하여 얻은 특성이 도 27의 그래프이다.

도 27은 구동 파워 IC를 실온 150℃,  $V_{ds}=750V$  되는 환경 하에서 시험한 초기(0 시간)와 시험 후(48 시간)의 내압 열화 파형의 비교를 나타내는 것이다. 동일 그래프는 횡축이 전압( $V_{ds}$ )이고 종축이 전류( $I_{ds}$ )이다.

초기 특성에서는 인가 전압이 800V 정도로 애벌런치 항복이 발생하고 있는데 대하여, 시험 후의 특성으로는 인가 전압이 600V 정도를 넘으면 채널성 누설 전류가 발생하여 전류의 증대가 일어나고 인가 전압이 800V 정도로 애벌런치 항복에 이르는 것이 판명되었다.

그리고, 이러한 불량 현상을 방지하는 구조 검토에 앞서서, 저항 소자의 포텐셜과, 반도체 기판 표면의 포텐셜을 시뮬레이션에 의해서 얻은 것이 도 26의 (c) 포텐셜 도면이다.

그래서, 본 발명자는 기동 저항(저항 소자) SR의 포텐셜과, 이에 대응하는 반도체 기판 표면의 포텐셜을 일치하거나 또는 근사시키는 것을 고려하여 본 발명을 이루었다.

본 발명의 목적은 고내압 고저항의 저항 소자를 내장한 반도체 장치 및 그 제조 방법을 제공하는데 있다.

본 발명의 다른 목적은 스위칭 조절기용 고내압 고저항의 기동 저항을 내장한 반도체 장치(구동 파워 IC) 및 그 제조 방법을 제공하는데 있다.

본 발명의 다른 목적은 고내압 고저항의 저항 소자를 반도체 장치를 크게 하지 않고 제조할 수 있는 기술을 제공하는데 있다.

본 발명의 상기 및 그 밖의 목적과 신규인 특징은 본 명세서의 기술 및 첨부 도면에서 명확해질 것이다.

### 발명의 구성 및 작용

본원에 있어서 개시되는 발명 중 대표적이지만 개요를 간단히 설명하면 하기와 같다.

(1) 트랜지스터가 형성되는 액티브 영역 및 상기 액티브 영역을 둘러싸서 표면이 필드 절연막으로 덮여지는 주변 영역을 갖는 반도체 기판과,

상기 주변 영역의 반도체 기판 표면에 설치되어 상기 액티브 영역을 다중으로 둘러싸는 복수의 필드 제한 링(FLR)과,

상기 필드 절연막 상에 형성되어 상기 FLR군의 내측에서부터 외측을 향하여 연장하고, 상기 FLR군의 내측의 시단이 상기 트랜지스터의 저전위가 되는 전극에 접속되고, 상기 FLR군의 외측의 종단이 상기 트랜지스터의 고전위가 되는 전극에 접속되는 저항 소자와,

상기 저항 소자를 덮는 층간 절연막과,

상기 최외주의 FLR에 대응하여 상기 층간 절연막 상에 형성되어 최외주의 FLR에 전기적으로 접속되는 필드 플레이트를 포함하는 반도체 장치에 있어서,

상기 저항 소자의 시단과 종단을 직선적으로 연결하는 선분으로 대체한 저항 소자의 저항값은 상기 선분 일부의 단위 길이당 저항치가 다른 부분의 단위 길이당 저항치와 다르다.

예를 들면, 상기 저항 소자의 시단과 종단을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기판 표면의 각 부의 포텐셜에 일치하거나 또는 근사하도록 되어 있다. 저항 소자의 시트 저항은  $10\text{k}\Omega/\text{sq}$  이하이다.

반도체 장치는, 예를 들면,

신호가 공급되는 제1 단자와,

기준 전위가 공급되는 제2 단자와,

제어 단자와,

전류 검출 단자와,

기동 회로용 제어 단자와,

기동 회로용 기준 전위가 공급되는 기동 회로용 제2 단자를 포함하고,

상기 제1 단자에 접속되는 제1 전극과, 상기 제2 단자에 접속되는 제2 전극과, 상기 제어 단자에 접속되는 제어 전극과, 상기 전류 검출 단자에 접속되어 상기 제1 전극의 출력 전류를 검출하는 전류 검출 전극을 갖는 주 스위치용 트랜지스터와,

상기 제1 단자에 접속되는 기동용 제1 전극과, 상기 기동 회로용 제2 단자에 접속되는 기동용 제2 전극과, 상기 기동 회로용 제어 단자에 접속되는 기동용 제어 전극을 갖는 기동 스위치용 트랜지스터와,

상기 제1 단자와 상기 기동용 제어 전극 간에 직렬로 접속되는 기동 저항을 갖는 반도체 장치이고, 상기 기동 저항이 상기 구성으로 되어 있다.

구체적으로는, 상기 저항 소자는 저항 소자의 시단과 종단 사이에 사행 부분을 가짐과 함께, 상기 사행 부분의 1 내지 복수 개소에서는 사행 피치가 다르다. 또한, 최외주의 상기 필드 제한 링 부분을 사이에 두고 그 내측과 외측의 상기 선분에서의 단위 길이당 저항값은 서로 다르다.

저항 소자의 다른 구성으로서는,

(a) 저항 소자는 사행 부분을 가짐과 함께 사행하는 폭이 넓은 광사행 부분과, 사행하는 폭이 좁은 협사행 부분을 갖는다.

(b) 저항 소자는 저항 소자의 시단과 종단 간에 사행하는 사행 부분과, 상기 선분을 따르는 직선 부분을 갖는다.

(c) 저항 소자는 1 내지 복수 개소에서 저항선폭이 다르다.

(d) 저항 소자는 상기 선분에 따른 직선 형상의 저항 소자가 됨과 함께, 선폭이 일부에서 다르다.

(e) 저항 소자는 불순물이 첨가된 폴리실리콘층에서 형성되어 있다.

(f) 저항 소자는 금속 부분과, 이 금속 부분에 전기적으로 접속되는 불순물이 첨가된 폴리실리콘층에서 형성되어 있다.

(g) 저항 소자는 1 내지 복수 개소로 시트 저항이 다르다.

(h) 저항 소자 각 부와 상기 반도체 기판 표면의 각 부의 전계가 작아지도록 상기 필드 절연막의 두께는  $3 \sim 5\mu\text{m}$  정도로 되어 있다.

이러한 반도체 장치는 이하의 방법으로 제조된다.

반도체 기관 주변의 액티브 영역에 트랜지스터가 설치됨과 함께, 상기 액티브 영역을 둘러싸는 주변 영역에 상기 액티브 영역을 다중으로 둘러싸도록 복수의 필드 제한 링이 설치된 반도체 장치의 제조 방법에 있어서,

상기 반도체 기관 주변의 주변 영역에 상기 액티브 영역을 다중으로 둘러싸도록 필드 제한 링을 복수 형성하는 공정과,

상기 반도체 기관의 주변 영역 상 및 소정 개소에 필드 절연막을 형성하는 공정과,

상기 필드 절연막 상에 상기 트랜지스터에 접속되는 저항 소자를 구성하기 위한 저항층을 상기 필드 제한 링군의 내측의 시단으로부터 외측의 종단을 향하여 연장하도록 형성하는 공정을 포함한다.

상기 저항 소자의 시단과 종단을 직선적으로 연결하는 선분으로 대체하는 저항 소자의 저항치가 상기 선분의 일부 단위 길이당 저항치가 다른 부분의 단위 길이당 저항치와 다른 패턴에 상기 저항층을 형성한다.

상기 저항 소자의 시단과 종단을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기관 표면의 각 부의 포텐셜에 일치하거나 또는 근사하는 패턴에 상기 저항층을 형성한다.

상기 저항층을 도체층 형성과 패턴닝에 의해 또는 마스크를 사용한 증착법에 의해 형성하고, 그 저항층 패턴을 사행 패턴, 일부에서 사행 피치가 다른 사행 패턴, 일부에서 사행폭이 다른 사행 패턴, 상기 각 사행 패턴과 직선 부분과의 조합 패턴, 상기 각 패턴으로 1 내지 복수 개소에서 저항선폭이 다른 패턴, 직선으로 또한 1 내지 복수 개소에서 저항선폭이 다른 패턴으로 형성한다.

상기 트랜지스터를 전계 효과 트랜지스터로 형성함과 함께, 트랜지스터의 게이트 전극을 폴리실리콘층에서 형성할 때, 상기 저항층을 동시에 폴리실리콘층에서 형성하고 필요에 따라서 불순물을 첨가하여 시트 저항을 조정한다.

(2) 상기 (1)의 구성에 있어서, 상기 저항 소자의 시단과 종단을 직선적으로 연결하는 선분으로 대체한 저항 소자의 저항치가 상기 선분에서의 단위 길이당 저항값은 단계적으로 변화하고, 상기 저항 소자의 각 부의 포텐셜과 상기 반도체 기관 표면의 각 부의 포텐셜은 일치하거나 또는 근사하도록 되어 있다.

(3) 상기 (1) 또는 (2)의 구성에 있어서, 상기 각 필드 제한 링과, 각 필드 제한 링에 중첩되는 상기 저항 소자 부분은 각각 전기적으로 접속되어 있다.

이러한 반도체 장치의 제조에 있어서는 상기 필드 제한 링을 형성하고, 상기 필드 절연막을 형성하고, 상기 저항층을 형성하고, 상기 저항층을 덮는 층간 절연막을 형성한 후, 상기 층간 절연막에 콘택트홀을 형성함과 함께, 도체를 선택적으로 상기 층간 절연막 상에 형성하여 상기 각 필드 제한 링과, 각 필드 제한 링에 중첩되는 상기 저항 소자 부분을 전기적으로 접속한다.

상기 (1)의 수단에 따르면, (a) 저항 소자의 시단과 종단을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기관 표면의 각 부의 포텐셜에 일치하거나 또는 근사하도록 되어 있다. 따라서, 저항 소자(기동 저항)에 고전압이 인가된 상태에서도 벌크로 발생한 전자 정공쌍도 전계에 있어서 어딘가 특정한 개소에 포착되지는 않는다. 이 결과, 발생한 전자 정공쌍은 재결합하여 전기적으로 중성화하게 되고, 필드 제한 링 간에 채널이 생기지 않고 내압은 안정되어 내압 열화를 억제할 수 있다.

(b) 기동 저항을 형성하는 저항층의 시트 저항은  $10\text{k}\Omega/\text{sq}$  이하로 함으로써, 온도 상승에 의한 시트 저항의 저하를 방지할 수 있기 때문에, 임의의 인가 전압에서의 발열량의 일정화가 가능하다. 또한, 저항층을 사행시켜서 길게 하기 때문에 방열 면적도 증대하여 열방산 효율이 증대한다. 이들로부터, 고전압이 기동 저항에 인가되어도 발열에 기인하는 저항층인 폴리실리콘층의 용융에 의한 파괴 사고를 방지할 수 있다.

(c) 상기 (a), (b)에 의해 신뢰성이 높은 반도체 장치, 즉 스위칭 조절기용 구동 파워 IC를 제공할 수 있다.



(d) 기동 저항은 액티브 영역이 아니라 주변 영역의 필드 절연막 상에 형성되기 때문에 기동 저항을 액티브 영역에 형성하는 구조에 비교하여 반도체 칩의 소형화가 가능해지고 반도체 장치의 제조 비용의 저감을 달성할 수 있다.

상기 (2)의 수단에 따르면, 상기 (1)의 수단의 경우와 마찬가지로 내압 열화를 억제할 수 있음과 함께, 저항층인 폴리실리콘층의 발열에 기인하는 파괴 사고를 방지할 수 있다.

상기 (3)의 수단에 따르면, 각 필드 제한 링과, 각 필드 제한 링에 중첩되는 상기 저항 소자 부분은 각각 전기적으로 접속되고 있어 각각의 부위에서 등전위가 되기 때문에 상기 (1)의 수단인 경우와 마찬가지로, 저항 소자의 포텐셜과 반도체 기판 표면의 포텐셜은 각 부에서 일치하거나 또는 근사하기 때문에 내압 열화를 억제할 수 있음과 함께 저항층인 폴리실리콘층의 발열에 기인하는 파괴 사고를 방지할 수 있다.

#### <발명의 실시 형태>

이하, 도면을 참조하여 본 발명의 실시 형태를 상세하게 설명한다. 또, 발명의 실시 형태를 설명하기 위한 전 도면에 있어서, 동일 기능을 갖는 것은 동일 부호를 붙여서 그 반복된 설명은 생략한다.

#### (실시 형태 1)

도 1 내지 도 16은 본 발명의 일 실시 형태(실시 형태 1)인 반도체 장치 및 그 제조 방법에 따른 도면이다.

본 실시 형태 1의 반도체 장치는 스위칭 조절기의 구동 파워 IC를 구성하는 것이다. 구동 파워 IC는 주 스위치 MS와, 이 주 스위치 MS를 기동시키는 기동 회로로 이루어지고, 기동 회로는 기동 스위치 SS와 기동 저항(저항 소자) SR로 이루어진다. 주 스위치 MS 및 기동 스위치 SS는 MISFET(MOSFET)로 구성되어 있다. 기동 저항 SR은 시트 저항을  $10\text{k}\Omega/\text{sq}$  로서 발열량의 증가를 억제하고 또한 사행시키는 등으로 하여 길게 하여 방열 면적의 증대를 도모하고 저항층을 구성하는 폴리실리콘층의 열에 기인하는 파괴를 방지하도록 되어 있다.

도 2는 스위칭 조절기의 회로 도면이다. 이 회로는 필요 개소만 간단히 설명하면, 상용 전원(예를 들면 교류 240V)이 공급되는 입력 단자(AC INPUT)와 트랜스포머(40)의 1차측 코일(41) 간에는 다이오드 브릿지 정류 회로(42)와 평활 컨덴서(43) 등에 의해서 전파 정류 회로가 형성되어 있다. 트랜스포머(40)의 2차측 코일(44)에는 다이오드(45)와 평활 컨덴서(46) 등에 의해서 구성되는 반파 정류 회로가 접속되어 출력 단자(OUTPUT)로부터 직류 전압을 출력한다.

1차측 코일(41)은 펄스폭 제어 회로(컨트롤 IC; 50)의 드레인(Drain) 단자에 접속되어 있다. 펄스 폭 제어 회로(50)는 그 외에 전원(VDD) 단자, 소스(Source) 단자, 비교기(COMP) 단자, 캐패시터 오브 타이밍(CT) 단자, 피드백(FB) 단자를 갖는다. Drain 단자와 Source 단자 간에는 주 스위치 MS가 접속된다. Drain 단자와 VDD 단자 간에는 기동 스위치 SS가 접속됨과 함께, 기동 스위치 SS의 게이트 전극과 Drain 단자 간에는 기동 저항 SR이 접속되며, 기동 회로를 구성하고 있다. 드레인 전압이 어느 정도 상승하면 기동 회로가 동작을 개시한다.

또한, 기동 스위치 SS의 출력 전극에는 UVL(Under Voltage Lockout) 회로가 접속되어 있다. 이 UVL 회로는 상기 기동 스위치 SS의 게이트 전극에 접속된 UVL 스위치에 접속되며 UVL 회로가 동작하면 UVL 스위치가 동작하여 기동 스위치가 오프 상태가 된다.

CT 단자에는 발진기(Osc.)가 접속되어 있다. 또한, FB 단자와 COMP 단자 간에는 에러 증폭기(E-AMP)가 접속되어 있다. 이 E-AMP의 출력 신호와, 주 스위치 MS의 검출 신호 CS는 비교 증폭기(C-AMP)에 입력된다. 검출 신호 CS는 저항 RCS에 전류로서 입력되어 전압으로 변환된다. 백업 출력 전압(= VDD 단자 전압)을 에러 증폭기의 FB 단자로 귀환시키는 구성으로 되어 있다.

발진기(Osc.)와 C-AMP의 출력 신호는 플립플롭 회로(FF)에 입력된다. 플립플롭 회로의 출력 신호는 주 스위치 MS의 게이트 전극에 인가되어 주 스위치 MS를 온 오프 제어한다.

펄스 폭 제어 회로(50)의 VDD 단자는 백업 전원 회로에 접속되어 있다. 이 백업 전원 회로는 트랜스포머(40)의 3차측 코일(백업 코일; 47)에 직렬로 접속되는 다이오드 Dc, 저항 Rc와 컨덴서 Cc로 구성되고 있다. 이 전위 차지 회로는 1차측 코일(41)에 직류 전압이 인가됨으로써, 펄스 폭 제어 회로(50)의 기동 회로(starter Circuit)가 동작하고 컨덴서 Cc를 충전한다.

다. 컨덴서 Cc의 충전이 계속되고 해제 전압에 도달하면 UVL 회로가 동작하고 UVL 스위치를 온시켜서 기동 스위치 SS를 오프로 함과 함께 주 스위치 MS의 온 오프가 개시한다. 그와 동시에 백업 코일(47)에 전압이 야기되어, 이것이 전원이 되어 펄스 폭 제어 회로(50)의 동작이 계속된다.

이 플라이백 방식의 백업 출력 전압 귀환형 특징은 백업 출력 전압과 2차측 출력 전압이 트랜스포머(40)의 1차측 코일과 각각의 코일의 권수비에 비례하고 있다는 특성을 이용한 것이다.

펄스 폭 제어 회로(50)가 전류 모드인 경우, 에러 증폭기의 출력 단자 전압에 따라 파워 MOSFET의 전류 검출 레벨을 조정하여 펄스 듀티를 제어한다.

도 3은 전파 정류 회로에 의해서 얻어지는 전압  $V_b^+$ 를 비롯한 Drain, Istart, VDD, CT, COMP, DC OUTPUT 부분의 전압 변화를 나타내는 기동 타이밍도이다.

이러한 스위칭 조절기에서는 상용 전원 240V의 교류를 정류하여 얻어진  $V_b^+$ 에 의해, 펄스 폭 제어 회로(50)를 도 3의 기동 타이밍도로 나타낸 바와 같이 동작시켜서 소정의 직류 전압을 출력한다. 도 2에는 Drain 단자 부분에서의 드레인 전압 파형의 일례를 나타내고 있다.

도 4는 본 실시 형태 1에 따른 반도체 장치, 즉 스위칭 조절기의 고전압부를 구성하는 주 스위치 MS, 기동 스위치 SS 및 기동 저항 SR을 실리콘 반도체 기판(1)에 모노리식으로 형성한 구동 파워 IC(반도체 장치)의 모식적 평면도이다.

구동 파워 IC가 형성된 반도체 칩에서 주변 영역의 내측이 액티브 영역이 되고, 이 액티브 영역에 주 스위치 MS 및 기동 스위치 SS가 형성되어 있다. 주변 영역과, 주 스위치 MS와 기동 스위치 SS 간에는 LOCOS막에 의한 필드 절연막(3)이 설치되어 있다. 또한, 필드 절연막(3) 하층의 반도체 기판(1)의 주면에는 액티브 영역을 다중으로 둘러싸는 복수의 FLR(13)에 설치되어 있다. 그리고, 기동 저항(저항 소자) SR은 다중으로 설치된 FLR(13)군의 내측 시단으로부터 외측 종단을 향하여 연장하도록 설치되어 있다.

도 6은 구동 파워 IC의 등가 회로 도면이다. 구동 파워 IC는 ① ~ ⑥으로 나타낸 바와 같이 6개의 단자를 가지고 있다. 즉, 신호가 출력되는 제1 단자(드레인 단자 : DRAIN) ①과, 제어 단자(게이트 단자 : GATE) ②와, 기준 전위(GND)가 공급되는 제2 단자(소스 단자 : SOURCE) ③과, 전류 검출 단자(CS 단자 : Current Sence) ④, 제어 회로의 기동을 행하는 기동 회로용 제2 단자(Start-MOS Source 단자) ⑤와, 기동 회로용 제어 단자(Start-MOS Gate 단자) ⑥을 가지고 있다.

주 스위치 MS 및 기동 스위치 SS는 도 5, 도 7, 도 8에 도시한 바와 같이, 다수의 셀을 배치한 중형 MISFET(MOSFET)로 구성되어 있다. 그리고, 예를 들면 셀 구조는 메쉬 게이트 구조로 되어 있다.

주 스위치 MS는 특히 한정되는 되지 않지만, 셀 수가 2270이 되는 메인 MOS (MAIN-MOS)와, 셀 수가 2 셀이 되는 전류 검출(Current Sence)를 행하는 CS-MOS에서 구성되어 있다. 드레인 전극(제1 전극)은 드레인 단자에 접속되며, MAIN-MOS의 소스 전극(제2 전극)은 소스 단자에 접속되며, CS-MOS의 소스 전극은 전류 검출 단자(CS 단자)에 접속되며, 게이트 전극은 게이트 단자에 접속되어 있다.

기동 스위치 SS는 특히 한정되는 되지 않지만, 셀 수가 60이 되는 MOS (Start-MOS)로 이루어지고, 드레인 전극(기동용 제1 전극)은 드레인 단자에 접속되며, 소스 전극(기동용 제2 전극)은 Start-MOS Source 단자에 접속되며, 게이트 전극(기동용 제어 전극)은 Start-MOS Gate 단자에 접속되어 있다.

기동 저항 SR(예를 들면,  $2M\Omega$ )은 드레인 단자와 기동 스위치 SS의 게이트 전극에 접속되어 있다.

이어서, 도 5, 도 7 및 도 8을 참조하면서 구동 파워 IC의 구조에 대하여 설명한다. 도 5는 구동 파워 IC 전체의 단면도이고, 도 7은 주 스위치 MS가 설치되는 도 5의 좌측 반경도의 단면도, 도 8은 기동 스위치 SS와 기동 저항(저항 소자) SR이 설치되는 도 5의 우측반의 단면도이다. 또, 도 5로서는 부호는 일부에만 나타낸다.

이들의 도면에 도시한 바와 같이,  $n^+$ 형의 실리콘으로 이루어지는 반도체 기판(1)은 그 주면에  $n^-$ 형의 에피택셜층(2)을 포함하고 있다. 그리고, 상기 에피택셜층(2)에 소정의 불순물을 선택적으로 순차 형성하는 것 등에 의해서 주 스위치 MS, 기동 스위치 SS가 형성된다. 즉, 액티브 영역에는 플래너 구조의 셀을 규칙적으로 복수 배치하고, 반도체 기판(1)의 주면에

게이트 절연막(4)을 통해 설치한 인접하는 셀의 각 게이트(5)가 서로 접속되며, 각 셀을 병렬 접속한 메쉬 게이트 구조로 구성된다. 외주의 셀의 각 게이트(5)는 셀 영역의 외주부에서, 예를 들면 다결정 규소(폴리실리콘)를 이용한 게이트 배선(6)과 접속되며, 이 게이트 배선(6)이 게이트(5)의 접속 영역인 게이트 패드와 접속되어 있다.

각 셀에서는 에피택셜층(2)이 드레인 영역이 되며 반도체 기판 주면에 형성된 p형층(7)이 채널이 형성되는 베이스 영역이 되며, p형층(7) 내에 형성된  $n^+$ 형층(8)이 소스 영역이 되고, MOSFET는 중형 FET 구조로 되어 있다. 반도체 기판(1)은 드레인이 되기 때문에 도시하지 않지만 반도체 기판(1)의 이면 전체에 드레인 전극이 형성된다. 이 드레인 전극은, 예를 들면 니켈, 티탄, 니켈, 은을 적층한 적층막으로 형성된다.

게이트 배선(6)은 층간 절연막(9)을 통하여 그 상층에 형성되며, 예를 들면 실리콘을 함유시킨 알루미늄을 이용한 게이트 가드링(10)과 전기적으로 접속되어 있다. 소스가 되는  $n^+$ 형층(8)은, 예를 들면 실리콘을 함유시킨 알루미늄을 이용한 소스 배선(11)과 전기적으로 접속되어 있고, 소스 배선(11)은 반도체 기판 주면 상에 층간 절연막(9)을 통해 형성되어 있다. 이 소스 배선(11)은 소스가 되는  $n^+$ 형층(8) 외에 베이스 전위를 일정하게 하기 위해서 p형층(7)에 설치된  $p^+$ 형의 콘택트층(12)에도 전기적으로 접속되어 있다.

필드 절연막(3) 하부에는 반도체 기판의 외주를 따라 각 부를 원호형으로 한 구형 환형으로 설치된 p형 확산층으로 이루어지는 필드 제한 링(FLR; 13)이 동심 환형으로 복수 배치되어 있다. 이 FLR은 인가 전압이 증가함에 따라 애벌런치 항복이 일어나기 전에 내주의 FLR(13)로부터 외주의 FLR(13)에 공핍층이 연장되어 펀치스루하는 구성으로 되어 있고, 최종적으로는 최외주의 FLR(13)의 접합 부분에서 항복한다.

또한, 상술한 바와 같이 고전압 인가 시의 항복은 면적이 큰 소자에서 그 표면 부분 이외에서 행해지는 것이 바람직하다. 이 때문에, 면적이 작고 표면에서 항복하기 쉬운 FLR에서의 항복을 회피하고, 면적이 크고 표면에서 항복하기 어려운 파워 MISFET(MOSFET)에서 항복시키기 위해서 파워 MISFET의 내압을 750V ~ 800V라고 하면 FLR의 내압은 800V 이상으로 한다.

이 FLR의 항복 전압은 이론 상 각 FLR(13) 간의 펀치스루 내압 및 최외주 링의 항복 전압의 합이 되기 때문에, FLR(13)의 갯수를 늘림으로써 고내압화할 수 있지만, 터미네이션 길이를 고려하여 갯수를 결정한다. FLR(13)은 도 1에서는 5개, 다른 도면에서는 4개로 하고 있지만 이에 한정되지는 않는다.

FLR(13)이 형성된 필드 절연막(3) 상의 일부분에는 기동 저항 SR이 형성되어 있다. 도 1의 (a)에 도시한 바와 같이, 기동 저항 SR을 구성하는 저항층(20)은 FLR(13)군의 내측 시단(31)으로부터 외측 종단(32)을 향하여 연장하도록 설치되고 또한 방열 면적을 크게 하여 열방산성을 높이도록 사행시켜서 길어지도록 되어 있다. FLR(13)은 P1 ~ P5로 나타낸 바와 같이 5개로 하고 있지만, 이에 한정되지는 않는다.

도 1의 (a)는 기동 저항(저항 소자) SR을 구성하는 저항층의 사행 패턴을 나타내는 모식도, 도 1의 (b)는 구동 파워 IC의 FLR이나 저항층 등을 포함하는 부분의 단면도, 도 1의 (c)는 FLR을 포함하는 반도체 기판 표면의 포텐셜과, 저항층의 포텐셜을 나타내는 그래프이다.

여기서, 도 1의 (b)를 참조하면서 구동 파워 IC가 형성된 반도체 칩의 주변 부분의 단면 부분에 대하여 간단하게 설명한다. 주변 영역의 에피택셜층(2)의 표면에는 액티브 영역측으로부터 주변 영역을 향하여 p형 확산층으로 이루어지는 P1 ~ P5로 나타내는 필드 제한 링(FLR; 13)이 도시하지 않은 액티브 영역을 둘러싸도록 형성되어 있다. 또, P1의 내측에는 접지(GND) 전위가 되는 p형 확산층(P0)이 형성되어 있다.

또한, 반도체 칩의 주변부에는 가드링(14)이 설치되어 있다. 이 가드링(14)은 필드 절연막(3)으로부터 떨어진 필드 절연막(3)보다도 얇은 절연막(24) 하의 에피택셜층(2) 표면에 설치되어 있다. 이 가드링(14)은 에피택셜층(2) 주면에 고농도로 불순물을 확산한  $n^+$ 형의 링형의 확산 영역으로 형성되어 있다.

상기 필드 절연막(3) 상에는 폴리실리콘층에서 형성되는 저항층(20)이 설치되고 있다. 이 저항층(20)은 그 표면을 층간 절연막(9)으로 덮여지고 있다. 또한, 상기 P0 상의 층간 절연막(9) 및 필드 절연막(3)의 외주 부분에는 각각 콘택트홀(21, 22, 23)이 형성되어 있다. 콘택트홀(23)은 필드 절연막(3)으로부터 떨어져 있는 얇은 절연막(24)을 관통하도록 형성되어 있다.

또한, 층간 절연막(9) 상에는 반도체 칩 주변을 따라서 연장하는 링형의 도체막(25 ~ 28)이 형성되어 있다. 도체막(25)은 주변 영역의 내측 즉 액티브 영역측에 설치됨과 함께, 콘택트홀(21)에도 충전되어 저항층(20)에 전기적으로 접속되어 있다. 도체막(26)은 도체막(25)에 근접하여 설치되어, 주 스위치 MS의 소스 단자에 접속되어 있다. 도체막(27)은 최외주의 FLR(13) 상에 형성되고, 최외주의 FLR(13)에 전기적으로 접속되어 있다. 도체막(28)은 콘택트홀(22) 및 콘택트홀(23) 내에도 충전되며 저항층(20)과 가드링(14)을 전기적으로 접속하고 있다.

상기 FLR(13)군에서는 인가 전압의 증가에 따라서, 애벌런치 항복이 일어나기 전에 내주 FLR(13)로부터 외주의 FLR(13)에 공핍층이 연장하여 펀치스루하는 구성으로 되어 있고, 최종적으로는 최외주의 FLR(13)의 pn 접합 부분에서 항복하도록 되어 있다. FLR(13)을 설치함으로써 펀치스루 내압과 FLR(13)의 수와의 곱만큼 내압이 향상하게 된다. 따라서, 기동 저항 SR의 내압은 상기 FLR(13) 부분의 내압과, 필드 절연막(3)의 두께 등에 기인하는 내압과의 합이 되어 종합적인 내압은 800V 이상으로 하게 하는 것이다.

콘택트홀(21)에 대응하는 저항층 부분이 저항 소자(기동 저항) SR의 시단(31)이 되고, 콘택트홀(22)에 대응하는 저항층 부분이 기동 저항 SR의 종단(32)이 된다. 시단(31)으로부터 종단(32)에 이르는 기동 저항 SR로서의 저항층(20)의 패턴은 도 1의 (a)에 도시한 바와 같이, 사행 패턴으로 되어 있다. 도 1의 (b)에서는 특히 사행 상태는 명기하지 않고 간략화하고 있다.

이와 같이 저항층(20)을 사행시키는 패턴으로 함으로써, 저항층(20)을 길게 하여 방열 면적의 증대를 도모하고 있다. 또한, 저항층(20)의 시트 저항을  $10 \text{ k}\Omega/\text{sq}$  로 함으로써, 임의의 전압에서의 발열량의 일정화를 도모하고, 저항층(20)을 형성하는 폴리실리콘층의 용해에 의한 파괴를 방지하도록 되어 있다. 저항층(20)은 방열을 고려하여 단면 면적에 대하여 표면적을 증가시키기 위해서 편평 형상으로 되어 있다. 저항층(20)은, 예를 들면 폴리실리콘층으로 이루어져서 저항치(시트 저항)를 조정하기 위해서 p 도전형용 불순물인 붕소나 n 도전형용 불순물인 인 등을 함유시킨다.

본 발명은 저항 소자(기동 저항)의 시단과 종단을 직선적으로 연결하는 선분에서의 저항 소자 각 부의 포텐셜이 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기판 표면의 각 부의 포텐셜에 일치하거나 또는 근사하도록 하여 내압 열화를 억제하는 것이다.

따라서, 가장 바람직한 형태는 저항 소자를 형성하는 저항층에서는, 재질(시트 저항), 패턴, 폭, 두께를 바꾸어, 필드 절연막으로는 두께를 바꾸는 등으로 행하고, 저항 소자의 시단과 종단을 직선적으로 연결하는 선분에서의 저항 소자 각 부의 포텐셜이, 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기판 표면의 각 부의 포텐셜에 일치하도록 하는 것이다.

본 실시 형태 1에서는 저항층(20)의 사행 피치를 일부에서 바꾼 구조로 되어 있다. 즉, 도 1의 (a)에 도시한 바와 같이, 시단(31)으로부터 최외주의 FLR(13)에 이르는 영역 A의 저항층(20)의 사행 피치를 최외주의 FLR(13)로부터 종단(32)에 이르는 영역 B의 사행의 피치보다도 넓게 형성한 구조로 되어 있다.

이러한 구조로 하면, 도 1의 (c)에 도시한 바와 같이, 저항 소자의 시단과 종단을 직선적으로 연결하는 선분에서의 저항 소자 각 부의 포텐셜 곡선이 시단(31)으로부터 최외주의 FLR(13)에 이르는 동안의 완전한 구배의 직선 e와, 최외주의 FLR(13)로부터 종단(32)에 이르는 상기 완전한 구배의 직선 e보다도 구배가 비탈진 급한 구배의 직선 f가 되며, 반도체 기판 표면의 포텐셜 곡선 d에 일부에서 일치하고, 일부에서 근접하게 된다. 또한, 저항 소자에 고전압이 인가된 경우라도 불일치의 개소에서 전위차가, 예를 들면 50V 정도 이하로 낮아진다. 이 결과, 필드 절연막의 고전계에 기인하는 파괴를 방지할 수 있다.

이 점에 대하여, 더욱 설명을 첨부한다. 저항 소자의 시단과 종단을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기판 표면의 각 부의 포텐셜에 일치하거나 또는 근사하도록 되어 있다. 따라서, 저항 소자(기동 저항)에 고전압이 인가된 상태에서도 벌크로 발생한 전자 정공쌍도 전계에 의해서 어딘가 특정한 개소에 포착되지는 않는다. 이 결과, 발생한 전자 정공쌍은 재결합하여 전기적으로 중성화하게 되고 필드 제한 링 간에 채널이 생기지 않고 내압은 안정되어 내압 열화를 억제할 수 있다.

본 실시 형태 1에서는 먼저 제안한 기술에 따른 도 26의 (c)에 도시한 바와 같이, 고전계의 발생 개소는 최외주의 FLR(13; P5) 부분이기 때문에, 이 최외주의 FLR(13; P5) 부분에서 저항 소자 포텐셜과 반도체 기판의 표면의 포텐셜이 일치하도록 하여, 저항 소자 포텐셜과 반도체 기판의 표면의 포텐셜의 일치 및 근사를 도모하고 있다. 즉, 최외주의 FLR(13) 부분을 사이에 두고 그 내측과 외측의 상기 선분에서의 단위 길이당 저항치를 서로 다르게 하고 있다.

또한, 본 실시 형태 1에서는 저항층(20)의 시트 저항을 작게 하여, 열에 의한 용단을 방지하도록 되어 있다. 즉, 저항층(20)의 시트 저항을 작게 하여 발열량의 증가를 방지함과 함께, 저항층(20)을 사행시켜서 전체 길이를 길게 하여 발열 면적의 증대를 도모하고 열에 의한 용단을 방지하고 있다.

도 9는 시트 저항을 바꿔서 본 발명의 저항 소자를 형성하고, 전압-전류 특성을 측정한 결과를 나타내는 그래프이다. 시트 저항이 높은 경우에는 인가 전압이 커짐에 따라, 저항 소자의 발열에 의해서 저항치가 하강한다. 따라서, 전압-전류 특성을 선형으로 하기 위해서는, 시트 저항을 10k $\Omega$ /sq 이하로 할 필요가 있다.

도 10은 불순물 농도를 바꿔서 본 발명의 저항 소자를 형성하고, 온도-시트 저항 특성을 측정한 결과를 나타내는 그래프이다. 이 그래프로부터 시트 저항이 큰 저항 소자가 마이너스의 온도 특성을 가지고, 시트 저항이 높을수록 온도에 따른 저항 변화가 커지는 것을 알 수 있다.

또한, 본 실시 형태에서는 스위칭 조절기의 고전압부를 집적 회로화하고, 제어 회로에 대해서는 별도의 칩으로 하는 반도체 장치에 대하여 설명을 행하였다. 이 구성에 의해서 고전압부와 제어 회로 각각에 적합한 반도체 기판을 이용하는 것이 가능해진다. 그러나, 보다 집적 회로화를 진행시키는 경우에는 도 11에 도시한 바와 같이, 제어 회로를 일체화한 스위칭 조절기의 반도체 장치로서, 본 발명을 적용하는 것도 가능하다.

다음에, 구동 파워 IC(반도체 장치)의 제조 방법을 도 12 내지 도 16을 이용하여 설명한다. 각 도면에 있어서, 좌측에는 MOSFET 부분을 나타내고, 우측에는 동일 공정에서의 저항 소자(기동 저항) 부분을 나타낸다.

우선, 예를 들면 비소(As)가 도입된 단결정 규소(실리콘)로 이루어지는  $n^+$ 형 반도체 기판(1) 상에 에피택셜 성장에 의해서  $n^-$ 형으로 이루어지는 에피택셜층(2)을 형성한다. 그리고, 이 에피택셜층(2)의 주변 영역에 액티브 영역을 둘러싸도록 p형 웰을 다중으로 형성하여 FLR(13)을 형성하고, 이 반도체 기판의 주면에 산화 규소막을, 예를 들면 열 산화법으로 형성하고, 이 산화 규소막 상에 질화 규소(SiN)막의 마스크를 형성하고, 이 질화 규소막을 마스크로 한 선택적 열산화에 의해 필드 절연막(3)을 형성한다. 이 상태를 도 12에 도시한다.

다음에, 반도체 기판 주면에 열 산화막 혹은 열 산화막에 CVD(Chemical Vapor Deposition)에 의한 산화 규소막을 적층한 게이트 절연막(4)을 형성하고, 반도체 기판 주면 전면에 게이트(5) 혹은 저항 소자 SR의 도전막이 되는 다결정 규소막(폴리실리콘막; 5')을 CVD에 의해 형성하고, 이 다결정 규소막(5')에 게이트(5)가 되는 영역에는, 예를 들면 인을 저항 소자 SR의 도전막이 되는 영역에는, 예를 들면 붕소를 도입한다. 이 상태를 도 13에 도시한다.

다음에, 다결정 규소막(5')을 선택적으로 에칭 제거하여 패터닝하고, 게이트(5) 및 저항 소자 SR의 저항층(20)을 형성하고, MISFET의 p형층(7),  $n^+$ 형층(8), 콘택트층(12)을 포토리소그래피에 의한 마스크를 이용한 이온 주입에 의해서 형성한다. 이 때에 저항 소자 SR의 도전막 양단에 접속 저항을 저감하기 위한  $p^+$ 형층(도전막이  $n$ 형인 경우에는  $n^+$ 형층)을 형성한다. 이 상태를 도 14에 도시한다.

상기 다결정 규소막(5')의 선택 에칭 시, 소정의 마스크를 사용하여 도 1의 (a)에 도시한 바와 같은 사행 피치가 최외주의 FLR(13)로 변하는 저항층(20)을 형성한다.

다음에, 반도체 기판 주면 상 전면에, 예를 들면 PSG(Phosphorus Silicate Glass)막을 피착시켜, SOG(Spin On Glass)막을 도포 형성하여 층간 절연막(9)을 형성하고, 이 층간 절연막(9)에, 소스 영역이 되는  $n^+$ 형층(8), 게이트 배선(6), 저항 소자 SR의 접속 영역을 노출시키는 개구를 설치한다. 이 상태를 도 15에 도시한다.

다음에, 상기 개구 내를 포함하는 반도체 기판 주면 상의 전면에, 예를 들면 실리콘을 포함하는 알루미늄으로 이루어지는 도전막(금속막)을 형성하고, 이 금속막을 패터닝하여 게이트 가드링(10), 소스 배선(11), 가드링(14)을 형성하고, 예를 들면 소스 가스의 주체로서 테트라 에톡시 실란(TEOS) 가스를 이용한 플라즈마 CVD에 의한 산화 규소막에 폴리이미드를 도포 적층하고, 반도체 기판 주면의 전면을 덮는 보호 절연막(15)을 형성하고,  $n^+$ 형 반도체 기판(1)의 이면에 연삭 처리를 실시하고, 이 이면에, 예를 들면 증착에 의해 니켈, 티탄, 니켈, 은을 순차 적층한 드레인 전극(16)을 형성한다. 이 상태를 도 16에 도시한다.

그 후, 설명은 생략하지만, 상용의 공정을 거쳐서 구동 파워 IC를 형성한다.

이와 같이, 본 실시 형태 1에서는, 기동 저항(저항 소자) SR은 그 제조에 있어서는 주 스위치 MS나 기동 스위치 SS의 형성 공정을 이용하여 형성할 수 있어 공정수를 증감시키지 않는다. 또한, 기동 저항 SR은 액티브 영역에 설치하지 않고 기존의 필드 절연막 상에 형성하기 때문에 구동 파워 IC의 칩 사이즈의 소형화를 도모할 수 있다.

본 발명에서의 저항 소자의 제조에 있어서는, 저항 소자의 시단과 종단을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기판 표면의 각 부의 포텐셜에 일치하도록 제조하는 것이 바람직하지만, 편의적 방법으로서, 일부에서 일치시켜서 일부가 근사하도록 하는 편법이 생각된다. 그래서, 변형예에 대하여 도 17 내지 도 23을 참조하면서 설명한다.

도 17은 변형예 1이고, 사행 패턴의 사행폭은 시단(31)으로부터 종단(32)에 이를 때까지 일정하지만, 시단(31)으로부터 최외주의 FLR(13; P5)에 이르는 부분의 사행 피치 및 저항층 폭(저항선폭)이 최외주의 FLR(13; P5)로부터 종단(32)에 이르는 부분의 사행 피치 및 저항층 폭에 비교하여 넓고 또한 굵게 한 예이다. 이 예에서도 고전계에 대한 내압 열화를 방지할 수 있다.

도 18은 변형예 2이고, 사행 패턴의 사행폭 및 사행 피치는 시단(31)으로부터 종단(32)에 이를 때까지 일정하지만, 시트 저항을 P5의 FLR(13) 내외로 바꾼 예이다. 시단(31)으로부터 P5의 FLR(13)에 이르는 부분의 시트 저항을 낮게 하고, P5의 FLR(13)로부터 종단(32)에 이르는 부분의 시트 저항을 높게 한 예이다. 이 예에서도 고전계에 대한 내압 열화를 방지할 수 있다.

도 19는 변형예 3이고, 사행 피치는 시단(31)으로부터 종단(32)에 이를 때까지 일정하지만, 사행 폭을 P5의 FLR(13)의 내외로 바꾼 예이다. 시단(31)으로부터 P5의 FLR(13)에 이르는 부분의 사행 폭을 좁게 하고, P5의 FLR(13)로부터 종단(32)에 이르는 부분의 사행 폭을 높게 한 예이다. 이 예에서도 고전계에 대한 내압 열화를 방지할 수 있다.

도 20은 변형예 4이고, P5의 FLR(13)의 내외로 사행 피치를 바꿈과 함께, P5로부터 종단(32)에 이르는 부분에서는 사행 폭이 순차 좁아지도록 하여, 도 1의 (c)의 반도체 기판 표면의 포텐셜 곡선 d에 일치시키도록 한 것이다. 이 예에서는 고전계에 대한 내압 열화는 방지할 수 있다.

도 21은 변형예 5이고, 시단(31)으로부터 P5에 이르는 부분은 직선으로 하여, 도 1의 (c)의 시단(31)으로부터 최외주의 FLR(13)에 이르는 동안의 완만한 구배의 직선 e와 같이 하고, P5로부터 종단(32)에 이르는 부분에서는 사행 패턴으로 한 예이다. 이 예에서도 고전계에 대한 내압 열화를 방지할 수 있다.

도 22는 변형예 6이고, 시단(31)으로부터 종단(32)까지를 직선 패턴으로 하지만, 시단(31)으로부터 P5에 이르는 부분의 저항층 폭은 굵고, P5로부터 종단(32)에 이르는 부분의 저항층 폭은 가늘게 한 예이다. 저항층 폭을 적절하게 선택함으로써, 고전계에 대한 내압 열화를 방지할 수 있다.

도 23은 변형예 7이고, 시단(31)으로부터 종단(32)까지를 저항층 폭이 일정한 직선 패턴으로 하지만, 시단(31)으로부터 P5에 이르는 부분의 시트 저항을 낮게 하고, P5로부터 종단(32)에 이르는 부분의 시트 저항을 높게 한 예이다. 시트 저항을 적절하게 선택함으로써 고전계에 대한 내압 열화를 방지할 수 있다.

또한, 이상의 각 변형예끼리의 조합도 가능하다.

이들 저항층(20)은 그 제조에 있어서, ① 도체층을 형성한 후, 에칭에 의해서 패터닝하여 형성하거나, ② 마스크를 사용한 선택적인 증착법 등에 의해서 형성한다.

또한, MOSFET의 제조에서의 폴리실리콘에 의한 게이트 전극 형성 시에 저항층(20)을 형성할 수 있다.

시트 저항은 불순물의 첨가량에 의해서 제어 가능하다. 또한, 저항층(20)을 길이 영역을 나누어 다른 재료로 형성해도 좋다. 예를 들면, 금속선과 폴리실리콘층을 도중에 접속하는 구조라도 좋다.

또한, 저항 소자의 시단과 종단을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이, 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기판 표면의 각 부의 포텐셜에 근사하도록 필드 절연막의 두께를 종래의  $\sim 1.5 \mu\text{m}$ 에 비교하여  $3 \sim 5 \mu\text{m}$ 로 두껍게 해도 된다.

본 실시 형태 1에 따르면 이하의 효과를 갖는다.

(1) 저항 소자(기동 저항) SR의 시단(31)과 종단(32)을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기판 표면의 각 부의 포텐셜에 일치하거나 또는 근사하도록 되어 있다. 따라서, 저항 소자에 고전압이 인가된 상태에서도, 벌크로 발생한 전자 정공쌍도 전계에 의해서 어딘가 특정한 개소에 포착되지는 않는다. 이 결과, 발생한 전자 정공쌍은 재결합하여 전기적으로 중성화하게 되고, 필드 제한 링 간에 채널이 생기지 않고 내압은 안정되어 내압 열화를 억제할 수 있다.

(2) 기동 저항을 형성하는 저항층의 시트 저항은  $10\text{k}\Omega/\text{sq}$  이하로 낮아서 발열량의 일정화가 가능하다. 또한, 저항층을 사행시켜서 길게 하기 때문에 발열 면적도 증대하여 열방산 효율이 증대한다. 이것들로부터, 고전압이 기동 저항에 인가되어도 발열에 기인하는 저항층인 폴리실리콘층의 용융에 의한 파괴 사고를 방지할 수 있다.

(3) 상기 (1), (2)에 의해 신뢰성이 높은 반도체 장치, 즉 스위칭 조절기용 구동 파워 IC를 제공할 수 있다.

(4) 기동 저항은 액티브 영역이 아니라 주변 영역의 필드 절연막 상에 형성되기 때문에 기동 저항을 액티브 영역에 형성하는 구조에 비교하여 반도체 칩의 소형화가 가능해지고 반도체 장치의 제조 비용의 저감을 달성할 수 있다.

(실시 형태 2)

도 24 및 도 25는 본 발명의 다른 실시 형태(실시 형태 2)에 따른 도면으로, 도 24는 기동 스위치와 기동 저항 부분을 나타내는 모식적 단면도, 도 25는 저항 소자의 모식적 평면도와 일부 단면도이다.

본 실시 형태 1의 구동 파워 IC는 상기 실시 형태 1의 구동 파워 IC에서 도 24에 도시한 바와 같이, 각 FLR(13)을 그 위의 저항층(20) 부분에 전기적으로 접속시킨 구성으로 되어 있다. 도 24는 개념적인 도면으로, 저항층(20) 하층의 필드 절연막(3)에 직접 콘택트홀을 형성하고, 저항층(20)을 콘택트홀에 매립하여 FLR(13)과 전기적으로 접속시킨 도면으로 하지만, 필드 절연막(3)이 두꺼워 미세 가공이 어렵기 때문에 실제로는 도 25에 도시한 바와 같이, 층간 절연막(9)과 FLR(13)이 연장하는 개소에서 얇은 절연막이 존재하는 부분에 콘택트홀을 형성하고, 이 콘택트홀 부분을 포함시켜서 양자의 콘택트홀 간에 배선(17)을 설치하고 FLR(13)과 대응하는 저항층(20)을 전기적으로 접속하게 된다.

도 25는 기동 저항 SR 부분을 나타내는 평면도로, 이 도면의 A-A', B-B', C-C'에 따른 부분의 단면을 우측에 각각 나타내고 있다.

본 실시 형태 2에 따르면, 각 FLR(13)과, 각 FLR(13)에 중첩되는 상기 저항층(20)은 각각 전기적으로 접속되고 있고, 각각의 부위에서 등전위가 되기 때문에 상기 실시 형태 1의 경우와 마찬가지로, 저항 소자의 포텐셜과 반도체 기판 표면의 포텐셜은 각 부에서 일치하거나 또는 근사하기 때문에 내압 열화를 억제할 수 있다.

이상 본 발명자에 의해서 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되지는 않고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

## 발명의 효과

본 원에 있어서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면, 하기 그대로이다.

(1) 저항 소자의 시단과 종단을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기판 표면의 각 부의 포텐셜에 일치하거나 또는 근사하도록 되어 있어 저항 소자(기동 저항)에 고전압이 인가된 상태에서도 내압 열화를 억제할 수 있다.

(2) 기동 저항을 구성하는 저항층의 시트 저항은  $10\text{k}\Omega/\text{sq}$  이하로 낮고 발열량의 변동이 작음과 함께, 저항층을 사행하여 길어지기 때문에 방열 면적도 증대하여, 효율적인 열방산이 가능해지기 때문에 발열에 기인하는 저항층인 폴리실리콘층의 용융에 의한 파괴 사고를 방지할 수 있다.

(3) 상기 (1), (2)에 의해 신뢰성이 높은 반도체 장치, 즉 스위칭 조절기용 구동 파워 IC를 제공할 수 있다.

(4) 기동 저항은 액티브 영역이 아니라 주변 영역의 필드 절연막 상에 형성되기 때문에 기동 저항을 액티브 영역에 형성하는 구조에 비교하여 반도체 칩의 소형화가 가능해지고 반도체 장치의 제조 비용의 저감을 달성할 수 있다.

## (57) 청구의 범위

### 청구항 1.

반도체 장치에 있어서,

제1 도전형의 반도체 기관과,

상기 반도체 기관의 주변 영역의 내측이 되는 액티브 영역에 형성되는 전계효과 트랜지스터와,

상기 주변 영역의 상기 반도체 기관 주변에 설치되며 상기 액티브 영역을 다중으로 둘러싸는 상기 제1 도전형과는 반대 도전형인 제2 도전형의 반도체 층으로 이루어진 복수의 필드 제한(limiting) 링과,

상기 반도체 기관 주변의 상기 주변 영역을 덮는 필드 절연막과,

상기 필드 절연막 상에 형성되며 상기 필드 제한 링군의 내측으로부터 외측을 향해 연장되고, 그 시단(始端)이 상기 전계효과 트랜지스터의 저전위로 되는 전극에 접속되며, 필드 제한 링의 외측에 위치하는 그 종단(終端)이 상기 전계효과 트랜지스터의 고전위로 되는 전극에 접속되는 저항 소자와,

상기 저항 소자를 덮는 층간 절연막과,

상기 최외주의 필드 제한 링에 대응하여 상기 층간 절연막 상에 형성되며, 상기 최외주의 필드 제한 링에 전기적으로 접속되는 필드 플레이트를 포함하며,

상기 전계효과 트랜지스터의 게이트와 상기 저항 소자는 같은 층에 형성되고,

상기 저항 소자의 시단과 종단을 연결하는 가상선의 방향에서, 상기 가상선의 단위 길이에 상당하는 상기 저항 소자의 저항이 상기 저항 소자의 위치에 따라 상이한 것을 특징으로 하는 반도체 장치.

### 청구항 2.

제1항에 있어서,

상기 가상선을 따른 상기 저항 소자 각 부의 포텐셜이 상기 가상선을 따른 상기 반도체 기관 표면의 각 부의 포텐셜에 근사하도록 되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 3.

제1항에 있어서,

상기 가상선의 단위 길이당의 상기 저항 소자의 저항값은 최외주의 상기 필드 제한 링의 내측과 외측에서 서로 상이한 것을 특징으로 하는 반도체 장치.

### 청구항 4.



제1항에 있어서,

상기 가상선의 단위 길이당의 상기 저항 소자의 저항값은 단계적으로 변화하고 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 5.

제1항에 있어서,

상기 저항 소자는, 저항 소자의 시단과 종단 사이에 사행(蛇行) 부분을 갖는 것을 특징으로 하는 반도체 장치.

#### 청구항 6.

제1항에 있어서,

상기 저항 소자는 저항 소자의 시단과 종단 사이에 사행 부분을 가짐과 함께, 상기 사행 부분의 사행 피치가 상이한 것을 특징으로 하는 반도체 장치.

#### 청구항 7.

제1항에 있어서,

상기 저항 소자는 사행 부분을 가짐과 함께 사행하는 폭이 넓은 부분과, 사행하는 폭이 좁은 부분을 갖는 것을 특징으로 하는 반도체 장치.

#### 청구항 8.

제1항에 있어서,

상기 저항 소자는 저항 소자의 시단과 종단 사이에 사행하는 사행 부분과, 상기 가상 선분을 따른 직선 부분을 갖는 것을 특징으로 하는 반도체 장치.

#### 청구항 9.

제1항에 있어서,

상기 저항 소자는 선폭이 상이한 것을 특징으로 하는 반도체 장치.

#### 청구항 10.

제1항에 있어서,

상기 저항 소자는 상기 가상선을 따른 직선 형상의 저항 소자로 됨과 함께, 선폭이 일부에서 상이한 것을 특징으로 하는 반도체 장치.

### 청구항 11.

제1항에 있어서,

상기 저항 소자는 불순물이 첨가된 폴리실리콘층으로 형성되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 12.

제1항에 있어서,

상기 저항 소자는 금속 부분과, 이 금속 부분에 전기적으로 접속되는 불순물이 첨가된 폴리실리콘층으로 형성되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 13.

제1항에 있어서,

상기 저항 소자는 그 위치에 따라 시트 저항이 상이한 것을 특징으로 하는 반도체 장치.

### 청구항 14.

삭제

### 청구항 15.

제1항에 있어서,

상기 저항 소자의 하측에 위치하는 상기 필드 절연막의 두께는 3 ~ 5 $\mu$ m 정도로 되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 16.

제1항에 있어서,

상기 각 필드 제한 링과, 각 필드 제한 링에 중첩되는 상기 저항 소자 부분은 각각 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 17.

제1항에 있어서,

신호가 공급되는 제1 단자와,

기준 전위가 공급되는 제2 단자와,

제어 단자와,

기동 회로용 제어 단자와,

기동 회로용 기준 전위가 공급되는 기동 회로용 제2 단자와,

상기 제1 단자에 접속되는 제1 전극과, 상기 제2 단자에 접속되는 제2 전극과, 상기 제어 단자에 접속되는 제어 전극을 갖는 주 스위치용 트랜지스터와,

상기 제1 단자에 접속되는 기동용 제1 전극과, 상기 기동 회로용 제2 단자에 접속되는 기동용 제2 전극과, 상기 기동 회로용 제어 단자에 접속되는 기동용 제어 전극을 갖는 기동 스위치용 트랜지스터를 더 가지며,

상기 저항 소자는 상기 제1 단자와 상기 기동용 제어 전극 사이에 직렬로 접속되는 것을 특징으로 하는 반도체 장치.

## 청구항 18.

제1항에 있어서,

신호가 공급되는 제1 단자와,

기준 전위가 공급되는 제2 단자와,

제어 단자와,

전류 검출 단자와,

기동 회로용 제어 단자와,

기동 회로용 기준 전위가 공급되는 기동 회로용 제2 단자와,

상기 제1 단자에 접속되는 제1 전극과, 상기 제2 단자에 접속되는 제2 전극과, 상기 제어 단자에 접속되는 제어 전극과, 상기 전류 검출 단자에 접속되며 상기 제1 전극의 출력 전류를 검출하는 전류 검출 전극을 갖는 주 스위치용 트랜지스터와,

상기 제1 단자에 접속되는 기동용 제1 전극과, 상기 기동 회로용 제2 단자에 접속되는 기동용 제2 전극과, 상기 기동 회로용 제어 단자에 접속되는 기동용 제어 전극을 갖는 기동 스위치용 트랜지스터를 더 가지며,

상기 저항 소자는 상기 제1 단자와 상기 기동용 제어 전극 사이에 직렬로 접속되는 것을 특징으로 하는 반도체 장치.

## 청구항 19.

반도체 기관 주변의 액티브 영역에 트랜지스터가 설치됨과 함께, 상기 액티브 영역을 둘러싼 주변 영역에 상기 액티브 영역을 다중으로 둘러싸도록 복수의 필드 제한 링이 설치된 반도체 장치의 제조 방법에 있어서,

상기 반도체 기관 주변의 주변 영역에 상기 액티브 영역을 다중으로 둘러싸도록 필드 제한 링을 복수 형성하는 공정과,

상기 반도체 기관의 주변 영역 상 및 소정 개소에 필드 절연막을 형성하는 공정과,

상기 필드 절연막 상에 상기 트랜지스터에 접속되는 저항 소자를 구성하기 위한 저항층을, 상기 필드 제한 링군의 내측의 시단으로부터 외측의 종단을 향해 연장하여 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 20.

제19항에 있어서,

상기 저항 소자의 시단과 종단을 연결하는 가상선을 따른 상기 저항 소자의 저항값이 상기 저항 소자의 위치에 따라 상이한 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 21.

제19항에 있어서,

상기 저항층을 도체층 형성과 패터닝에 의해, 또는 마스크를 사용한 증착법에 의해 형성하고, 상기 저항층 패턴을 사행 패턴, 일부에서 사행 피치가 상이한 사행 패턴, 일부에서 사행폭이 상이한 사행 패턴, 상기 각 사행 패턴과 직선 부분과의 조합 패턴, 상기 각 패턴에서 1 내지 복수 부분에서 저항선폭이 상이한 패턴, 직선이며 또한 1 내지 복수 부분에서 저항선폭이 상이한 패턴으로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 22.

제19항에 있어서,

상기 트랜지스터를 전계 효과 트랜지스터로 형성함과 함께, 트랜지스터의 게이트 전극을 폴리실리콘층으로 형성할 때, 상기 저항층을 동시에 폴리실리콘층으로 형성하고, 필요에 따라 불순물을 첨가하여 시트 저항을 조정하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 23.

제19항에 있어서,

상기 저항 소자를, 금속층의 형성과, 상기 금속층에 전기적으로 접속하도록 형성하는 불순물을 첨가하여 형성하는 폴리실리콘층으로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 24.

제19항에 있어서,

상기 필드 절연막을 3 ~ 5 $\mu$ m 정도의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 25.

제19항에 있어서,

상기 필드 제한 링을 형성하며, 상기 필드 절연막을 형성하고, 상기 저항층을 형성하며, 상기 저항층을 덮는 층간 절연막을 형성한 후, 상기 층간 절연막에 콘택트홀을 형성함과 함께, 도체를 선택적으로 상기 층간 절연막 상에 형성하여 상기 각 필드 제한 링과, 각 필드 제한 링에 중첩되는 상기 저항 소자 부분을 전기적으로 접속하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 26.

반도체 장치에 있어서,

반도체 기관;

상기 반도체 기관의 주변 영역의 내측이 되는 액티브 영역에 형성되는 트랜지스터;

상기 주변 영역의 상기 반도체 기관 주변에 설치되고 상기 액티브 영역을 다중으로 둘러싸는 복수의 필드 제한 링;

상기 반도체 기관 주변의 상기 주변 영역을 덮는 필드 절연막;

상기 필드 절연막 상에 형성되며 상기 필드 제한 링군의 내측으로부터 외측을 향해 연장되고, 필드 제한 링군의 내측의 시단이 상기 트랜지스터의 저전위로 되는 전극에 접속되며, 필드 제한 링의 외측의 종단이 상기 트랜지스터의 고전위로 되는 전극에 접속되는 저항 소자;

상기 저항 소자를 덮는 층간 절연막; 및

상기 최외주의 필드 제한 링에 대응하여 상기 층간 절연막 위에 형성되며, 상기 최외주의 필드 제한 링에 전기적으로 접속되는 필드 플레이트

를 포함하고,

상기 저항 소자의 시단과 종단을 직선적으로 연결하는 선분으로 치환한 저항 소자의 저항값은, 상기 선분의 일부의 단위 길이당의 저항값이 다른 부분의 단위 길이당의 저항값과 상이한 반도체 장치.

## 청구항 27.

제26항에 있어서,

상기 저항 소자의 시단과 종단을 직선적으로 연결하는 선분의 저항 소자 각 부의 포텐셜이, 상기 시단과 종단을 직선적으로 연결하는 선분에 대응하는 상기 반도체 기관 표면의 각 부의 포텐셜에 일치하거나 또는 근사하도록 되어 있는 반도체 장치.

## 청구항 28.

제26항 또는 제27항에 있어서,

최외주의 상기 필드 제한 링 부분을 사이에 두고 그 내측과 외측의 상기 선분에서의 단위 길이당의 저항값은 상이하며,

상기 저항 소자의 각 부의 포텐셜과 상기 반도체 기관 표면의 각 부의 포텐셜은 일치하거나 또는 근사하도록 되어 있는 반도체 장치.

## 청구항 29.

제26항 또는 제28항에 있어서,

상기 선분에서의 단위 길이당의 저항값은 단계적으로 변화하며,

상기 저항 소자의 각 부의 포텐셜과 상기 반도체 기관 표면의 각 부의 포텐셜은 일치하거나 또는 근사하도록 되어 있는 반도체 장치.

### 청구항 30.

제26항에 있어서,

상기 저항 소자는, 저항 소자의 시단과 종단 사이에 사행 부분을 갖는 반도체 장치.

### 청구항 31.

제26항에 있어서,

상기 저항 소자는, 저항 소자의 시단과 종단 사이에 사행 부분을 가짐과 함께, 상기 사행 부분의 복수 부분에서는 사행 피치가 상이한 반도체 장치.

### 청구항 32.

제26항에 있어서,

상기 저항 소자는 사행 부분을 가짐과 함께, 사행하는 폭이 넓은 광사행 부분과, 사행하는 폭이 좁은 협사행 부분을 갖는 반도체 장치.

### 청구항 33.

제26항에 있어서,

상기 저항 소자는, 저항 소자의 시단과 종단 사이에 사행하는 사행 부분과, 상기 선분을 따른 직선 부분을 갖는 반도체 장치.

### 청구항 34.

제26항에 있어서,

상기 저항 소자는, 복수 부분에서 저항선 폭이 상이한 반도체 장치.

### 청구항 35.

제26항에 있어서,

상기 저항 소자는, 상기 선분을 따른 직선 형상의 저항 소자로 됨과 함께, 선 폭이 일부에서 상이한 반도체 장치.

### 청구항 36.

제26항에 있어서,

상기 저항 소자는 불순물이 첨가된 폴리실리콘층으로 형성되는 반도체 장치.

### 청구항 37.

제26항에 있어서,

상기 저항 소자는, 금속 부분과, 상기 금속 부분에 전기적으로 접속되는 불순물이 첨가된 폴리실리콘층으로 형성되는 반도체 장치.

### 청구항 38.

제26항에 있어서,

상기 저항 소자는, 복수 부분에서 시트 저항이 상이한 반도체 장치.

### 청구항 39.

삭제

### 청구항 40.

제26항에 있어서,

상기 저항 소자 각 부의 포텐셜과 상기 반도체 기판 표면의 각 부의 포텐셜의 차를 작게 하도록 상기 필드 절연막의 두께는  $3 \sim 5 \mu\text{m}$ 정도로 되어 있는 반도체 장치.

### 청구항 41.

제26항에 있어서,

상기 각 필드 제한 링과, 각 필드 제한 링에 중첩되는 상기 저항 소자 부분은 각각 전기적으로 접속되는 반도체 장치.

### 청구항 42.

제26항에 있어서,

신호가 공급되는 제1 단자와,

기준 전위가 공급되는 제2 단자와,

제어 단자와,

기동 회로용 제어 단자와,

기동 회로용 기준 전위가 공급되는 기동 회로용 제2 단자와,

상기 제1 단자에 접속되는 제1 전극과, 상기 제2 단자에 접속되는 제2 전극과, 상기 제어 단자에 접속되는 제어 전극을 갖는 주 스위치용 트랜지스터와,

상기 제1 단자에 접속되는 기동용 제1 전극과, 상기 기동 회로용 제2 단자에 접속되는 기동용 제2 전극과, 상기 기동 회로용 제어 단자에 접속되는 기동용 제어 전극을 갖는 기동 스위치용 트랜지스터와,

상기 제1 단자와 상기 기동용 제어 전극 사이에 직렬로 접속되는 기동 저항을 가지며,

상기 기동 저항은 상기 저항 소자의 구조인 반도체 장치.

### 청구항 43.

제26항에 있어서,

신호가 공급되는 제1 단자와,

기준 전위가 공급되는 제2 단자와,

제어 단자와,

전류 검출 단자와,

기동 회로용 제어 단자와,

기동 회로용 기준 전위가 공급되는 기동 회로용 제2 단자와,

상기 제1 단자에 접속되는 제1 전극과, 상기 제2 단자에 접속되는 제2 전극과, 상기 제어 단자에 접속되는 제어 전극과, 상기 전류 검출 단자에 접속되며 상기 제1 전극의 출력 전류를 검출하는 전류 검출 전극을 갖는 주 스위치용 트랜지스터와,

상기 제1 단자에 접속되는 기동용 제1 전극과, 상기 기동 회로용 제2 단자에 접속되는 기동용 제2 전극과, 상기 기동 회로용 제어 단자에 접속되는 기동용 제어 전극을 갖는 기동 스위치용 트랜지스터와,

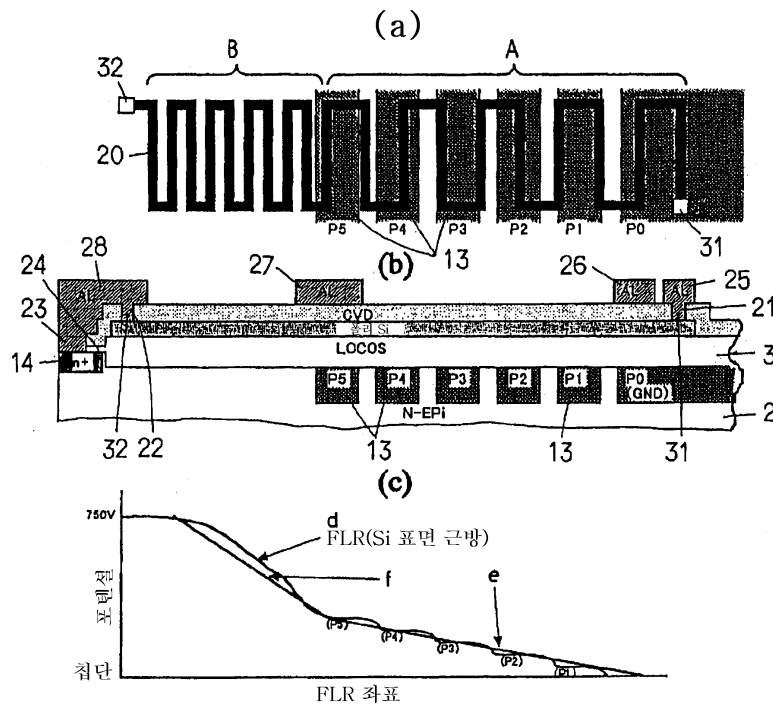
상기 제1 단자와 상기 기동용 제어 전극 사이에 직렬로 접속되는 기동 저항을 갖고,

상기 기동 저항은 상기 저항 소자의 구조인 반도체 장치.

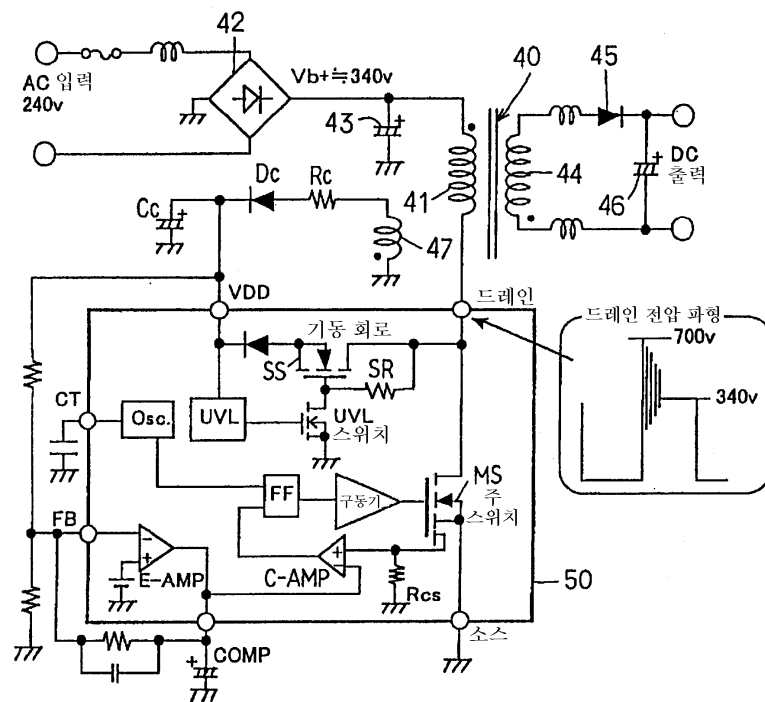
도면



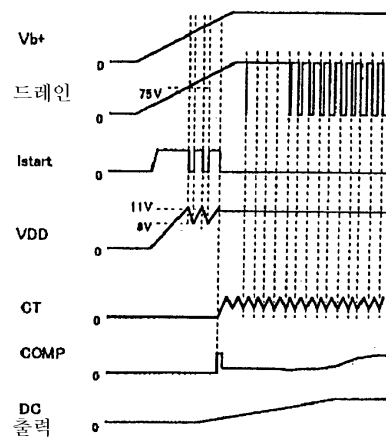
도면1



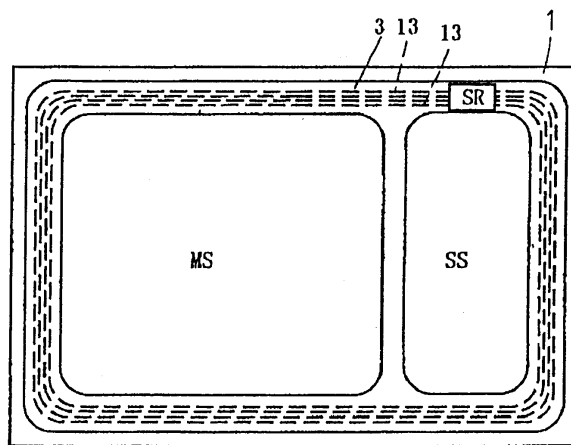
도면2



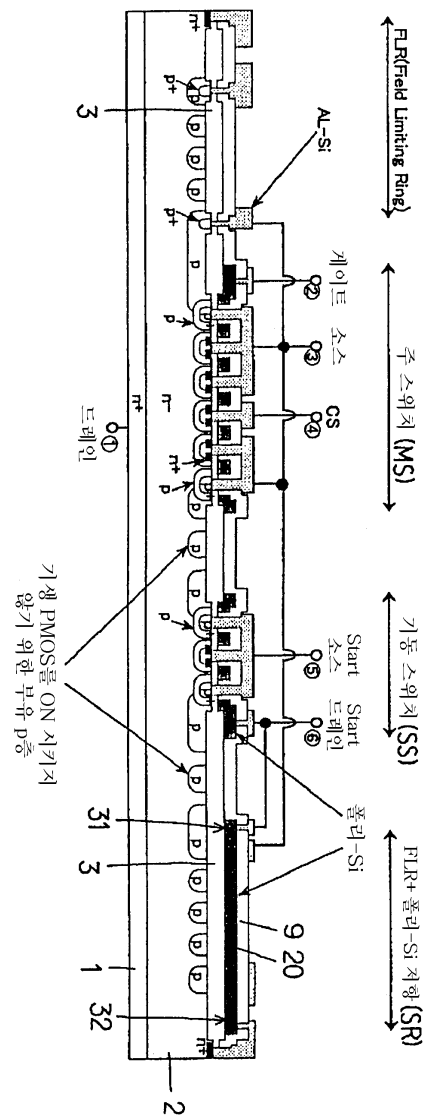
도면3



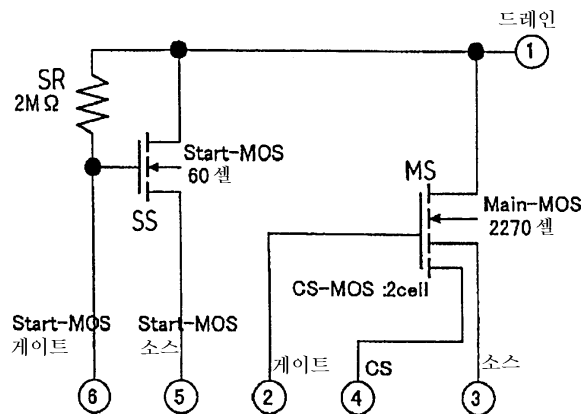
도면4



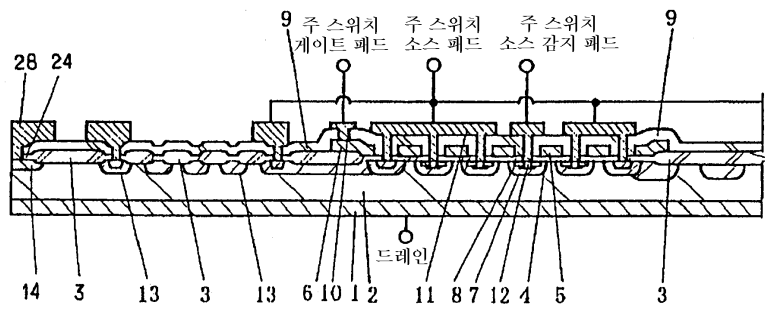
도면5



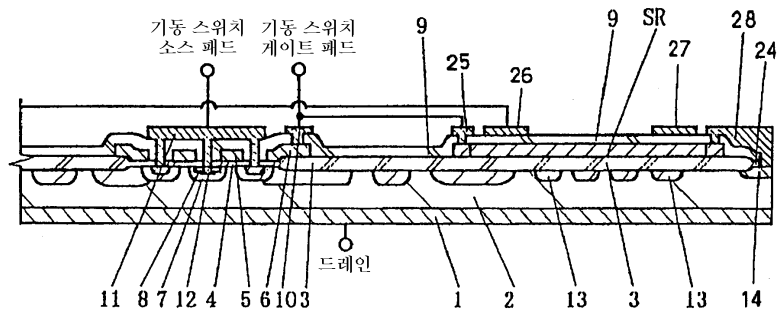
도면6



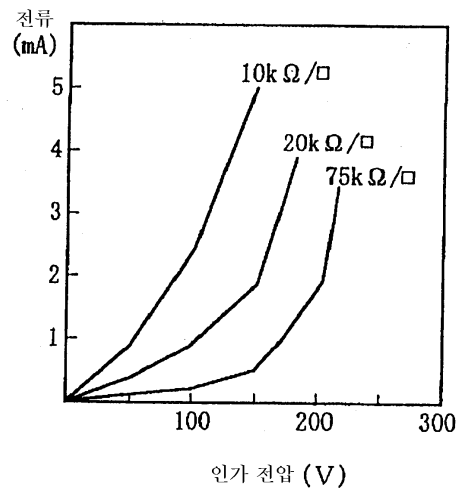
도면7



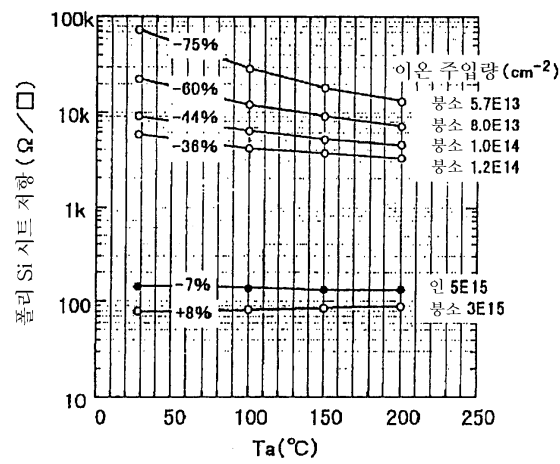
도면8



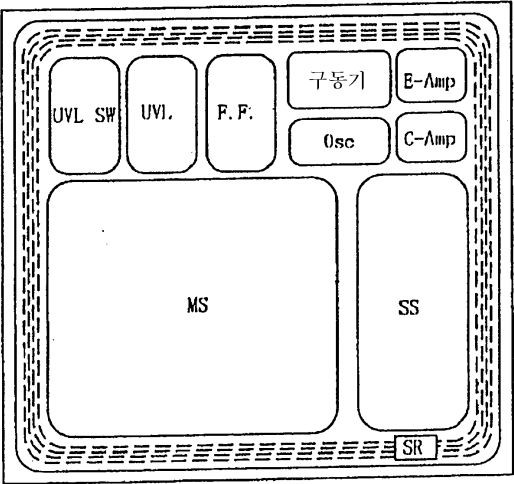
도면9



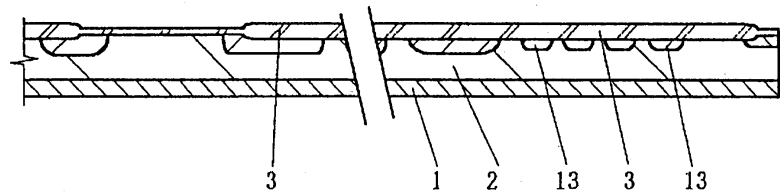
도면10



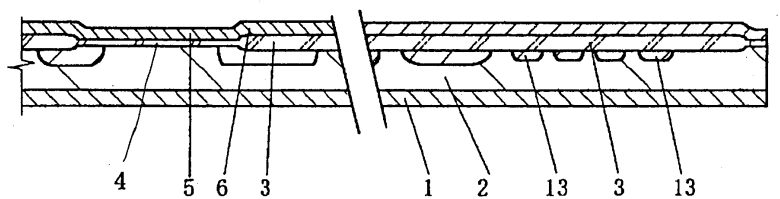
도면11



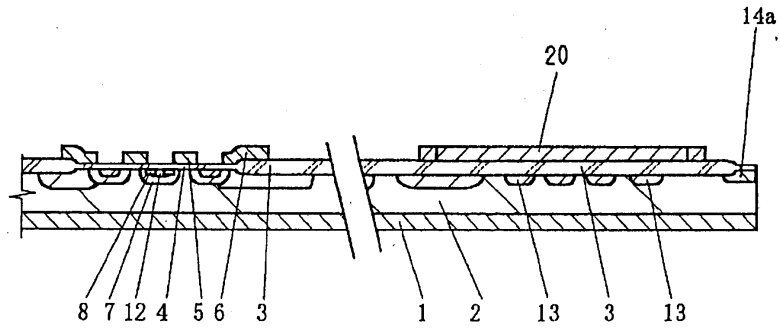
도면12



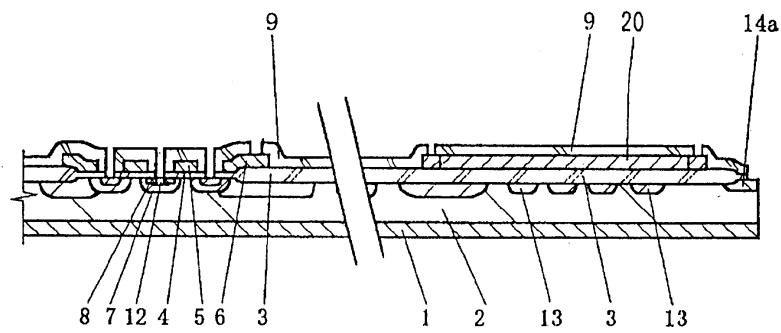
도면13



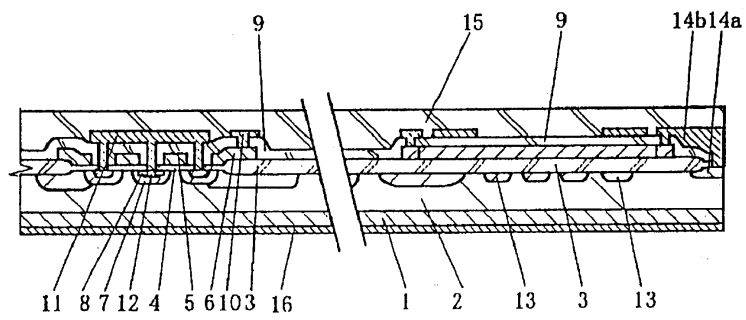
도면14



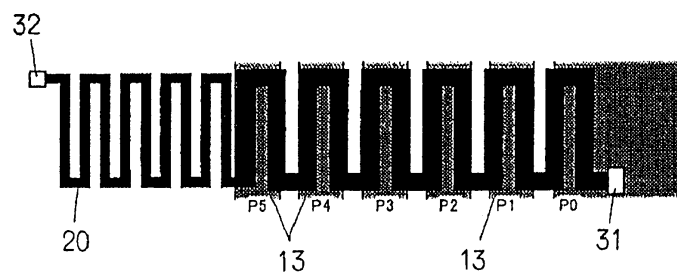
도면15



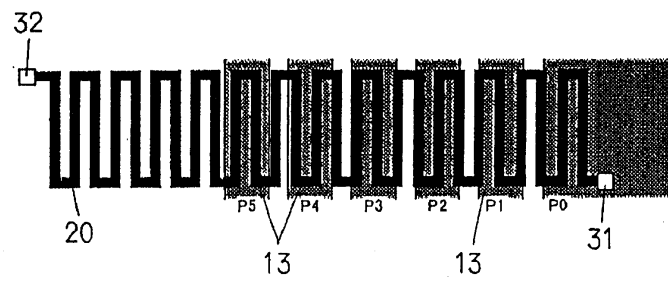
도면16



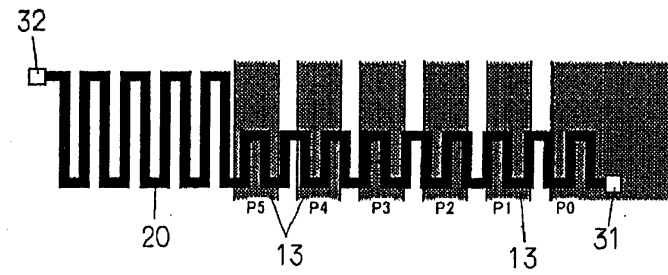
도면17



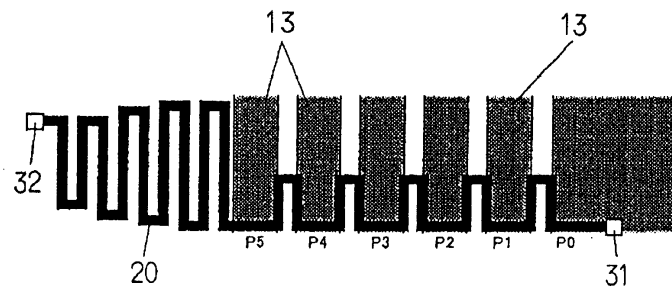
도면18



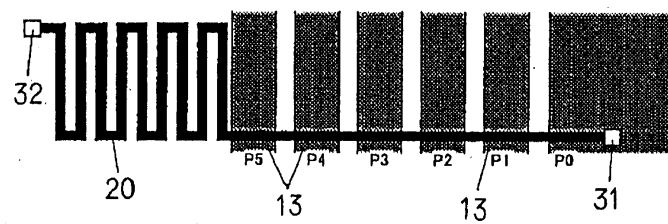
도면19



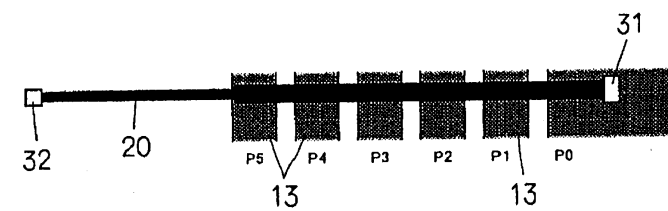
도면20



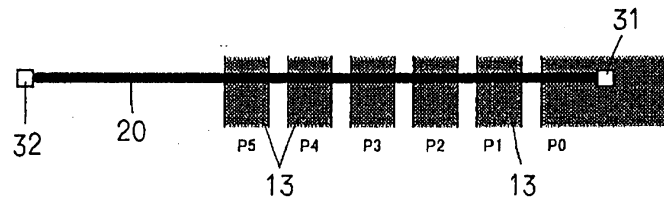
도면21



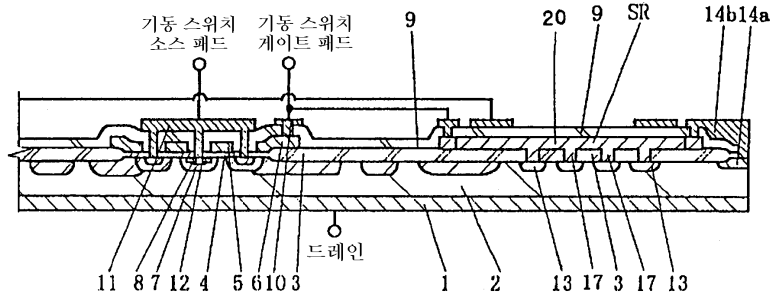
도면22



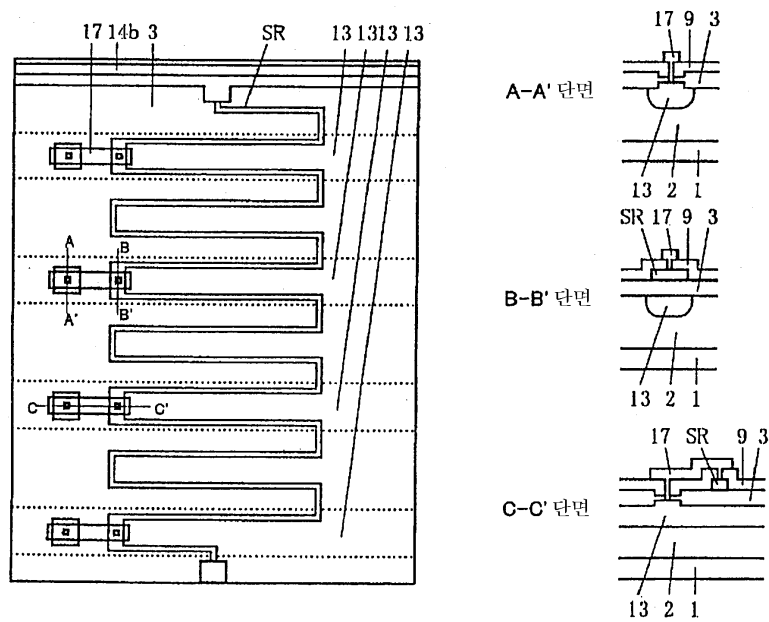
도면23



도면24

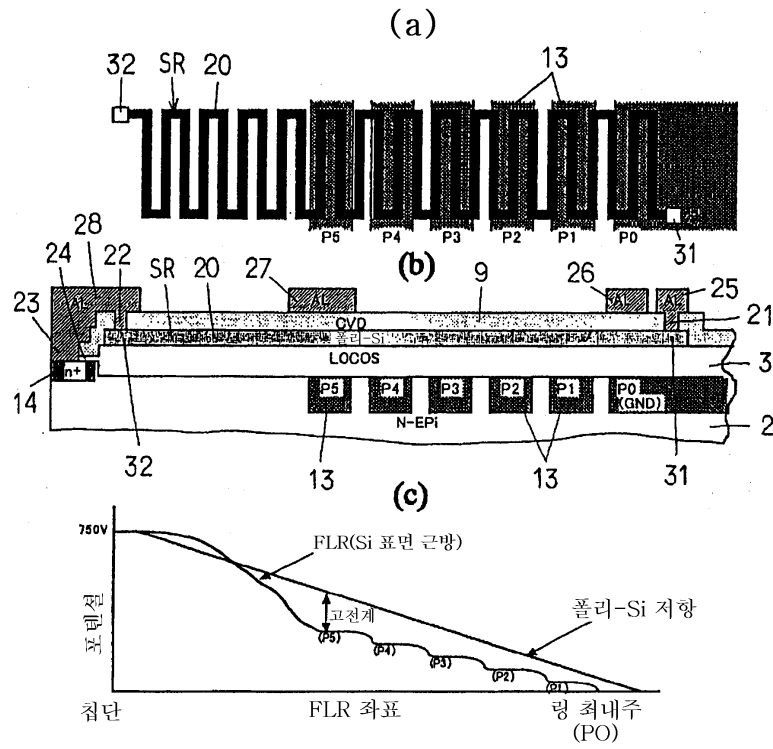


도면25

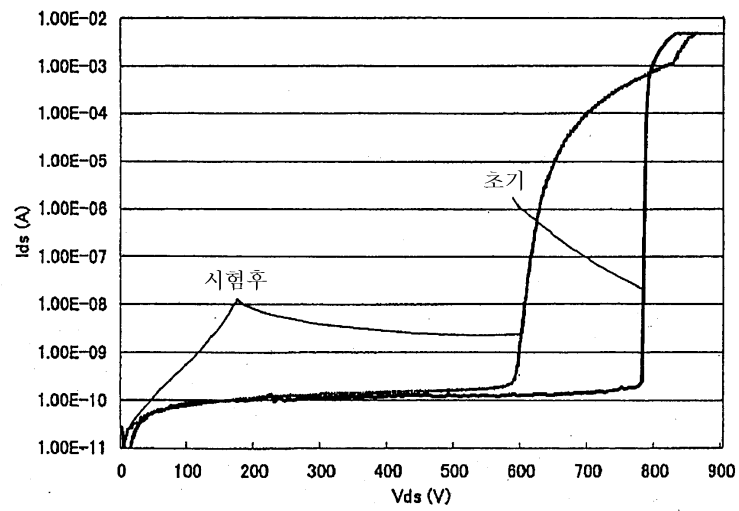




도면26



도면27



도면28

