

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/762 (2006.01)

H01L 21/20 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580036878.X

[45] 授权公告日 2009 年 8 月 26 日

[11] 授权公告号 CN 100533706C

[22] 申请日 2005.11.17

[21] 申请号 200580036878.X

[30] 优先权

[32] 2004.11.18 [33] US [31] 10/992,150

[86] 国际申请 PCT/EP2005/056042 2005.11.17

[87] 国际公布 WO2006/053890 英 2006.5.26

[85] 进入国家阶段日期 2007.4.26

[73] 专利权人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 M·利昂格 D·萨达纳

G·沙希迪

[56] 参考文献

US2004/0061200A1 2004.4.1

EP1453096A1 2004.9.1

US2004/0195622A1 2004.10.7

US6531375B1 2003.3.11

审查员 王 洁

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华

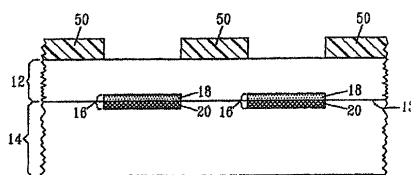
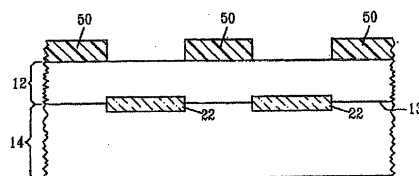
权利要求书 4 页 说明书 13 页 附图 6 页

[54] 发明名称

SOI 衬底材料和形成具有不同取向的含 Si 的
SOI 和下覆衬底的方法

[57] 摘要

本发明提供一种 SOI 衬底材料和一种形成包括
上含 Si 层(12)和下含 Si 层(14)的混合 SOI 衬底的方法，其中上含 Si 层和下含 Si 层具有不同晶体取向。掩埋绝缘区域(22)可以位于这些含 Si 层的一个中或者穿过位于这两个含 Si 层之间的界面(13)而定位。



1. 一种用于形成混合 SOI 衬底材料的方法，包括：

提供包括第一晶体取向的上含 Si 层和第二晶体取向的下含 Si 层的叠层，其中所述第一晶体取向与所述第二晶体取向不同；

将离子注入到所述叠层中，以在其中创建富离子注入区域，其中所述注入包括基础离子注入步骤以及第二离子注入步骤，所述第二离子注入步骤在比所述基础离子注入步骤低的温度下执行；以及

将所述叠层加热到一个温度，使得所述富离子注入区域内的离子沉淀以在所述叠层内形成掩埋绝缘区域，其中所述富离子注入区域位于所述上含 Si 层内或者所述下含 Si 层内。

2. 根据权利要求 1 所述的方法，其中所述提供所述叠层包括：选择包括至少所述上含 Si 层的第一晶片和包括至少所述下含 Si 层的第二晶片，并将所述第一晶片和第二晶片键合。

3. 根据权利要求 2 所述的方法，其中所述键合包括：使所述第一晶片和第二晶片彼此密切接触，以及在从 15°C 到 40°C 的温度下进行退火。

4. 根据权利要求 3 所述的方法，其中在施加外力的情况下使所述第一晶片和第二晶片彼此密切接触。

5. 根据权利要求 2 所述的方法，其中所述键合包括：使所述第一晶片和第二晶片彼此密切接触，以及在 400°C 的温度下进行退火。

6. 根据权利要求 5 所述的方法，其中在施加外力的情况下使所述第一晶片和第二晶片彼此密切接触。

7. 根据权利要求 3 或 5 所述的方法，还包括在所述退火之后的键合增强退火工艺。

8. 根据权利要求 2 所述的方法，还包括在键合之后将所述上含 Si 层减薄。

9. 根据权利要求 8 所述的方法，其中所述减薄包括以下步骤的至少一个：在键合之前将离子注入到所述上含 Si 层中并在键合之后

执行分离 (splitting)退火步骤; 研磨; 抛光; 刻蚀; 气体反应或注入以及平坦化。

10. 根据权利要求 1 所述的方法, 其中所述第一晶体取向和第二晶体取向选自 (110)、(111)、(100)、(422)、(311)、(521) 和含 Si 材料的任何其它主轴或次轴。

11. 根据权利要求 1 所述的方法, 其中所述注入包括均厚离子注入工艺。

12. 根据权利要求 1 所述的方法, 其中所述注入包括掩蔽离子注入工艺。

13. 根据权利要求 1 所述的方法, 其中所述注入包括氧离子、氮离子、NO 离子、惰性气体或它们的混合物中的一种。

14. 根据权利要求 13 所述的方法, 其中所述注入包括氧离子。

15. 根据权利要求 1 所述的方法, 其中所述富离子注入区域具有 1×10^{22} 原子/cm³ 或更大的浓度。

16. 根据权利要求 1 所述的方法, 其中所述富离子注入区域包括损坏区域。

17. 根据权利要求 16 所述的方法, 其中所述富离子注入区域还包括较浅非晶区域。

18. 根据权利要求 1 所述的方法, 其中所述注入包括基础离子注入工艺和低剂量注入工艺, 所述低剂量注入工艺使用 4×10^{17} 原子/cm² 或更小的离子剂量来执行。

19. 根据权利要求 1 所述的方法, 其中所述加热是在含氧气氛中以从 900°C 到 1350°C 的温度执行的退火工艺。

20. 根据权利要求 19 所述的方法, 其中所述含氧气氛还包括惰性气体、含氮气氛或其混合物。

21. 根据权利要求 1 所述的方法, 其中所述加热在单一目标温度下或利用各种升温周期、浸泡周期和冷却周期而执行。

22. 根据权利要求 1 所述的方法, 其中所述掩埋绝缘区域为连续的或非连续的。

23. 根据权利要求 1 所述的方法, 其中所述掩埋绝缘区域位于所述上含 Si 层或所述下含 Si 层的至少一个中。

24. 根据权利要求 1 所述的方法, 其中在所述上含 Si 层和所述下含 Si 层中, 至少所述上含 Si 层是纯同位素的。

25. 根据权利要求 1 所述的方法, 还包括在所述上含 Si 层的顶上形成应变半导体。

26. 一种混合 SOI 衬底材料, 包括:

叠层, 其包括第一晶体取向的上含 Si 层和第二晶体取向的下含 Si 层, 其中所述第一晶体取向与所述第二晶体取向不同; 以及

掩埋绝缘区域, 位于所述上含 Si 层或所述下含 Si 层的至少一个中。

27. 根据权利要求 26 所述的混合 SOI 衬底材料, 其中所述下含 Si 层和上含 Si 层包括相同或不同的含硅半导体材料, 所述含硅半导体材料选自包括 Si、SiGe、SiC、SiGeC、实现的 SOI、实现的绝缘体上 SiGe 和分层结构的组中。

28. 根据权利要求 26 所述的混合 SOI 衬底材料, 其中所述上含 Si 层和下含 Si 层都包括 Si。

29. 根据权利要求 26 所述的混合 SOI 衬底材料, 其中所述第一晶体取向和第二晶体取向包括 (110)、(111)、(100)、(422)、(311)、(521) 或含 Si 材料的任何其它主轴或次轴。

30. 根据权利要求 26 所述的混合 SOI 衬底材料, 其中所述掩埋绝缘区域为连续或非连续的。

31. 根据权利要求 26 所述的混合 SOI 衬底材料, 其中所述掩埋绝缘区域包括掩埋氧化物。

32. 根据权利要求 31 所述的混合 SOI 衬底材料, 其中所述掩埋氧化物是热氧化物。

33. 根据权利要求 26 所述的混合 SOI 衬底材料, 其中所述掩埋绝缘区域存在于所述上含 Si 层内。

34. 根据权利要求 26 所述的混合 SOI 衬底材料, 其中所述掩埋

绝缘区域存在于所述下含 Si 层内。

35. 根据权利要求 33 所述的混合 SOI 衬底材料，其中所述上含 Si 层的一部分位于所述掩埋绝缘区域之下。

36. 根据权利要求 34 所述的混合 SOI 衬底材料，其中所述下含 Si 层的一部分位于所述掩埋绝缘区域之上。

37. 根据权利要求 26 所述的混合 SOI 衬底材料，其中在所述上含 Si 层和所述下含 Si 层中，至少所述上含 Si 层是同位素纯化的。

38. 根据权利要求 26 所述的混合 SOI 衬底材料，还包括位于所述上含 Si 层的表面上的应变半导体层。

SOI 衬底材料和形成具有不同取向的 含 Si 的 SOI 和下覆衬底的方法

技术领域

本发明涉及绝缘体上硅 (SOI) 衬底材料, 并涉及制造半导体材料的方法, 且更特别地涉及制造绝缘体上硅 (SOI) 材料的方法, 其中 SOI 材料的上含 Si 层具有与下半导体衬底层不同的晶体取向。掩埋绝缘区域 (连续的或非连续的) 可以存在于这些含 Si 层的一个中或者穿过位于这两个含 Si 层之间的界面而存在。

背景技术

在目前的半导体技术中, 诸如 nFET 或 pFET 的 CMOS 器件通常制造在具有单一晶向的诸如 Si 的半导体晶片上。具体而言, 当前大部分的半导体器件都建立在具有 (100) 晶向的 Si 上。

已知电子对于 (100) Si 表面取向具有高迁移率, 而已知空穴对于 (110) Si 表面取向具有较高迁移率。也就是说, (100) Si 上的空穴迁移率值大致比该晶体取向的相应电子迁移率低 2 倍至 4 倍。为了补偿该偏差, 通常将 pFET 设计为具有较大宽度, 以便平衡上拉电流, 使得抵消 nFET 下拉电流, 并且实现统一的电路切换。具有较大宽度的 pFET 是不期望的, 因为其占据了相当大的芯片面积。

与前述内容形成对比, (110) Si 上的空穴迁移率比 (100) Si 上的空穴迁移率高 2 倍, 因此, 形成在 (110) Si 表面上的 pFET 将呈现比形成在 (100) Si 表面上的 pFET 高得多的驱动电流。不利的是, (110) Si 表面的电子迁移率远远低于 (100) Si 表面的电子迁移率。

从上面的论述可以推出, (110) Si 表面由于优良的空穴迁移率而对于 pFET 器件是最佳的, 而这样的晶向完全不适合 nFET 器件。

取而代之，(100) Si 表面由于晶向有利于电子迁移率而对于 nFET 器件是最佳的。

已经描述了通过晶片键合来形成具有不同表面晶向的平面混合衬底的多种方法。在这样的努力中，主要通过半导体与绝缘体或绝缘体与绝缘体的晶片键合来获得平面混合衬底，以在其自身最佳晶向上实现 pFET 和 nFET 用于高性能器件的制造。然而，至少一种类型的 MOSFET (pFET 或 nFET) 在 SOI 材料上，同时另一种类型的 MOSFET 在体半导体或具有较厚 SOI 膜的 SOI 上。

近年来，已经利用一种方法制备了混合晶向衬底，该方法包括：提供键合衬底，该衬底至少包括第一晶体取向的顶半导体层和第二晶体取向的底半导体层，其中第二晶体取向不同于第一晶体取向；保护提供第一区域的键合衬底的一部分，同时留下未受保护而提供第二区域的键合衬底的另一部分；刻蚀键合衬底的未受保护部分，以露出底半导体层；在底半导体层上重新生长半导体材料，使得该半导体材料具有第二晶体取向；以及进行平坦化。这样的技术例如在 2003 年 6 月 17 日提交的美国申请 No.10/250,241 中进行了描述。该申请公开了半导体层之一可以包括预先制造的 SOI 衬底。在这种情况下，将预先制造的 SOI 晶片与另一个晶片键合，该另一个晶片也可以包括预先制造的 SOI 晶片。

尽管上述技术是可行的，但对于在这种情况下中掩埋绝缘层将存在于何处是不自由的。

鉴于上述情况，需要提供一种制造 SOI 衬底材料的方法，其中 SOI 材料的 SOI 层具有与下覆盖 Si 层不同的晶向，并且其中在键合后形成掩埋绝缘区域。通过在键合后形成掩埋绝缘区域，可以提供混合 SOI 衬底，其中掩埋绝缘区域可以存在于混合 SOI 衬底的不同区域内。术语“混合 SOI 衬底”是指包括不同晶体取向的上含 Si 层和下含 Si 层的衬底材料，其中掩埋绝缘区域位于这些含 Si 层的至少一个中，或者穿过位于它们之间的界面而定位。

发明内容

本发明提供一种形成包括上含 Si 层和下含 Si 层的混合 SOI 衬底材料的方法，其中上含 Si 层和下含 Si 层具有不同的晶体取向。根据本发明，掩埋绝缘区域可以位于这些含 Si 层中的一个中，或者穿过位于这两个含 Si 层之间的界面而定位。

具体而言，并且从广义上讲，本发明的方法包括以下步骤：提供包括第一晶体取向的上含 Si 层和第二晶体取向的下含 Si 层的叠层，其中所述第一晶体取向不同于所述第二晶体取向；将离子注入到所述叠层中，以在其中创建富离子注入区域；以及将所述叠层加热到一个温度，使得富离子注入区域内的离子沉淀以在所述叠层内形成掩埋绝缘区域。

在本发明的一种实施方式中，将离子主要注入在上含 Si 层内，使得在加热后掩埋绝缘区域主要形成在上含 Si 层中。在另一种实施方式中，将离子主要注入在下含 Si 层内，使得在加热后掩埋绝缘区域主要形成在下含 Si 层中。在又一种实施方式中，将离子以这样的方式注入，使得所得到的掩埋绝缘区域穿过在上含 Si 层和下含 Si 层之间的界面而形成。

注入步骤可以是均厚注入，使得所形成的掩埋绝缘区域连续地存在于整个叠层长度上。在本发明的另一种实施方式中，使用掩蔽注入步骤，以便在叠层内形成分散且隔离的（即，非连续的或构图的）掩埋绝缘区域。

可以注入的离子包括氧离子、氮离子、NO 离子、惰性气体或其混合物。在一种实施方式中，优选地注入氧离子，由此在叠层内形成掩埋氧化物（BOX）。

除了上述方法外，本发明还涉及一种可以通过本发明的工艺形成的混合 SOI 衬底材料。具体而言，并且从广义上讲，本发明的混合 SOI 衬底材料包括：不同晶体取向的上含 Si 层和下含 Si 层，其中掩埋绝缘区域位于这些含 Si 层中的至少一个中或者穿过它们之间的界面而定位。

附图说明

图 1A-图 1C 是（通过横截面视图）示出用于制造混合 SOI 衬底的本发明的一种实施方式的各种处理步骤的图示，其中掩埋绝缘区域是连续的并且存在于上含 Si 层中。

图 2A-图 2B 是（通过横截面视图）示出用于制造混合 SOI 衬底的本发明的一种实施方式的各种处理步骤的图示，其中掩埋绝缘区域是连续的并且存在于下含 Si 层中。

图 3A-图 3B 是（通过横截面视图）示出用于制造混合 SOI 衬底的本发明的一种实施方式的各种处理步骤的图示，其中掩埋绝缘区域是非连续的并且穿过上含 Si 层和下含 Si 层之间的界面而存在。

图 4A-图 4B 是（通过横截面视图）示出用于制造混合 SOI 衬底的本发明的一种实施方式的各种处理步骤的图示，其中掩埋绝缘区域是非连续的并且存在于下含 Si 层中。

图 5A-图 5B 是（通过横截面视图）示出用于制造混合 SOI 衬底的本发明的一种实施方式的各种处理步骤的图示，其中掩埋绝缘区域是非连续的并且存在于上含 Si 层中。

图 6 是示出可以用在本发明中的一种可能的热退火周期的示意图。

具体实施方式

参照本申请附有的上述附图，通过示例的方式，更详细地描述本发明的实施方式，其中提供制造混合 SOI 衬底材料的方法以及混合 SOI 衬底材料本身。应注意的是，在附图中，由同样的参考标号表示同样和对应的元件。而且应明白的是，提供附图是用于说明的目的，并因而没有按比例绘制。

现在将更详细地描述图 1A-1C，该图 1A-1C 是（通过横截面视图）示出用于制造混合 SOI 衬底的本发明的一种实施方式的各种处理步骤的图示，其中掩埋绝缘区域是连续的并且存在于上含 Si 层中。

首先参照图 1A，其示出了叠层 10，该叠层 10 包括具有第一晶体取向的上含 Si 层 12 和具有第二晶体取向的下含 Si 层 14，其中第一晶体取向不同于第二晶体取向。

在本发明中，术语“含 Si 层”表示包括硅的半导体材料。这种含硅半导体材料的说明性示例包括 Si、SiGe、SiC、SiGeC、实现的绝缘体上硅、实现的绝缘体上锗硅或诸如 Si/SiGe 的分层结构。含 Si 层 12 和 14 可以包括相同或不同的含硅半导体材料。典型地，含 Si 层 12 和 14 都由 Si 组成。在某些实施方式中，至少上含 Si 层 12 是纯同位素的，即， Si^{28} 或 $\text{Si}^{28}\text{Ge}^{74}$ 。

上含 Si 层 12 的厚度可以根据所希望的混合 SOI 衬底的使用而变化。然而，典型地，上含 Si 层 12 具有从约 5nm 到约 500nm 的厚度，更典型地具有从约 5nm 到约 100nm 的厚度。应注意的是，在键合以及可以实现的任意可选的减薄步骤之后确定上含 Si 层 12 的厚度范围。

下含 Si 层 14 的厚度是不重要的。然而，典型地，在上含 Si 层 12 经受减薄之后，下含 Si 层 14 的厚度一般大于上含 Si 层 12 的厚度。

含 Si 层 12 和 14 的第一和第二晶体取向分别可以包括含 Si 层的任何主轴或次轴。例如，含 Si 层可以具有 (100)、(111)、(110)、(422)、(311)、(521) 等的晶向。优选地，含 Si 层 12 和 14 选自那些包括诸如 (100)、(111) 或 (110) 的主密勒指数的含 Si 层。

通过选择包括上含 Si 层 12 的第一晶片和包括下含 Si 层 14 的第二晶片，且然后将这两个晶片键合在一起，可以形成图 1A 所示的叠层 10。在某些实施方式中，可以在键合之前将氢或其它类似离子引入到上含 Si 层 12 中。在上含 Si 层 12 中存在有氢或其它类似离子可以用来使上含 Si 层 12 的一部分分裂，从而提供更薄的上含 Si 层。

在选择第一晶片和第二晶片之后，在能够将所选择的这两个晶片键合的条件下，通过首先使所选择的这两个晶片彼此紧密接触，可

选地施加外力，并且之后在施加外力或不施加外力的情况下对这两个接触的晶片进行退火，从而将这两个选择的晶片键合。用于键合的退火步骤典型地在标称室温下执行，该标称室温典型地从约 15°C 到约 40°C。在本发明的又一实施方式中，在两个晶片的键合中可以使用达 400°C 的温度。

在键合后，典型地对晶片进行进一步退火，以增强键合强度并改善界面特性。进一步退火步骤典型地在从约 900°C 到约 1400°C 的温度下执行，更为典型地具有从约 1000°C 到约 1100°C 的退火温度。在上述温度范围内将键合增强退火执行各种时间段，该时间段可以在从约 1 小时到约 24 小时的范围。在施加或不施加外部粘合力的情况下，键合增强退火气氛可以是 O₂、N₂、Ar 或低真空。这里也涵盖在有惰性气体或没有惰性气体情况下的上述退火气氛的混合物。

尽管通常将高温退火（如上所述）用于键合增强，但也可以使用低温退火（低于 900°C），其也可以实现良好的机械特性和电特性。

应注意到，半导体与半导体直接键合步骤之后的键合增强退火步骤可以在单一温度下以特定升温速率执行，或者可以使用其中采用各种升温速率和浸泡周期（soak cycle）的各种温度来执行。

为了获得某个预定厚度的上含 Si 层 12，在本发明中可以使用各种减薄技术。可以在本发明中使用的一种直接而简单的方式就是使用晶片研磨、抛光或回刻蚀工艺。也可以通过气体反应诸如氢气烘焙（bake）来实现减薄。

使上含 Si 层 12 变薄的另一种手段可应用于这样的实施方式：其中包含上含 Si 层 12 的初始晶片包括离子注入区域。在这种情况下，离子注入区域在键合工艺期间形成多孔区域，例如如图 1A 所示，这引起晶片在离子注入区域之上的部分脱离，留下键合的晶片。如上所述，注入区域典型地由利用本领域技术人员熟知的离子注入条件而注入到包括上含 Si 层 12 的晶片表面中的氢离子组成。键合后，典型地在惰性气氛中以从约 100°C 到约 400°C 的温度执行另一加热步骤，该加热步骤持续从约 2 小时到约 30 小时的时间段，以增加键合

能量。更优选地，该另一加热步骤在从约 200°C 到约 300°C 的温度下执行一个从约 2 小时到约 20 小时的时间段。术语“惰性气氛”用在本发明中以表示其中采用诸如 He、Ar、N₂、Xe、Kr 或其混合物的惰性气体的氛围。在键合工艺期间使用的优选气氛是 N₂。之后在 350°C-500°C 的退火期间将发生注入区域处的层分离。在本发明的又一实施方式中，可以将诸如氢的离子注入到键合晶片中并用作用于停止平坦化工艺的标记。

接下来，将离子注入到叠层 10 中，以在叠层 10 内提供富离子注入区域，该区域具有足够的离子浓度，使得在随后的加热步骤期间离子沉淀以在叠层内形成掩埋绝缘区域。典型地，叠层 10 内富离子注入区域的注入离子具有约 1×10^{22} 原子/cm³ 或更大的离子浓度。

在本发明的该步骤中使用的离子在经受随后的加热步骤时能够形成掩埋绝缘区域。这种离子的说明性示例包括但不限于：氧离子、氮离子、NO 离子、惰性气体或它们的混合物。优选地，在本发明的该方面，将氧离子注入到叠层 10 中。

使用本领域技术人员所熟知的 SIMOX 工艺和条件，以及在共同转让的美国专利申请公开 No.20020190318 和 No.20020173114 以及美国专利 No.5,930,634、6,486,037、6,541,356 和 6,602,757 中提及的各种 SIMOX 工艺和条件，将离子注入到叠层 10 中，这里通过参考将上述每个申请的全部内容引入。该注入可以是如本实施方式中所说明的均厚注入，或者可以使用如在本发明的其它实施方式中所说明的构图注入。例如参见图 3A-5B。构图注入可以包括直接形成在上含 Si 层 12 的表面的掩膜或者可以采用位于离上含 Si 层 12 的表面某个距离的掩膜。

尽管在本发明中可以采用各种注入条件，但以下提供了用于形成主要在上含 Si 层 12 内注入的富离子区域的一般注入条件：

I. 高剂量离子注入：

这里使用的术语“高剂量”表示约 4×10^{17} cm⁻² 或更大的离子剂量，其中更优选为从约 4×10^{17} 到约 2×10^{18} cm⁻² 的离子剂量。除了使用高离

子剂量, 该注入典型地在一种离子注入设备中完成, 该离子注入设备在从约 0.05 到约 500 毫安 cm^{-2} 的束电流密度下并以从约 40 到约 240 keV 的能量操作。

可以称作基础离子注入的该注入在从约 200°C 到约 800°C 的温度下以从约 0.05 到约 500 mA cm^{-2} 的束电流密度完成。更优选地, 该基础离子注入可以在从约 200°C 到约 600°C 的温度下以从约 5 到约 10 mA cm^{-2} 的束电流密度完成。

如果需要, 则基础离子注入步骤之后可以进行第二氧注入, 其使用从约 $1\text{E}14$ 到约 $1\text{E}16 \text{ cm}^{-2}$ 的离子剂量来完成该第二氧注入, 其中更高度优选为从约 $1\text{E}15$ 到约 $4\text{E}15 \text{ cm}^{-2}$ 的离子剂量。该第二离子注入以约 60 keV 或更大的能量来完成。

该第二注入在从约 4K 到约 200°C 的温度下以从约 0.05 到约 10mA cm^{-2} 的束电流密度执行。更优选地, 第二离子注入可以在从约 25°C 到约 100°C 的温度下以从约 0.5 到约 5.0mA cm^{-2} 的束电流密度执行。

应注意, 第二离子注入形成非晶区域, 该非晶区域比由基础离子注入步骤引起的损坏区域浅, 例如参见图 1B。在随后本发明的加热步骤期间, 非晶区域和损坏区域成为掩埋绝缘区域的部分, 例如参见图 1C。

II. 低剂量离子注入:

这里本发明的该实施例中使用的术语“低剂量”表示约 $4\text{E}17 \text{ cm}^{-2}$ 或更小的离子剂量, 其中更优选为从约 $1\text{E}16$ 到约 $3.9\text{E}17 \text{ cm}^{-2}$ 的离子剂量。该低剂量注入在从约 40 到约 240 keV 的能量下操作。

可以称作基础离子注入的该注入在从约 100°C 到约 800°C 的温度下完成。更优选地, 该基础离子注入可以在从约 200°C 到约 650°C 的温度下以从约 0.05 到约 500 mA cm^{-2} 的束电流密度完成。

低剂量基础注入步骤之后优选地进行使用上述条件执行的第二离子注入。

再次需要强调的是, 上述类型的注入条件是示例性的, 并不限制

本发明的范围。相反，本发明涵盖在常规 SIMOX 工艺中通常采用的所有常规离子注入。

在其中将富离子注入区域形成到叠层 10 的上含 Si 层 12 中的本发明优选实施方式中，如上所述使用基础离子注入步骤和第二离子注入步骤执行低剂量氧离子注入步骤。

利用在基础离子注入之后进行第二离子注入步骤，提供了如图 1B 所示的结构，该结构包括富离子注入区域 16，该富离子注入区域 16 包括非晶区域 18，该非晶区域 18 比由最佳基础氧注入步骤创建的损坏区域 20 浅。

应注意，由于低剂量注入方式提供高质量热绝缘区域，例如热氧化物，所以低剂量注入方式优先于高剂量注入方式。在其中采用最佳条件的情况下，扩散阻挡层为具有约 6MV/cm 或更大的最小击穿电场的掩埋氧化物。

在将离子注入到叠层 10 之后，使包括富离子注入区域的叠层 10 经受加热步骤，该加热步骤引起注入离子的沉淀和随后掩埋绝缘区域的形成。图 1C 示出了在执行加热步骤之后形成的混合 SOI 衬底材料。在该图中，参考标号 22 表示掩埋绝缘区域。应注意，在加热步骤期间在上含 Si 层 12 的顶上典型地形成表面氧化层（未示出）。该表面氧化层典型地而不总是在加热步骤后被使用常规湿法刻蚀工艺从该结构去除，在该湿法刻蚀工艺中采用诸如 HF 的化学刻蚀剂，其具有与含 Si 材料相比用于去除氧化物的高选择性。本发明加热步骤之后形成的表面氧化层具有可以在从约 10 到约 1400nm 范围的可变厚度，更典型地为从约 100 到约 900nm 的厚度。

所形成的掩埋绝缘区域 22 也具有可变厚度，其取决于富离子注入区域内的离子浓度以及在加热步骤期间使用的条件。典型地，掩埋绝缘区域 22 具有约 400nm 或更小范围内的厚度，其中更典型地为从约 50 到约 200nm 的厚度。

具体而言，本发明的加热步骤是典型地在从约 900°C 到约 1350°C 高温下执行的退火步骤，其中更典型地为从约 1200°C 到约 1335°C

的温度。而且，本发明的加热步骤在氧化气氛中完成，该氧化气氛包括诸如 O_2 、NO、 N_2O 、臭氧、空气或其它类似含氧气体的至少一种含氧气体。含氧气体可以彼此混合（诸如 O_2 和 NO 的混合），或者可以用诸如 He、Ar、 N_2 、Xe、Kr 或 Ne 的惰性气体稀释该气体。在某些实施方式中，诸如三氯乙烷（TCA）的含氯气氛可以结合含氧气氛以及可选的惰性气体来使用。当使用 TCA 时，其典型地以从约 0.0001 到约 0.05 % 的量存在。在对加热的叠层 10 进行最终的冷却时可单独使用惰性气体。

加热步骤可以在可变的时间段中完成，典型地从约 10 分钟到约 6000 分钟的范围内，其中更典型地为从约 60 分钟到约 3000 分钟的时间段。加热步骤可以在单一目标温度下完成，或者可以采用利用各种升温速率和浸泡时间的各种升温 and 浸泡周期。

图 6 是说明可以在本发明中使用的一种可能的热退火周期的示意图。所说明的热退火周期包括：初始第一升温 A) 在 5 % 氧气（Ar 稀释）中以 $5^\circ\text{C}/\text{分钟}$ 的速率从 600°C 升到 1000°C ，之后进行在 5 % 氧气（Ar + 1.45×10^{-4} % TCA 稀释）中以 $5^\circ\text{C}/\text{分钟}$ 的速率从 1000°C 升到 1150°C 的初始第二升温；B) 在 5 % 氧气（Ar + 1.45×10^{-4} % TCA 稀释）中以 $0.1^\circ\text{C}/\text{分钟}$ 的速率从 1150°C 升到 1300°C ；C) 在 50 % 氧气（Ar 稀释）中以 1320°C 浸泡 5-10 小时；D) 在 4 % 氧气（Ar + 1.45×10^{-4} % TCA 稀释）中以 1320°C 浸泡 0-5 小时；E) 在与步骤 D) 相同的气氛中从 1320°C 冷却到 1150°C ；和 F) 在 N_2 中从 1150°C 冷却到 600°C 。

上述讨论说明了本发明的一种实施方式，其中掩埋绝缘区域 22 是连续的并且它形成在叠层 10 的上含 Si 层 12 内。如图 1C 所示，下含 Si 层 14 的一部分位于掩埋绝缘区域 22 的表面之下。

图 2A-2B 说明了第二实施方式，其中在叠层 10 的下含 Si 层 14 内形成连续的掩埋绝缘区域 22。本发明的该实施方式开始于首先提供如图 1A 所示的叠层 10。不同于上述实施方式，本实施方式改变注入条件，使得在下含 Si 层 14 内形成大部分富离子注入区域 16（包

括可选的非晶区域 18 和损坏区域 20)。例如参见图 2A。

使用本领域技术人员所熟知的 SIMOX 工艺和条件以及在上述共同转让的参考文件中提及的各种 SIMOX 工艺和条件,将离子注入到叠层 10 中。尽管在本发明中可以采用各种注入条件,但以下提供了用于形成主要在下含 Si 层 14 内注入的富离子区域的一般注入条件:

I. 高剂量离子注入:

这里使用的术语“高剂量”表示约 $4\text{E}17\text{ cm}^{-2}$ 或更大的离子剂量,其中更优选为从约 $4\text{E}17$ 到约 $2\text{E}18\text{ cm}^{-2}$ 的离子剂量。除了使用高离子剂量,该注入典型地在一种离子注入设备中完成,该离子注入设备在从约 0.05 到约 500 毫安 cm^{-2} 的束电流密度下并以从约 40 到约 240 keV 的能量操作。

可以称作基础离子注入的该注入在从约 200°C 到约 800°C 的温度下以从约 0.05 到约 500 mA cm^{-2} 的束电流密度完成。更优选地,该基础离子注入可以在从约 200°C 到约 600°C 的温度下以从约 5 到约 10 mA cm^{-2} 的束电流密度完成。

如果需要,则基础离子注入步骤之后可以进行第二氧注入,其使用从约 $1\text{E}14$ 到约 $1\text{E}16\text{ cm}^{-2}$ 的离子剂量来完成该第二氧注入,其中更高度优选为从约 $1\text{E}15$ 到约 $4\text{E}15\text{ cm}^{-2}$ 的离子剂量。该第二离子注入以约 60 keV 或更大的能量来完成。

该第二注入在从约 4K 到约 200°C 的温度下以从约 0.05 到约 10mA cm^{-2} 的束电流密度执行。更优选地,第二离子注入可以在从约 25°C 到约 100°C 的温度下以从约 0.5 到约 5.0 mA cm^{-2} 的束电流密度执行。

应注意,第二离子注入形成非晶区域,该非晶区域比由基础离子注入步骤引起的损坏区域浅。在随后本发明的加热步骤期间,非晶区域和损坏区域成为掩埋绝缘区域的部分。

II. 低剂量离子注入:

这里本发明的该实施例中使用的术语“低剂量”表示约 $4\text{E}17\text{ cm}^{-2}$ 或更小的离子剂量,其中更优选为从约 $1\text{E}16$ 到约 $3.9\text{E}17\text{ cm}^{-2}$ 的离

子剂量。该低剂量注入在从约 40 到约 240 keV 的能量下操作。

可以称作基础离子注入的该注入在从约 100°C 到约 800°C 的温度下完成。更优选地，该基础离子注入可以在从约 200°C 到约 650°C 的温度下以从约 0.05 到约 500 mA cm⁻² 的束电流密度完成。

低剂量基础注入步骤之后优选地进行使用上述条件执行的第二离子注入。

再次需要强调的是，上述类型的注入条件是示例性的，并不限制本发明的范围。相反，本发明涵盖在常规 SIMOX 工艺中典型采用的所有常规离子注入。在本发明的优选实施方式中，采用包括基础离子注入步骤和第二离子注入步骤的低剂量氧离子注入步骤。图 2B 示出了包括上含 Si 层 12、掩埋绝缘区域 22 和第二含 Si 层 14 的混合 SOI 衬底材料。如所示，下含 Si 层 14 的一部分位于掩埋绝缘区域 22 的表面之上。

图 3A-3B 示出了另一种实施方式，其中形成非连续的（即，构图的）掩埋绝缘区域 22。该图中所示的结构利用如图 3A 所示的掩膜 50 来形成。尽管掩膜 50 存在于上含 Si 层 12 的表面上，但它可以被移至距表面某个距离处，而不影响最终的混合 SOI 衬底。在这种情况下，掩埋绝缘区域 22 是非连续的并且穿过位于上含 Si 层 12 和下含 Si 层 14 之间的界面 13 而存在。尽管示出了非连续的掩埋绝缘区域 22，但可以通过利用均厚离子注入步骤在界面处形成连续的掩埋绝缘区域 22。

图 4A-4B 和图 5A-5B 示出了其中将非连续的掩埋绝缘区域 22 分别形成到下含 Si 层 14 中和上含 Si 层 12 中的实施方式。

尽管没有示出，但可以使用上述技术来将多个掩埋绝缘区域（连续、非连续或它们的混合）形成到叠层中。例如，可以将连续的掩埋绝缘区域形成到下含 Si 层 14 中并且然后在上含 Si 层 12 内形成非连续的掩埋绝缘区域。类似地，可以使用上述技术来在叠层 10 内的不同位置、不同深度和不同宽度处形成非连续的掩埋绝缘区域。

在上述任一实施方式中，都可以在上含 Si 层的顶上形成诸如 Si

或 SiGe 的应变半导体层。利用诸如化学汽相沉积或外延的常规沉积工艺形成该应变半导体层。该应变半导体层可以由诸如 Si^{28} 的纯同位素组成。

尽管关于本发明的优选实施方式已经描述并具体示出了本发明，但本领域技术人员将明白，在不脱离本发明的范围和精神的情况下，可以作出在形式和细节上的上述变化和其它变化。因此并不旨在将本发明限于所示出和所描述的精确形式和细节，而是限于所附权利要求书的范围内。

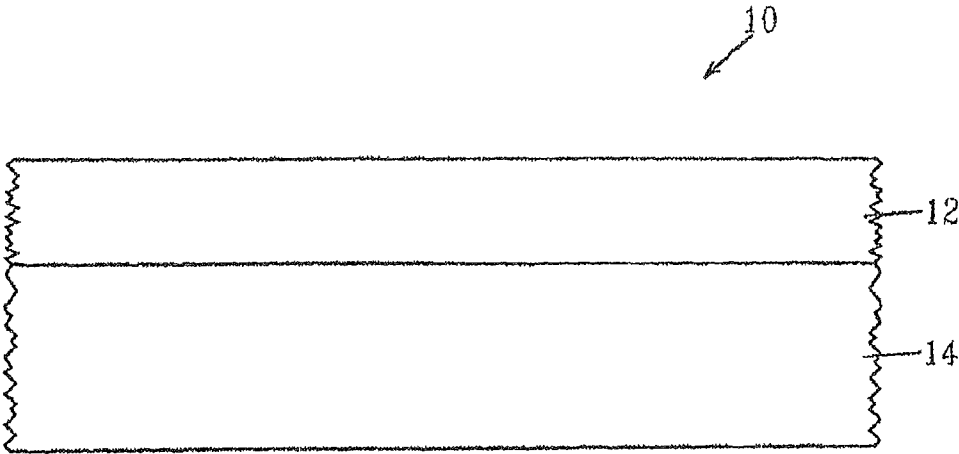


图 1A

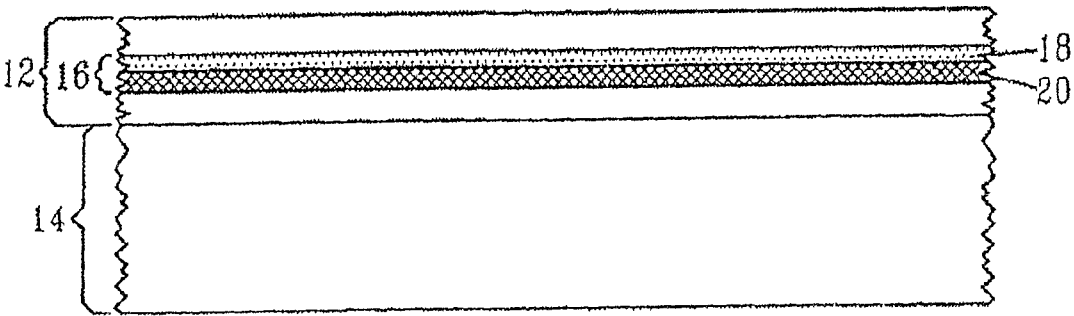


图 1B

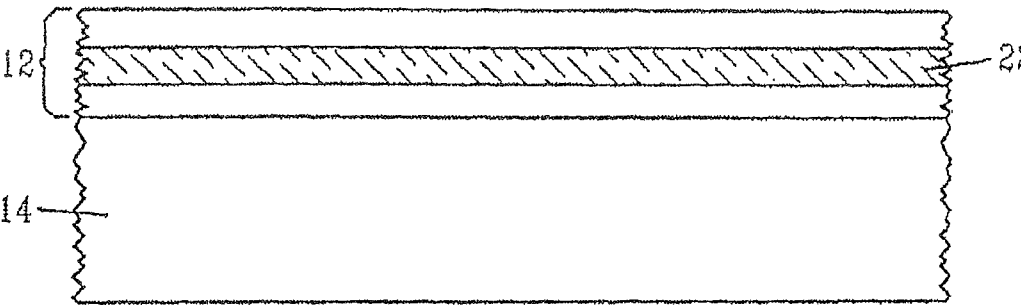


图 1C

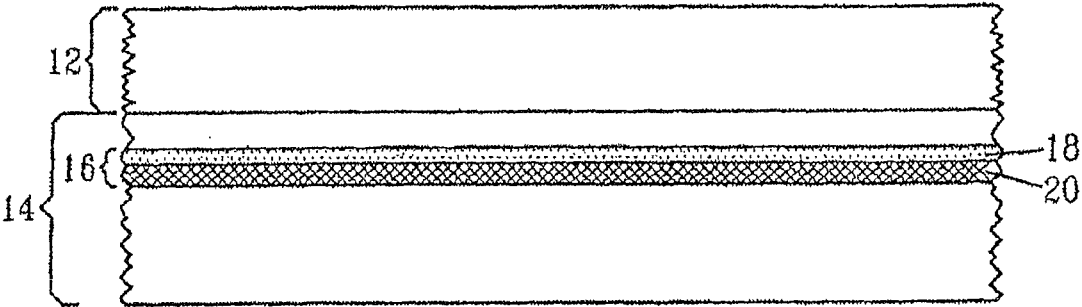


图 2A

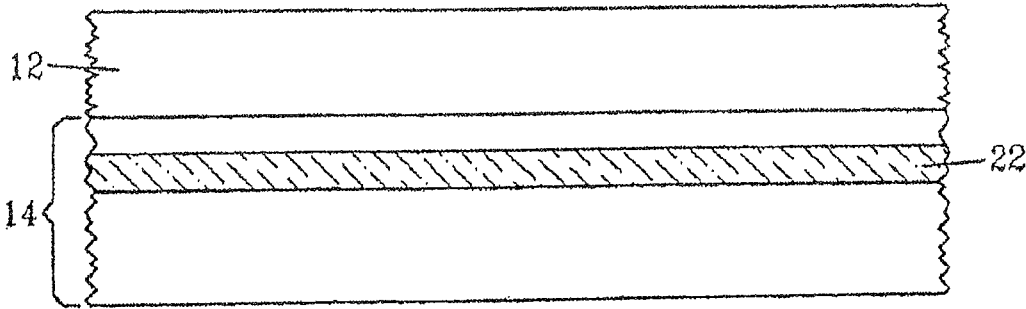


图 2B

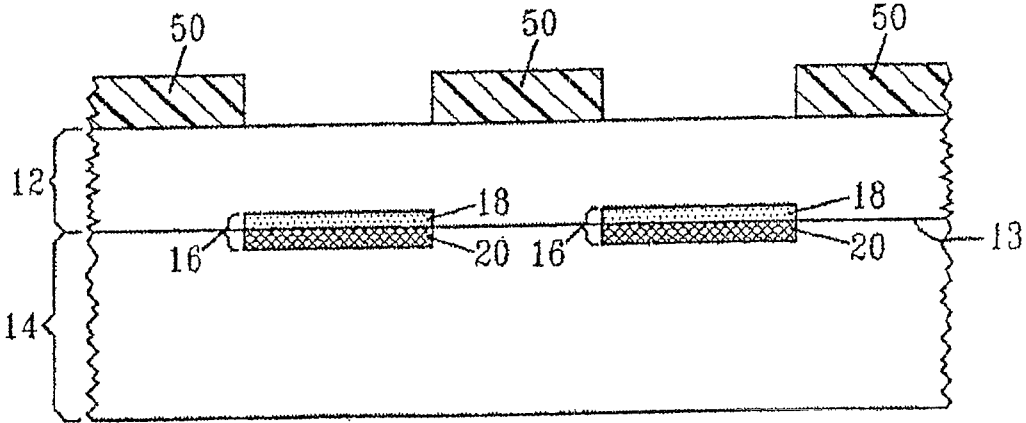


图 3A

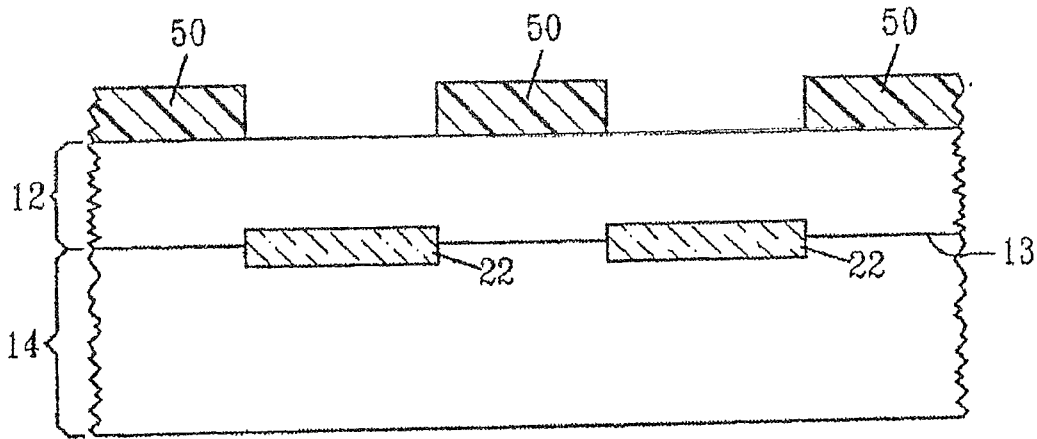


图 3B

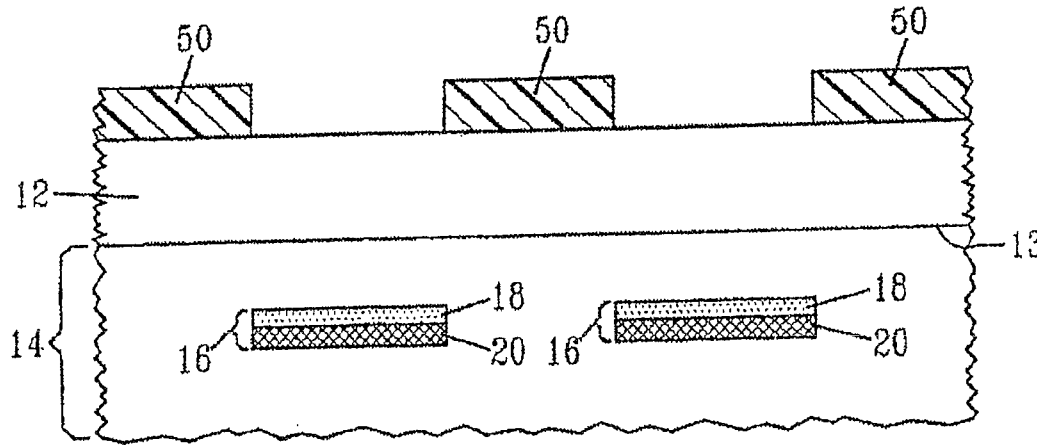


图 4A

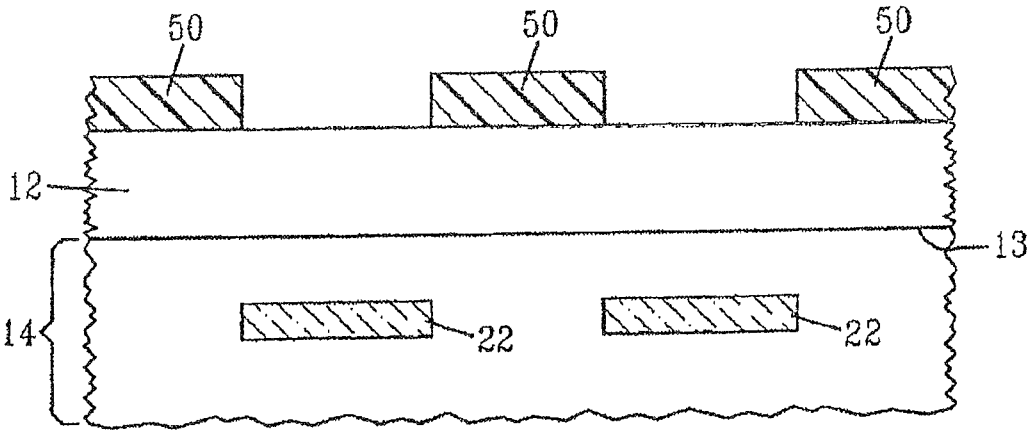


图 4B

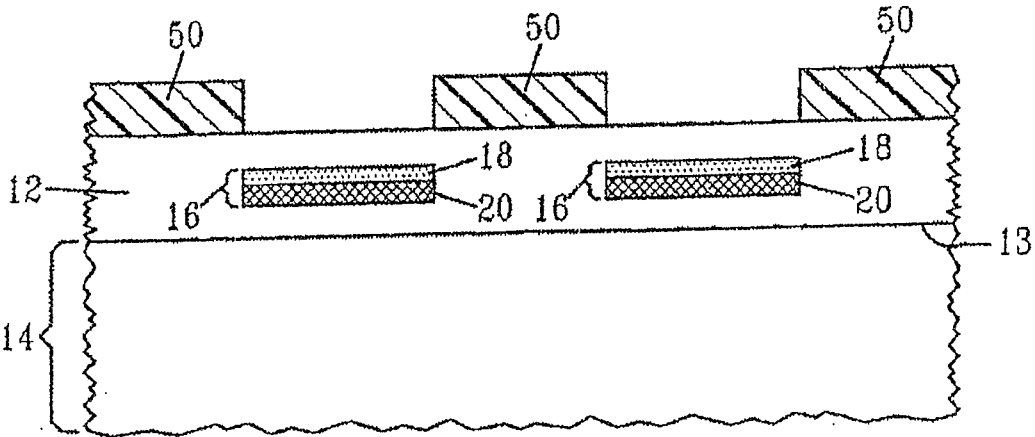


图 5A

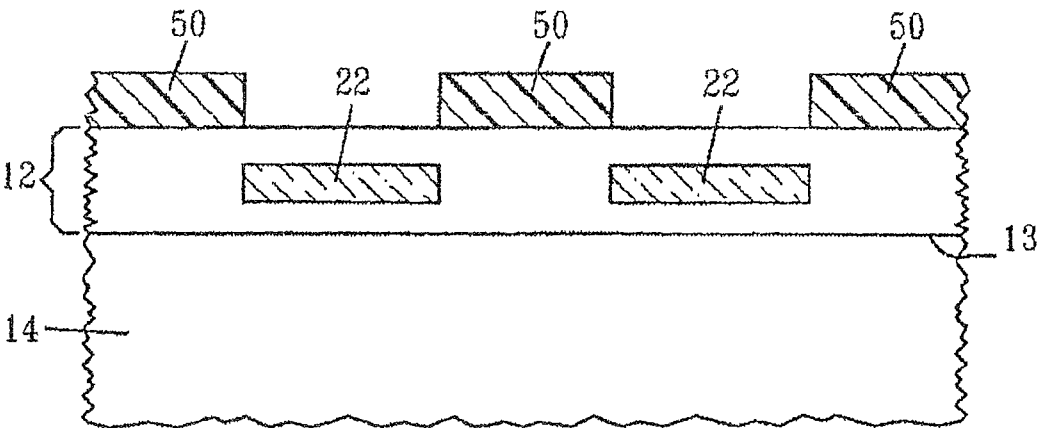


图 5B

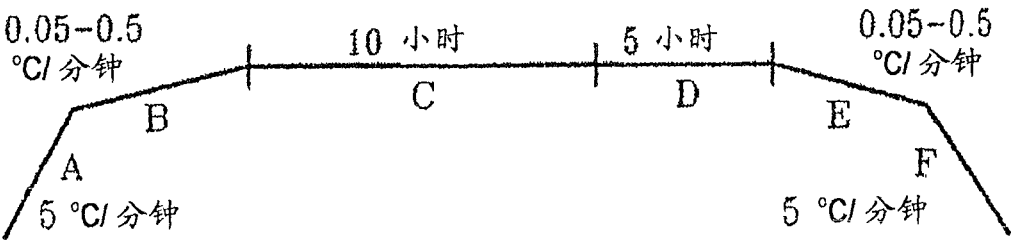


图 6