

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/28 (2006.01)

H01L 29/49 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480012495.4

[45] 授权公告日 2008年5月14日

[11] 授权公告号 CN 100388426C

[22] 申请日 2004.3.3

[21] 申请号 200480012495.4

[30] 优先权

[32] 2003.3.12 [33] US [31] 10/388,103

[86] 国际申请 PCT/US2004/006584 2004.3.3

[87] 国际公布 WO2004/082005 英 2004.9.23

[85] 进入国家阶段日期 2005.11.8

[73] 专利权人 美光科技公司

地址 美国爱达荷州

[72] 发明人 D·M·埃皮奇 R·A·维默

[56] 参考文献

JP2003-23152A 2003.1.24

US6297539B1 2001.10.2

JP2001-339061A 2001.12.7

US6214724B1 2001.4.10

US6255698B1 2001.7.3

审查员 朱永全

[74] 专利代理机构 北京律盟知识产权代理有限公司

代理人 王允方 刘国伟

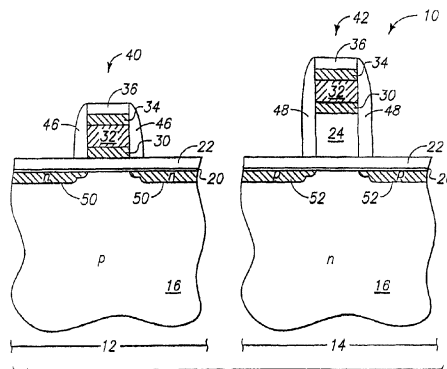
权利要求书 2 页 说明书 15 页 附图 6 页

[54] 发明名称

半导体 MOS、CMOS 器件和电容器及其制造方法

[57] 摘要

本发明包括形成电路器件的方法。厚度不超过 20 埃(或者说由不超过 70 个 ALD 周期形成的厚度)的含金属材料在经导电掺杂的硅和介质层之间形成。经导电掺杂的硅可以为 n-型硅,介质层可以为高 k 介质材料。含金属材料可直接在介质层上形成,经导电掺杂的硅可直接在含金属材料上形成。电路器件可为电容器结构或晶体管结构。如果电路器件是晶体管结构,则该电路器件可包含在 CMOS 组件内。本发明的各种器件可被包含在存储结构内,并且可被包含在电子系统中。



1. 一种形成 PMOS 器件和 NMOS 器件的方法，包括：
 - 设置包含 PMOS 栅区和 NMOS 栅区的衬底；
 - 在所述衬底的 PMOS 和 NMOS 栅区上形成栅介质层；
 - 在所述 PMOS 栅区上而不在 NMOS 栅区上形成厚层含金属材料，该厚层含金属材料形成为大于 20 埃的厚度；所述厚层含金属材料包含钛、钽、钨和钪中的一者或一者以上；
 - 在所述 PMOS 和 NMOS 栅区上形成薄层含金属材料，该薄层含金属材料形成为小于或等于 20 埃的厚度，并且形成在所述 PMOS 栅区上的所述厚层含金属材料之上；所述薄层含金属材料包含钛、钽、钨和钪中的一者或一者以上；
 - 在所述薄层含金属材料上形成经导电掺杂的硅层，该硅层在整个 PMOS 和 NMOS 栅区上延续；
 - 将所述厚层含金属材料、薄层含金属材料 and 经导电掺杂的硅包含到所述 PMOS 栅区上的 PMOS 晶体管栅叠层中；以及
 - 将所述薄层含金属材料 and 经导电掺杂的硅包含到所述 NMOS 栅区上的 NMOS 晶体管栅叠层中。

2. 如权利要求 1 所述的方法，其中，所述经导电掺杂的硅为 n-型掺杂。

3. 如权利要求 1 所述的方法，其中，所述栅介质层包含二氧化硅上的氧化铝。

4. 一种 CMOS，包括：
 - 衬底上的介质层；
 - 所述介质层上的 PMOS 栅极和 NMOS 栅极；

所述介质层上的所述 PMOS 栅极内的第一含金属材料,所述第一含金属材料具有大于 20 埃的厚度;所述第一含金属材料包含钛、钽、钨和铪中的一者或一者以上;

所述介质层上的所述 NMOS 栅极内的第二含金属材料,所述第二含金属材料具有小于或等于 20 埃的厚度;所述第二含金属材料包含钛、钽、钨和铪中的一者或一者以上;

所述第一含金属材料上的所述 PMOS 栅极内的第一 n-型掺杂硅层;
以及

所述第二含金属材料上的所述 NMOS 栅极内的第二 n-型掺杂硅层。

5. 如权利要求 4 所述的 CMOS, 其中, 所述介质层包含钽、铪和铝中的一种或多种。

6. 如权利要求 4 所述的 CMOS, 其中, 所述第一含金属材料的厚度为大于或等于 150 埃, 且其中, 所述第二含金属材料的厚度小于或等于 15 埃。

7. 一个包括权利要求 4 所述的 CMOS 的电子系统。

半导体 MOS、CMOS 器件和电容器及其制造方法

技术领域

[0001]本发明涉及晶体管器件（包括 n 沟道金属-氧化物半导体（NMOS）器件和 p 沟道金属-氧化物半导体（PMOS）器件）和互补型金属-氧化物半导体（CMOS）结构。本发明还涉及制造电容器、晶体管器件和 CMOS 结构的方法。在一些特定形态中，本发明涉及包含晶体管器件、电容器结构和/或 CMOS 组件的存储器，并且在某些形态中本发明涉及动态随机存取存储器（DRAM）。在一些特定形态中，本发明涉及包含电容器结构、晶体管器件和/或 CMOS 组件的电子系统。

发明背景

[0002]可能存在着与各种半导体结构（包括如晶体管器件和电容器）中高 k 栅介质材料的使用相关联的优势。可将高 k 介质理解为介电常数比二氧化硅大的介质材料，包括如 Ta_2O_5 、 Al_2O_3 和许多的其它材料。

[0003]过去试图将高 k 介质材料集成到标准 CMOS 流中的作法曾经引起大家的一些兴趣。然而，当这种高 k 介质材料和代表 CMOS 结构的硅栅电极一起使用时会带来一些困难。例如，通常直接在高 k 栅介质薄膜上淀积硅（例如多晶硅）会在硅和介质界面处形成一个反应层。该反应层可能在硅淀积期间和/或接下来的硅高温退火期间出现。反应层在硅和介质材料之间生成一个界面薄膜（如硅酸盐）。这个界面层减小了介质叠层的有效介电常数，因而限制了介质的可量测性。另外，部分由于金属原子 d 的状态和带电原子的缺陷，该界面层可以是电荷截获/固定电荷的源。电荷截获/固定电荷可受到栅后退火的影响，并可导致晶体管器件临界电压的无法控制的改变。

另外，由于从 p-型导电掺杂的硅进入高 k 栅介质的硼扩散，临界电压可改变。对于高热堆积处理（如存储单元处理）来说，这种临界电压的改变可能会特别明显并难以解决。尽管与高 k 薄膜的使用有关的介质厚度增加，但是通过介质的硼扩散可能会是一个问题。

[0004]针对上面讨论的原因，最好是开发出将高 k 介质材料结合到 CMOS 流中的新方法。另外，因为高 k 介质材料被用于除 CMOS 组件之外的其它半导体结构，所以假如该方法可应用于除 CMOS 流之外的其它半导体的制造，尤其是假如该方法可应用于电容器的制造，那将是最理想的。此外，如果该方法不仅可应用于高 k 介质材料还可应用于其它介质材料，那就很最理想了。

发明内容

[0005]在一形态中，本发明包括一种形成电路器件的方法。介质层在衬底上构成，含金属的材料（例如包含有金属元素、金属硅化物和/或金属氮化物的材料；含有金属如钨、钼、钽、钛元素中的一种或多种）直接在介质层上构成。所构成的含金属的材料厚度不超过 20 埃。随后，导电掺杂硅可直接在含金属的材料上构成。电路器件可以是如晶体管器件或电容器。

[0006]在另一形态中，本发明包括一种构成晶体管器件的方法。栅介质在衬底上构成。含金属的材料在介质上构成，所构成的含金属的材料厚度不超过 20 埃。导电掺杂硅在含金属的材料上形成，随后含金属的材料和导电掺杂硅经过图案处理形成栅叠层。接着，在靠近栅叠层的地方设置源/漏区。

[0007]在另一形态中，本发明包括一个 CMOS。该 CMOS 包括一个位于衬底上的介质层。PMOS 栅极和 NMOS 栅极位于介质层上。第一含金属材料位于介质层上的 PMOS 栅极内，其厚度大于 20 埃，更典型的厚度大于 150 埃。第二含金属材料位于介质层上的 NMOS 栅极内，其厚度小于或等于约 20 埃。n-型掺杂硅的第一层位于 PMOS 栅极内及第

一含金属材料上，n-型掺杂硅的第二层位于 NMOS 栅极内及第二含金属材料上。

[0008]在另一形态中，本发明包括一个电容器结构。该结构包括第一电容器电极，第一电容器电极包括导电掺杂硅。介质层靠近第一电容器电极，第二电容器电极相对于第一电容器电极位于介质层的另一端。含金属材料位于第一电容器电极的经导电掺杂的硅和介质层之间。该含金属材料的厚度小于或等于约 20 埃。

[0009]可以将本发明的各种不同结构结合进存储器件（如 DRAM 器件）。此外，可以将本发明的各种不同结构包含在电子系统内。

附图简述

[0010]下面，将参考下列附图对本发明的优选实施例进行描述。

[0011]图 1 是关于在氧化铝和多晶硅之间含有原子层淀积（ALD）形成的氮化钛的各种不同结构的电容-电压曲线图。氮化钛层的厚度在曲线图中的插入框内给出，插入框中指明了下列情形下的曲线线型：无钛层存在，或者在形成氮化钛层的过程中利用了特定数目的 ALD 周期，或者有厚度为 100 埃的氮化钛层存在。每个 ALD 周期对应于约 0.3 埃至 0.4 埃的氮化钛生长率（growth rate）。

[0012]图 2 是关于预处理阶段半导体晶圆结构的断片示意图，图中显示了一对晶圆结构的断片。

[0013]图 3 显示的是图 2 所示晶圆断片在图 2 预处理过程之后的处理阶段的晶圆结构。

[0014]图 4 显示的是图 2 所示晶圆断片在图 3 处理过程之后的处理阶段的晶圆结构。

[0015]图 5 显示的是图 2 所示晶圆断片在图 4 处理过程之后的处理阶段的晶圆结构。

[0016]图 6 显示的是图 2 所示的晶圆断片在图 5 处理过程之后的处理阶段的晶圆结构。

[0017]图 7 显示的是关于本发明另一实施例的半导体晶圆断片的剖面图，图中所示为一个 DRAM 单元。

[0018]图 8 是说明本发明应用示例的计算机示意图。

[0019]图 9 显示的是图 8 所示计算机主板的特定特征的框图。

[0020]图 10 显示的是本发明的一例电子系统的高级框图。

[0021]图 11 显示的是本发明的一例电子系统的简化框图。

优选实施例的详细说明

[0022]在本发明的一形态中，判明：将介质材料和经导电掺杂的硅之间的含金属材料加入 CMOS 结构的 NMOS 和 PMOS 器件可能是有益的。另外，判明 PMOS 器件中使用的含金属材料实质上比 NMOS 器件中使用的含金属材料厚（PMOS 器件中含金属材料厚度大于 20 埃，通常大于 100 埃，甚至大于或等于 150 埃）可能是有益的，而 NMOS 器件中使用的含金属材料较薄。在 NMOS 器件中使用的含金属材料通常不超过 20 埃，常常小于或等于约 15 埃，甚至小于或等于约 10 埃。或者认为，在 NMOS 器件中使用的含金属材料通常由不超过 70 个原子层淀积（ALD）周期形成，常常少于 50 个 ALD 周期，甚至少于 40 个 ALD 周期；本发明应用中使用的典型 ALD 包括每个周期大约 0.3 埃至 0.4 埃的淀积率。然而，将会了解到：本发明可利用具有与每个周期大约 0.3 埃至 0.4 埃不同的淀积率的 ALD。因为在 NMOS 器件中使用的含金属层较薄，因此它可以是不连续的，仍适合于本发明的特定应用。

[0023]在一些特定形态中，含金属材料包含钛、铪、钽或钨。示例含金属材料包括/基本上包括/由以下部分组成：钛、铪、钽和钨元素中的一种或多种和/或钛、铪、钽或钨中的一种或多种组成的氮化物和硅化物中的一个或多个。在某些形态中，可以期望含金属材料包括/基本上包括/由以下部分组成：氮化钽、氮化钨、氮化铪和氮化钛中的一个或多个。

[0024]在特定应用中，在介质材料和掺杂硼的多晶硅之间使用含金属材料可以减少甚至可阻止硼向外扩散进介质材料。此外，可选择特定的含金属材料（例如带有适当的、由氮化钛和氮化钨组成的含金属材料），这样，含金属材料与 p-型硅的功函数之间的相似性导致一个可忽略的 PMOS 器件临界电压的变化。另外，在高 k 介质和多晶硅材料之间使用这种含金属材料可减少甚至可防止硅酸盐界面层的形成，因为若硅直接与介质材料接触，就会产生该硅酸盐。

[0025]尽管在 PMOS 栅极中使用带有与 p-型掺杂硅相似功函数的含金属材料可能是最好的，但是这种含金属材料的功函数在 NMOS 栅极中可能有问题。例如，氮化钛是一种含金属材料，其功函数与 p-型掺杂硅的功函数相似，并且相对于缺少氮化钛的栅极而言，较厚的氮化钛层将使 NMOS 临界电压产生将近 1 伏的变化。通过在 NMOS 栅极中使用一种功函数与在 PMOS 栅极中使用的含金属材料的功函数不同的含金属材料可以避免这个问题。然而，可能是 n-型硅的适当替代品的功函数较低的金属在高温时往往不稳定。因此，这种金属不适于半导体器件制作期间典型的热处理状态。

[0026]本发明的一个形态是在 NMOS 器件内使用非常薄的含金属材料阻挡层（几个单原子层或更薄），并且其中含金属材料的功函数实质上不同于 n-型硅的功函数。含金属材料被放置于硅与介质材料（如氧化铝这样的高 k 介质）之间。含金属材料最好足够薄，以避免 n-型硅和含金属材料的组合功函数完全占优势；但是又充分厚，以缓和甚至阻止硅与介质材料之间的反应。通过缓和硅与介质材料之间的反应，可以避免现有技术水平下、在硅和高 k 介质材料的界面处截获电荷的问题，这可使 NMOS 器件的临界电压更可控。

[0027]可采用任何适当的方法（包括如原子层淀积（ALD）和/或化学汽相淀积（CVD））形成在 NMOS 器件中使用的薄含金属材料阻挡层。原子层淀积可能是最好的，因为这样可以对含金属材料的厚度和均匀性实施更好的控制，而且可缓和甚至阻止对表面以下的介质

的损害以及表面以下的介质与含金属材料进行直接物理接触时所发生的相互作用。

[0028]通常含金属材料直接在介质材料上形成。用语“直接在……上”意指：如果含金属材料是通过 CVD 形成的，则含金属材料是与介质材料通过物理接触而形成的；或者如果过程是 ALD，则在含金属材料的形成过程中使用的层是在与介质材料进行物理接触时沉积形成的。在某些实施形态中，在形成含金属材料块之前就可在介质材料块上形成界面层，并且含金属材料可在界面层上形成。界面层可包括如氮化物（例如氮化硅或氮化钪）。例如，可以通过对特定介质材料进行表面氮化处理来形成氮化物。

[0029]可通过任何适当的方法（包括如化学汽相淀积）在含金属材料上形成硅。增强导电性的掺杂物可于淀积期间在硅内形成或者是在淀积后与适当的注入物一起形成。

[0030]硅直接在含金属材料上形成（术语“直接在……上”表示：如果过程是化学汽相淀积，则硅是与含金属材料进行物理接触而形成的。）可以使硅和含金属材料发生反应，以此形成含金属和硅的合成材料，例如：包含钛、氮和硅的材料（ TiN_xSi_y ，其中 x 和 y 均大于 0）；包含钪、氮和硅的材料；包含钨、氮和硅的材料；或者包含钽、氮和硅的材料。如果合成材料包含钛、氮和硅，则这种材料的功函数介于硅化钛和氮化钛的功函数之间。文献资料表明：硅化钛和氮化钛的功函数范围分别是 3.67-4.25 电子伏特和 4.83-4.95 电子伏特。

[0031]图 1 显示的是高频电容/电压数据，表示通过原子层淀积形成的氮化钛阻挡层的厚度对平带电压（ V_{fb} ）的影响。厚度为 100 埃的氮化钛阻挡层展示了成块氮化钛的功函数并且在闪光（flash）晶体管试验中被证明是与 PMOS 临界电压相匹配的。氮化钛薄膜变薄至 15 个 ALD 周期（估计约为 5 埃至 7 埃厚），可将 V_{fb} 改变负 300 毫伏。另外， V_{fb} 可能随着氮化钛阻挡层的进一步变薄而改变。图 1 的

数据表明：相对于在氧化铝上使用氮化钛，原子层淀积氮化钛的 5 个周期并无明显的影响。事实上，由 3 个周期形成的氮化钛和由 5 个周期形成的氮化钛的电容/电压曲线与不带居间氮化钛阻挡层而是直接在氧化铝上形成的多晶硅栅的电容/电压曲线是完全一样的。延伸开的电容/电压曲线表示界面状态的增加。这与累积电容的减少一起支持了在不存在氮化钛的条件下或者在由 5 个或更少 ALD 周期（所示的 ALD 周期与氮化钛每个周期约 0.3-0.4 埃的增长率相对应）形成的氮化硅存在的条件下界面硅酸盐层的形成。

[0032] 将参考图 2-7 对本发明的一个示范形态进行描述。先看图 2，所示的半导体结构 10 包括第一断片 12 和第二断片 14。断片 12 和 14 分别与 NMOS 区域和 PMOS 区域相对应，并且可以一起包含到 CMOS 结构内。

[0033] 结构 10 包括衬底 16，所述衬底 16 在 NMOS 区域 12 为 p-型掺杂、在 PMOS 区域 14 为 n-型掺杂。衬底 16 例如可包括单晶硅。为了对后续的权利要求的解释有所帮助，术语“半导体的衬底”和“半导体衬底”的定义为包含半导体材料的任何结构，包括（但不限于）成块半导体材料，如半导体晶圆（单一或其上包含有其它材料的组合）；还包括半导体材料层（单一或包含有其它材料的组合）。术语“衬底”指任何支撑结构，包括（但不限于）上述的半导体衬底。

[0034] 介质材料 18 在衬底 16 上延续。如图所示，介质材料 18 包括一对独立层，下面的薄层 20 直接在衬底 16 的上表面形成，上面的厚层 22 在薄层 20 上形成。薄层 20 可包括如二氧化硅，并且在特定的应用中薄层 20 可与在单晶体衬底 16 上表面形成的自然氧化物相对应。介质材料 22 可对应于任何适当的介质材料，包括如高 k 介质材料。例如，层 22 可包括一种或多种氧化物和/或一种或多种硅酸盐。在特定的应用中，层 22 将包括钽、铪和铝中的一种或多种。例如，层可包括钽的氧化物（如 Ta_2O_5 ）、铝的氧化物（ Al_2O_3 ）、氧化铪和/或硅酸铪；在某些应用中，层可包括多层不同材料（如

$\text{Al}_2\text{O}_3/\text{HfO}_2$ 等)。例如，多层可以是纳米叠层 (nanolaminates)。尽管所示的介质材料 18 包括两个独立层，但是还要了解：材料可包括单层或者可包括不止两个独立层。在特定的处理中，可省略二氧化硅层 20，并且可将高 k 介质材料用作介质层 18 的实体。在其它形态中，整个介质材料可以是除高 k 材料以外的材料，如二氧化硅。

[0035] 含金属材料层 24 在介质材料 22 上方形成，在所示的实施例中含金属材料层 24 实际上对着介质材料 22 形成，或者换句话说，含金属材料层 24 直接在介质材料 22 上形成。含金属层 24 可被称为厚含金属层或第一含金属层，以此将层 24 与随后形成的含金属层区别开来。可通过任何适当的方法（包括如化学汽相淀积）形成含金属层 24。层 24 的金属可包括如钛、钽、钨或钪。在一些特定形态中，层 24 可包括/基本上包括/由以下部分组成：钛、钽、钨或钪元素中的一种或多种；或者层 24 可包括/基本上包括/由以下部分组成：钛、钽、钨或钪中的一种或多种的氮化物和/或硅化物。所形成的层 24 的厚度大于 20 埃，并且通常其厚度大于 100 埃，比如大于或等于 150 埃。

[0036] 参见图 3，对层 24 进行图案处理，使层 24 的材料位于 PMOS 区域 14 上而不是位于 NMOS 区域 12 上。对层 24 的图案处理使该层的材料形成块 (block)。这种图案处理可通过如下方法完成：通过光刻加工在层 24 上形成经图案化的光刻胶掩模 (图中未示出)，对层 24 实施适当的蚀刻以此将图案从掩模转移到材料层，然后剥去光刻胶掩模。图 2 和图 3 所示的过程只是可用在 PMOS 区域 14 上而不是在 NMOS 区域 12 上形成含金属材料块 (图 3 中保留了层 24 的部分) 的若干方法中的一种。

[0037] 参见图 4，叠层 30、32、34 和 36 在 NMOS 区域 12 和 PMOS 区域 14 上形成。层 30 包括含金属材料，并且其厚度小于或等于约 20 埃。层 30 可称为第二含金属层，以此将该层和第一含金属层 24 区分开来。在所示的本发明的实施例中，在 NMOS 区域 12 上，层 30 实

实际上对着介质材料 22 形成, 在 PMOS 区域 14 上, 层 30 实际上对着第一含金属层 24 形成。例如可以通过原子层淀积形成含金属层 30, 并且其形成厚度可小于或等于约 15 埃, 在一些特定形态中, 该形成厚度可小于或等于约 10 埃; 或者, 所形成的层可以是小于或等于约 50 个 ALD 周期, 或者小于或等于约 30 个 ALD 周期。第二含金属层 30 可具有与第一含金属层 24 相同或不同的成分。含金属层 30 可主要包括氮化钛(即, 按重量计算, 含金属层 30 中超过 50%可能是氮化钛)。另外, 含金属层 30 可主要包括氮化钽、氮化钨或氮化铪。在一些特定形态中, 层 30 可包括/由或基本上由一些部分组成: 钛、钽、钨和铪元素中的一种或多种; 以及, 层 30 可包括/基本上包括/由以下部分组成: 钛、钽、钨和铪中的一种或多种的氮化物和/或硅化物。

[0038]层 32 包括/基本上包括/由以下部分组成: 经导电掺杂的硅(如导电掺杂非晶形硅或导电掺杂多晶硅)。在所示出的本发明的形态中, 含硅层 32 实际上与含金属层 30 相对而置。此外, 在所示出的本发明的实施形态中, 相同的经导电掺杂的硅层在 NMOS 区域和 PMOS 区域上延续。因此, 如果导电掺杂层 32 主要是 n-型掺杂, 则这种材料被用于 NMOS 区域和 PMOS 区域。还将了解到: 本发明可包含其它实施形态(图中未示出), 其中相对于 NMOS 区域, PMOS 区域可使用不同的导电掺杂材料, 或者 NMOS 区域和 PMOS 区域中的一个省略经导电掺杂的硅材料。然而, 所示的本发明的实施形态可以被优选, 因为若相同的经导电掺杂的硅在整个衬底的 NMOS 区域和 PMOS 区域上形成, 该形态可简化加工工序。

[0039]层 34 可包含如金属和/或金属合金; 在一些特定形态中, 层 34 将包含钨。

[0040]层 36 可包含一个电绝缘盖(如氮化硅)。

[0041]参见图 5, 对层 30、32、34 和 36 进行图案化处理, 以此分别在 NMOS 区域 12 和 PMOS 区域 14 上形成栅叠层 40 和 42。叠层 40 和 42 的经图案化的材料可分别称为第一材料和第二材料, 以此区分

特定叠层内的材料。例如，可将经图案化的硅层 32 称为叠层 40 内的第一硅材料和叠层 42 内的第二硅材料。

[0042] 叠层 40 和 42 之间显著的差别是：栅叠层 40 只带有一个位于经导电掺杂的硅层 32 和介质材料 22 之间的薄层含金属材料 30，而栅叠层 42 除了带有一个薄层含金属材料 30 之外还带有一个位于经导电掺杂的硅层 32 和介质材料之间的厚层含金属材料 24。

[0043] 栅叠层 42 内位于经导电掺杂的硅层 32 和介质材料 22 之间的含金属材料最好足够厚，这样栅叠层 42 的功函数与单纯形式的含金属材料的功函数相当。相反，栅叠层 40 内的含金属材料最好足够薄，这样叠层 40 的功函数不等于单纯形式的含金属材料的功函数，而是被经导电掺杂的硅层 32 所调制。然而，含金属材料层 30 最好足够厚，这样叠层 40 的功函数也不等于单纯形式的经导电掺杂的硅层 32 的功函数，而是介于单纯形式的含金属材料 and 单纯形式的经导电掺杂的硅的功函数之间。在一些特定形态中，相对于以单纯形式出现的经导电掺杂的硅和含金属材料的功函数，在 NMOS 叠层 40 内合并的经导电掺杂的硅层 32 和含金属材料层 30 的功函数被改变，并且比起单纯形式的含金属材料的功函数至少改变了 50 毫伏。

[0044] 在 NMOS 栅叠层 40 的功函数包括了来自经导电掺杂的硅层 32 的影响的应用中，材料 32 的多数掺杂类型一般为 n-型。

[0045] 由于 PMOS 栅叠层 42 的功函数事实上是含金属材料 24 的功函数，所以对于栅叠层的功函数，硅层 32 的导电型掺杂是无关的。因此，对层 32 来说，PMOS 栅叠层 42 既可包含 n-型硅也可包含 p-型硅。然而，最好栅叠层利用 n-型硅作为叠层 42 的硅。接着，如图 4 所示的加工过程，叠层 42 的硅可与叠层 40 的硅在单个步骤中一起形成。

[0046] 栅叠层 40 由层 30、32、34 和 36 形成，可认为是将这些层的材料加入 NMOS 栅叠层而形成的。同样地，栅叠层 42 由层 24、30、32、34 和 36 形成，可认为是将这些层的材料加入 PMOS 栅叠层而形

成的。

[0047]在本发明的特定实施形态中，可将栅叠层 40 和 42 下的区域分别称为 NMOS 栅区和 PMOS 栅区。此外，可将栅叠层 40 和 42 下的介质材料 20 和 22 视为本发明特定实施形态中的栅介质层。

[0048]与含金属层 30 接触的层 32 的硅可以和本发明各实施形态中的含金属材料发生反应，以此在硅和含金属材料的界面处形成包含有金属、硅且可能还有氮的合成物。这种合成物的功函数介于金属硅化物和含金属材料的功函数之间，并且在 NMOS 栅极 40 的场合，这种功函数最终可影响栅叠层的总功函数。

[0049]参见图 6，侧壁隔层 46 和 48 分别沿栅叠层的两个侧壁形成。隔层 46 和 48 可包括任何适当的绝缘材料（包括如氮化硅和二氧化硅中的一种或两种），并且可在材料的各向异性蚀刻过程之后通过适当的材料淀积来形成。

[0050]N-型源/漏区 50 在衬底 16 内靠近栅叠层 40 处形成，从而完成 NMOS 晶体管器件的形成；p-型源/漏区 52 在衬底 16 内靠近栅叠层 42 处形成，从而完成 PMOS 晶体管器件的形成。源/漏区 50 和 52 可通过任何适当的方式形成（包括如发生在侧壁隔层 46 和 48 形成前和/或后的各种注入）。

[0051]尽管对图 2 至图 6 加工过程的描述以 NMOS 晶体管和 PMOS 晶体管的形成（即 CMOS 结构的形成）为参照进行，但是将会了解到本发明的各个实施形态也适用于单个晶体管的形成。例如，图 6 所示类型的 NMOS 晶体管可单独形成，以包含到各种电路器件内。

[0052]上述的形成 NMOS 晶体管器件的加工过程可用于其它器件（包括如电容器）的形成。这一点可参见图 7 来说明，图 7 显示了包含 DRAM 单元 102 的结构 100。DRAM 单元包含具有与电容器结构 106 以及位线 130 电连接的源/漏区 107 的晶体管结构 104。

[0053]晶体管结构 104 以 NMOS 结构示出。因此，源/漏区 107 是 n-型掺杂区域。源/漏区延续进 p-型衬底 108。衬底 108 可包括任何

适当的结构(包括如单晶硅)。晶体管器件 104 还包括一个导电栅 110, 该导电栅 110 与衬底 108 之间被栅介质 112 隔开。栅介质 112 可包含任何适当的材料(包括如二氧化硅和/或高 k 介质材料)。导电栅材料 110 可包含任何适当的材料或这些材料的组合。在一些特定实施形态中, 图 7 的 NMOS 晶体管器件将与图 6 所示的 NMOS 器件相对应, 因此栅极 110 将包含层 30、32 和 34。在其它实施形态中, 栅极 110 可包含传统结构。

[0054] 绝缘盖 114 在导电栅材料 110 上形成, 绝缘的侧壁隔层 116 沿导电栅材料的侧壁形成。盖 114 和隔层 116 可包含任何适当的材料(例如包括二氧化硅和氮化硅中的一种或两种)。

[0055] 电绝缘材料 118 在晶体管器件 104 上方及周围延续。绝缘材料 118 可包括一种或多种适当的材料(例如包括硼磷酸盐玻璃(BPSG))。

[0056] 有一个通路穿过材料 118 延伸到源/漏区 107 中的一个。导电基座 120 位于通路内, 并且与源/漏区电连接。导电基座可包含任何适当的导电材料(例如包括经导电掺杂的硅、金属和/或金属化合物)。

[0057] 电容器结构 106 也在绝缘材料 118 中的通路内延续, 并且与导电基座 120 电连接。电容器结构 106 包含存储节点 122、介质材料 124 和含金属材料 126。

[0058] 存储节点 122 可包含任何适当的导电材料, 例如包括凸凹不平的经导电掺杂的硅(例如半球状颗粒硅)。

[0059] 介质材料 124 可包括任何适当的材料, 例如包括高 k 介质材料(例如上述的、用于图 2 的介质区域 18 的高 k 材料)和/或二氧化硅、和/或二氧化硅与氮化硅的结合物。在一些特定实施形态中, 介质材料 124 可包含氧化铝和二氧化硅, 并且二氧化硅是位于存储节点 122 的经导电掺杂的硅和氧化铝之间的一个薄层(图中未示出)。

[0060] 含金属材料 126 可包括与前述用于含金属材料层 30 相同的

组成，并且含金属材料 126 可通过例如 ALD 或 CVD 形成。

[0061] 电容器电极 128 例如可包含经导电掺杂的硅，并且它既可以是 p-型掺杂也可以是 n-型掺杂。含金属材料 126 薄层与电容极板 128 的经导电掺杂的硅一起使用的好处是可使得包含材料 126 和 128 的叠层的功函数可控且可操作。

[0062] 尽管所示的含金属材料 126 位于介质材料 124 和第二电容器电极 128 之间，但是将会了解到含金属材料可代之以和/或另外又在介质材料和电容器存储节点 122 之间形成。

[0063] 含有依照本发明方法形成的凸凹不平的半导体材料的电路器件可用于许多系统（例如包括计算机系统和其它电子系统）。

[0064] 图 8 通过举例的方式（但不是以限制的方式）示出本发明一个实施形态的计算机系统 400。计算机系统 400 包含监视器 401 或其它的通信输出器件、键盘 402 或其它通信输入器件以及主板 404。主板 404 上载有微处理器 406 或其它数据处理部件，以及至少一个存储器件 408。存储器件 408 可包括本发明的上述各个形态（例如包括一个或多个晶体管器件、CMOS 结构、电容器结构和 DRAM 单元）。存储器件 408 可包含存储单元阵列，这样的阵列可与寻址电路连接，用于访问阵列中各存储单元。另外，存储单元阵列可连接到读出电路，以从存储单元读取数据。寻址电路和读出电路可用来在存储器件 408 和处理器 406 之间传递信息。这在图 9 所示的主板 404 的框图中说明。在这种框图中，寻址电路标示为 410，读出电路标示为 412。

[0065] 在本发明的一些特定实施形态中，存储器件 408 可与一个存储模块相对应。例如，单列直插式内存组件（SIMM）和双列直插式内存组件（DIMM）可在基于本发明讲述内容的实现方式中使用。该存储器件可结合到能提供从器件的存储单元读取和写入数据的不同方法的多种设计的任何一种中。一种方法是页式操作。DRAM 中的页式操作由这样的方法确定：对存储单元阵列进行行访问并对阵列的不同列进行随机访问。当某列被访问时，在行和列交叉点存储的

数据即可被读取并输出。

[0066]一个可选的器件类型是扩充数据输出(EDO)存储器,该EDO存储器让存储在存储阵列地址的数据在被寻址列关闭后可供输出。通过允许较短的存取信号,这个存储器可在不减少存储器输出数据占用存储总线时间的条件下提高一些通信速度。其它可选的器件类型包括SDRAM、DDR SDRAM、SLDRAM、VRAM和直接RARAM,以及其它如SRAM或快闪存储器。

[0067]图10是说明本发明一个示范性电子系统700的各实施例的高级组织(high-level organization)的简化框图。系统700可与比如一个计算机系统、一个处理控制系统或任何其它使用处理器和相关存储器的系统相对应。电子系统700具有功能元件,包括:处理器或运算/逻辑部件(ALU)702、控制部件704、存储设备706和输入/输出(I/O)设备708。通常,电子系统700将带有一组本机指令,指定由处理器702对数据实施的操作以及在处理器702、存储设备706和输入/输出设备708之间的其它互动。通过连续循环从存储器件706取出指令并执行的一组操作,控制部件704调整处理器702、存储器706和输入/输出器件708的所有操作。在各种实施形态中,存储设备706包括(但不限于)随机存取存储(RAM)器件、只读存储(ROM)器件以及外围设备(如软盘驱动器和光盘驱动器)。本领域普通的技术人员在阅读和理解了本公开内容后将会了解到:任何所描述的电器件都能包含基于本发明各实施形态的元件而制造。

[0068]图11是本发明一个示范性电子系统800的各种实施例的高级组织的简化框图。系统800包括由存储单元804阵列形成的存储器件802、地址解码器806、行存取电路808、列存取电路810、用于控制操作的读/写控制电路812和输入/输出电路814。存储器件802还包括电源电路816和传感器820(如电流传感器,用于确定一个存储单元是处于低临界导电状态还是处于高临界非导电状态)。所描述的电源电路816包括供电电路880、用于提供基准电压的电路882、

用于提供带脉冲的第一字线的电路 884、用于提供带脉冲的第二字线的电路 886，用于提供带脉冲的位线的电路 888。系统 800 还包括处理器 822 或用于存储器存取的存储控制器。

[0069]存储器件 802 从处理器 822 并经由接线或镀金属线接收控制信号 824。存储器件 802 被用来存储通过输入/输出线存取的数据。本领域的技术人员将会理解：可设置另外的电路和控制信号，且存储器件 802 已被简化，以有助于将注意点集中到本发明上。处理器 822 或存储器件 802 中的至少一个可包含本公开中已描述的类型 DRAM 单元、CMOS 以及电容器或晶体管。

[0070]本公开所描述的各种系统用以为本发明的电路和结构的各应用提供一般的了解，并不作为是对本发明所有要素和使用存储单元的电子系统的特征的完整描述。本领域普通的技术人员将理解：为了减少处理器和存储器件之间的通信时间，可在单独封装的处理单元甚至在单个半导体芯片上制作各种电子系统。

[0071]存储单元的应用可包括在存储模块、设备驱动器、功率模块、通信调制解调器、处理器模块和专用模块中使用的电子系统，并可包括多层、多片模块。这样的电路还可包括多种电子系统（如时钟、电视、移动电话、个人电脑、汽车、工业控制系统、飞行器等等）的子部件。

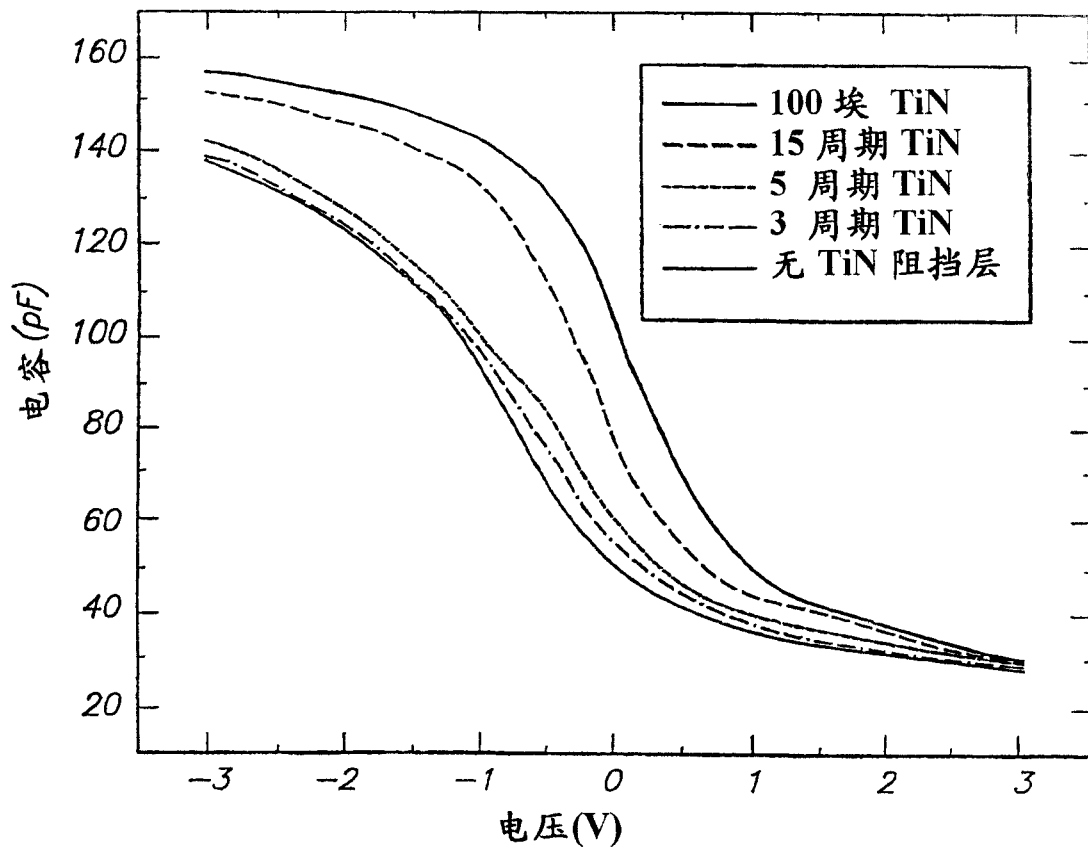


图 1

图 2

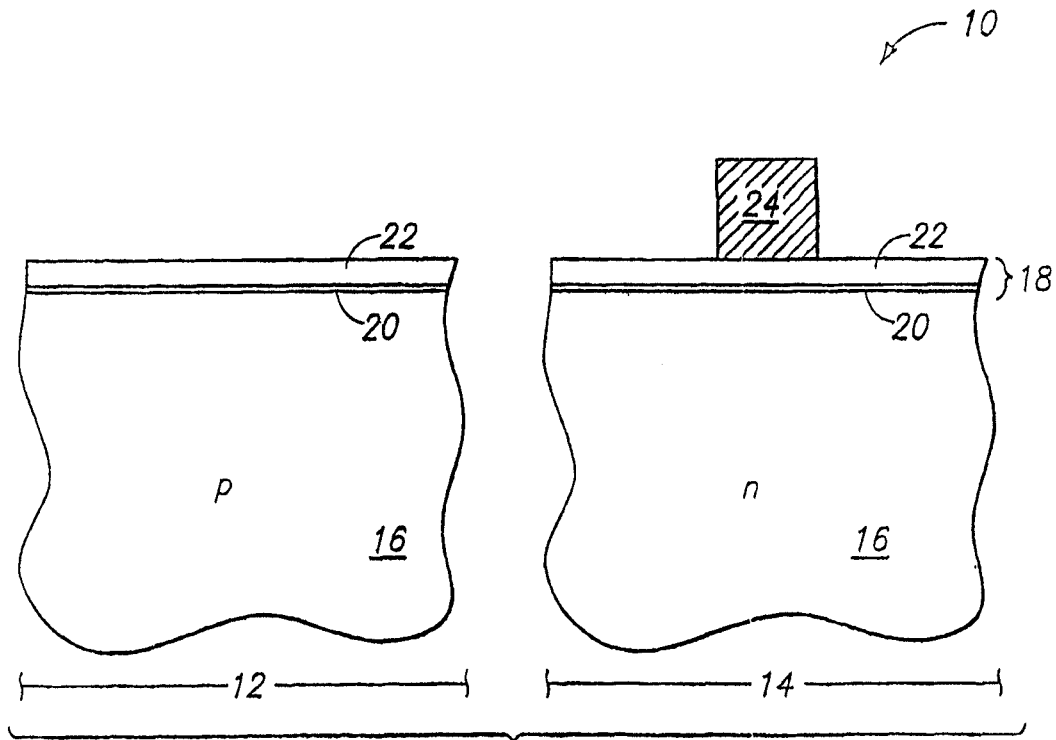
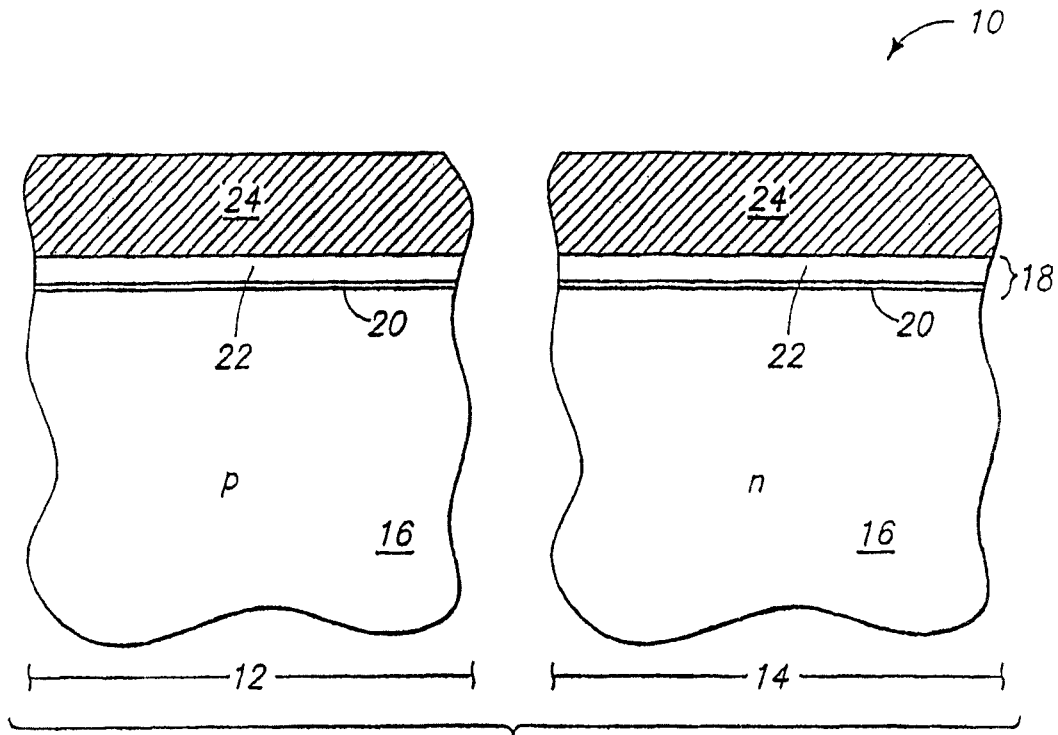
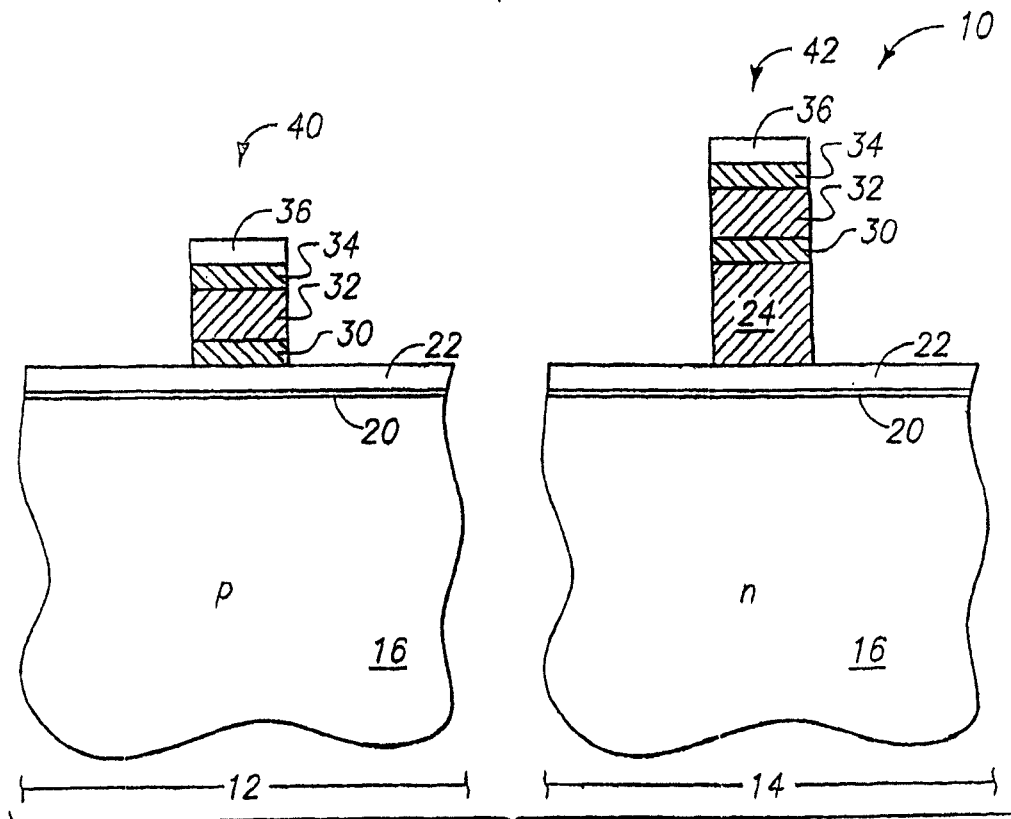
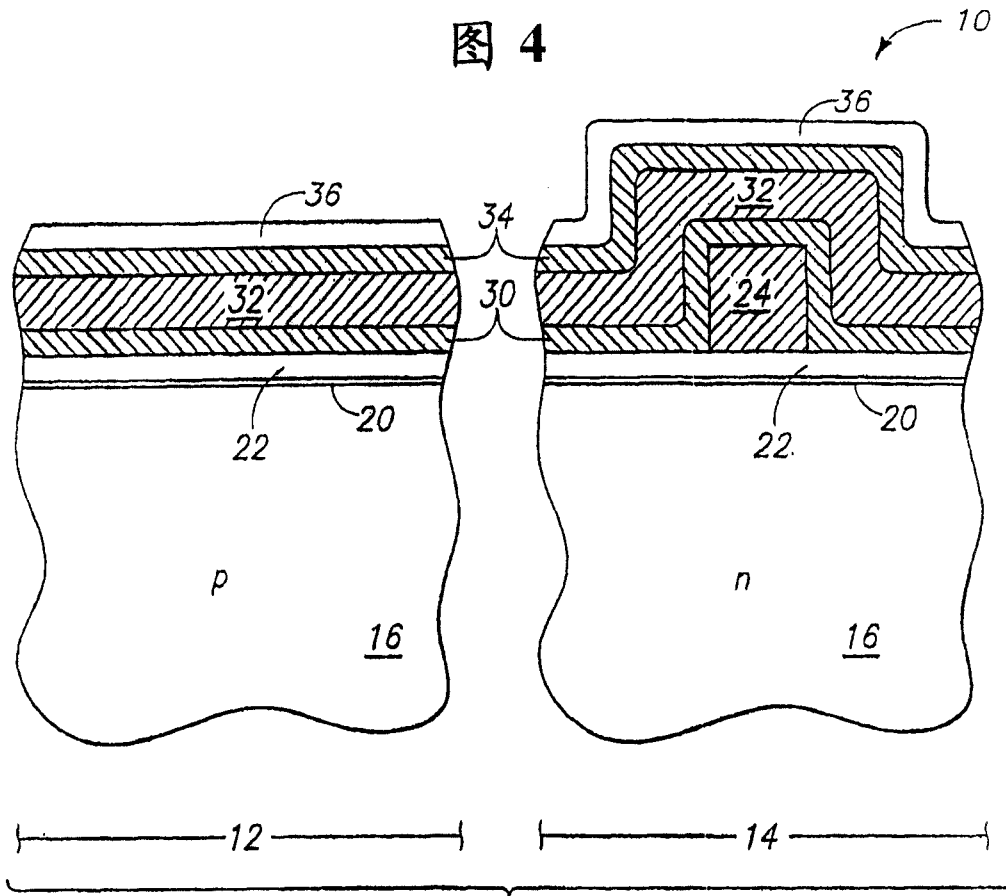


图 3



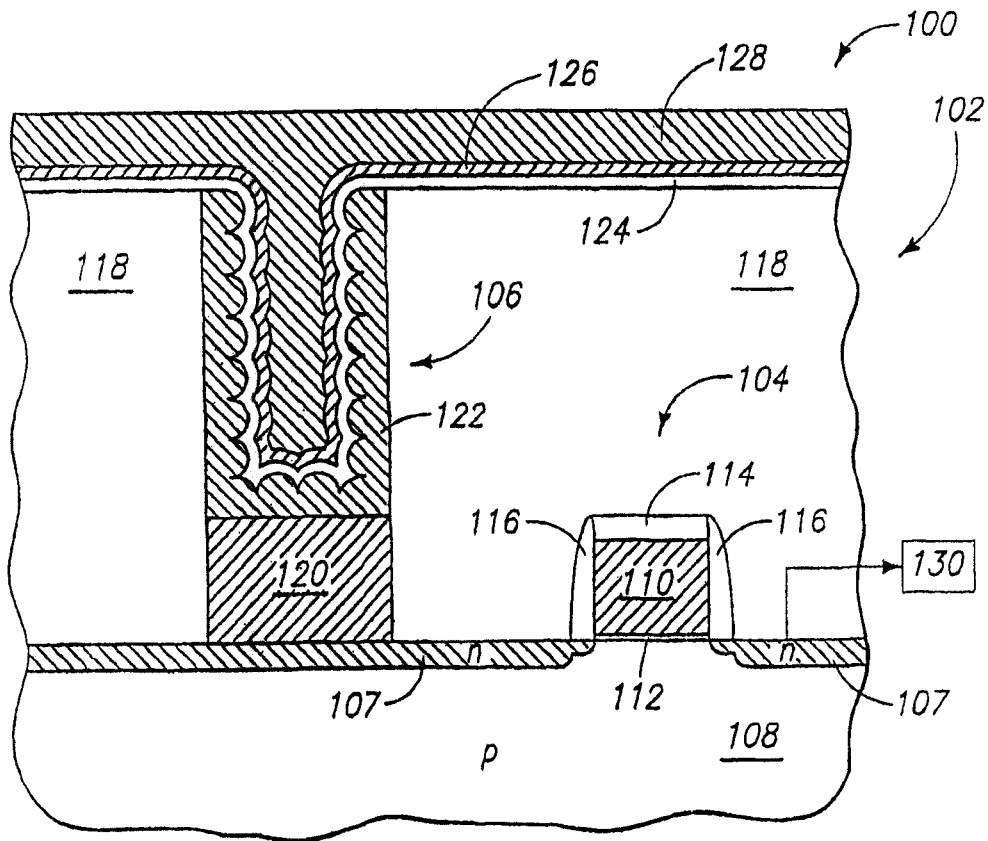
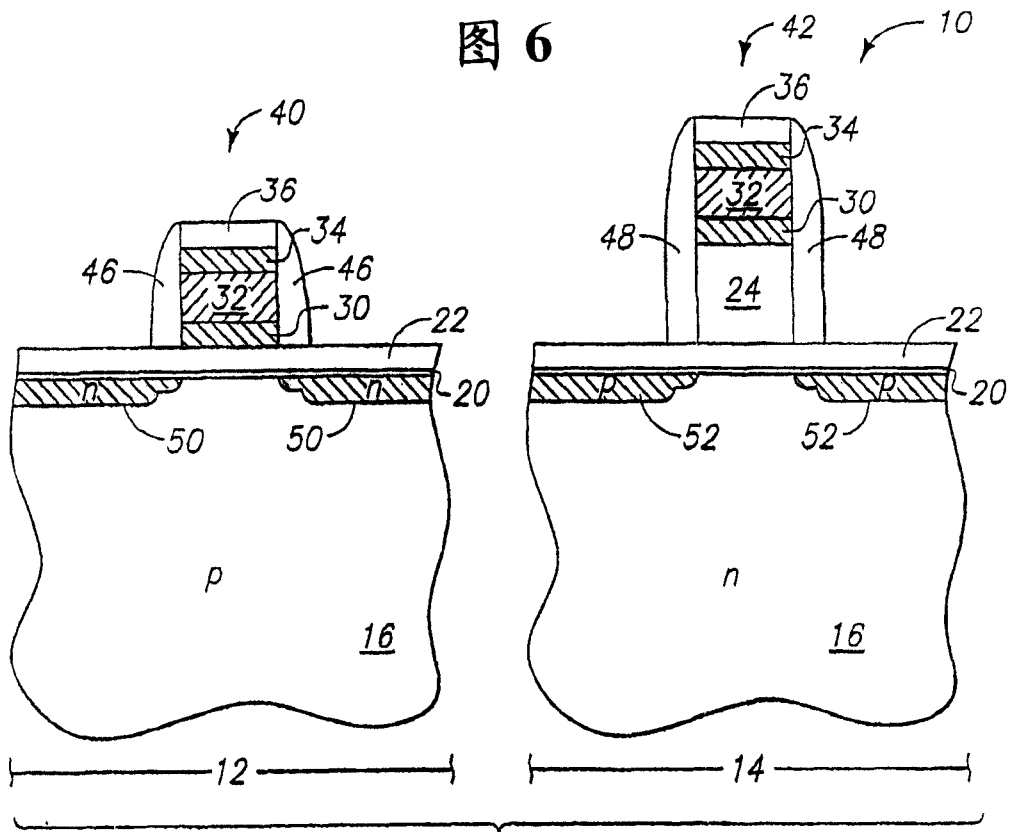
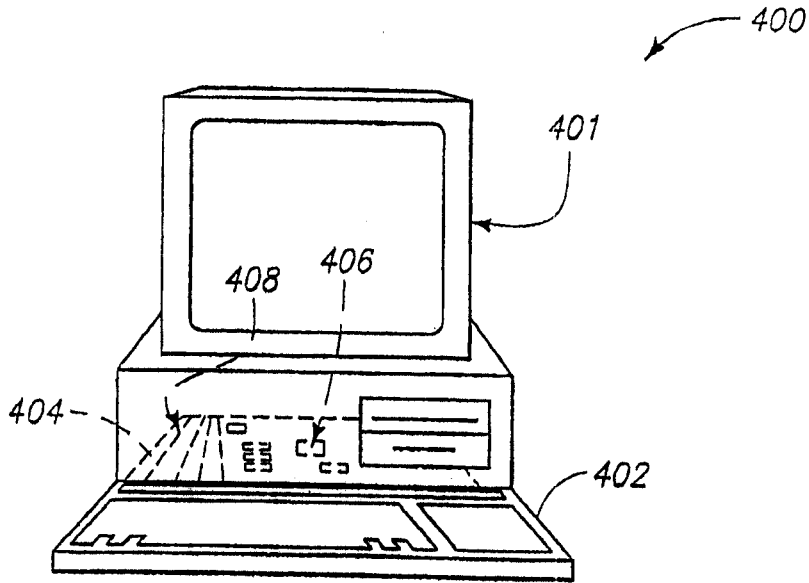


图 8



404

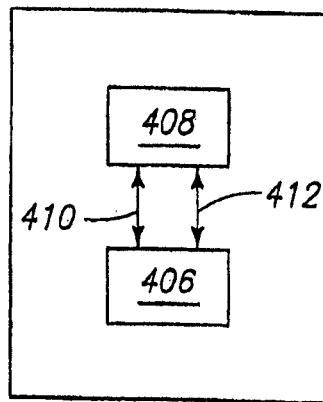


图 9

图 10

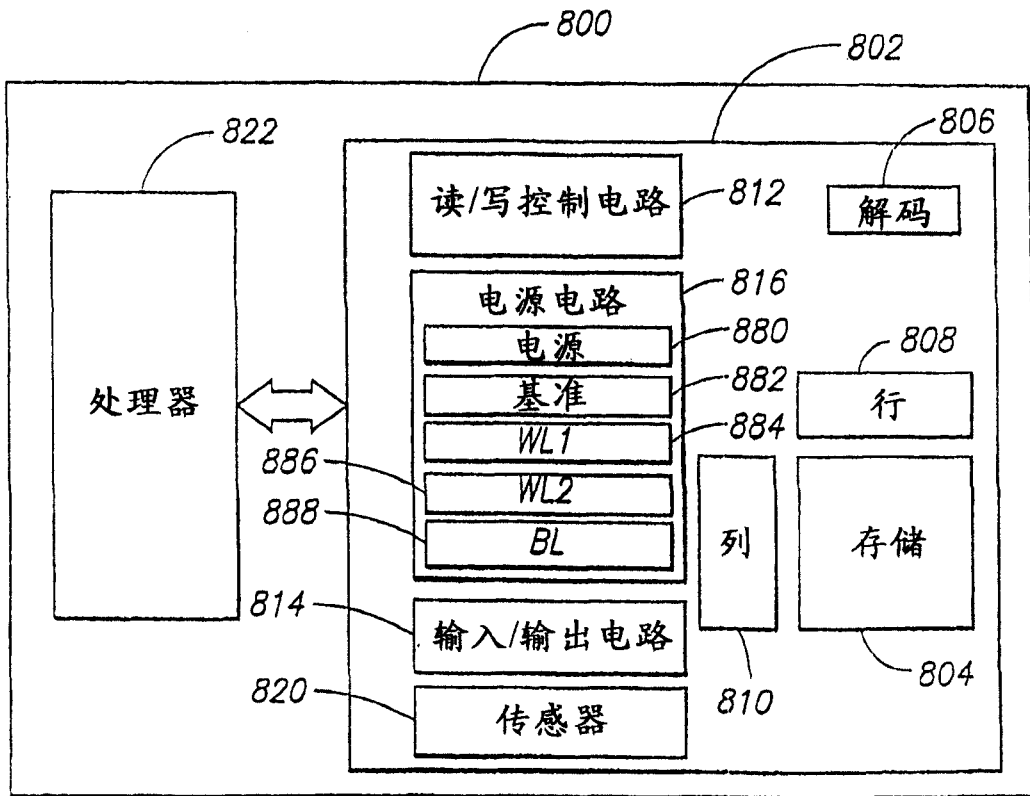
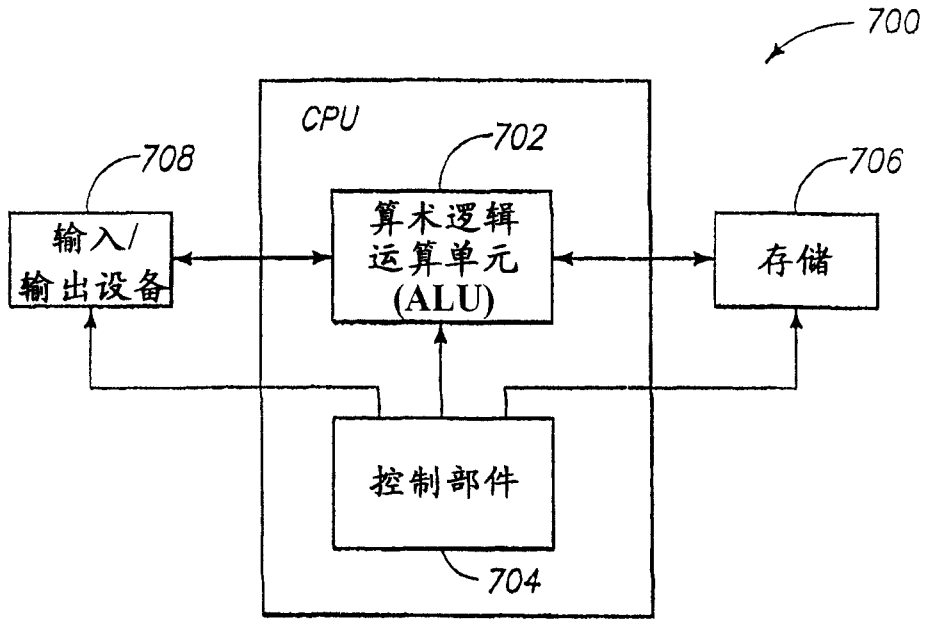


图 11