



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0034163  
(43) 공개일자 2009년04월07일

(51) Int. Cl.

*H01L 33/00 B00* (2008.05) *H01L 33/00 A06*  
(2008.05)

(21) 출원번호 10-2007-0099397

(22) 출원일자 2007년10월02일

심사청구일자 없음

(71) 출원인

주식회사 에피밸리

경부 구미시 공단2동 321

(72) 발명자

박은현

경기 성남시 분당구 야탑동 매화마을 대창빌라  
802호

전수근

경기 성남시 분당구 구미동 까치마을주공2단지아  
파트 203동 502호

임재구

경기 성남시 분당구 구미동 까치마을 주공 2단지  
209동 604호

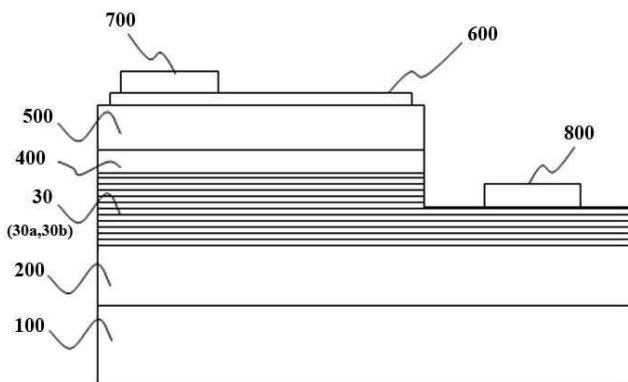
전체 청구항 수 : 총 30 항

(54) 3족 질화물 반도체 발광소자

### (57) 요 약

본 발명은 n형 질화물 반도체층;으로서, n형 도편트가 도핑된 제1 질화물 반도체층과 제1 질화물 반도체층보다 낮은 도핑 농도를 가지며 100A을 초과하는 두께를 가지는 제2 질화물 반도체층이 교대로 복수회 적층된 구조를 포함하는 n형 질화물 반도체층; p형 질화물 반도체층; n형 반도체층과 p형 질화물 반도체층 사이에 위치하며, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층; n형 질화물 반도체층에 전기적으로 접촉되는 n측 전극; p형 질화물 반도체층에 전기적으로 접촉되는 p측 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자에 관한 것이다.

대 표 도 - 도8



## 특허청구의 범위

### 청구항 1

n형 질화물 반도체층;으로서, n형 도편트가 도핑된 제1 질화물 반도체층과 제1 질화물 반도체층보다 낮은 도핑 농도를 가지며 100A을 초과하는 두께를 가지는 제2 질화물 반도체층이 교대로 복수회 적층된 구조를 포함하는 n형 질화물 반도체층;

p형 질화물 반도체층;

n형 반도체층과 p형 질화물 반도체층 사이에 위치하며, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층;

n형 질화물 반도체층에 전기적으로 연결되는 n측 전극; 그리고,

p형 질화물 반도체층에 전기적으로 연결되는 p측 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광 소자.

### 청구항 2

제 1 항에 있어서,

n측 전극은 n형 질화물 반도체층의 폐사 식각된 영역에 형성되는 것을 특징으로 하는 3족 질화물 반도체 발광 소자.

### 청구항 3

제 1 항에 있어서,

제1 질화물 반도체층은 GaN으로 이루어지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 4

제 1 항에 있어서,

제2 질화물 반도체층은 GaN으로 이루어지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 5

제 1 항에 있어서,

제2 질화물 반도체층은 도핑되지 않은 GaN으로 이루어지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 6

제 1 항에 있어서,

제1 질화물 반도체층은  $1 \times 10^{19} / \text{cm}^3$  이상의 도핑 농도로 도핑되는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 7

제 1 항에 있어서,

n형 질화물 반도체층은 전체로서  $1 \times 10^{19} / \text{cm}^3$  이상의 도핑 농도를 가지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 8

제 1 항에 있어서,

n형 질화물 반도체층과 활성층 사이에 위치하는 제2 n형 질화물 반도체층;을 더 포함하며,

제2 n형 질화물 반도체층은 n형 도편트가 도핑된 제3 질화물 반도체층과 제3 질화물 반도체층보다 낮은 도핑 농

도를 가지며 제2 질화물 반도체층 보다 두꺼운 제4 질화물 반도체층이 교대로 복수회 적층된 구조를 가지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 9

제 8 항에 있어서,

제4 질화물 반도체층은 GaN으로 이루어지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 10

제 9 항에 있어서,

제4 질화물 반도체층은 300Å 이상 2000Å 이하의 두께를 가지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 11

n형 컨택층;으로서, n형 도편트가 도핑된 제1 n형 GaN층과 100Å을 초과하는 두께를 가지는 제1 un-GaN층이 교대로 복수회 적층된 구조를 포함하는 n형 컨택층;

p형 질화물 반도체층;

n형 컨택층과 p형 질화물 반도체층 사이에 위치하며, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층;

n형 컨택층에 전기적으로 접촉되는 n측 전극;

p형 질화물 반도체층에 전기적으로 연결되는 p측 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 12

제 11 항에 있어서,

제1 n형 GaN층은 100Å 이하의 두께를 가지며,  $1 \times 10^{19}/\text{cm}^3$  이상의 도핑 농도를 가지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 13

제 11 항에 있어서,

제1 n형 GaN층은 50Å 이상 80Å 이하의 두께를 가지며,  $3 \times 10^{19}/\text{cm}^3$  이상  $6 \times 10^{19}/\text{cm}^3$  이하의 도핑 농도를 가지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 14

제 11 항에 있어서,

n측 컨택층은 적어도 10개의 제1 un-GaN층은 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 15

제 11 항에 있어서,

n형 컨택층과 활성층 사이에 위치하는 n형 질화물 반도체층;을 더 포함하며,

n형 질화물 반도체층은 제1 n형 GaN층보다 낮은 도핑 농도로 n형 도편트가 도핑된 제2 n형 GaN층과, 제1 un-GaN 층 보다 두꺼운 두께를 가지는 제2 un-GaN층이 교대로 복수회 적층된 구조를 가지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 16

전자와 정공의 재결합을 통해 빛을 생성하는 활성층;

활성층의 일측에 위치하는 p형 질화물 반도체층;

활성층의 다른 일측에 위치하는 제1 n형 질화물 반도체층으로서, n형 도편트로 도핑된 제1 질화물 반도체층과 제1 질화물 반도체층보다 낮은 도핑 농도를 가지며 100A을 초과하는 두께를 가지는 제2 질화물 반도체층이 교대로 적어도 10회 적층된 구조를 포함하는 제1 n형 질화물 반도체층;

제1 n형 질화물 반도체층과 활성층 사이에 위치하는 제2 n형 질화물 반도체층;으로서, 제1 질화물 반도체층보다 낮은 도핑 농도로 n형 도편트가 도핑된 제3 질화물 반도체층과, 제2 질화물 반도체층보다 두꺼운 두께를 가지는 제4 질화물 반도체층이 교대로 복수회 적층된 구조를 가지는 제2 n형 질화물 반도체층;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 17

제 16 항에 있어서,

제1 n형 질화물 반도체층은  $1 \times 10^{19} / \text{cm}^3$  이상의 도핑 농도로 도핑되는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 18

제 16 항에 있어서,

제1 n형 질화물 반도체층의 메사 식각된 영역에 형성되는 n측 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 19

제 18 항에 있어서,

제1 질화물 반도체층 및 제2 질화물 반도체층의 한 쌍이 전체로서  $1 \times 10^{19} / \text{cm}^3$  이상의 도핑 농도를 가지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 20

기판;

기판 위에 위치하는 벼퍼층;

벼퍼층 위에 위치하며,  $1 \times 10^{18} / \text{cm}^3$  미만의 도핑 농도를 가지며, 100A을 초과하는 두께를 가지는 적어도 10개의 질화물 반도체층을 구비하는 n형 질화물 반도체층;

n형 질화물 반도체층 위에 위치하며, InGaN을 이용하여 전자와 정공의 재결합을 통해 빛을 생성하는 활성층;

활성층 위에 위치하는 p형 질화물 반도체층;

n형 질화물 반도체층에 전기적으로 연결되는 n측 전극; 그리고,

p형 질화물 반도체층에 전기적으로 연결되는 p측 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 21

제 20 항에 있어서,

적어도 10개의 질화물 반도체층은 GaN으로 이루어지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

### 청구항 22

제 20 항에 있어서,

적어도 10개의 질화물 반도체층은 도핑되지 않은 GaN으로 이루어지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

**청구항 23**

전자와 정공의 재결합을 통해 빛을 생성하는 활성층;

활성층의 일측에 위치하는 p형 질화물 반도체층;

활성층의 다른 일측에 위치하는 n형 질화물 반도체층;으로서,  $1 \times 10^{19} / \text{cm}^3$  이상의 도핑 농도를 가지도록 n형 도편 트로 도핑된 제1 층과 100A을 초과하는 두께를 가지는 제2 층을 교대로 반복 적층함으로써 전체 도핑 농도가 결정되는 n형 질화물 반도체층;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

**청구항 24**

제 23 항에 있어서,

제1 층은 GaN으로 이루어지며, 제2 층은 도핑되지 않은 GaN으로 이루어지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

**청구항 25**

제 23 항에 있어서,

제1 층과 제2 층의 한 쌍이 전체로서  $1 \times 10^{19} / \text{cm}^3$  이상의 도핑 농도를 가지는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

**청구항 26**

전자와 정공의 재결합을 통해 빛을 생성하는 활성층;

활성층의 일측에 위치하는 p형 질화물 반도체층;

활성층의 다른 일측에 위치하는 n형 질화물 반도체층;으로서, 100A을 초과하는 두께를 가지는 적어도 10개의 un-GaN층을 구비하는 n형 질화물 반도체층;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

**청구항 27**

제 26 항에 있어서,

n형 질화물 반도체층의 메사 식각된 영역에 위치하는 n측 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

**청구항 28**

전자와 정공의 재결합을 통해 빛을 생성하는 활성층;

활성층의 일측에 위치하는 p형 질화물 반도체층;

활성층의 다른 일측에 위치하는 n형 컨택층;으로서, 결정성을 향상시키고 전류확산을 촉진하는 100A을 초과하는 두께를 가지는 제1 질화물 반도체층을 구비하는 n측 컨택층; 그리고,

n형 컨택층에 접촉되는 n측 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

**청구항 29**

제 28 항에 있어서,

n측 컨택층의 위에 위치하며, 제1 질화물 반도체층보다 두꺼우며 결정성을 향상시키고 전류확산을 촉진하는 제2 질화물 반도체층을 구비하는 n형 질화물 반도체층;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자.

**청구항 30**

제 29 항에 있어서,

제1 질화물 반도체층과 제2 질화물 반도체층은 GaN으로 이루어지는 것을 특징으로 하는 3층 질화물 반도체 발광소자.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 3족 질화물 반도체 발광소자에 관한 것으로, 특히 100A을 초과하는 두께를 가지며 도핑되지 않은 GaN 층을 n측 컨택층 내에 구비하여 전류확산 및 내정전압을 개선한 3족 질화물 반도체 발광소자에 관한 것이다.
- <13> 여기서, 3족 질화물 반도체 발광소자는  $Al(x)Ga(y)In(1-x-y)N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )로 된 화합물 반도체층을 포함하는 발광다이오드와 같은 발광소자를 의미하며, 추가적으로 SiC, SiN, SiCN, CN와 같은 다른 족(group)의 원소들로 물질이나 이들 물질로 된 반도체층을 포함하는 것을 배제하는 것은 아니다.
- <14> 도 1은 종래의 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 기판(100), 기판(100) 위에 에피성장되는 베퍼층(200), 베퍼층(200) 위에 에피성장되는 n형 질화물 반도체층(300), n형 질화물 반도체층(300) 위에 에피성장되는 활성층(400), 활성층(400) 위에 에피성장되는 p형 질화물 반도체층(500), p형 질화물 반도체층(500) 위에 형성되는 p측 전극(600), p측 전극(600) 위에 형성되는 p측 본딩 패드(700), p형 질화물 반도체층(500)과 활성층(400)이 메사 식각되어 노출된 n형 질화물 반도체층 위에 형성되는 n측 전극(800), 그리고 보호막(900)을 포함한다.
- <15> 기판(100)은 동종기판으로 GaN계 기판이 이용되며, 이종기판으로 사파이어 기판, SiC 기판 또는 Si 기판 등이 이용되지만, 질화물 반도체층이 성장될 수 있는 기판이라면 어떠한 형태이어도 좋다. SiC 기판이 사용될 경우에 n측 전극(800)은 SiC 기판 측에 형성될 수 있다.
- <16> 기판(100) 위에 에피성장되는 질화물 반도체층들은 주로 MOCVD(유기금속기상성장법)에 의해 성장된다.
- <17> 베퍼층(200)은 이종기판(100)과 질화물 반도체 사이의 격자상수 및 열팽창계수의 차이를 극복하기 위한 것이며, 미국특허 제5,122,845호에는 사파이어 기판 위에 380°C에서 800°C의 온도에서 100Å에서 500Å의 두께를 가지는 AlN 베퍼층을 성장시키는 기술이 개시되어 있으며, 미국특허 제5,290,393호에는 사파이어 기판 위에 200°C에서 900°C의 온도에서 10Å에서 5000Å의 두께를 가지는  $Al(x)Ga(1-x)N$  ( $0 \leq x \leq 1$ ) 베퍼층을 성장시키는 기술이 개시되어 있고, 국제공개공보 WO/05/053042호에는 600°C에서 990°C의 온도에서 SiC 베퍼층(씨앗층)을 성장시킨 다음 그 위에  $In(x)Ga(1-x)N$  ( $0 < x \leq 1$ ) 층을 성장시키는 기술이 개시되어 있다. 바람직하게는 AlN 베퍼층,  $Al(x)Ga(1-x)N$  ( $0 \leq x \leq 1$ ) 베퍼층 또는 SiC/ $In(x)Ga(1-x)N$  ( $0 < x \leq 1$ ) 베퍼층 위에 도핑되지 않은 수  $\mu m$  정도의 GaN층이 더 구비된다.
- <18> n형 질화물 반도체층(300)은 적어도 n측 전극(800)이 형성된 영역(n형 컨택층)이 불순물로 도핑되며, n형 컨택층은 바람직하게는 GaN로 이루어지고, Si으로 도핑된다. 미국특허 제5,733,796호에는 Si과 다른 소스 물질의 혼합비를 조절함으로써 원하는 도핑농도로 n형 컨택층을 도핑하는 기술이 개시되어 있다.
- <19> 활성층(400)은 전자와 정공의 재결합을 통해 광자(빛)를 생성하는 층으로서, 주로  $In(x)Ga(1-x)N$  ( $0 < x \leq 1$ )로 이루어지고, 하나의 양자우물층(single quantum well)이나 복수개의 양자우물층들(multi quantum wells)로 구성된다. 국제공개공보 WO/02/021121호에는 복수개의 양자우물층들과 장벽층들의 일부에만 도핑을 하는 기술이 개시되어 있다.
- <20> p형 질화물 반도체층(500)은 Mg과 같은 적절한 불순물을 이용해 도핑되며, 활성화(activation) 공정을 거쳐 p형 전도성을 가진다. 미국특허 제5,247,533호에는 전자빔 조사에 의해 p형 질화물 반도체층을 활성화시키는 기술이 개시되어 있으며, 미국특허 제5,306,662호에는 400°C 이상의 온도에서 열처리(annealing)함으로써 p형 질화물 반도체층을 활성화시키는 기술이 개시되어 있고, 국제공개공보 WO/05/022655호에는 p형 질화물 반도체층 성장의 질소전구체로서 암모니아와 하이드라진계 소스 물질을 함께 사용함으로써 활성화 공정없이 p형 질화물 반도체층이 p형 전도성을 가지게 하는 기술이 개시되어 있다.
- <21> 투광성 전극(600; light-transmitting electrode)은 p형 질화물 반도체층(500) 전체로 전류가 잘 공급되도록

하기 위해 구비되는 것이며, 미국특허 제5,563,422호에는 p형 질화물 반도체층의 거의 전면에 걸쳐서 형성되며 p형 질화물 반도체층(500)과 오믹접촉하고 Ni과 Au로 이루어진 투광성 전극에 관한 기술이 개시되어 있으며, 미국특허 제6,515,306호에는 p형 질화물 반도체층 위에 n형 초격자층을 형성한 다음 그 위에 ITO(Indium Tin Oxide)로 이루어진 투광성 전극을 형성한 기술이 개시되어 있다.

<22> 한편, 투광성 전극(600)이 빛을 투과시키지 못하도록, 즉 빛을 기판 측으로 반사하도록 두께를 가지게 형성할 수 있는데, 이러한 기술을 플립칩(flip chip) 기술이라 한다. 미국특허 제6,194,743호에는 20nm 이상의 두께를 가지는 Ag 층, Ag 층을 덮는 확산 방지층, 그리고 확산 방지층을 덮는 Au와 Al으로 이루어진 본딩 층을 포함하는 전극 구조에 관한 기술이 개시되어 있다.

<23> p측 본딩 패드(700)와 n측 전극(800)은 전류의 공급과 외부로의 와이어 본딩을 위한 것이며, 미국특허 제5,563,422호에는 n측 전극을 Ti과 Al으로 구성한 기술이 개시되어 있다.

<24> 보호막(900)은 이산화규소와 같은 물질로 형성되며, 생략되어도 좋다.

<25> 한편, n형 질화물 반도체층(300)이나 p형 질화물 반도체층(500)은 단일의 층이나 복수개의 층으로 구성될 수 있으며, 최근에는 레이저 또는 습식 식각을 통해 기판(100)을 질화물 반도체층들로부터 분리하여 수직형 발광소자를 제조하는 기술이 도입되고 있다.

<26> 도 2는 미국특허 제5,733,796호에 개시된 n형 질화물 반도체층의 도핑 방법을 설명하는 도면으로서, Si 소스의 투입량과 캐리어 농도(또는 비저항)가 선형적으로 비례하는 범위 내( $\sim 3 \times 10^{18} / \text{cm}^3$ )에서 Si 소스와 다른 소스 물질의 혼합비를 조절함으로써 원하는 도핑 농도로 n형 질화물 반도체층을 제어하는 기술이 제시되어 있으며,  $1 \times 10^{19} / \text{cm}^3$  정도의 농도로 도핑이 행해지는 경우에는 질화물 반도체층의 결정성이 나빠진다라고 지적하고 있다.

<27> 도 3은 국제공개공보 WO/99/005728호에 개시된 n형 질화물 반도체층의 도핑 방법을 설명하는 도면으로서, 도 2에 제시된 기술을 회피하기 위하여, n측 컨택층으로서 초격자 구조의 n형 질화물 반도체층(310)을 형성하는 기술이 제시되어 있다. 구체적으로, n측 컨택층(310)은  $1 \times 10^{19} / \text{cm}^3$ 의 농도로 도핑된 20A 두께의 n형 GaN층과 도핑되지 않은 20A 두께의 GaN층을 250 주기로 반복 적층함으로써 형성된다. 여기서 초격자 구조라 함은 100A이하의 두께를 가지는 층들이 반복 적층된 구조를 말하며, 조성, 도핑 농도 및/또는 두께를 달리하여도 좋다.

<28> 도 4는 국제공개공보 WO/99/046822호에 개시된 n형 질화물 반도체층의 도핑 방법을 설명하는 도면으로서,  $3 \times 10^{19} / \text{cm}^3$ 의 도핑 농도로 3um 두께의 n측 컨택층(410)을 형성하고, 그 위에 n측 컨택층(410)의 나쁜 결정성을 회복하기 위하여 조성, 도핑 농도 및/또는 두께를 달리하는 다양한 형태의 초격자 구조 또는 다층막 구조의 n형 질화물 반도체층(420)을 형성한 기술이 제시되어 있으며, 초격자 구조 또는 다층막 구조의 n형 질화물 반도체층(420)의 경우에  $1 \times 10^{19} / \text{cm}^3$ 이하의 농도로 도핑된다.

<29> 한편 ESD(Electrostatic Discharge; 내정전압)를 개선하기 위하여, 도핑되지 않은 GaN층(이하, 'un-GaN층'이라 함)을 사용하는데, 도 3에 제시된 발광소자의 경우에 100A 두께의 un-GaN층(320)이 사용되고, 도 4에 제시된 발광소자의 경우에, 도 5에 도시된 바와 같이 2000A 두께의 un-GaN층(431),  $4.5 \times 10^{18} / \text{cm}^3$  농도로 도핑된 300A 두께의 n형 GaN층(432), 50A 두께의 un-GaN층(433)을 도입하고 있다.

<30> 그러나 이러한 종래기술의 경우에 n형 질화물 반도체층의 도핑을 위해서든, ESD의 개선을 위해서든, n측 컨택층(310, 410) 내에는 100A를 초과하는 두께의 un-GaN층을 사용하고 있지 못한데, 이는 n측 컨택층(310, 410)은 메사 식각되어 n측 전극(340, 440)이 형성되는 층으로서, un-GaN층에 n측 전극(340, 440)이 형성되면 순방향 전압을 높이게 되어 바람직하지 못하고, 또한 n측 전극(340, 440)의 형성과 전류의 확산을 위해 일정 이상의 두께, 예를 들어 1um 이상으로 형성되어야 하므로, 다수의 un-GaN층이 n측 컨택층(310, 410) 내에 위치하게 되면, 역시 순방향 전압을 높이게 되어 바람직하지 못하기 때문이다.

<31> 또한 도 1에 도시된 발광소자에서와 같이, p측 본딩 패드(700)와 n측 전극(800)이 발광소자의 일 측에서 거리를 두고 위치하는 경우에, 수직형 발광소자와 달리 n측 전극(800)으로부터 유입되는 전자의 전류병목 현상이 발생할 수 있으며, 이러한 현상은 대면적 발광소자에서 더욱 문제가 될 수 있고, 정전기가 발생하면 정전기 전류가 집중되어 발광소자의 파괴를 가져올 수 있다. 따라서 n측 컨택층은 가능한 한 높은 도핑 농도와 두꺼운 두께를 가질 필요가 있는데, 도핑 농도와 두께가 증가하게 되면 성장시 질화물 반도체층에 스트레인이 강하게 걸리게 되어, 질화물 반도체층은 스트레인을 완화시키는 방향으로 성장이 이루어지고, 이는 결정성의 저하로 이어진다.

이러한 관점에서(고농도를 유지하면서 결정성을 확보하기 위하여), 미국특허 제5,733,796호는  $1 \times 10^{19} / \text{cm}^3$  이상의 도핑 농도에서 결정성이 나빠진다고 지적하고 있으며, 국제공개공보 WO/99/005728호는  $1 \times 10^{19} / \text{cm}^3$ 의 농도로 도핑된 20A 두께의 얇은 n형 GaN층과 20A 두께의 얇은 un-GaN층이 반복 적층된 초격자 구조의 n측 컨택층(310)을 이용함으로써, 미국특허 제5,733,796호를 회피하는 한편, 고농도로 도핑한 GaN층의 두께를 100A이하로 제한하여 결정 결함을 줄임과 함께, 100A 이하의 un-GaN층을 이용하여 n측 컨택층(310) 전체의 도핑 농도 저하를 막으면서 결정성을 유지하고 있다. 한편 국제공개공보 WO/99/046822호는  $3 \times 10^{19} / \text{cm}^3$ 의 도핑 농도로 3um 두께의 n측 컨택층(410)을 형성하고, 그 위에 초격자 구조 또는 다층막 구조의 n형 질화물 반도체층(420)을 형성함으로써, n측 컨택층(410)의 나빠진 결정성을 보강하는 기술을 제시하고 있으나, 본 발명자들이 이해하고 있는 범위 내에서(사용되는 버퍼층 등에 의해 발광소자가 해소할 수 있는 스트레인에 따라 차이가 있다고 하더라도)  $5 \times 10^{18} / \text{cm}^3$  이상의 도핑 농도에서 수 um 두께로 성장된 n형 질화물 반도체층을 포함하는 발광소자를 실제 제품으로 만들기는 쉽지 않을 것으로 판단된다.

<32> 따라서 종래의 실제 발광소자는 n측 컨택층의 도핑 농도를 높이는 한편 결정성을 유지하기 위해, 전체적으로  $5 \times 10^{18} / \text{cm}^3$  이하의 도핑 농도를 가지는 단일막 또는 초격자 구조의 n측 컨택층을 제시하는데 그치고 있다.

<33> 한편 국제공개공보 WO/06/009372호에는  $1 \times 10^{21} / \text{cm}^3$  이하의 농도로 도핑된 GaN층과 800°C~950°C의 온도에서 성장되는 10A~200A 두께의 un-InGaN층을 반복 적층하여 n형 질화물 반도체층을 도핑하는 방법이 개념적으로 제시되어 있으며, 이 또한 n측 컨택층에 관해서는 어떠한 언급도 하고 있지 않다.

### 발명이 이루고자 하는 기술적 과제

<34> 본 발명은 상기한 문제점을 해소한 3족 질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

<35> 또한 본 발명은 고농도를 가지면서 결정성이 좋은 n형 질화물 반도체층을 구비한 3족 질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

<36> 또한 본 발명은  $5 \times 10^{19} / \text{cm}^3$ 과 같은 고농도 도핑에서도 결정성을 유지할 수 있는 3족 질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

<37> 또한 본 발명은 새로운 도핑 방법에 의해 형성된 n측 컨택층을 구비하는 3족 질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

<38> 또한 본 발명은 도핑되지 않은 n형 질화물 반도체층의 두께를 초격자 구조의 범위 밖(100A 초과)의 영역에서 조절함으로써 높은 도핑 농도 및 좋은 결정성을 가지는 3족 질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

<39> 또한 본 발명은 내정전압을 개선한 3족 질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

<40> 또한 본 발명은 ESD 개선을 위한 100A을 초과하는 질화물 반도체층을 n측 컨택층 내에 도입한 3족 질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

<41> 또한 본 발명은 전류병목 현상을 해소한 3족 질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

<42> 이를 위해, 본 발명은 n형 질화물 반도체층;으로서, n형 도편트가 도핑된 제1 질화물 반도체층과 제1 질화물 반도체층보다 낮은 도핑 농도를 가지며 100A을 초과하는 두께를 가지는 제2 질화물 반도체층이 교대로 복수회 적층된 구조를 포함하는 n형 질화물 반도체층; p형 질화물 반도체층; n형 반도체층과 p형 질화물 반도체층 사이에 위치하며, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층; n형 질화물 반도체층에 전기적으로 연결되는 n측 전극; 그리고, p형 질화물 반도체층에 전기적으로 연결되는 p측 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제공한다. 이때, 제1 질화물 반도체층을  $5 \times 10^{19} / \text{cm}^3$ 과 같이 고농도로 도핑함으로써, n형 질화물 반도체층이 전체로서  $1 \times 10^{19} / \text{cm}^3$  이상의 도핑 농도를 가지도록 할 수 있다. 바람직하게는 제2 질화물 반도체층은 도핑되지 않지만, 비의도적 또는 의도적으로 도핑될 수 있으며,  $1 \times 10^{18} / \text{cm}^3$  이상으로 도핑되면 본 발명의 효과를 기대하기 어렵다.

- <43> 본 발명은 전자와 정공의 채결합을 통해 빛을 생성하는 활성층; 활성층의 일측에 위치하는 p형 질화물 반도체층; 활성층의 다른 일측에 위치하는 n형 컨택층;으로서, 결정성을 향상시키고 전류화산을 촉진하는 100A을 초과하는 두께를 가지는 제1 질화물 반도체층을 구비하는 n측 컨택층; 그리고, n형 컨택층에 접촉되는 n측 전극;을 포함하는 것을 특징으로 하는 3족 질화물 반도체 발광소자를 제공한다. 본 발명은 기준에 불가능하다고 여겨졌지만, 결정성을 향상시키고 전류화산을 촉진하는 100A을 초과하는 층을 n측 컨택층에 도입함으로써 새로운 3족 질화물 반도체 발광소자를 제시하고 있다. 나아가 이러한 구성을 통해, 발광소자의 ESD를 개선한다.
- <44> 이하 도면을 참고로 하여 본 발명을 보다 상세히 설명한다.
- <45> 도 6은 본 발명에 따른 실험예를 나타내는 도면으로서,  $5 \times 10^{19}/\text{cm}^3$ 의 도핑 농도(Si 소스로 DTBSi를 9.5sccm 공급)와 60A의 두께를 가지는 n형 GaN층과 100A의 두께를 가지는 un-GaN층을 반복 적층하여 대략 2um 두께의 n형 질화물 반도체층을 성장했을 때(이는 Si 소스의 공급 시간을 조절함으로써 이루어질 수 있다. 예를 들어, Si 소스를 15초간 공급한 후, 25초간 공급 중단한다.)의 표면 현미경 사진(좌측)과 다른 조건을 유지한 채 Si 소스로 DTBSi를 9.0sccm 공급하여 n형 질화물 반도체층을 성장했을 때의 표면 현미경 사진(우측)을 나타내고 있으며, 실험은  $5 \times 10^{19}/\text{cm}^3$ 과 같은 고농도 도핑에서 n형 질화물 반도체층의 도핑 농도를 낮춤으로써 결정성을 개선할 수 있는지를 검토한 것이다. 양측 사진으로부터 알 수 있는 바와 같이, 표면에 많은 팫(pit)이 존재하며,  $5 \times 10^{19}/\text{cm}^3$ 과 같은 고농도 도핑에서 두께비를 유지한 채 도핑 농도를 낮추더라도 결정성의 개선이 크지 않음을 알 수 있다. 이 적층 구조를 형성하기에 앞서, 사파이어 기판 위에 베퍼층과, 2um 두께의 un-GaN을 미리 성장시켰다. 베퍼층은 전술한 방법들이 사용될 있으나, SiC/InGaN 베퍼층을 사용하였다. 즉, 실험은 n형 GaN층의 도핑 농도가  $1 \times 10^{19}/\text{cm}^3$ 을 초과하여 이 n형 GaN층의 결정성이 극단적으로 나빠지는 경우에, 종래와 같이 초격자 구조 범위 내인 100A 이하의 un-GaN층을 회복층으로 사용하면 n형 질화물 반도체층의 전체 결정성을 확보할 수 없음을 보여준다. 따라서 도 3에 제시된 종래기술의 경우에, 100A이하의 n형 GaN층과 100A이하의 un-GaN층을 이용할 수 있다고 지적하고 있지만, 실제 실시예에서는  $1 \times 10^{19}/\text{cm}^3$  정도의 도핑 농도를 가지고 20A 정도의 얇은 두께를 가지는 n형 GaN층을 사용하는데 그치고 있으며, n측 컨택층의 전체 도핑 농도를 유지하기 위해 20A 정도의 얇은 un-GaN층을 사용하는데 그치고 있는 것이다.
- <46> 도 7은 본 발명에 따른 다른 실험예를 나타내는 도면으로서,  $5 \times 10^{19}/\text{cm}^3$ 의 도핑 농도(Si 소스로 DTBSi를 9.5sccm 공급)와 60A의 두께를 가지는 n형 GaN층과 180A의 두께를 가지는 un-GaN층을 반복 적층하여 대략 2um 두께의 n형 질화물 반도체층을 성장했을 때의 표면 현미경 사진을 나타내고 있다. 이러한 실험을 통해, n형 GaN층이  $1 \times 10^{19}/\text{cm}^3$  이상의 높은 도핑 농도를 가지더라도 un-GaN층의 두께를 일정 이상으로 형성함으로써, 결정성의 훼손 없이 고농도의 n형 질화물 반도체층을 형성할 수 있음을 알 수 있다. 또한 실험은 도핑된 n형 GaN층(도핑 농도  $5 \times 10^{19}/\text{cm}^3$ )보다 세배나 두꺼운 un-GaN층을 적층하더라도, n형 질화물 반도체층은 전체로서  $1.25 \times 10^{19}/\text{cm}^3$  정도의 종래에 기대할 수 없었던 도핑 농도를 가지면서도 결정성을 유지할 수 있음을 보여주고 있다.
- <47> 초격자 범위 내의 n형 GaN층이  $1 \times 10^{19}/\text{cm}^3$ 을 초과하여 도핑되는 경우에(예:  $5 \times 10^{19}/\text{cm}^3$ ) 단순히 GaN층에 Si이 도핑된 형태로 존재하는 것이 아니라, GaN층과 SiN층이 혼재되어 존재하는 것으로 추측되며, 이런 형태의 n형 GaN층 위에 일정 두께 이하의 un-GaN층을 형성하는 경우에, SiN층 위에 GaN층이 형성되지 않아 많은 pit가 존재하는 것으로 판단된다. 따라서 종래의 경우에, n형 GaN층이 과도하게 도핑되는 경우에 이 층의 결정성이 지나치게 나빠지게 되므로, 일정 이상으로 도핑하지 못하였지만, 본 발명자들은 상기 실험을 바탕으로 n형 GaN층을 극단적으로 도핑하는 경우에라도, 이 결함을 덮을 수 있는 일정 이상의 회복층을 형성함으로써 적층 구조 전체의 결정성을 확보하는 한편 전체 층의 도핑 농도 또한 이전보다 훨씬 높게 유지할 수 있음을 알게 되었다. 본 발명은 이러한 이해를 바탕으로 n형 질화물 반도체층을 도핑하는 새로운 방법을 발명하는 한편, n측 컨택층 내에 100A을 초과하여 결정성을 회복하고 ESD를 개선할 수 있는 질화물 반도체층을 도입한 것이다.
- <48> 도 8은 본 발명에 따른 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 기판(100), 기판(100) 위에 에피성장되는 베퍼층(200), 베퍼층(200) 위에 에피성장되는 n형 질화물 반도체층(30), n형 질화물 반도체층(30) 위에 에피성장되는 활성층(400), 활성층(400) 위에 에피성장되는 p형 질화물 반도체층(500), p형 질화물 반도체층(500) 위에 형성되는 p측 전극(600), p측 전극(600) 위에 형성되는 p측 본딩 패드(700), 그리고 p형 질화물 반도체층(500)과 활성층(400)이 메사 식각되어 노출된 n형 질화물 반도체층 위에 형성되는 n측 전극(800)을 포함한다. 도 8에 도시된 발광소자는 n형 질화물 반도체층(30)의 구성을 제외하

면 도 1에 도시된 종래의 발광소자와 그 구성을 같이한다. n형 질화물 반도체층(30)은  $1 \times 10^{19} / \text{cm}^3$  이상의 도핑 농도를 가지는 n형 GaN층(30a)과 100A을 초과하는 두께를 가지는 un-GaN층(30b)을 교대로 반복 적층함으로써 이루어진다. 이러한 n형 질화물 반도체층(30)을 통해, un-GaN층(30b)을 n측 컨택층에 도입함으로써, 발광소자 내부의 ESD를 개선할 수 있으며, 또한 n측의 면저항을 p측의 면저항(단위면적당 10~20Ω 정도)에 근접하도록 낮추면서도 결정성을 확보할 수 있게 된다.

<49> n측 컨택층으로서의 n형 질화물 반도체층(30)의 전체 두께에 특별히 제한이 있는 것은 아니며, n형 질화물 반도체층(30)이 메사 식각되어 n측 전극(800)이 형성되는 경우에, 식각 공정과 증착 공정을 고려하고, 공급되는 전류의 발광소자 전체로의 충분한 확산을 위하여, 1μm 이상의 두께를 가지는 것이 바람직하다.

<50> un-GaN층(30b)의 두께의 경우에, 기존 초격자 구조와 구분되도록 un-GaN층(30b)이 100A을 초과하는 두께를 가지는 것을 제외하면, 특별한 제한을 가지는 것은 아니며, 예를 들어, n형 GaN층(30a)이  $5 \times 10^{19} / \text{cm}^3$ 의 도핑 농도 및 60A의 두께로 형성되면, un-GaN층(30b)을 180A의 두께로 형성할 수 있다. 이때, un-GaN층(30b)의 두께는 n형 GaN층(30a)에 발생한 결정결합을 충분히 회복할 수 있는 정도여야 하며, 너무 두꺼워지는 경우에 un-GaN층(30b)에 n측 전극(800)이 형성될 때 동작전압이 지나치게 높아질 염려가 있으므로, 이러한 점을 감안하여, un-GaN층(30b)의 두께는 100A을 초과하고, 300A을 초과하지 않는 것이 바람직하며, 150A~200A의 범위 내에 있는 것이 더욱 바람직하다. un-GaN층(30b)의 두께가 n형 GaN층(30a)의 두께 및 도핑 농도, 그리고 n형 질화물 반도체층(30)의 전체의 도핑 농도에 따라 달라질 수 있음을 물론이다.

<51> n형 GaN층(30a)의 도핑 농도는 n형 질화물 반도체층(30)이 전체로서 고농도를 가지고, un-GaN층(30b)에 n측 전극(800)이 형성되는 경우에도 실제 발광소자로서 기능하도록 하기 위하여  $1 \times 10^{19} / \text{cm}^3$  이상일 필요가 있다. 상한은 각 제조사(manufacturer)에 따라 차이가 있을 수 있겠지만, n형 GaN층(30a)의 결정결합이 지나치게 높아지면, un-GaN층(30b)에 의한 회복이 쉽지 않으므로,  $1 \times 10^{21} / \text{cm}^3$  이하인 것이 바람직하다. un-GaN층(30b)의 두께를 줄이면서도 n형 질화물 반도체층(30) 전체의 도핑 농도를 높이기 위하여,  $3 \times 10^{19} / \text{cm}^3$ 에서  $6 \times 10^{19} / \text{cm}^3$  정도의 도핑 농도가 더욱 바람직하다. 이러한 값은 n형 GaN층(30a)의 두께와 n형 질화물 반도체층(30)의 전체의 도핑 농도에 따라 달라질 수 있다.

<52> n형 GaN층(30a)의 두께는 이 층이 Si을 충분히 담을 수 있도록 20A이상이 바람직하며, 두꺼워지면 결정성의 회복이 어려우므로 150A이하인 것이 바람직하며, 100A 이하인 것이 더욱 바람직하다. 양자를 모두 고려하여, 50A~80A의 두께를 가지는 것이 더욱 바람직하다.

<53> n형 GaN층(30a)과 un-GaN층(30b)의 적층 주기 수는 n형 질화물 반도체층(30) 전체의 총 두께(일반적으로 2~4μm 정도)에 따라 결정되며, 60A의 n형 GaN층(30a)과 180A의 un-GaN층(30b)이 2μm 정도로 형성될 때, 100주기 정도가 필요하다. 전술한 본 발명에 따른 각 층들의 조건에 따르면, 어떠한 경우에 본 발명에 따른 발광소자를 형성하기 위해서는 적어도 10개 이상의 un-GaN층(30b)이 사용되어야 함을 알 수 있다.

<54> n형 GaN층(30a)과 un-GaN층(30b)의 물질 구성과 관련하여, un-GaN층(30b) 대신에 InGaN층을 사용하는 방안을 고려할 수 있으나, InGaN의 성장을 위해서는 성장 온도를 낮추어야 하는 등의 문제점이 있으므로, 바람직한 것은 아니다. 다만, 인듐이 un-GaN층(30b)에 도핑되는 것은 가능하다.

<55> 한편, un-GaN층(30b)은 비의도적 또는 의도적으로 도핑이 행해질 수 있으며, 비의도적이라는 말은 n형 GaN층(30a)으로부터 Si이 도입될 수 있다는 것을 의미하며, 의도적이라는 말은 un-GaN층(30b)이 n형 GaN층(30a)의 결정 회복층 및 ESD 개선층으로서 기능하는 범위 내에서 n형 질화물 반도체층(30)의 전체 도핑 농도를 높이기 위해 Si 도핑될 수 있음을 의미한다. 도편트가 반드시 Si이어야 하는 것은 아니다.

<56> 또한 n형 GaN층(30a) 및 un-GaN층(30b)은 적층 구조 내에서 반드시 동일한 도핑 농도와 동일한 두께를 가져야 한다는 제약을 가지는 것은 아니다.

<57> 또한 n형 질화물 반도체층(30)의 적층 구조의 시작은 n형 GaN층(30a)으로부터 시작하여도 좋고 un-GaN층(30b)으로부터 시작하여도 좋지만, 마지막은 un-GaN층(30b)으로 형성하는 것이 바람직하다.

<58> 도 9는 본 발명에 따른 3족 질화물 반도체 발광소자의 다른 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 기판(100), 기판(100) 위에 에피성장되는 벼파층(200), 벼파층(200) 위에 에피성장되는 n형 질화물 반도체층(30), n형 질화물 반도체층(30) 위에 에피성장되는 활성층(400), 활성층(400) 위에 에피성장되는 p형 질화물 반도체층(500), p형 질화물 반도체층(500) 위에 형성되는 p측 전극(600), p측 전극(600) 위에 형성되는 p측

본딩 패드(700), 그리고 p형 질화물 반도체층(500)과 활성층(400)이 메사 식각되어 노출된 n형 질화물 반도체층 위에 형성되는 n측 전극(800)을 포함한다. 도 9에 도시된 발광소자는 도 8에 도시된 발광소자와 달리, n형 질화물 반도체층(30)과 활성층(400) 사이에 제2 n형 질화물 반도체층(31)을 구비한다. 제2 n형 질화물 반도체층(31)은 발광소자 전체로의 전류 확산과 ESD의 개선에 기여한다. 또한 제2 질화물 반도체층(31)은 고농도(예:  $1.25 \times 10^{19} / \text{cm}^3$ )로 도핑된 질화물 반도체층(30)으로부터 활성층(400)을 보호하는 역할을 한다.

<59> 제2 n형 질화물 반도체층(31)은 n형 GaN층(31a)과 un-GaN층(31b)의 반복 적층 구조로 되어 있다. n형 GaN층(31a)은 n형 GaN층(30a)과 동일하게 형성되며, un-GaN층(31b)은 전류확산, 결정회복과 ESD의 개선을 위해 가능한 한 두껍게 형성된다. un-GaN층(31b)은 n측 전극(800)의 형성에 따른 제한을 갖지 않므로, 두껍게 형성이 가능하지만, 지나치게 두꺼우면 저항이 커져서 동작전압이 높아지므로, 300A에서 2000A 정도의 두께를 가지는 것이 바람직하며, 800A~1500A 정도의 두께를 가지는 것이 더욱 바람직하다. 한편 지나치게 얇은 경우에는 전류확산과 활성층을 보호하는 기능을 가지기 어려워진다. 예를 들어, 제2 n형 질화물 반도체층(31)은  $4 \times 10^{19} / \text{cm}^3$ 의 도핑 농도와 60A의 두께를 가지는 n형 GaN층(31a)과 1200A의 두께를 가지는 un-GaN층(31b)을 반복 적층하여 0.4um의 두께로 형성될 수 있다.

<60> 도 10은 본 발명에 따른 3족 질화물 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 기판(100), 기판(100) 위에 에피성장되는 베퍼층(200), 베퍼층(200) 위에 에피성장되는 n형 질화물 반도체층(300), n형 질화물 반도체층(300) 위에 에피성장되는 활성층(400), 활성층(400) 위에 에피성장되는 p형 질화물 반도체층(500), p형 질화물 반도체층(500) 위에 형성되는 p측 전극(600), p측 전극(600) 위에 형성되는 p측 본딩 패드(700), 그리고 p형 질화물 반도체층(500)과 활성층(400)이 메사 식각되어 노출된 n형 질화물 반도체층 위에 형성되는 n측 전극(800)을 포함한다. 도 10에 도시된 발광소자는 도 9에 도시된 발광소자와 달리, n형 질화물 반도체층(300)과 활성층(400) 사이에 제2 n형 질화물 반도체층(31)을 구비하며, n형 질화물 반도체층(30) 대신에 종래의 단일막으로 된 n형 질화물 반도체층(300)이 구비되어 있다.

<61> ESD를 개선하기 위해, 종래의 발광소자에서, n형 질화물 반도체층(300)과 활성층(400) 사이에 두꺼운 un-GaN층 또는 저농도로 도핑된 n-GaN층을 구비하는 경우가 있었지만, 도 11에 도시된 바와 같이, 활성층과 낮은 도핑 농도를 가지는 un-GaN층 또는 n-GaN층 사이의 이종접합으로 인한 전위장벽(점선으로된 원)에 의해 활성층으로 공급되는 전자의 공급 효율이 떨어지는 문제점이 있었다.

<62> 본 발명에서와 같이, 고농도로 도핑된 n형 GaN층(31a)과 두꺼운 un-GaN층(31b)을 반복 적층하게 되면, 제2 n형 질화물 반도체층(31) 전체로서 결정성을 높이는 한편 고농도를 가질 수 있게 되어, 도 12의 점선으로 된 원에서와 같이 전위장벽을 낮추어 동작전압의 상승을 방지할 수 있게 된다. 또한 un-GaN층(31b)을 이용해 전류확산을 도모하여 ESD를 개선할 수 있게 된다.

<63> 도 13은 본 발명에 대한 ESD 측정 결과의 일 예를 나타내는 도면으로서, 웨이퍼 내에 34개의 소자를 샘플링하여 역방향으로 1kV[Human Body Model, Noiseken series]를 인가하고, 그 전후의 Leakage Parameter [V<sub>r</sub>, I<sub>r</sub>]를 측정하여 정전기 특성을 판단하였다. 비교예는 사파이어 기판 위에, InGaN/SiC 베퍼층을 형성하고, 2um의 un-GaN층을 형성한 다음, n측 컨택층으로  $5 \times 10^{18} / \text{cm}^3$ 의 도핑 농도와 2um의 두께를 가지는 n형 GaN층,  $1 \times 10^{17} / \text{cm}^3$ 의 도핑 농도와 0.4um의 두께를 가지는 n-GaN층,  $2 \times 10^{18} / \text{cm}^3$ 의 도핑 농도와 0.02um의 두께를 가지는 n-GaN층을 형성한 다음, MQW 구조의 활성층과, p형 GaN층을 형성한 것을 사용하였으며, 본 발명은  $5 \times 10^{19} / \text{cm}^3$ 의 도핑 농도와 60A의 두께를 가지는 n형 GaN층과 180A의 두께를 가지는 un-GaN층을 교대로 적층하여 2um의 n측 컨택층,  $4 \times 10^{19} / \text{cm}^3$ 의 도핑 농도와 60A의 두께를 가지는 n형 GaN층과 1200A의 두께를 가지는 un-GaN층을 교대로 적층하여 0.4um의 제2 n형 질화물 반도체층을 형성한 것을 사용하였다. 이때, GaN층의 성장 속도는 대략 6A/s였으며, DTBSi가 9.5sccm으로 10초간 공급되고 30초간 차단되면서 n측 컨택층이 형성되었고, 10초가 공급되고 200초간 차단되면서 제2 n형 질화물 반도체층이 형성되었다. 성장온도는 1050°C로 하였으며, 캐리어가스를 H<sub>2</sub>로 하고, Ga의 소스는 TMGa를 사용하고, 질소 소스는 NH<sub>3</sub>를 사용하였다.

<64> 실험에서 알 수 있는 바와 같이, 비교예의 경우에 n-GaN층 위에 n-GaN층을 구비함에도 불구하고 40%이하의 수율을 나타내는 반면에, 본 발명의 경우에 80%이상의 수율을 가져, 그 효과가 월등함을 알 수 있다.

## 발명의 효과

- <65> 본 발명에 따른 3족 질화물 반도체 발광소자에 의하면, 전류 확산 및 내정전압을 개선할 수 있게 된다.
- <66> 또한 본 발명에 따른 3족 질화물 반도체 발광소자에 의하면, n형 질화물 반도체층 특히, n측 컨택층을 고농도로 도핑하면서도 결정성을 유지할 수 있게 된다.
- <67> 또한 본 발명에 따른 3족 질화물 반도체 발광소자에 의하면, n측의 면저항을 p측 면저항(단위면적당 10~20Ω 정도, 특히 15Ω 정도)에 근접시키면서도 결정성을 유지할 수 있는 새로운 도핑 방법의 사용이 가능하게 된다.
- <68> 또한 본 발명에 따른 도핑 방법, 결정성 회복 방법 및/또는 ESD 개선 방법은 본 발명의 기술 사상을 벗어나지 않는 범위에서, 수직 구조의 3족 질화물 반도체 발광소자로 확장될 수 있다.

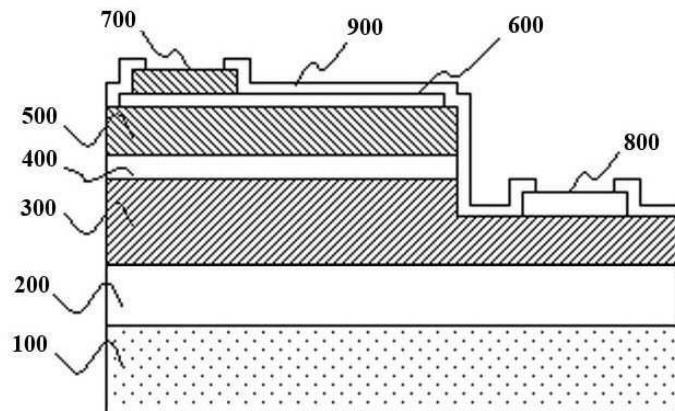
### 도면의 간단한 설명

- <1> 도 1은 종래의 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면,
- <2> 도 2는 미국특허 제5,733,796호에 개시된 n형 질화물 반도체층의 도핑 방법을 설명하는 도면,
- <3> 도 3은 국제공개공보 WO/99/005728호에 개시된 n형 질화물 반도체층의 도핑 방법을 설명하는 도면,
- <4> 도 4 및 도 5는 국제공개공보 WO/99/046822호에 개시된 n형 질화물 반도체층의 도핑 방법을 설명하는 도면,
- <5> 도 6은 본 발명에 따른 실험예를 나타내는 도면,
- <6> 도 7은 본 발명에 따른 다른 실험예를 나타내는 도면,
- <7> 도 8은 본 발명에 따른 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면,
- <8> 도 9는 본 발명에 따른 3족 질화물 반도체 발광소자의 다른 예를 나타내는 도면,
- <9> 도 10은 본 발명에 따른 3족 질화물 반도체 발광소자의 또다른 예를 나타내는 도면,
- <10> 도 11 및 도 12는 ESD 개선의 원리를 설명하는 도면,
- <11> 도 13은 본 발명에 대한 ESD 측정 결과의 일 예를 나타내는 도면.

### 도면

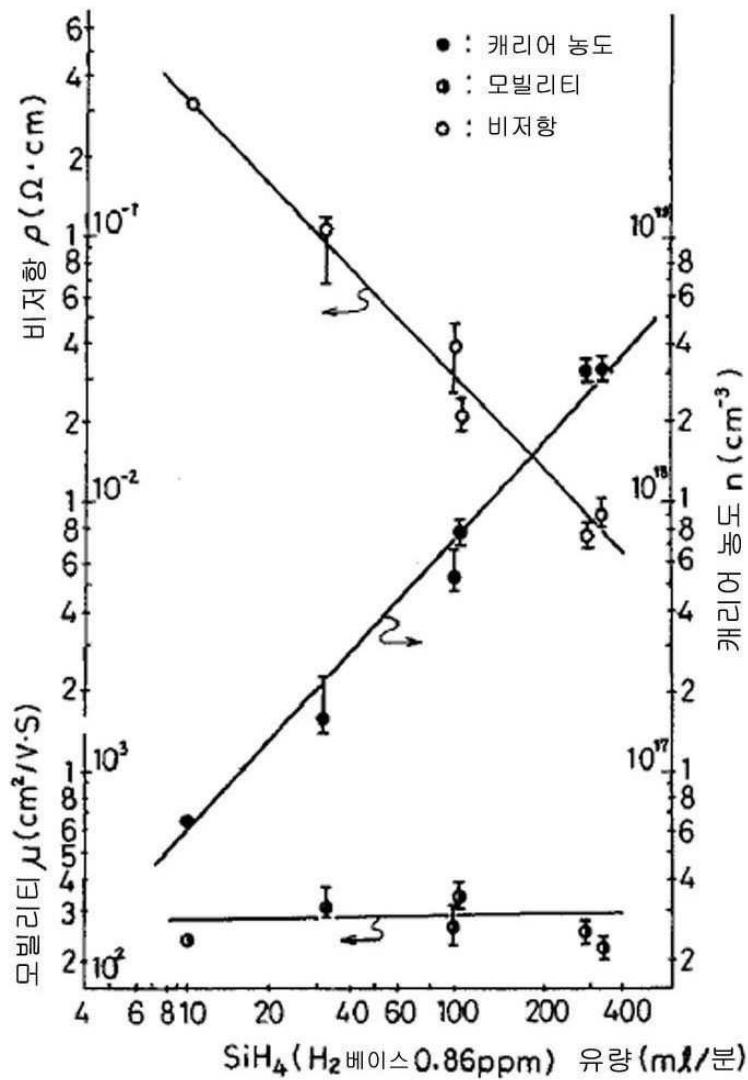
#### 도면1

#### Prior Art



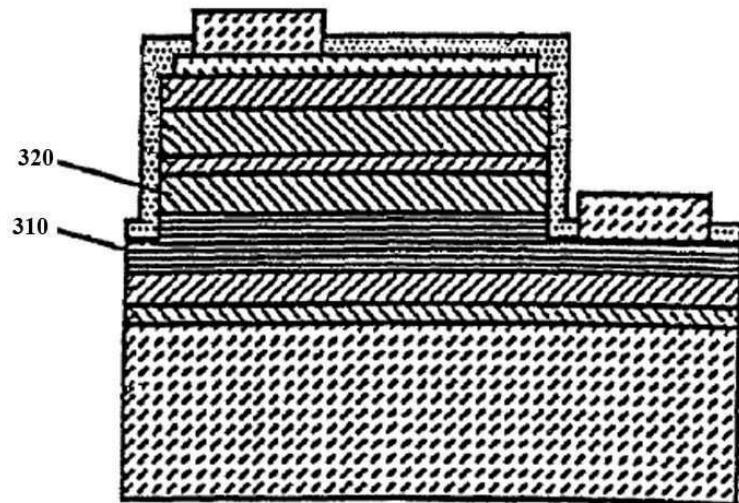
도면2

## Prior Art



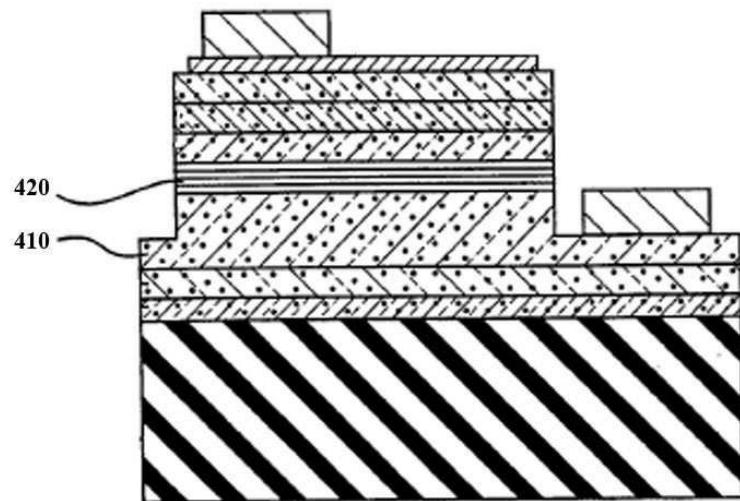
도면3

Prior Art



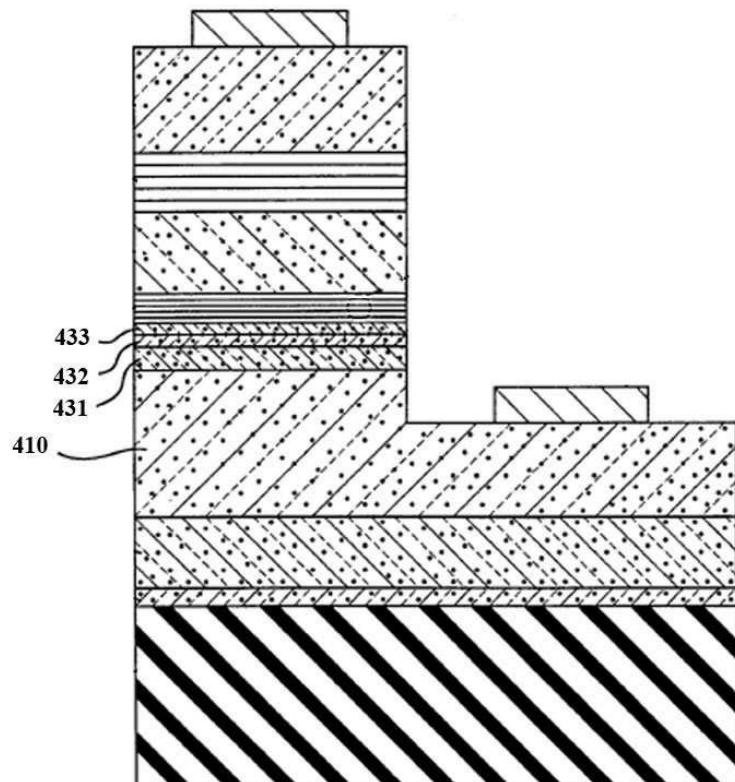
도면4

Prior Art

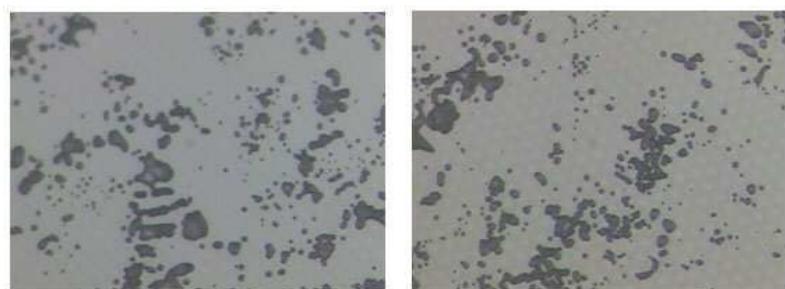


도면5

Prior Art



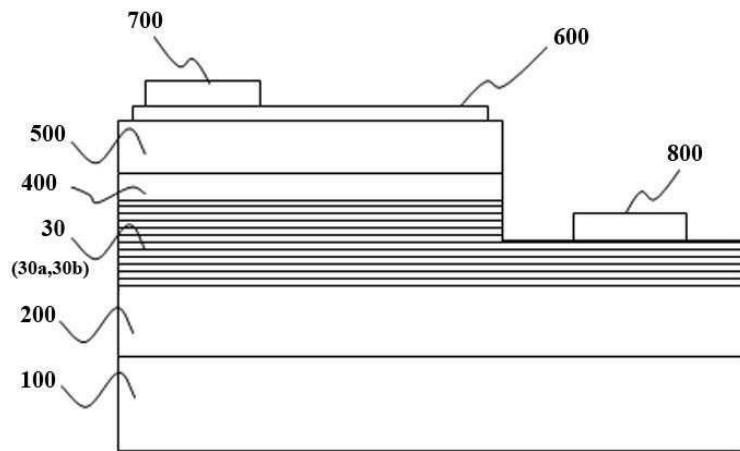
도면6



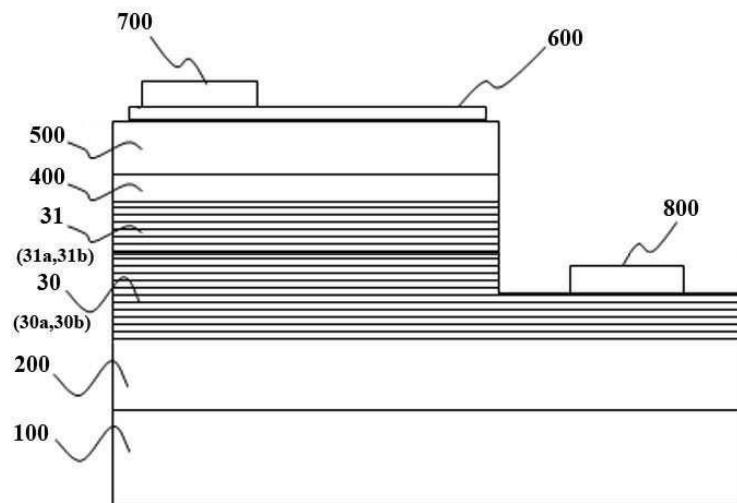
도면7



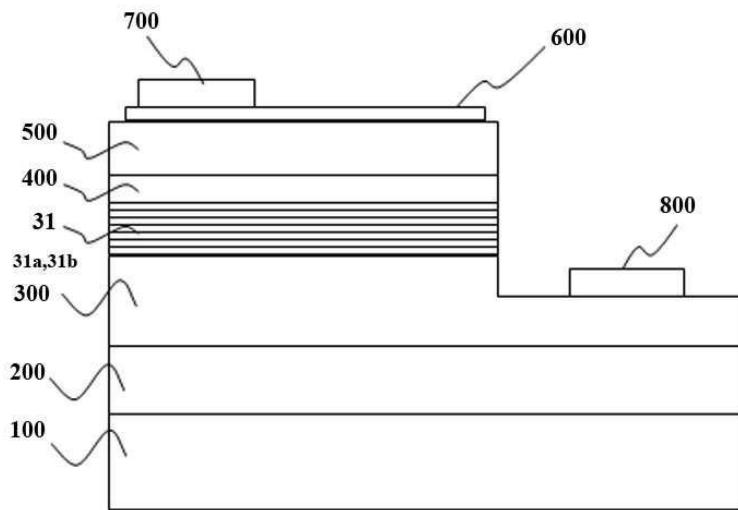
도면8



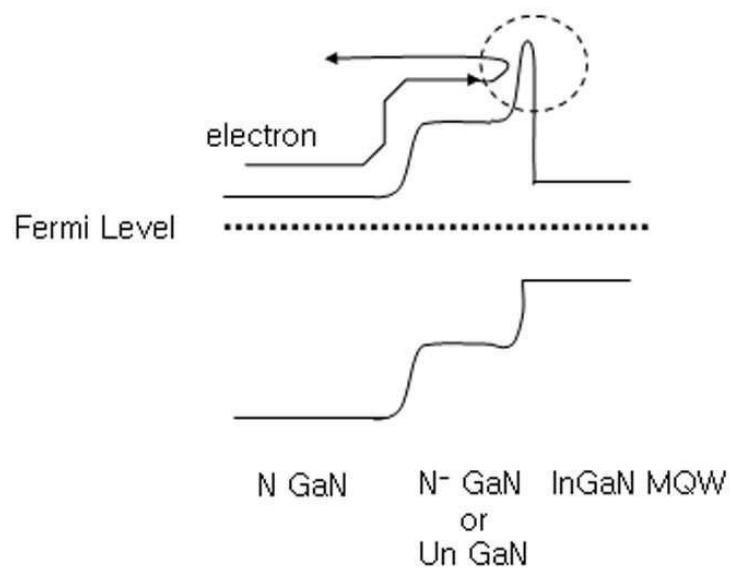
도면9



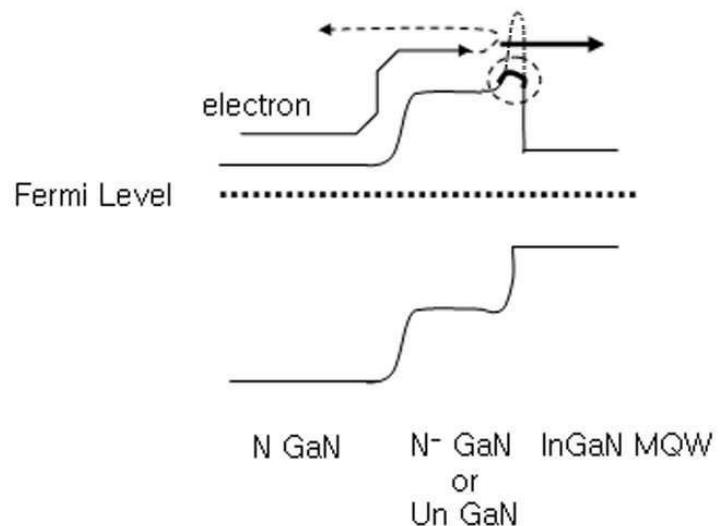
## 도면10



## 도면11



도면12



도면13

