



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

200 951

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 27 09 78

(21) PV 6250-78

/32//31//33/ právo přednosti od 13 09 78

Mezinárodní strojírenský

veletrh Brno 1978

(51) Int. Cl.³ G 06 F 13/00

(40) Zveřejněno 17 09 79

(45) Vydáno 01 02 83

(75)

Autor vynálezu BARTŮNEK IVAN ing., DRÁPAL STANISLAV ing., KRYŠKA JAN ing.,
STRONER PETR ing., PRAHA

(54) Zapojení pro přenos dat s možností zachycení žádaných stavů

1

Vynález se týká zapojení pro přenos dat mezi vnitřní sběrnici systému a vstupní, resp. výstupní sběrnici s možností uchování okamžité informace procházející sběrnici a s paritní kontrolou přenášených dat.

Dosud známá zapojení řeší dané problémy odděleně, např. takovým způsobem, že pomocí systému hradel je realizován jednak přesun dat z vnitřní sběrnice systému na výstupní sběrnici, jednak přesun dat ze vstupní sběrnice na vnitřní sběrnici. Uchování vnitřního stavu systému v daném okamžiku je realizováno externími přídavnými obvody, což má za následek složité obvodové řešení jednak vyhodnocovacích obvodů jednak jejich začlenění do systému. Otázka paritní kontroly dat přenášených vně systému je u těchto zapojení řešena mimo základní systém. To znamená až v přenosové cestě ke vnějšímu zařízení. Takovéto řešení vede ke komplikovanému vyhodnocování chyb přenosu, které není společné pro všechna připojená zařízení. Protože každé připojené zařízení, vyžadující kontrolu přenosu musí mít své vlastní kontrolní obvody, narůstá s počtem připojených obvodů i množství vyhodnocovacích obvodů.

Nevýhody známých zapojení odstraňuje zapojení podle vynálezu, sestávající z vnitřní sběrnice, vstupní sběrnice, výstupní sběrnice, tří hradlovacích obvodů, stavové paměti, paritního generátoru a vyhodnocovacího obvodu.

Jeho podstata spočívá v tom, že první hradlovací obvod je opatřen přijímacím vstupem a skupinovým vstupem, který je spojen vstupní sběrnicí s hradlovaným skupinovým výstupem stavové paměti a se sériovým vstupem paritního generátoru. Paralelní vstup paritního generátoru je spojen vnitřní sběrnicí se skupinovým výstupem prvního hradlovacího obvodu, se skupinovým vstupem stavové paměti a se skupinovým vstupem třetího hradlovacího obvodu. Třetí hradlovací obvod je opatřen jednak vysílacím vstupem, jednak skupinovým výstupem připojeným na výstupní sběrnicí a jednak paritním vstupem, který je spojen se druhým výstupem paritního generátoru. Paritní generátor je opatřen prvním výstupem. Stavová paměť je opatřena čtecím vstupem a zápisovým vstupem, který je spojen s výstupem druhého hradlovacího obvodu. Druhý hradlovací obvod je opatřen prepisovacím vstupem a blokovacím vstupem, který je spojen s výstupem vyhodnocovacího obvodu.

Zapojení pro přenos dat s možností zachycení žádaných stavů podle vynálezu je oproti dosud známým zapojením značně jednodušší a má vyšší účinnost s ohledem na vybavení paritní kontrolou přenosu dat v obou směrech. Rovněž tak pevné začlenění stavové paměti do zapojení přináší výhody v kompaktnosti hardwarového celku, ve kterém je vynález využit.

Příklad uspořádání podle vynálezu je znázorněn v blokovém schématu na připojeném výkrese.

Jednotlivé bloky zapojení pro přenos dat s možností zachycení žádaných stavů lze charakterizovat následujícím způsobem:

Vstupní sběrnice 2, výstupní sběrnice 3 a vnitřní sběrnice 1 jsou tvořeny spoji navrženými pro rychlý přenos dat s vysokou imunitou vůči poruchám. První, druhý a třetí hradlovací obvod 4, 5, 8 jsou sestaveny z obvodů typu invertujícího hradla. Stavová paměť 6 je tvořena registrem, určeným pro uchování žádaného stavu od daného okamžiku a je vybavena snímáním výstupu pomocí čtecího impulsu. Paritní generátor 7 je tvořen logickými obvody jednak pro porovnávání, jednak pro vytváření paritního bitu informace na vnitřní sběrnicí 1 systému. Vyhodnocovací obvod 2 je sestaven z logických obvodů, které určují, zda má být žádaná informace ve stavové paměti uchována. Propojení jednotlivých bloků je provedeno takto:

Vnitřní sběrnice 1 spojuje skupinový vstup 62 stavové paměti 6 se skupinovým výstupem 43 prvního hradlovacího obvodu 4, s paralelním vstupem 72 paritního generátoru 7 a se skupinovým vstupem 82 třetího hradlovacího obvodu 8. Vstupní sběrnice 2 spojuje skupinový vstup 41 prvního hradlovacího obvodu 4 s hradlovaným skupinovým výstupem 64 stavové paměti 6 a se sériovým vstupem 71 paritního generátoru 7. Paritní generátor 7 je opatřen prvním výstupem 73 a druhým výstupem 74, který je spojen s paritním vstupem 81 třetího hradlovacího obvodu 8. Třetí hradlovací obvod 8 je opatřen vysílacím vstupem 83 a skupinovým výstupem 84, který je spojen s výstupní sběrnicí 3. První hradlovací obvod 4 je opatřen přijímacím vstupem 42. Výstup 91 vyhodnocovacího obvodu 2 je spojen s blokovacím vstupem 52 druhého hradlovacího obvodu 5, opatřeného prepisovacím

vstupem 51 a výstupem 53, který je spojen se zápisovým vstupem 63 stavové paměti 6, opatřené čtecím vstupem 61.

Zapojení slouží pro přenos dat mezi vnitřní sběrnicí 1 a vstupní sběrnicí 2 a mezi vnitřní sběrnicí 1 a výstupní sběrnicí 3. Všechny sběrnice 1, 2, 3 jsou součástí logického systému. Data vstupují do systému vstupní sběrnicí 2. Informační bity datového slova se dostávají ze vstupní sběrnice 2 do skupinového vstupu 41 prvního hradlovacího obvodu 4, ze kterého se přenáší v okamžiku určeném signálem na přijímacím vstupu 42 prvního hradlovacího obvodu 4 na vnitřní sběrnicí 1. Paritní bit datového slova je veden ve vstupní sběrnicí 2 přímo do seriového vstupu 71 paritního generátoru 7, ve kterém se srovnává s informačními bity, které jsou přiváděny do paralelního vstupu 72 paritního generátoru 7 vnitřní sběrnicí 1. Výsledek kontroly parity je na prvním výstupu 73 paritního generátoru 7.

Při výstupu dat ze systému se obsah vnitřní sběrnice 1 vede do skupinového vstupu 82 třetího hradlovacího obvodu 8 a zároveň do paralelního vstupu 72 paritního generátoru 7, z něhož je vyveden pomocí druhého výstupu 74 paritní bit do paritního vstupu 81 třetího hradlovacího obvodu 8. Výstupní data jsou z třetího hradlovacího obvodu 8 vysílána prostřednictvím jeho vysílacího vstupu 83 na výstupní sběrnicí 3.

Během každé operace se ukládá do stavové paměti 6 adresový údaj obsažený v datech přenášených pomocí vnitřní sběrnice 1. V případě, že vyhodnocovací obvod 2 rozhodne o zachycení posledního stavu systému, zablokuje jeho výstup 91 prostřednictvím blokovacího vstupu 52 druhého hradlovacího obvodu 5 prepisovací pulsy, které jinak procházejí z prepisovacího vstupu 51 druhého hradlovacího obvodu 5 přes jeho výstup 53 na zápisový vstup 63 stavové paměti 6. Tím se zamezí další změně obsahu stavové paměti 6. Obsah stavové paměti 6 je možno impulsem na jejím čtecím vstupu 61 přečíst přes její hradlovaný skupinový výstup 64 na vstupní sběrnicí 2.

Vynálezu se použije v oblasti číslicové techniky tam, kde se jedná o zabezpečený přenos dat mezi několika zařízeními.

P R E D M Ě T V Y N Á L E Z U

Zapojení pro přenos dat s možností zachycení žádaných stavů sestávající z vnitřní sběrnice, vstupní sběrnice, výstupní sběrnice, tří hradlovacích obvodů, stavové paměti, paritního generátoru a vyhodnocovacího obvodu, vyznačené tím, že první hradlovací obvod /4/ je opatřen přejímacím vstupem /42/ a skupinovým vstupem /41/, který je spojen vstupní sběrnicí /2/ s hradlovaným skupinovým výstupem /64/ stavové paměti /6/ a se seriovým vstupem /71/ paritního generátoru /7/, jehož paralelní vstup /72/ je spojen vnitřní sběrnicí /1/ se skupinovým výstupem /43/ prvního hradlovacího obvodu /4/, se skupinovým vstupem /62/ stavové paměti /6/ a se skupinovým vstupem /82/ třetího hradlovacího obvodu /8/ opatřeného jednak vysílacím vstupem /83/, jednak skupinovým

200 951

výstupem /84/ připojeným na výstupní sběrnici /3/, a jednak paritním vstupem /81/, který je spojen s druhým výstupem /74/ paritního generátoru /7/, opatřeným prvním výstupem /73/, přičemž stavová paměť /6/ je opatřena čtecím vstupem /61/ a zápisovým vstupem /63/, který je spojen s výstupem /53/ druhého hradlovacího obvodu /5/, opatřeného přepisovacím vstupem /51/ a blokovacím vstupem /52/, který je spojen s výstupem /91/ vyhodnocovacího obvodu /9/.

1 výkres

