



(12) 发明专利

(10) 授权公告号 CN 1770494 B

(45) 授权公告日 2010.05.05

(21) 申请号 200510105365.1

US 6084796 A, 2000.07.04, 全文.

(22) 申请日 2005.09.23

WO 03/079463 A2, 2003.09.25, 说明书第 6 页第 26 行—第 31 行, 第 7 页第 22 行—第 8 页 33 行, 第 14 页第 24 行—33 行, 图 2, 7.

(30) 优先权数据

10/948, 891 2004.09.24 US

WO 2004/017436 A2, 2004.02.26, 全文.

(73) 专利权人 旺宏电子股份有限公司

审查员 智月

地址 中国台湾

(72) 发明人 陈逸舟

(74) 专利代理机构 北京中原华和知识产权代理

有限责任公司 11019

代理人 寿宁 张华辉

(51) Int. Cl.

H01L 45/00 (2006.01)

H01L 27/24 (2006.01)

(56) 对比文件

US 2003/0081451 A1, 2003.05.01, 全文.

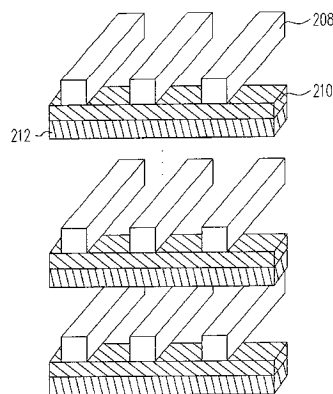
权利要求书 2 页 说明书 7 页 附图 14 页

(54) 发明名称

硫族化合物储存器

(57) 摘要

一种储存器内核,包括一字线电极与一与该字线电极相对设置的位线电极以及一配置于该字线电极和该位线电极之间的起始开关层,其中该起始开关层具有一低电压值的第一起始电压和一高电压值的第二起始电压,该第一起始电压对应于该起始开关层的一第一储存状态,该第二起始电压对应于该起始开关层的一第二储存状态。当该字线电极与位线电极之间的电压值为该第一起始电压时,该起始开关层被选通并处于该第一储存状态,当该字线电极与位线电极之间的电压值为该第二起始电压时,该起始开关层被选通并处于该第二储存状态,当该字线电极与位线电极浮置时,该起始开关层处于非选通状态。堆叠这些储存器内核即可制造出三维储存器。



1. 一种三维储存器,其特征在于包括:  
多数个储存器内核阵列,其中每个储存器内核同时作为一导向元件和一储存元件,包括:  
一字线;  
一位线,其与该字线相对设置;  
一起始开关层,由硫族化合物材料构成,配置于该字线和该位线之间,其中各储存器内核具有一低电压值的第一起始电压和一高电压值的第二起始电压,该第一起始电压对应于该起始开关层的一第一储存状态,该第二起始电压对应于该起始开关层的一第二储存状态;  
当该字线与该位线之间的电压值为该第一起始电压时,该起始开关层被选通并处于该第一储存状态,当该字线与该位线之间的电压值为该第二起始电压时,该起始开关层被选通并处于该第二储存状态,当该字线电极与位线浮置时,该起始开关层处于非选通状态;  
多个第一选择元件,分别连接各字线的一端;以及  
多个第二选择元件,分别连接各位线的一端。
2. 根据权利要求1所述的三维储存器,其特征在于其中所述的字线包括一金属材料或者一类金属材料。
3. 根据权利要求1所述的三维储存器,其特征在于其中所述的位线包括一半导体材料或硅化物。
4. 根据权利要求3所述的储存器内核,其特征在于其中所述的半导体材料包括硅。
5. 根据权利要求1所述的三维储存器,其特征在于其中所述的起始开关层可用以提供于一非易失性储存器。
6. 根据权利要求1所述的储存器内核,其特征在于其中所述的第一储存状态表示为状态1,所述的第二储存状态表示为状态0。
7. 一种在三维储存器中存取储存器内核的方法,该三维储存器中存取储存器包括:  
多数个储存器内核阵列,其中每个储存器内核包括:  
一字线;  
一位线,其与该字线电极相对设置;  
一起始开关层,由硫族化合物材料构成,配置于该字线和该位线之间,其中各储存器内核具有一低电压值的第一起始电压和一高电压值的第二起始电压,该第一起始电压对应于该起始开关层的一第一储存状态,该第二起始电压对应于该起始开关层的一第二储存状态;  
多个第一选择元件,分别连接各字线的一端;以及  
多个第二选择元件,分别连接各位线的一端,  
其特征在于其包括:  
决定用于存取上述储存器内核其中之一的一起始电压;  
编程该储存器内核的起始开关层,以便在该起始电压下能够存取该储存器内核;  
施加一电压于一字线;以及  
如果该电压至少等于该起始电压时,即可存取该储存器内核。
8. 根据权利要求7所述的在三维储存器中存取储存器内核的方法,其特征在于其中

编程该储存器内核的该起始开关层,以便在该起始电压下能够存取该储存器内核的步骤包括:采用一浮置技术或者一偏压技术。

9. 根据权利要求 7 所述的在三维储存器中存取储存器内核的方法,其特征在于其更包括:如果该电压小于该起始电压时,则拒绝存取该储存器内核。

10. 一种读取三维储存器元件的方法,该三维储存器中存取储存器包括:

多数个储存器内核阵列,其中每个储存器内核包括:

一字线;

一位线,其与该字线电极相对设置;

一起始开关层,由硫族化合物材料构成,配置于该字线和该位线之间,其中各储存器内核具有一低电压值的第一起始电压和一高电压值的第二起始电压,该第一起始电压对应于该起始开关层的一第一储存状态,该第二起始电压对应于该起始开关层的一第二储存状态;

多个第一选择元件,分别连接各字线的一端;以及

多个第二选择元件,分别连接各位线的一端,

其特征在于其包括:

施加一读取电压于一选择的字线,而该读取电压可用以直接存取对应所选字线的该储存器内核;

施加一零偏压于一位线,而该位线乃是对应于该选择的字线;以及读取储存于该储存器内核的一数值。

11. 根据权利要求 10 所述的读取三维储存器元件的方法,其特征在于其更包括:维持未选择的字线和未选择的位线于一浮置状态。

12. 根据权利要求 10 所述的读取三维储存器元件的方法,其特征在于其更包括:

施加一偏压电压于未选择的字线和未选择的位线。

13. 根据权利要求 12 所述的读取三维储存器元件的方法,其特征在于其中所述的偏压电压乃是小于一起始电压,而该偏压电压的范围乃是介于 0.1V 至约 20V 之间。

14. 根据权利要求 12 所述的读取三维储存器元件的方法,其特征在于其中所述的偏压电压大约是该读取电压的一半。

15. 根据权利要求 12 所述的读取三维储存器元件的方法,其特征在于其中所述的偏压电压大约是未选择的字线上的读取电压的三分之一以及大约是未选择的位线上的读取电压的三分之二。

## 硫族化合物储存器

### 技术领域

[0001] 本发明是有关于一种储存元件,且特别是有关于一种不需存取晶体管 (access transistor) 的储存单元 (memory cell) 结构。

### 背景技术

[0002] 典型的储存单元包括一导向元件 (steering element), 其例如为一个或多个晶体管 (晶体管即为电晶体, 以下皆称为晶体管), 用来存取 (access) 每一个储存单元。该存取晶体管也可以是二极管 (二极管即为二极体, 以下皆称为二极管), 其提供存取储存单元的位线 (bit line) 的字线 (word line)。尤其是为了读写储存单元的资料, 该存取晶体管可充当用于字线到位线的存取通闸 (pass gate)。例如, 动态随机存取储存器 (DRAM)、快闪储存器 (flash memory), 静态随机存取储存器 (SRAM)、传统的硫族化合物 (chalcogenide) 储存器、欧式记忆体 (ovonic unified memory, OUM) 或者相变随机存取储存器 (phase-change random access memory, PCRAM) 需要晶体管或者 PN 二极管作为导向元件或者寻址元件 (addressing element)。在 DRAM 中, 该导向元件是晶体管且资料乃是储存于一电容器中。相类似地, 在 SRAM 中则需要六个晶体管。但是, 制造晶体管需要高品质的硅, 并且当在硅晶圆上制造晶体管时, 会产生一些问题。因此, 在硅晶圆上制造具有晶体管的三维 (three dimensional, 3D) 储存器是有困难的。

[0003] 可行的解决方案乃是使用多晶硅 p-n 接合 (p-n junction) 以作为导向元件的储存器。然而, 这种方法存在有一定缺陷。例如, 这些储存器的类型大都局限于一次可编程储存器 (one time programmable memory, OTP), 而这种方法需要高编程电压 (programming voltage) 以及高制程温度 (process temperature)。此高制程温度将会阻碍了铝 (Al) 和铜 (Cu) 金属线的使用。例如, 铝的最高制程温度是 500°C, 且铜的制程温度范围是大约 400 ~ 500°C。由于铝和铜是常用的层间配线金属, 所以排除这两种金属将会使得层间配线变得更加困难。另外, 当藉由封装技术而制造三维储存器时, 层间的结合校准 (bonding alignment) 将变得非常困难。基于前述观点, 故需要一种不用存取晶体管而能够选择存取内核储存单元的储存单元结构。

### 发明内容

[0004] 本发明乃是藉由使用起始开关材料 (threshold-switching material), 其可编程来执行导向元件的功能, 而毋须可作为存取一储存器内核单元的导向元件的存取晶体管。

[0005] 本发明提供一种三维储存器 (3D memory)。多数个储存器内核阵列, 其中每个储存器内核同时作为一导向元件和一储存元件, 包括: 一字线; 一位线, 其与该字线相对设置; 一起始开关层, 由硫族化合物材料构成, 配置于该字线和该位线之间, 其中各储存器内核具有一低电压值的第一起始电压和一高电压值的第二起始电压, 该第一起始电压对应于该起始开关层的一第一储存状态, 该第二起始电压对应于该起始开关层的一第二储存状态; 当该字线与该位线之间的电压值为该第一起始电压时, 该起始开关层被选通并处于该第一储

存状态, 当该字线与该位线之间的电压值为该第二起始电压时, 该起始开关层被选通并处于该第二储存状态, 当该字线电极与位线浮置时, 该起始开关层处于非选通状态; 多个第一选择元件, 分别连接各字线的一端; 以及多个第二选择元件, 分别连接各位线的一端。本发明另提供一种在三维储存器中存取储存器内核的方法, 而该方法包含下列数个步骤。首先, 决定用于存取一储存器内核的一起始电压。然后, 编程此储存器内核的一起始开关材料, 以便能够在起始电压下存取储存器内核。接下来, 在与储存器内核连通 (communication) 的字线上施加一电压, 如果该电压至少等于此起始电压时, 即可存取储存器内核。

[0006] 本发明又提供一种读取三维硫族化合物储存器 (3D chalcogenidememory) 元件的方法, 包含下列数个步骤。首先, 施加一读取电压于一字线。该读取电压可用以直接存取该硫族化合物储存器元件。然后, 在与字线相对应的位线上施加一零偏压。接下来, 读取储存于硫族化合物储存器元件中的数值。

[0007] 任何熟知本发明的技艺者皆可清楚地知悉, 本发明能够应用于许多的储存器 / 固态元件 (solid state device)。该储存器内核的一个显著的优点乃是在于其毋须存取晶体管, 其中该存取晶体管可作为传送信号至储存器内核的导向元件。此外, 本发明可降低储存器内核所需要的编程电压, 亦可降低其制程温度。本发明将可促进三维储存器的制造, 其中该储存器可以为非易失性的和快速的储存器。

[0008] 上述的发明内容以及以下所揭露的实施例仅仅用以解释本发明的实施方式的例子, 然其并非用以限定本发明。

[0009] 为了让本发明的上述和其他目的、特征和优点能更明显易懂, 下文特举较佳实施例, 并配合所附图式, 作详细说明如下。

#### 附图说明

[0010] 图 1A 绘示为本发明一实施例的一种储存器内核的示意图。

[0011] 图 1B 绘示为本发明一实施例的一种储存器内核的示意图。

[0012] 图 2A 和 2B 绘示为储存器内核经堆叠后所形成的一种三维储存器的示意图。

[0013] 图 2C 绘示为储存器内核经堆叠而制造的三维储存器的剖面示意图。

[0014] 图 3A 绘示为形成一层的储存器内核的阵列示意图。

[0015] 图 3B 绘示为连接选择电路的位线和字线的储存器内核阵列示意图。

[0016] 图 3C 绘示为多层的三维储存器的示意图。

[0017] 图 3D 绘示为形成多层的储存器内核阵列, 其为三维储存器的一部份。

[0018] 图 4A 至 4D 绘示为可以施加于硫族化合物储存器元件的编程技术的示意图。

[0019] 图 5A 至 5C 绘示为本发明的三个实施例的读取一元件的方法。

[0020] 102、108 : 顶部电极

[0021] 104、110 : 起始开关层

[0022] 106、112 : 底部电极

[0023] 114 : 选择电路

[0024] 202、210、214、222 : 字线

[0025] 204、212、216、220 : 起始开关层

[0026] 206、208、218 : 位线

- [0027] 304、310、318 : 字线
- [0028] 306、314、320 : 起始开关层
- [0029] 302、312、316 : 位线
- [0030] 308 : 选择元件
- [0031] 311 : 储存器阵列层
- [0032] 317 : 储存器内核
- [0033] 408s、408r : 储存单元
- [0034] 408a 至 408n : 储存单元
- [0035]  $V_{th1}$  : 低起始电压
- [0036]  $V_{thh}$  : 高起始电压
- [0037]  $V_p$ 、 $V_{p1}$ 、 $V_{ph}$  : 偏压

### 具体实施方式

[0038] 本发明乃是藉由将一个起始开关并入一储存单元中而毋须存取晶体管。在一个实施例中,该起始开关材料是硫族化合物(chalcogenide)材料。进一步的关于能够改变起始电压  $V_{th}$  的材料的  $V_{th}$  调整资料乃是揭露在美国专利第 10/465,120 号中。

[0039] 在一实施例中,可利用起始开关材料的类似晶体管特性而毋须导向元件以简化储存单元结构,其例如为存取晶体管或者 P-N 二极管。显然地,对熟知本技术领域的技艺者来说可以在硫族化合物储存单元上植入逻辑电路以形成单晶片系统(a system on a chip, SoC)。进而对于硫族化合物而言,一旦编程该非易失性的特质时,将能够相对快速地进行读写操作。值得注意的是,与起始开关材料相关的(例如为硫族化合物材料)编程电压比快闪唯读储存器(read only memory,ROM)的编程电压低很多。举例而言,硫族化合物储存单元的编程电压大约是 5 伏特(V),而快闪唯读储存器的编程电压大约是 10 伏特。

[0040] 硫族化合物储存单元具有导向元件和储存元件的双重功能。因此,仅制造一个硫族化合物储存器要远比把晶体管和硫族化合物储存单元结合在一起更为容易。另外,当该储存单元作为导向元件时,在具有相同的储存容量情况下,其晶片体积将会小于具有分开的导向元件和储存单元的储存器。相对地,在具有相同储存器体积的情况下,与具有分开的导向元件和储存单元的储存器相比,双功能(dual functioning)硫族化合物储存器将能够提供更高的储存容量。与存取晶体管相比,一个小尺寸的硫族化合物储存器元件将能够通过更高的电流。在此实施例中,使用硫族化合物材料作为起始开关材料仅是一个举例,并非局限于硫族化合物材料。任何具有此硫族化合物材料性质的材料,例如具有稳定且可调整的起始电压( $V_{th}$ )特性,都可以用于非易失性双功能储存单元。

[0041] 图 1A 和图 1B 绘示为本发明一实施例的一种储存器内核的示意图。图 1A 中所示的储存器内核单元包括一顶部电极 102 和一底部电极 106 以及设置于顶部电极 102 和底部电极 106 之间的一起始开关层(threshold-switching layer)104。顶部电极 106 可以是金属、类金属(metalloid)、半导体、或者硅化物(silicide)、或者其他具有稳定且可调整电压的起始(threshold)特性材料。

[0042] 同样的,图 1B 是储存器内核的另一实施例。在该实施例中,该储存器内核包括一顶部电极 108 和一底部电极 112 以及设置于顶部电极 108 和底部电极 112 的第一端之间的

一起始开关层 110。底部电极 112 的第一端与起始开关层 110 相连并且底部电极 112 的第二端与选择电路 114 相连。该选择电路 114 可选择与储存单元相对应的位线和字线。

[0043] 图 2A 和 2B 绘示为如图 1A 和 1B 中所示的储存器内核经堆叠后所形成的一种储存元件的示意图。图 2A 包括一字线 202 和一位线 206。当然, 在一些实施例中, 206 可以代表字线且 202 可以代表位线。图 2A 进一步包括设置于字线 202 和位线 206 间的一一起始开关层 204。该字线 202 和位线 206 可以是类似于图 1A 和 1B 中的电极。每一储存器内核可以堆积在另一储存器内核之上以形成一储存器元件。

[0044] 图 2B 和图 2A 类似, 不同之处在于构成储存器内核的独立层 (individual layers)。在本实施例中, 储存器内核包括一位线 208 和一字线 210。当然, 在一些实施例中, 208 可以代表字线且 210 可代表位线。起始开关层 212 位于字线 210 之下。因此, 堆叠的每一层包括一位线 208、一字线 210 和一起始开关层 212。

[0045] 图 2C 绘示为如图 2A 和 2B 所示的储存器内核经堆叠而制造的三维储存器的剖面示意图。图 2C 包括一字线 214 和一位线 218。图 2C 进一步包括设置于字线 214 和位线 218 之间的一一起始开关层 216。同样地, 另一起始开关层 220 设置于位线 218 和字线 222 之间。

[0046] 藉由上述的储存器内核的阵列堆叠可以制造出三维储存器。图 3A 绘示为图 2A 和 2B 的储存器内核的阵列示意图。该储存器阵列可以堆叠形成三维储存器。储存器内核阵列中的每一个储存器内核包括一位线 302、一字线 304、以及设置于字线 304 和位线 302 之间的一一起始开关层 306。

[0047] 图 3B 绘示为类似于图 3A 所描述的储存器内核阵列示意图。在本发明一实施例中, 字线 304 和位线 302 的选择元件 308 连接于储存器内核阵列的外缘。尽管图 3B 所示的选择元件 308 是晶体管, 该选择元件也可以是 P-N 二极管、萧特基二极管 (Schottky diodes) 或者穿隧二极管 (tunneling diode)。图 3C 绘示为多层的三维储存器的示意图。图 3C 包括多个储存器阵列层 311。每一储存器阵列层 311 包含多条字线 310、位线 312 与起始开关层 314。图 3D 是根据本发明一实施例所绘示的储存器内核阵列经堆叠而制造的三维储存器的示意图。每一储存器内核 317 包括多条位线 316、多条字线 318 和设置于位线 316 和字线 318 之间的起始开关层 320。

[0048] 在本发明中, 由于储存器内核既是导向元件又是储存单元, 因此毋须使用晶体管作为导向元件。如上所述, 省略了作为导向元件的晶体管实际上乃是免除了制造储存器时对于高品质硅的需求。同时, 也相对地降低了制造储存器的温度。故藉由传统的光刻蚀 (photo/etching) 或者金属镶嵌 (damascene) 技术即可以制造多层储存器而不需要进行任何层间校正。

[0049] 由于该起始开关材料可作为导向元件, 所以免除了对于额外的导向元件的需求。因此, 藉由一层接着一层制造储存器内核阵列即可很容易地结合为一个三维储存器。此外, 藉由合并多数的层将有助于提高储存器密度。

[0050] 图 4A 至 4D 绘示为可以施加于硫族化合物储存器元件的编程技术的示意图。图 4A 表示的是浮置编程 (floating programming) 技术。在此, 假设硫族化合物储存器元件包括两个起始电压, 例如为一个作为状态 1 的低起始电压 ( $V_{thl}$ ) 和一个作为状态 0 的高起始电压 ( $V_{thh}$ )。图 4A 描述的是施加于储存单元上的偏压。未选择的储存单元乃是施加  $V_p$  到  $+V_p$  之间的偏压, 而选择的单元乃是施加正向  $+V_p$  偏压。储存单元 408s 乃是代表选择的单

元,而剩余的单元 408a 至 408n 代表的是未选择的单元。表 1 归纳了程式 1 和程式 0 的编程方法。

[0051] 表 1

[0052]

	程式 1	程式 0
选择的位线	0	0
其他的位线	浮置	浮置
选择的字线	V <sub>p1</sub>	V <sub>ph</sub>
其他的字线	浮置	浮置

[0053] 如表 1 所示的偏压,选择的位线是零,而选择的字线乃是根据程式或者所选择的状态而为 V<sub>p1</sub> 或者 V<sub>ph</sub>。

[0054] 图 4B 表示的是一偏压编程技术。图 4B 的图形表示所施加的偏压。在此,可在未选择的字线和位线上施加一电压(偏压)。在选择的单元 408s 上乃是施加正向 +V<sub>p</sub> 偏压。可以假定硫族化合物储存器元件包括两个起始电压,例如为一个作为状态 1 的低起始电压(V<sub>th1</sub>) 和一个作为状态 0 的高起始电压(V<sub>thh</sub>)。以下的表 2 列出了程式 1 和程式 0 的编程方法。

[0055] 表 2

[0056]

	程式 1	程式 0
选择的位线	0	0
其他的位线	$0 \leq V \leq V_{p1}$	$0 \leq V \leq V_{ph}$
选择的字线	V <sub>p1</sub>	V <sub>ph</sub>
其他的字线	$0 \leq V \leq V_{p1}$	$0 \leq V \leq V_{ph}$

[0057] 如表 2 所示的偏压,选择的位线是零,而选择的字线依据程式或者是选择的状态而为 V<sub>p1</sub> 或 V<sub>ph</sub>。值得注意的是,分别如图 4C 和 4D 中所示,可以采用两个偏压编程方法的实施例,也就是 V/2 方法和 V/3 方法。当然,其他的偏压编程方法亦可以作为本发明的编程方法,故在此所描述的方法仅作为一实施例但不是限制于此实施例。

[0058] 图 4C 绘示为 V/2 方法的示意图。图 4C 描述的是施加于储存单元上的偏压。于该选择的储存单元 408s 上乃是施加正向 +V<sub>p</sub> 偏压,而剩余的其他未选择的储存单元则施加正向 +V<sub>p</sub>/2 偏压。可以假定该硫族化合物储存器元件包括两个起始电压,也就是作为状态 1 的一低起始电压(V<sub>th1</sub>) 和作为状态 0 的一高起始电压(V<sub>thh</sub>)。状态 1 和状态 0 的编程方法乃是表列于下表 3。



[0059] 表 3

[0060]

	程式 1	程式 0
选择的位线	0	0
其他的位线	$V_{p1}/2$	$V_{ph}/2$
选择的字线	$V_{p1}$	$V_{ph}$
其他的字线	$V_{p1}/2$	$V_{ph}/2$

[0061] 如表 3 所示的偏压,选择的位线是零,而选择的字线则根据程式或者所选择的状况而为  $V_{p1}$  或者  $V_{ph}$ 。

[0062] 图 4D 绘示为  $V/3$  方法的一示意图。图 4D 描述的是施加于储存单元上的偏压。该选择的储存单元 408s 乃是施加正向  $+V_p$  偏压,而剩余的其他未选择的储存单元则具有下列两种特性的其中之一,也就是一些未选择的储存单元乃是施加正向偏压  $+V_p/3$ ,而一些未选择的储存单元则施加反向偏压  $-V_p/3$ 。储存单元 408f 乃是施加正向偏压  $+V_p/3$ ,而储存单元 408r 则施加反向偏压  $-V_p/3$ 。可以假定硫族化合物储存器元件包括两个起始电压,也就是一个作为状态 1 的低起始电压 ( $V_{th1}$ ) 和一个作为状态 0 的高起始电压 ( $V_{thh}$ )。至于状态 1 和状态 0 的编程方法则表列于下表 4 中。

[0063] 表 4

[0064]

	程式 1	程式 0
选择的位线	0	0
其他的位线	$2V_{p1}/3$	$2V_{ph}/3$
选择的字线	$V_{p1}$	$V_{ph}$
其他的字线	$V_{p1}/3$	$V_{ph}/3$

[0065] 如表 4 所示的偏压,选择的位线是零,而选择的字线则根据程式或者是选择的状况而为  $V_{p1}$  或者  $V_{ph}$ 。值得注意的是,编程电压的限制范围可为:“ $V_{thh} < V_p < 3V_{th1}$ ”。

[0066] 读取方法包括一浮置方法和一偏压方法。该浮置方法涉及到施加于选择的字线(或者位线)上的  $V_{th1}$  和  $V_{thh}$  之间的偏压以及施加在选择的字线(或者位线)上的零偏压的偏压  $V_r$ ,而其他的字线和位线是浮置的。该偏压方法涉及到施加于选择的字线(或者位线)上的  $V_{th1}$  和  $V_{thh}$  之间的偏压以及施加在选择的字线(或者位线)上的零偏压的偏压  $V_r$ ,而其他的字线和位线则是施加在  $0 < V < V_{th1}$  范围内的固定偏压。在本发明中,乃

是提供了两个不同实施例的偏压方法,亦就是  $V/2$  方法和  $V/3$  方法。

[0067] 图 5A 到 5C 分别绘示为本发明一实施例的读取一元件的方法。图 5A 到 5C 各自代表施加于储存单元上的偏压。图 5A 代表一种浮置方法,其中该偏压是由  $-V_r$  到  $+V_r$  而选择单元 408s 乃是施加正向偏压  $+V_r$ 。图 5B 代表的是一种  $V/2$  的读取方法,其中选择单元 408s 则施加正向偏压  $+V_r$ 。如图 5B 所示,其余未选择的单元乃是施加正向偏压  $+V_r/2$ 。图 5C 代表的是一种  $V/3$  的读取方法,而选择单元 408s 乃是施加正向偏压  $+V_r$ 。图 5C 中的其余未选择的单元则施加正向偏压  $+V_r/3$  或者反向偏压  $-V_r/3$ 。值得注意的是,图 5C 中未选择的单元乃是形成了一个与图 4D 相类似的图案。

[0068] 综上所述,本发明提供了一种储存器内核,其毋须使用用于存取内核储存单元的存取晶体管。换言之,当该内核单元加入了一起始开关材料时,例如为硫族化合物材料,可以藉由编程内核储存单元来存取内核储存单元。实质上,亦可藉由编程起始开关材料来作为导向元件。任何熟知本发明的技艺者皆可知悉,亦可以提供简化的解码逻辑讯号于存取晶体管的方式,使得本发明毋须存取晶体管。

[0069] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何熟习此技艺者在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视后附的专利申请范围所界定者为准。

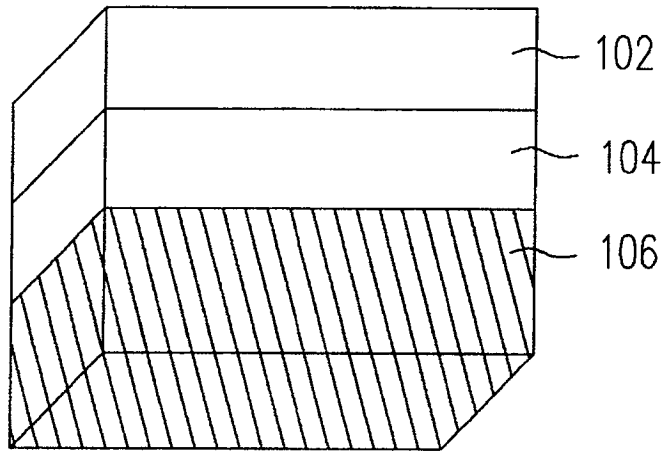


图 1A

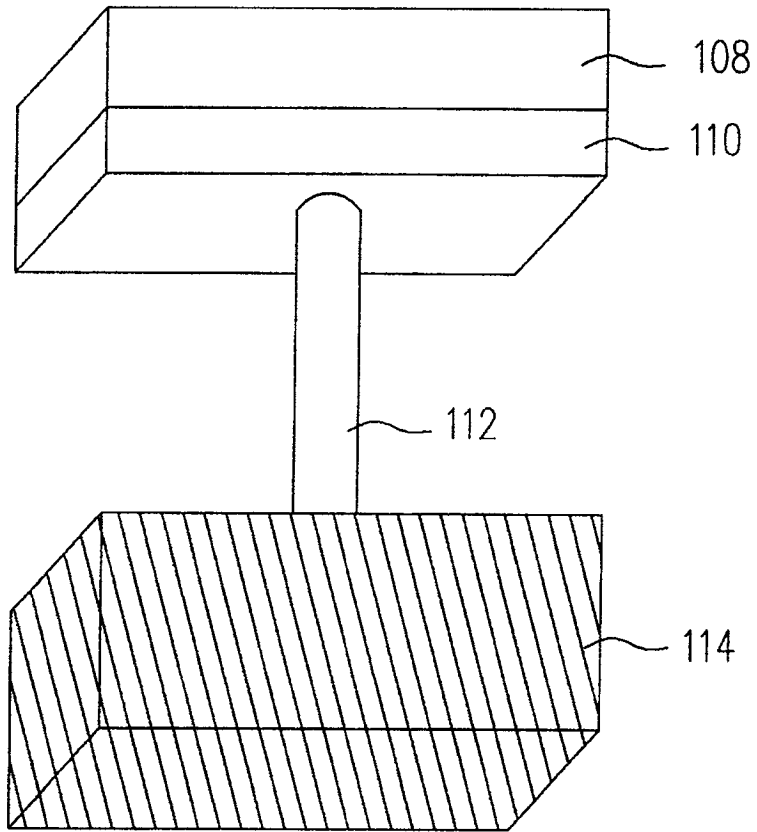


图 1B

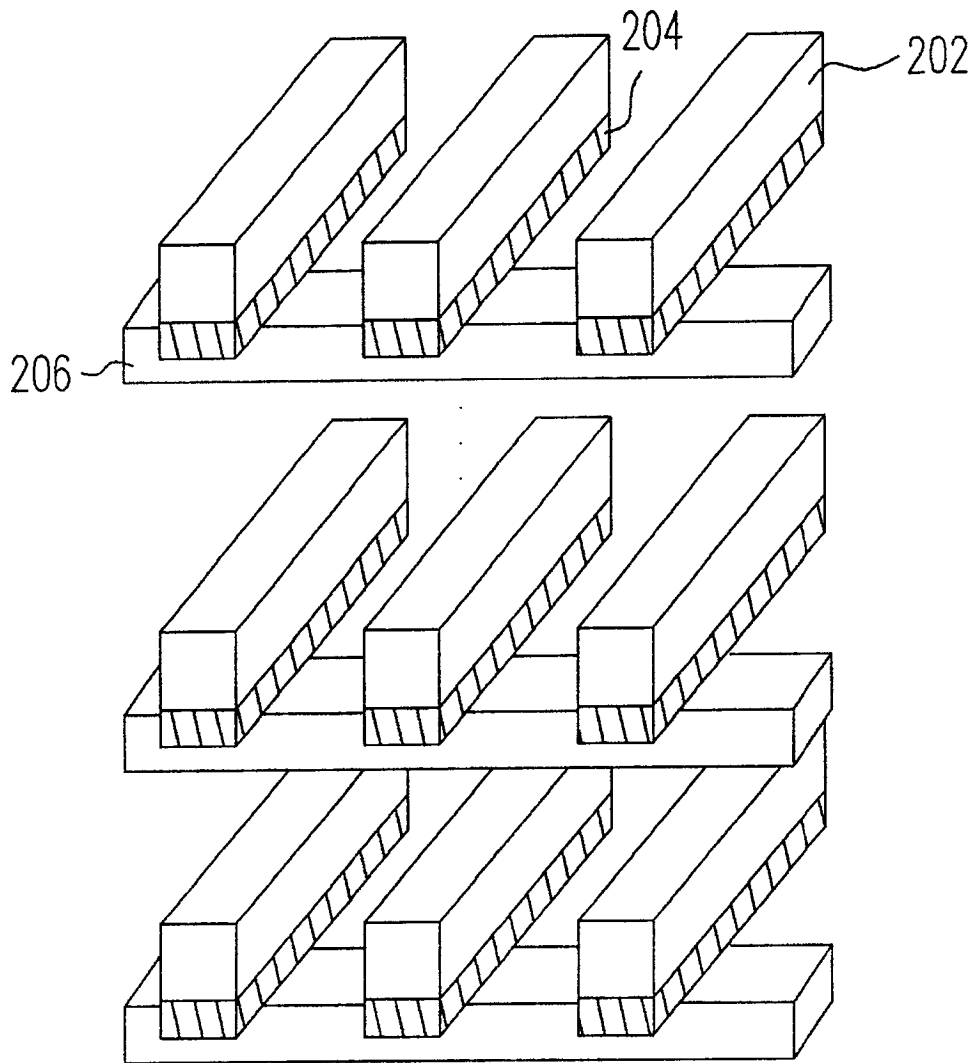


图 2A

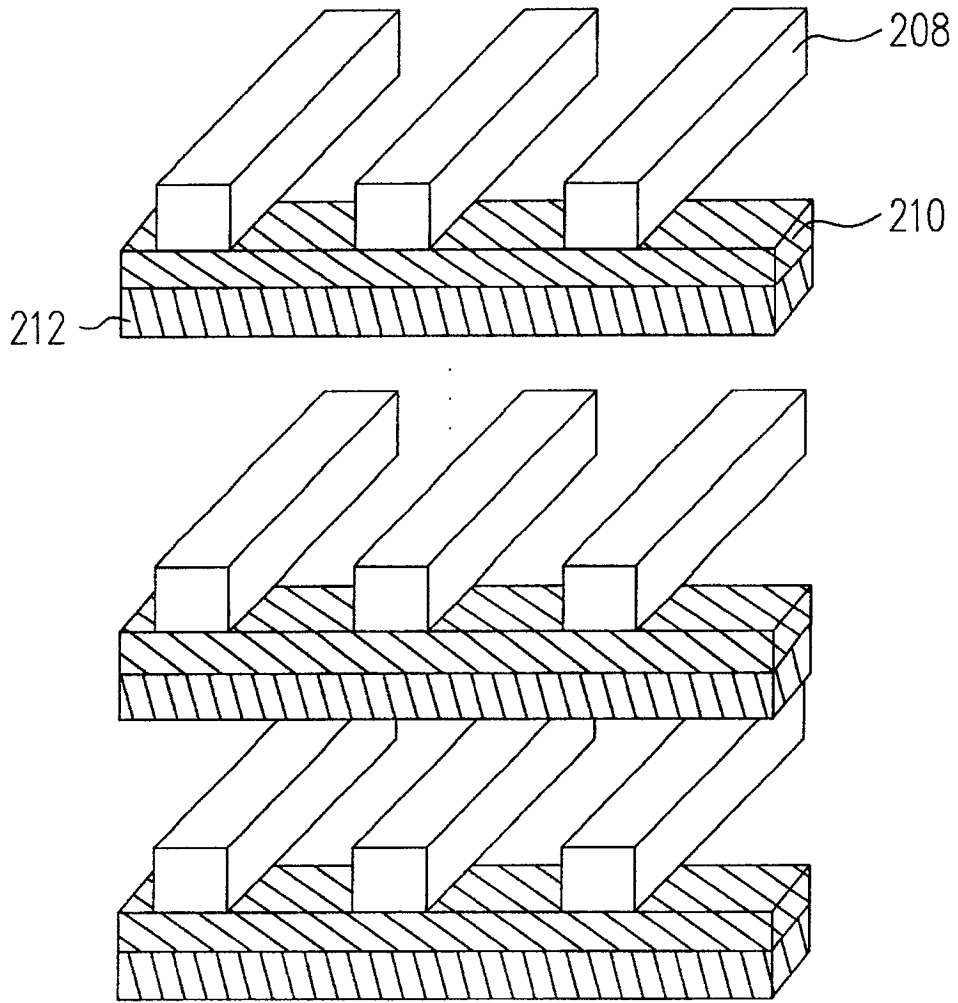


图 2B

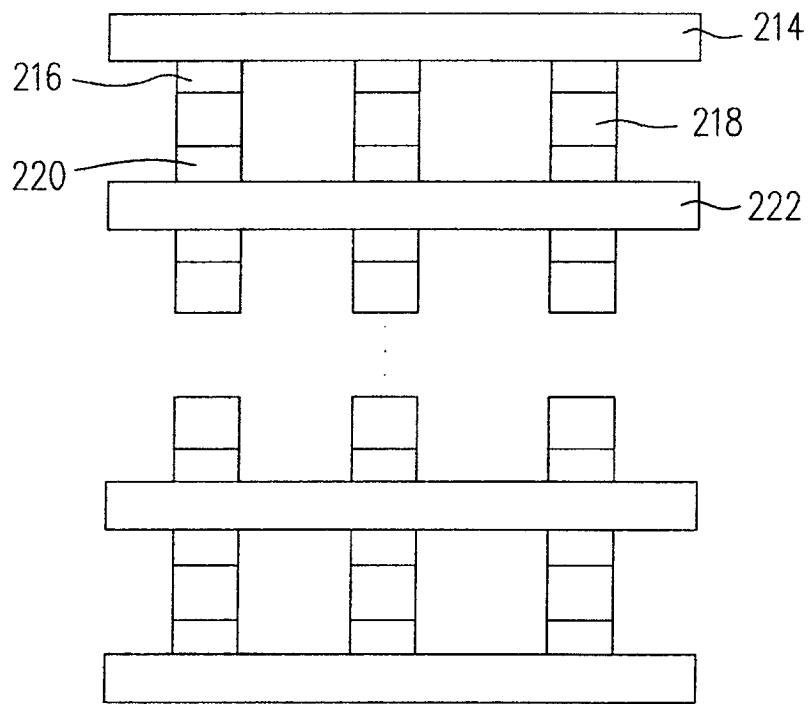


图 2C

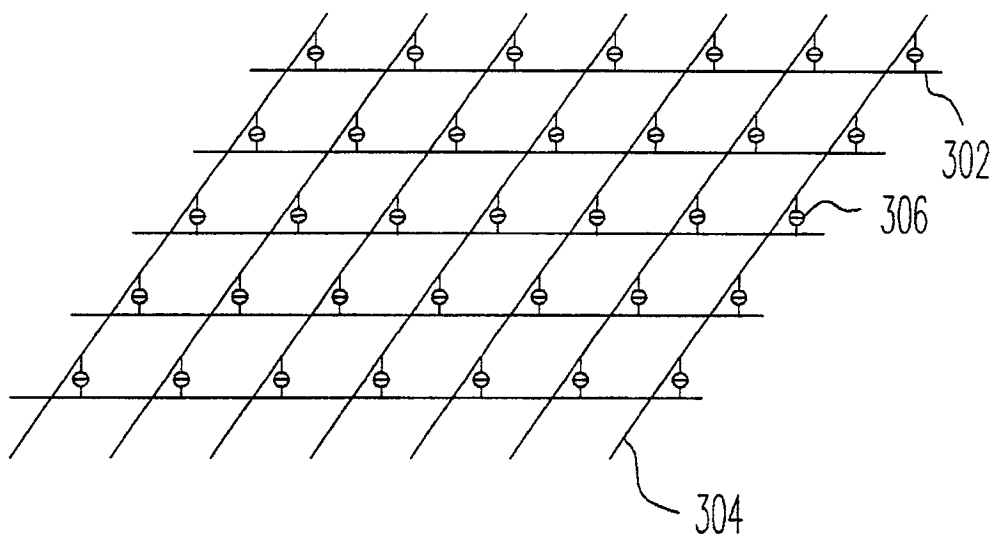


图 3A

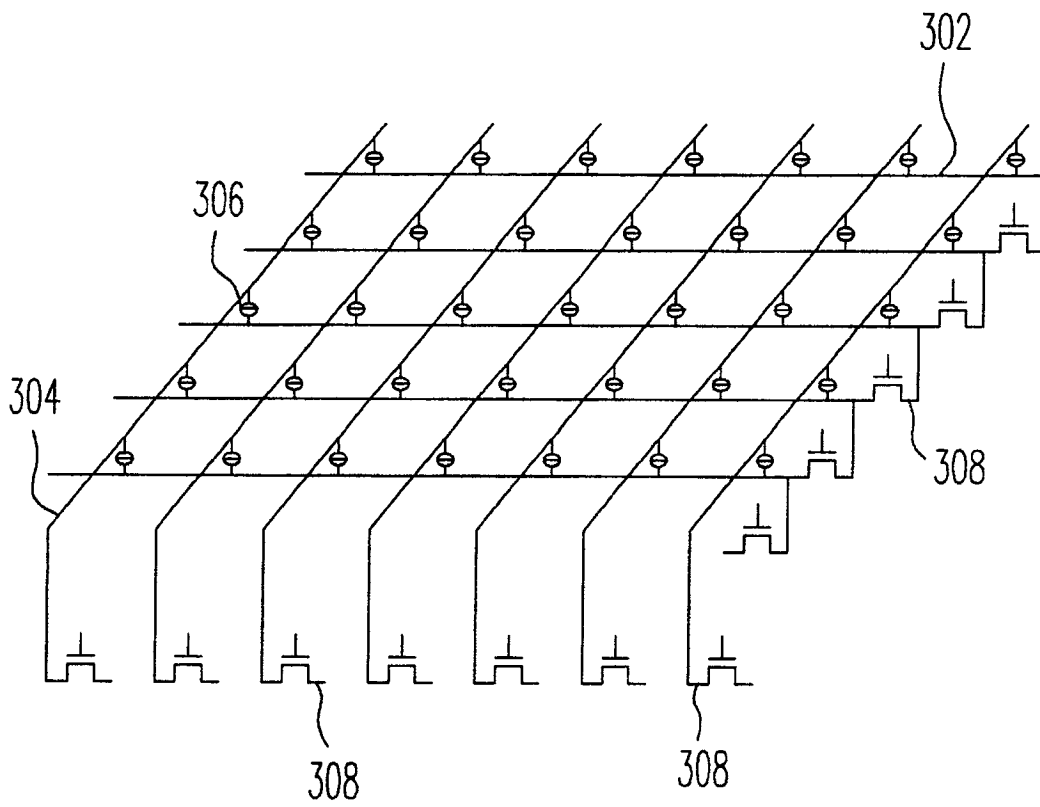


图 3B

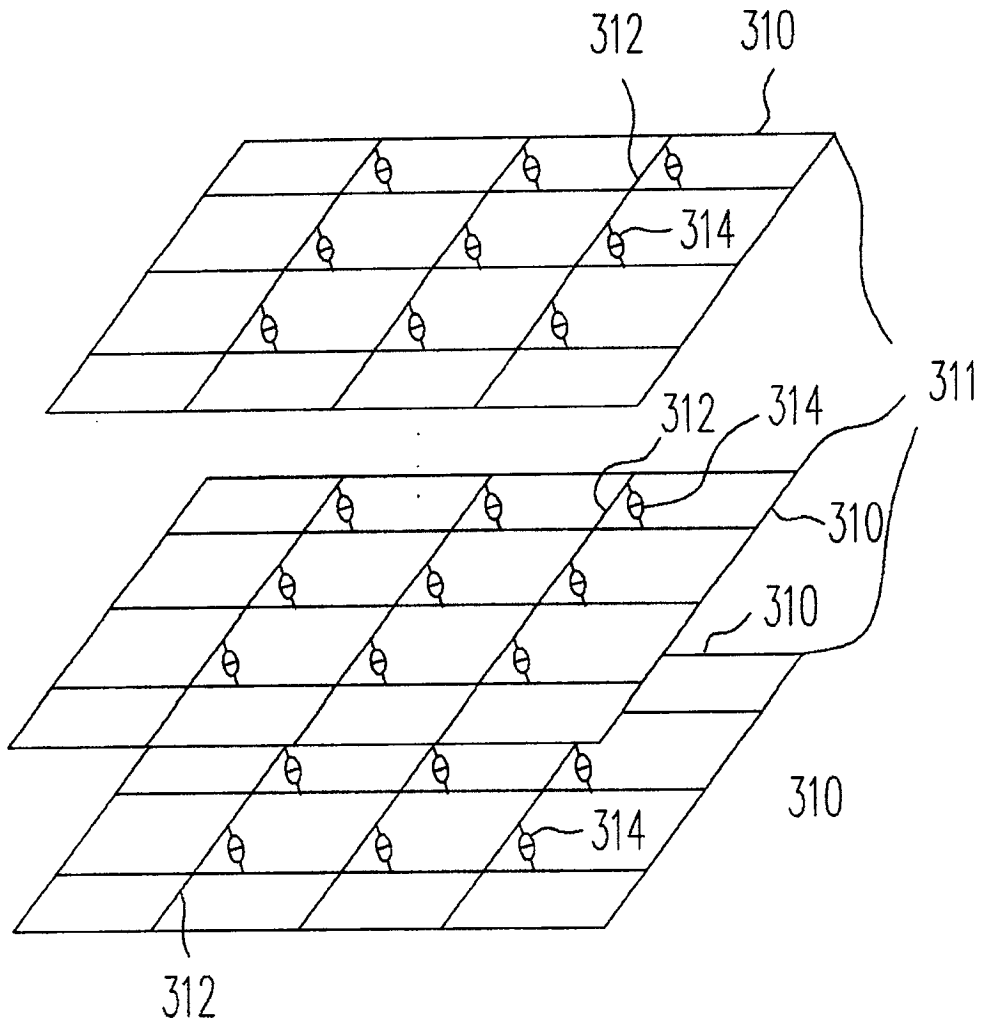


图 3C



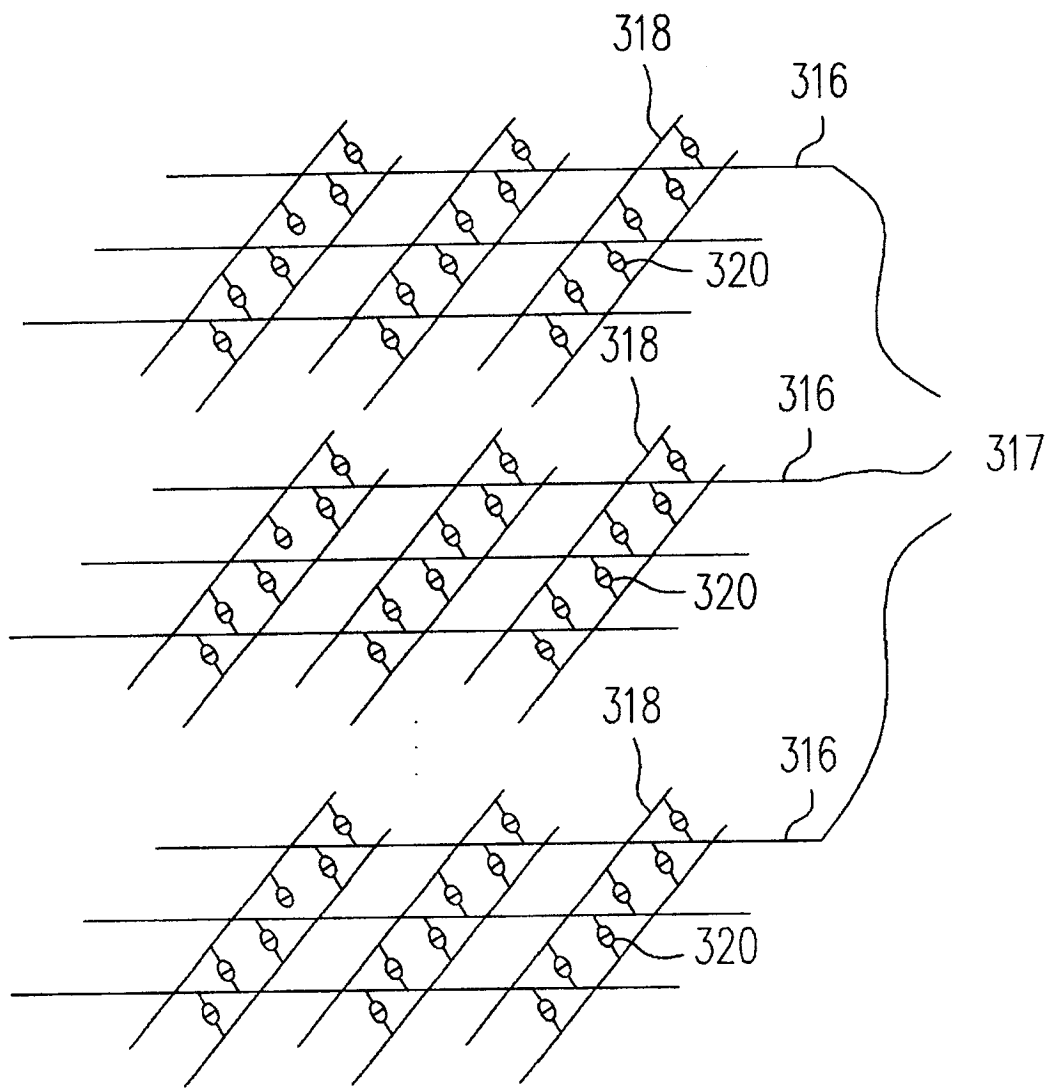


图 3D

# 浮动

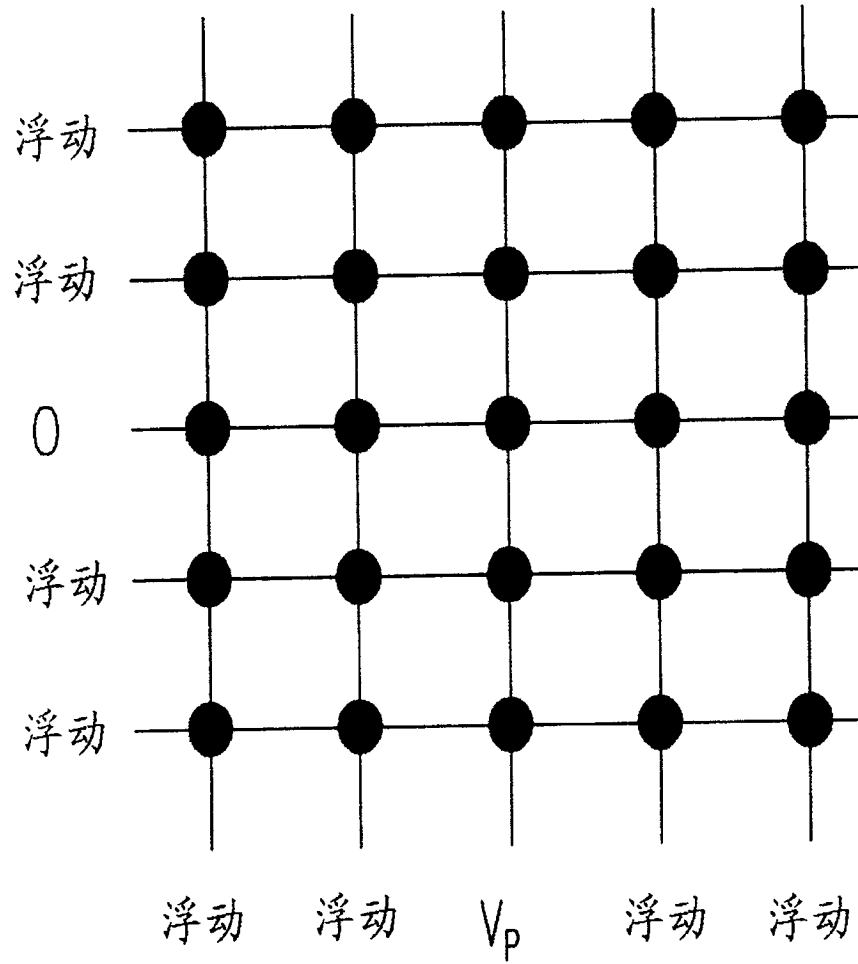


图 4A

# 偏压法

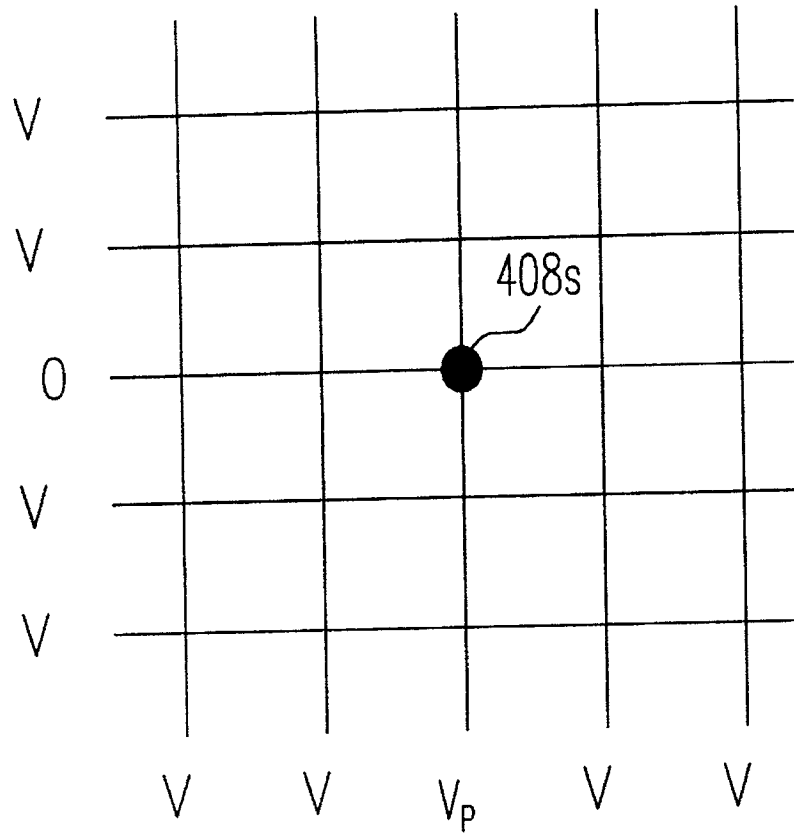


图 4B

V/2方法

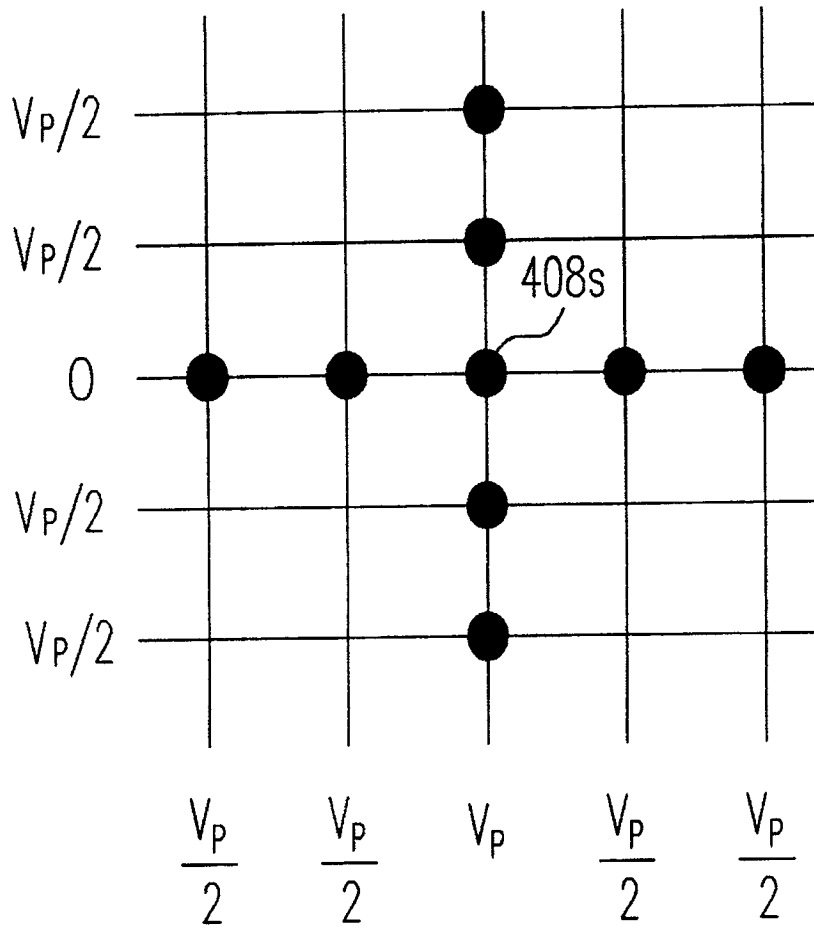


图 4C

V/3方法

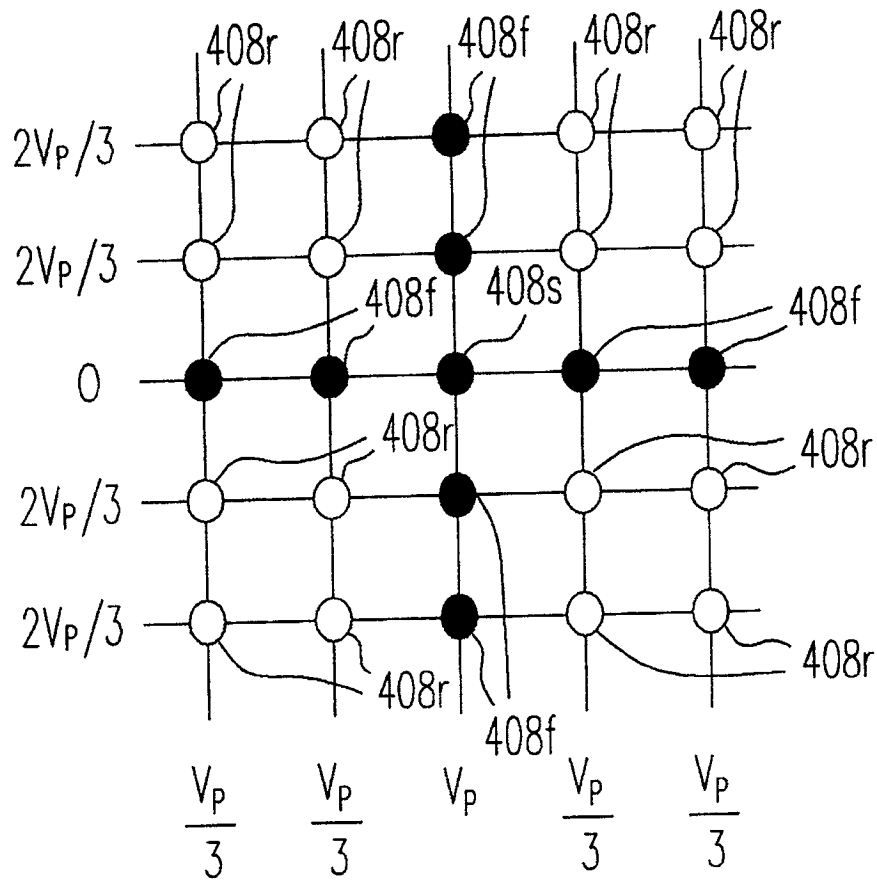


图 4D

# 浮动

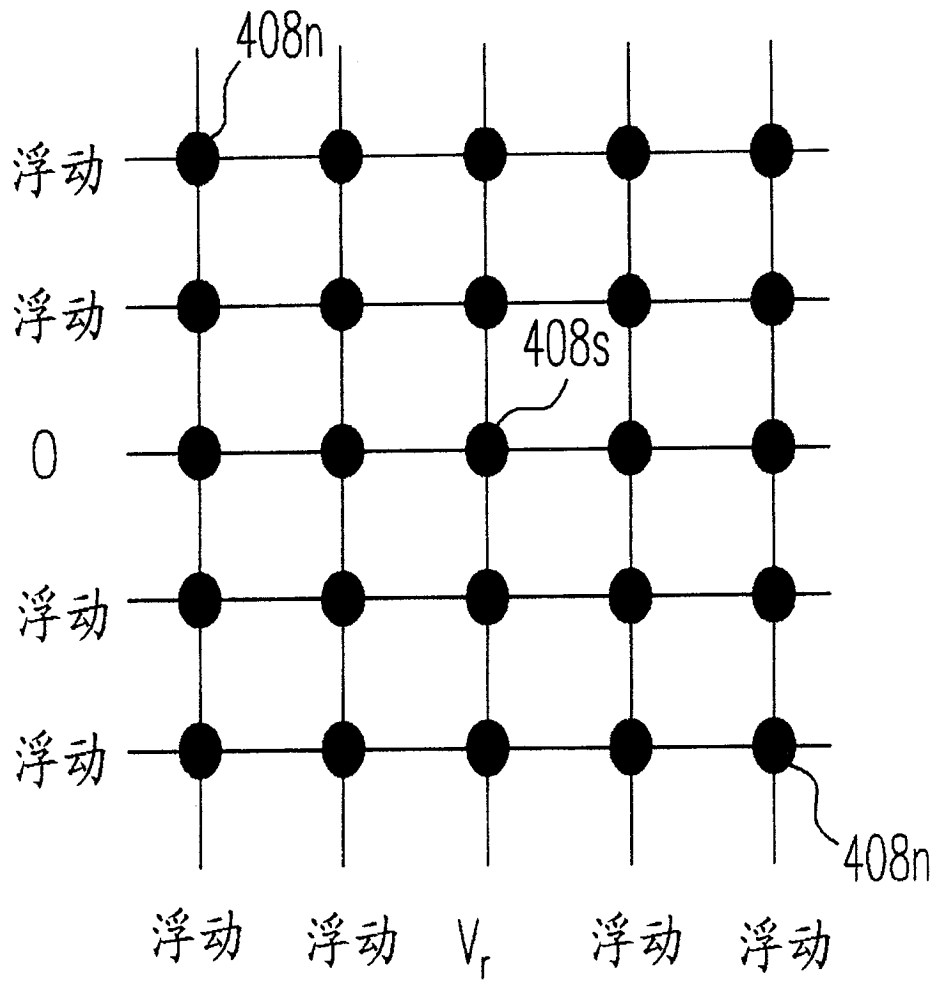


图 5A

V/2方法

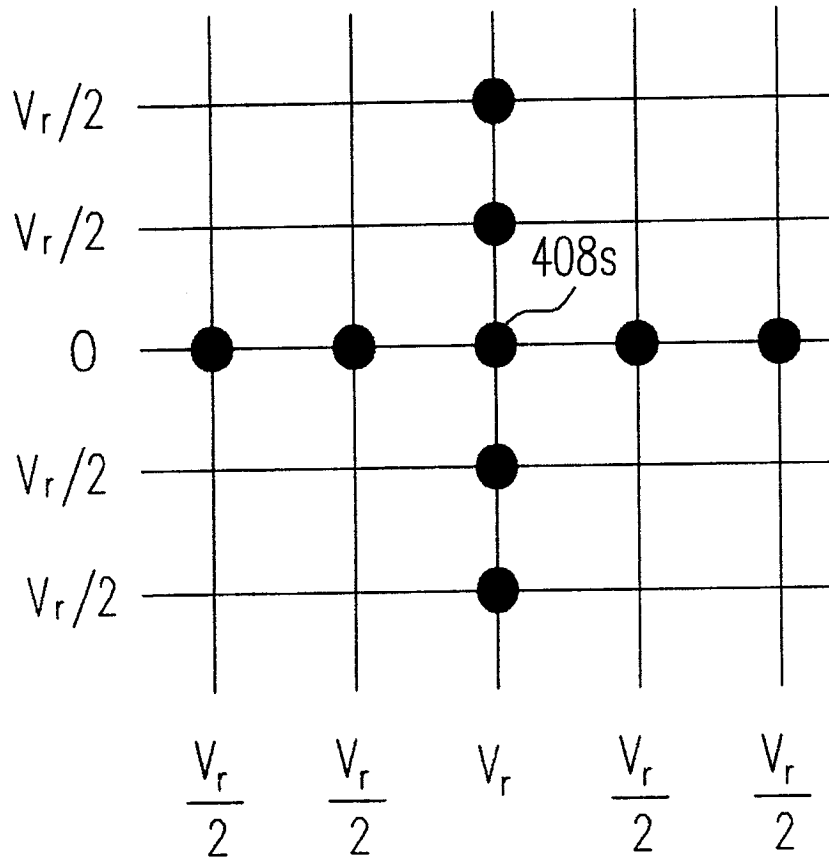


图 5B

V/3方法

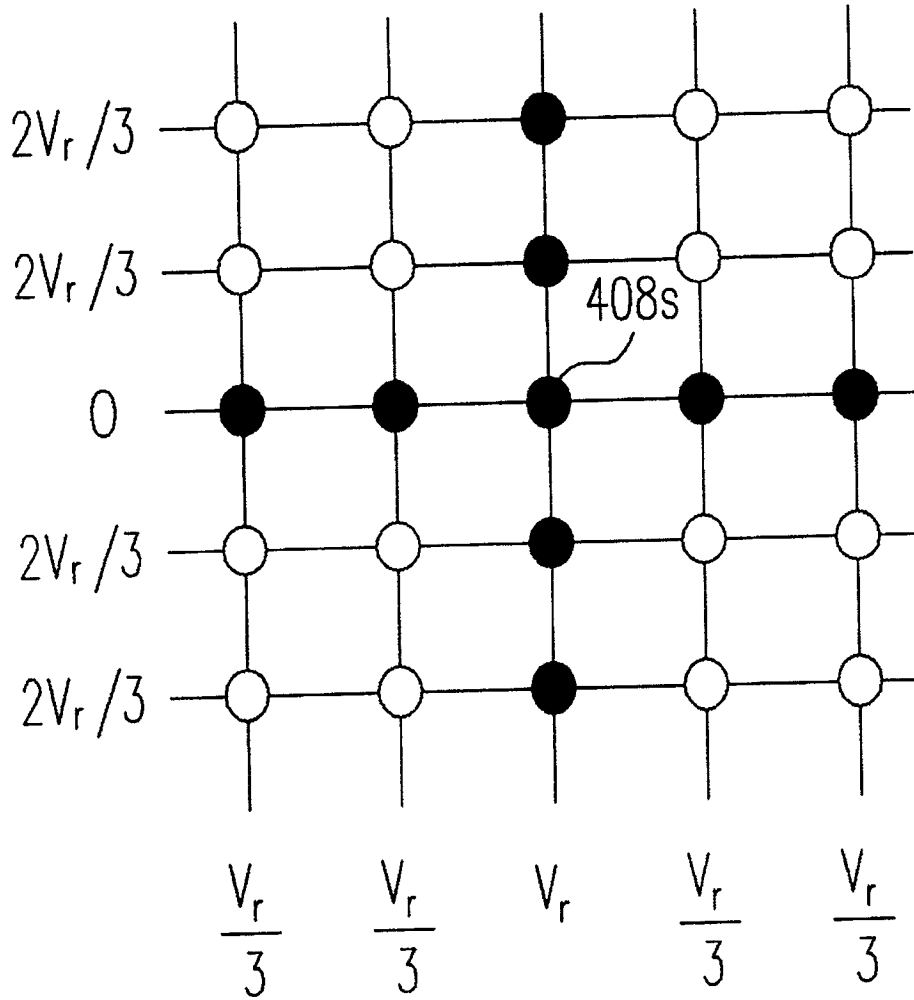


图 5C