



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA DI INVENZIONE NUMERO	102008901656021
Data Deposito	29/08/2008
Data Pubblicazione	01/03/2010

Classifiche IPC

Titolo

DECODIFICATORE DI RIGA PER DISPOSITIVI DI MEMORIA NON VOLATILI, IN
PARTICOLARE DEL TIPO A CAMBIAMENTO DI FASE

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"DECODIFICATORE DI RIGA PER DISPOSITIVI DI MEMORIA NON VOLATILI, IN PARTICOLARE DEL TIPO A CAMBIAMENTO DI FASE"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MI)

Inventore: DE SANDRE Guido

* * *

La presente invenzione è relativa ad un decodificatore di riga per dispositivi di memoria non volatili, in particolare del tipo a cambiamento di fase, a cui la seguente trattazione farà particolare riferimento, senza per questo perdere in generalità.

Sono note memorie non volatili a cambiamento di fase (cosiddette PCM, dall'inglese "Phase Change Memory"), in cui, per immagazzinare informazioni, si sfruttano le caratteristiche di materiali che hanno la proprietà di commutare fra fasi aventi caratteristiche elettriche diverse. Ad esempio, tali materiali possono commutare fra una fase amorfa, disordinata, ed una fase cristallina o policristallina, ordinata, e le due fasi sono associate a resistività di valore notevolmente differente, e conseguentemente ad un differente valore di un dato

memorizzato. Ad esempio, gli elementi del VI gruppo della tavola periodica, quali Tellurio (Te), Selenio (Se), o Antimonio (Sb), chiamati calcogenuri o materiali calcogenici, sono utilizzabili vantaggiosamente per la realizzazione di celle di memoria a cambiamento di fase. I cambiamenti di fase vengono ottenuti aumentando localmente la temperatura delle celle di materiale calcogenico, attraverso elettrodi resistivi (generalmente noti come riscaldatori) disposti a contatto con rispettive regioni di materiale calcogenico. Dispositivi di selezione (ad esempio transistori MOSFET), sono collegati ai riscaldatori, ed abilitano il passaggio di una corrente elettrica di programmazione attraverso un rispettivo riscaldatore; tale corrente elettrica, per effetto Joule, genera le temperature necessarie per il cambiamento di fase. In lettura, lo stato del materiale calcogenico viene rilevato applicando una tensione sufficientemente bassa da non causare un sensibile riscaldamento, e quindi leggendo il valore della corrente che fluisce nella cella. Dato che la corrente è proporzionale alla conduttività del materiale calcogenico, è possibile determinare in quale stato si trovi il materiale, e quindi risalire al dato memorizzato nelle celle di memoria.

In modo noto, le memorie non volatili comprendono una matrice di celle di memoria organizzate in righe (linee di

parola, o "word line") e colonne (linee di bit, o "bit line"); ciascuna cella di memoria è realizzata, nel caso delle memorie PCM, da un elemento di memorizzazione a cambiamento di fase e da un transistor selettore, collegati in serie. In particolare, una word line è definita dall'insieme di tutti i terminali di controllo dei transistori selettori allineati lungo una stessa riga.

Un decodificatore di colonna ed un decodificatore di riga permettono di selezionare, sulla base di segnali logici di indirizzo ricevuti in ingresso e schemi di decodifica più o meno complessi, le celle di memoria, ed in particolare le relative word line e bit line, di volta in volta indirizzate, consentendone la polarizzazione a valori di tensione e corrente opportuni da parte di relativi stadi di polarizzazione.

Nel caso specifico delle memorie PCM, è noto che le operazioni di lettura richiedono, rispetto alle operazioni di programmazione, valori sensibilmente minori della tensione di polarizzazione applicata alle word line, specialmente nel caso in cui vengano utilizzati transistori selettori di tipo MOS (ad esempio 1.2V in lettura e 2.5V in programmazione).

Una matrice di memoria costituita da elementi di memorizzazione PCM richiede un'elevata potenza statica per polarizzare i terminali di controllo (terminali di porta,

nel caso di transistori MOS; terminali di base, nel caso di transistori bipolari) dei transistori selettori collegati alla riga selezionata. Appare quindi evidente come sia vantaggioso ridurre il numero di elementi di memorizzazione (ed associati transistori selettori) collegati ad una stessa riga. Tuttavia, dato che il decodificatore di riga richiede un'elevata occupazione di area, risulta necessario trovare un compromesso tra la potenza statica richiesta nella selezione di riga, e l'efficienza nell'occupazione di area del dispositivo di memoria non volatile.

Negli ultimi anni, è stato proposto, per dispositivi di memoria non volatile di tipo flash, l'utilizzo di un'architettura gerarchica di decodifica di riga. In generale, sebbene molte varianti realizzative siano state presentate, una decodifica gerarchica si basa sull'utilizzo di almeno due livelli gerarchici di decodifica di riga: un livello globale ed un livello locale. Tale architettura gerarchica prevede la presenza di word line globali, e di una pluralità di word line locali per ciascuna word line globale. Un decodificatore di riga globale indirizza le word line globali (seleziona cioè le word line globali e polarizza le word line globali di volta in volta selezionate); mentre ciascun decodificatore di riga locale indirizza le word line locali, ed in particolare abilita il collegamento tra la word line locale indirizzata e la

rispettiva word line globale, consentendo la polarizzazione delle word line della matrice di memoria fisicamente collegate alle word line locali.

Ad esempio, nel brevetto US 6,233,198 viene descritto un dispositivo di memoria flash ad alta densità, utilizzante un'architettura gerarchica di decodifica di riga.

Sebbene tale architettura di decodifica consenta, rispetto a soluzioni tradizionali, di ottenere un migliorato compromesso tra la potenza dinamica richiesta per la polarizzazione delle word line selezionate e l'occupazione di area richiesta dal decodificatore di riga, i consumi di potenza continuano a costituire un'importante limitazione di progetto, specialmente nel caso di dispositivi di memoria non volatile a cambiamento di fase. In particolare, nel caso delle memorie PCM, è anche rilevante il problema legato al consumo di potenza statica.

Scopo della presente invenzione è pertanto quello di fornire un decodificatore di riga, in particolare per un dispositivo di memoria PCM, che consenta di risolvere, in tutto o in parte, i problemi associati ai decodificatori di tipo noto, e che risulti ottimizzato per quanto riguarda le caratteristiche elettriche, con particolare riguardo alle esigenze specifiche delle memorie PCM.

Secondo la presente invenzione vengono pertanto

forniti un decodificatore di riga per una memoria a cambiamento di fase, ed una memoria a cambiamento di fase, come definiti rispettivamente nelle rivendicazioni 1 e 13.

Per una migliore comprensione della presente invenzione, ne vengono ora descritte forme di realizzazione preferite, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra un diagramma circuitale schematico di una porzione di un dispositivo di memoria non volatile, in particolare di tipo PCM;

- la figura 2 mostra un diagramma circuitale relativo ad un decodificatore globale di riga nel dispositivo di memoria di figura 1, in una prima forma di realizzazione della presente invenzione;

- la figura 3 mostra un diagramma circuitale relativo ad un decodificatore locale di riga nel dispositivo di memoria di figura 1, in una prima forma di realizzazione della presente invenzione;

- la figura 4 mostra un diagramma circuitale relativo ad un decodificatore globale di riga nel dispositivo di memoria di figura 1, in una seconda forma di realizzazione della presente invenzione;

- la figura 5 mostra un diagramma circuitale relativo ad un decodificatore locale di riga nel dispositivo di memoria di figura 1, in una seconda forma di realizzazione

della presente invenzione;

- le figure 6 e 7 mostrano due varianti realizzative di un driver per la generazione di segnali di indirizzo per il decodificatore locale di riga di figura 5; e

- la figura 8 è uno schema a blocchi di massima di un sistema elettronico incorporante il dispositivo di memoria non volatile in una forma di realizzazione della presente invenzione.

Come sarà descritto in dettaglio nel seguito, un aspetto della presente invenzione prevede di definire, in un'architettura di decodifica di riga gerarchica, due percorsi differenti di corrente per la selezione delle word line della matrice di memoria: un primo percorso dedicato alle operazioni di lettura, e per questo definito nel seguito "percorso di lettura"; ed un secondo percorso dedicato alle operazioni di programmazione, e per questo definito nel seguito "percorso di programmazione".

Nella figura 1 è mostrato schematicamente, ed indicato nel suo complesso con il numero di riferimento 1, un dispositivo di memoria non volatile, in particolare di tipo PCM, limitatamente alle sole parti necessarie alla comprensione della presente invenzione.

In particolare, il dispositivo di memoria non volatile 1 comprende una matrice di memoria 2, costituita da una pluralità di celle di memoria 3, disposte secondo word line

di matrice WL e bit line di matrice BL. Le celle di memoria 3 sono tra loro identiche e comprendono un elemento a cambiamento di fase 3a ed un elemento selettore 3b, ad esso operativamente accoppiato. L'elemento a cambiamento di fase 3a include un materiale a cambiamento di fase (ad esempio un calcogenuro), ed è quindi in grado di immagazzinare dati sotto forma di livelli di resistenza associati alle differenti fasi assunte dal materiale a cambiamento di fase (in figura 1, l'elemento a cambiamento di fase 3a è mostrato come un resistore con resistenza variabile). L'elemento selettore 3b, nella forma di realizzazione illustrata, è un transistor NMOS avente terminale di porta (gate) collegato alla word line di matrice WL, terminale di pozzo (drain) collegato all'elemento a cambiamento di fase 3a, e terminale di sorgente (source) collegato ad un potenziale di riferimento (in particolare massa, GND). L'elemento selettore 3b è controllato in modo da consentire, quando selezionato, il passaggio di una corrente di lettura/programmazione attraverso l'elemento a cambiamento di fase 3a durante rispettive operazioni di lettura/programmazione.

Il dispositivo di memoria non volatile 1 comprende inoltre un decodificatore di riga 5, atto a selezionare la word line di matrice WL corrispondente alla cella di memoria 3 di volta in volta da indirizzare, ed un

decodificatore di colonna (qui non illustrato), atto a selezionare la bit line di matrice BL relativa alla cella di memoria 3 da indirizzare.

Il decodificatore di riga 5 è interposto tra la matrice di memoria 2 ed uno stadio di polarizzazione 6, di tipo per sé noto, e riceve segnali di indirizzo decodificati, indicati in generale con DAS (Decoded Address Signal), generati in modo di per sé noto e per questo non illustrato in dettaglio, e segnali di polarizzazione, indicati in generale con V_p ; il decodificatore di riga 5 è configurato in modo da indirizzare una data word line di matrice WL, e cioè in modo da selezionare, sulla base dei segnali di indirizzo decodificati DAS, la data word line di matrice WL e da consentirne la polarizzazione ad una data grandezza elettrica, che è funzione dei segnali di polarizzazione V_p .

Secondo un aspetto particolare della presente invenzione, il decodificatore di riga 5 presenta un'architettura gerarchica e comprende almeno uno stadio decodificatore di riga globale 8, atto a selezionare una relativa word line globale, ed una pluralità di stadi decodificatori di riga locali 9 per ciascun decodificatore di riga globale 8, accoppiati operativamente allo stadio decodificatore di riga globale 8 ed alla matrice di memoria 2, ed atti a selezionare, in funzione del valore assunto

dalla rispettiva word line globale, una specifica word line di matrice WL.

In maggiore dettaglio, figura 2, lo stadio decodificatore di riga globale 8 riceve in ingresso un primo ed un secondo segnale di indirizzo di blocco, generati, in modo di per sé noto e non descritto in dettaglio, da uno stadio di indirizzamento (non illustrato), ed utilizzati per selezionare un gruppo di word line (ad esempio comprendente 8 o 16 righe), secondo uno schema di decodifica a blocchi di indirizzo. In particolare, lo stadio decodificatore di riga globale 8 riceve: una versione a bassa tensione dei segnali di indirizzo di blocco, GP_LV e D_LV, cioè segnali logici aventi tensioni nel range [GND, V_{DD}], V_{DD} essendo una prima tensione di alimentazione, di valore logico pari ad esempio a 1,2V; una versione ad alta tensione (level-shifted) dei segnali di indirizzo di blocco, GP, D, cioè segnali aventi tensioni nel range [GND, V_{CC}], V_{CC} essendo una seconda tensione di alimentazione, superiore alla prima tensione di alimentazione, pari ad esempio a 3V; ed una versione negata dei segnali di indirizzo di blocco, a bassa e ad alta tensione, GPN, DN, GPN_LV e DN_LV (in particolare, i suddetti segnali di indirizzo di blocco possono non presentare variazioni di valore contemporanee).

Lo stadio decodificatore di riga globale 8 comprende

due circuiti di decodifica distinti ed operanti in parallelo, ed in particolare un primo ed un secondo circuito decodificatore 8a, 8b, atti a selezionare e polarizzare rispettivamente una prima word line globale MWL_LV, in un percorso di lettura delle celle di memoria 3 indirizzate, ed una seconda word line globale MWL, distinta dalla prima word line globale MWL_LV, in un percorso di programmazione delle celle di memoria 3.

Il primo circuito decodificatore 8a comprende: una porta logica NAND 10, avente un primo ingresso ricevente il segnale di indirizzo di blocco GPN_LV ed un secondo ingresso ricevente il segnale di indirizzo di blocco DN_LV; ed un invertitore 11, avente ingresso collegato all'uscita della porta logica NAND 10, ed uscita collegata alla prima word line globale MWL_LV. In particolare, l'invertitore 11 è formato da un transistor PMOS di pull-up 12 e da un transistor NMOS di pull-down 13, entrambi per bassa tensione (LV - Low Voltage, operanti cioè con tensioni non superiori alla prima tensione di alimentazione V_{DD}), aventi terminali di porta collegati insieme ed all'uscita della porta logica NAND 10 e terminali di pozzo collegati insieme ed alla prima word line globale MWL_LV; il transistor PMOS di pull-up 12 presenta inoltre terminale di sorgente ricevente la prima tensione di alimentazione V_{DD} , mentre il terminale di sorgente del transistor NMOS di pull-down 13

è collegato a massa. In uso, in funzione dei segnali di indirizzo di blocco ricevuti in ingresso, il primo circuito decodificatore 8a seleziona la prima word line globale MWL_{LV}, polarizzandola ad un valore di tensione pari alla prima tensione di alimentazione V_{DD} .

Il secondo circuito decodificatore 8b comprende: un invertitore 14, formato da un transistor PMOS di pull-up 15 e da un transistor NMOS di pull-down 16, entrambi di tipo per alta tensione (HV - High Voltage, operanti cioè con tensioni con valori fino alla seconda tensione di alimentazione V_{CC}), aventi terminali di porta collegati insieme e ricevuti in ingresso il segnale di indirizzo di blocco GP, e terminali di pozzo collegati insieme ed in uscita alla seconda word line globale MWL; il transistor PMOS di pull-up 15 presenta inoltre terminale di sorgente ricevente il segnale di indirizzo di blocco DN, mentre il terminale di sorgente del transistor NMOS di pull-down 16 è collegato a massa. Il secondo circuito decodificatore 8b comprende inoltre un interruttore CMOS 17, formato dal suddetto transistor PMOS di pull-up 15 e da un transistor NMOS 18, avente terminale di porta ricevente il segnale di indirizzo di blocco GPN, e terminali di pozzo e sorgente collegati ai rispettivi terminali del transistor PMOS di pull-up 15. In uso, in funzione dei segnali di indirizzo di blocco ricevuti in ingresso, il secondo circuito

decodificatore 8b seleziona la seconda word line globale MWL, polarizzandola ad un valore di tensione pari alla seconda tensione di alimentazione V_{CC} .

Nella configurazione circuitale descritta, durante le operazioni di lettura la seconda word line globale MWL è tenuta a massa, mentre la prima word line globale MWL_LV si muove nel range di tensione $[0, V_{DD}]$; mentre durante le operazioni di programmazione, la prima e la seconda word line globali MWL_LV, MWL si muovono in parallelo nei rispettivi range di tensione, modificando insieme il loro valore (la prima essendo la versione traslata verso il basso della seconda).

La figura 3 mostra un singolo stadio decodificatore di riga locale 9, atto ad indirizzare una rispettiva word line di matrice $WL_{<i>i</i>}$ della matrice di memoria 2, con $i=0,1,\dots,m$ ed m essendo il numero di word line e di stadi decodificatori di riga locali 9 pilotati da uno stesso stadio decodificatore di riga globale 8 e dalle stesse prima e seconda word line globali MWL_LV, MWL.

In dettaglio, lo stadio decodificatore di riga locale 9 riceve in ingresso: la prima e la seconda word line globali MWL_LV, MWL, dal rispettivo stadio decodificatore di riga globale 8, ed una loro versione negata MWLN_LV e MWLN, rispettivamente da un primo e da un secondo stadio invertente 20, 21, operanti il primo nel range di bassa

tensione [GND, V_{DD}] ed il secondo nel range dell'alta tensione [GND, V_{CC}]; ed inoltre segnali di indirizzo di riga, $WLSEL<i>$ e $WLSELN_LV<i>$ (quest'ultimo essendo la versione negata ed a bassa tensione del precedente), utilizzati per la selezione delle righe della matrice di memoria 2. In particolare, il primo ed il secondo stadio invertente 20, 21 sono in comune tra tutti i decodificatori di riga locale 9 riceventi le stesse word line globali MWL_LV , MWL .

Lo stadio decodificatore di riga locale 9 comprende: un primo ed un secondo transistor di pull-down 25, 26, di tipo NMOS per bassa tensione, aventi terminali di porta ricevanti rispettivamente la versione negata $MWLN_LV$ della prima word line globale ed il segnale di indirizzo di riga $WLSELN_LV<i>$, terminali di sorgente collegati a massa, e terminali di pozzo collegati insieme ed a un primo nodo intermedio 27; ed un primo ed un secondo transistor di blocco 28, 29, di tipo NMOS per alta tensione, in configurazione cascode, ricevanti ad un rispettivo terminale di porta una tensione di riferimento $GNCASC$. Il primo transistor di blocco 28 presenta terminale di sorgente collegato al primo nodo intermedio 27, e terminale di pozzo collegato alla word line di matrice $WL<i>$ (in uscita allo stadio decodificatore di riga locale 9); il secondo transistor di blocco 29 presenta terminale di

sorgente collegato alla word line di matrice WL<i> e terminale di pozzo collegato ad un secondo nodo intermedio 30.

Lo stadio decodificatore di riga locale 9 comprende inoltre un primo transistor di pull-up 31, di tipo PMOS per bassa tensione, ed un secondo transistor di pull-up 32, di tipo PMOS per alta tensione. Il primo transistor di pull-up 31 presenta terminale di porta collegato al terminale di porta del secondo transistor di pull-down 26 e ricevente il segnale di indirizzo di riga WLSELN_LV<i>, terminale di pozzo collegato al secondo nodo intermedio 30, e terminale di sorgente collegato alla prima word line globale MWL_LV; il secondo transistor di pull-up 32 presenta terminale di porta ricevente la versione negata MWLN della seconda word line globale, terminale di sorgente ricevente il segnale di indirizzo di riga WLSEL<i>, e terminale di pozzo collegato alla word line di matrice WL<i>.

In uso, due percorsi di corrente distinti e separati vengono generati all'interno dello stadio decodificatore di riga locale 9, uno per le operazioni di lettura e l'altro per le operazioni di programmazione, la cui abilitazione è controllata, oltre che dai segnali di indirizzo di riga, rispettivamente dal valore della prima word line globale MWL_LV e della seconda word line globale MWL. In

particolare, il percorso di lettura è definito solamente da transistori MOS per bassa tensione, ed in particolare dal primo e dal secondo transistori di pull-down 25, 26 e dal primo transistori di pull-up 31; mentre il percorso di programmazione è definito essenzialmente dal secondo transistori di pull-up 32.

Durante un'operazione di lettura, la tensione di riferimento GNCASC viene portata al valore alto V_{CC} , in tal modo aprendo un percorso di corrente verso il primo ed il secondo transistori di pull-down 25, 26 e verso il primo transistori di pull-up 31. In questa fase, la seconda word line globale MWL è tenuta a massa (GND), in tal modo spegnendo il secondo transistori di pull-up 32 e disconnettendo il percorso di programmazione. La selezione della word line di matrice WL<i> è così controllata solamente dal primo e dal secondo transistori di pull-down 25, 26 e dal primo transistori di pull-up 31; in particolare, la word line di matrice WL<i> viene selezionata in lettura (ed opportunamente polarizzata al valore della prima tensione di alimentazione V_{DD}) quando la prima word line globale MWL_LV è portata al valore logico alto V_{DD} ed inoltre il segnale di indirizzo di riga WLSELN_LV<i> è portato a massa (GND), generando così un percorso di corrente tra la prima word line globale MWL_LV e la word line di matrice WL<i> attraverso il primo

transistore di pull-up 31.

Durante un'operazione di programmazione, la tensione di riferimento GNCASC viene portata al valore logico alto V_{DD} , e viene disconnesso il percorso di corrente attraverso il primo transistore di pull-up 31. I segnali di controllo nel percorso di lettura sono ancora attivi, e pertanto collegano il terminale di source del primo transistore di blocco 28 a massa; inoltre, la prima e la seconda word line globali MWL_LV, MWL si muovono in parallelo. La word line di matrice WL<i> è selezionata in programmazione (e dunque opportunamente polarizzata) quando sia la seconda linea globale MWL, che il segnale di indirizzo di riga WLSEL<i> sono portati al valore alto V_{CC} , generando così un percorso di corrente verso la word line di matrice WL<i> attraverso il secondo transistore di pull-up 32. In questa condizione, il primo ed il secondo transistore di blocco 28, 29 proteggono i transistori per bassa tensione nel percorso di lettura dall'alta tensione presente sull'uscita.

La figura 4 mostra una seconda forma di realizzazione dello stadio decodificatore di riga globale, indicato qui con 8'.

In dettaglio, il primo circuito decodificatore, qui indicato con 8a', presenta una struttura circuitale identica al secondo circuito decodificatore 8b di figura 2 (per cui gli stessi numeri di riferimento vengono

utilizzati per identificare componenti analoghi). La prima word line globale, qui indicata con MWL', presenta pertanto una dinamica di tensione [GND, V_{CC}] (cioè può assumere un primo valore di tensione pari a GND, quando non selezionata, o un secondo valore di tensione pari a V_{CC}, quando selezionata).

Il secondo circuito decodificatore, qui indicato con 8b', comprende: un invertitore 34, formato da un transistor PMOS di pull-up 35 e da un transistor NMOS di pull-down 36, entrambi di tipo ad alta tensione, aventi terminali di porta collegati insieme e riceventi in ingresso un segnale di abilitazione negato ENWRITEN (versione negata del segnale di abilitazione ENWRITE), e terminali di pozzo collegati insieme ed alla seconda word line globale, qui indicata con MWL_WR, in uscita al secondo circuito decodificatore 8b'; il transistor PMOS di pull-up 35 presenta inoltre terminale di sorgente collegato alla prima word line globale MWL', mentre il terminale di sorgente del transistor NMOS di pull-down 36 è collegato a massa. Il secondo circuito decodificatore 8b' comprende inoltre due ulteriori transistori NMOS di pull-down, entrambi per alta tensione e collegati tra la seconda word line globale MWL_WR e massa: in particolare, un primo transistor NMOS 37 presenta terminale di porta ricevente il segnale di indirizzo di blocco GP, mentre un secondo

transistore NMOS 38 riceve su un rispettivo terminale di porta il segnale di indirizzo di blocco D. In particolare, la seconda word line globale MWL_WR è attivata dal segnale di abilitazione ENWRITE solamente durante le operazioni di programmazione, durante le quali, inoltre, la prima e la seconda word line globali MWL', MWL_WR si muovono in parallelo.

Come mostrato in figura 5, ciascuno stadio decodificatore di riga locale, qui indicato con 9' (nuovamente, sono previsti m stadi decodificatori locali 9' per ciascuno stadio decodificatore globale 8') comprende: un transistore di pull-down 40, di tipo NMOS per alta tensione, avente terminale di porta ricevente la versione negata MWLN' della prima word line globale MWL' (generata localmente tramite il primo stadio invertitore 20), terminale di sorgente collegato a massa, e terminale di pozzo collegato alla word line di matrice WL<i>; un primo transistore di pull-up 41, di tipo NMOS per alta tensione, avente terminale di porta collegato alla prima word line globale MWL', terminale di sorgente collegato alla word line di matrice WL<i> e terminale di pozzo ricevente un primo segnale di indirizzo di riga WLSEL_SW<i> (generato come sarà descritto in dettaglio nel seguito); ed un secondo transistore di pull-up 42, di tipo PMOS per alta tensione, avente terminale di porta collegato alla versione

negata MWLN_WR della seconda word line globale MWL_WR (generata localmente tramite il secondo stadio invertitore 21), terminale di sorgente collegato alla word line di matrice WL*i* e terminale di pozzo ricevente un secondo segnale di indirizzo di riga WLSEL*i*. In particolare, il primo segnale di indirizzo di riga WLSEL_SW*i* presenta una prima dinamica di tensioni [GND; V_{DD}] durante le operazioni di lettura, ed una seconda dinamica di tensioni [GND; V_{CC}] durante le operazioni di programmazione; ed il secondo segnale di indirizzo di riga WLSEL*i* presenta dinamica di tensioni [GND; V_{CC}].

In questa seconda forma di realizzazione, il percorso di lettura è formato dal transistor di pull-down 40 e dal primo transistor di pull-up 41, entrambi di tipo NMOS. Durante un'operazione di lettura, il valore della seconda word line globale MWL_WR viene mantenuto basso (il segnale di abilitazione ENWRITE è tenuto al valore basso), in modo tale che la sua versione negata MWLN_WR si porti al valore alto V_{CC}, in tal modo spegnendo il secondo transistor di pull-up 42. La selezione di riga è così controllata solamente dal transistor di pull-down 40 e dal primo transistor di pull-up 41: in particolare, la *i*-esima word line di matrice WL*i* della matrice di memoria 2 è selezionata in lettura (ed opportunamente polarizzata al valore logico alto V_{DD}) quando la prima word line globale

MWL' è portata al valore alto V_{CC} , ed il corrispondente primo segnale di indirizzo di riga WLSEL_SW<i> è portato al valore logico alto V_{DD} .

Durante un'operazione di programmazione, la seconda word line globale MWL_WR viene attivata dal segnale di abilitazione ENWRITE, e pertanto la prima e la seconda word line globali MWL', MWL_WR modificano insieme il loro valore, subendo variazioni sostanzialmente analoghe. La *i*-esima word line di matrice WL<i> è selezionata in programmazione quando sia la prima che la seconda word line globali MWL', MWL_WR assumono il valore alto V_{CC} ed inoltre il secondo segnale di indirizzo di riga WLSEL<i> si porta anch'esso al valore alto V_{CC} . Inoltre, quando la word line di matrice WL<i> è selezionata, il primo segnale di indirizzo di riga WLSEL_SW<i> si porta al valore alto V_{CC} .

La figura 6 mostra una possibile implementazione di un driver di selezione 45, per la generazione del primo e del secondo segnale di indirizzo di riga WLSEL, WLSEL_SW.

In dettaglio, il driver di selezione 45 comprende un traslatore di livello ("level shifter") 46, che riceve in ingresso un segnale di indirizzo di riga negato a bassa tensione WLSELN_LV, e ne fornisce in uscita, su un nodo intermedio 47, una versione traslata verso l'alto (sulla dinamica $[0, V_{CC}]$). Il driver di selezione 45 comprende inoltre in uscita un primo ed un secondo stadio invertitore

48, 49, entrambi formati da transistori NMOS e PMOS per alta tensione (in maniera standard, qui non descritta nuovamente in dettaglio). Il primo stadio invertitore 48 presenta un ingresso di segnale collegato al nodo intermedio 47 ed un ingresso di alimentazione ricevente un segnale di alimentazione `SUPPLY_SW`, corrispondente alternativamente alla prima tensione di alimentazione V_{DD} o alla seconda tensione di alimentazione V_{CC} , in funzione del valore del segnale di abilitazione `ENWRITE`, come mostrato schematicamente in figura 6; il primo stadio invertitore 48 fornisce in uscita il primo segnale di indirizzo di riga `WLSEL_SW`, che presenta, nello stato alto, alternativamente il valore V_{CC} o V_{DD} , a seconda del valore del segnale di abilitazione `ENWRITE`, e quindi dell'operazione, di lettura o programmazione, da effettuare sulla matrice di memoria 2. Il secondo stadio invertitore 49 presenta un rispettivo ingresso di segnale collegato al nodo intermedio 47 ed un rispettivo ingresso di alimentazione ricevente la seconda tensione di alimentazione V_{CC} , e fornisce in uscita il secondo segnale di indirizzo di riga `WLSEL`, che presenta dunque una dinamica di valori $[GND, V_{CC}]$.

La figura 7 mostra una variante realizzativa del driver di selezione, indicato qui con 45'.

In dettaglio, il driver di selezione 45' comprende: il traslatore di livello 46, ricevente in questo caso in

ingresso il segnale di indirizzo di riga a bassa tensione WLSEL_LV, e fornente sul nodo intermedio 47, il secondo segnale di indirizzo di riga WLSEL; ed un interruttore CMOS 50, di tipo per alta tensione, collegato tra il nodo intermedio 47 e l'uscita del driver di selezione 45', su cui è presente il primo segnale di indirizzo di riga WLSEL_SW, e ricevente ai suoi terminali di controllo il segnale di abilitazione ENWRITE ed il segnale di abilitazione negato ENWRITEN. Il driver di selezione 45' comprende inoltre: un primo ed un secondo invertitore 51, 52, realizzati con transistori NMOS e PMOS per bassa tensione, collegati in serie tra l'ingresso del driver di selezione 45' ed un nodo intermedio 53, e riceventi la prima tensione di alimentazione V_{DD} ad un rispettivo ingresso di alimentazione; ed un transistor NMOS 54, del tipo ad alta tensione, avente la funzione di "pass transistor", collegato tra il nodo intermedio 53 e l'uscita del driver di selezione 45', e ricevente sul terminale di porta il segnale di abilitazione negato ENWRITEN.

Anche in questa forma di realizzazione, la dinamica del primo segnale di indirizzo di riga WLSEL_SW è direttamente dipendente dal valore del segnale di abilitazione ENWRITE (e quindi dell'operazione di lettura o programmazione da effettuare). Tale forma di realizzazione ha il vantaggio di non richiedere una traslazione di

livello nel percorso di lettura (in particolare, per portare il primo segnale di indirizzo di riga WLSEL_SW al valore logico alto V_{DD}).

In figura 8 viene mostrata una porzione di un sistema elettronico 50, realizzato secondo un'ulteriore forma di realizzazione delle presente invenzione. Il sistema elettronico 50 può essere utilizzato in dispositivi elettronici, quali ad esempio: un PDA (Personal Digital Assistant); un computer portatile o fisso, eventualmente con capacità di trasferimento dati wireless; un telefono cellulare; un riproduttore di audio digitale; una foto- o video-camera; o ulteriori dispositivi in grado di elaborare, memorizzare, trasmettere e ricevere informazioni.

In dettaglio, il sistema elettronico 50 comprende: un controller 51 (ad esempio dotato di un microprocessore, un DSP, o un microcontrollore); un dispositivo di input/output 52 (ad esempio provvisto di una tastiera e un display), per immettere e visualizzare dati; il dispositivo di memoria non volatile 1, dotato della matrice di celle di memoria 3 del tipo a cambiamento di fase, precedentemente descritto; un'interfaccia wireless 54, ad esempio un'antenna, per trasmettere e ricevere dati attraverso una rete di comunicazione wireless a radiofrequenza; ed una memoria RAM 55, tutti accoppiati attraverso un bus 56. Una batteria 57

può essere utilizzata come sorgente di alimentazione elettrica nel sistema elettronico 50, che può essere inoltre dotato di una foto o videocamera 58.

Da quanto precedentemente descritto ed illustrato, sono evidenti i vantaggi che il decodificatore di riga secondo l'invenzione consente di ottenere.

In particolare, la soluzione descritta consente di sfruttare le peculiarità di una matrice di memoria a cambiamento di fase, separando i percorsi di decodifica di riga in lettura e programmazione, garantendo una riduzione della potenza statica richiesta per la selezione di riga, e simultaneamente riducendo la potenza dinamica e migliorando le prestazioni durante le operazioni di lettura.

Infatti, risulta possibile dimensionare in maniera ottimizzata i componenti circuitali relativi alla decodifica di riga in lettura (nel primo percorso di corrente), in maniera svincolata dalle richieste elettriche relative alle operazioni di programmazione. Le dimensioni dei transistori coinvolti nelle operazioni di decodifica di riga in lettura possono essere limitate, dato che essi devono sopportare tensioni di valore ridotto (non superiori alla prima tensione di alimentazione V_{DD}). L'eventuale aumento delle dimensioni dei transistori può così essere limitato al percorso di programmazione, in cui però non si richiede un compromesso con le prestazioni, dato che la

potenza statica dovuta alla polarizzazione in lettura è sostanzialmente trascurabile. In particolare, in lettura la word line viene polarizzata a bassa tensione, quindi non si consuma potenza statica (la corrente di gate del selettore è trascurabile), ed il dimensionamento deve tener conto solo della potenza dinamica necessaria. Al contrario, in programmazione il dimensionamento deve tener conto anche della potenza statica. Pertanto, è evidente il vantaggio offerto dalla presente soluzione rispetto ad una soluzione tradizionale in cui i percorsi di lettura e programmazione coincidono, ed in cui il dimensionamento per la programmazione comporta un aumento della potenza dinamica in lettura, a causa delle maggiori capacità parassite.

Entrambe le forme di realizzazione descritte presentano vantaggi specifici: in particolare, la prima forma di realizzazione descritta risulta vantaggiosa in quanto, per la selezione di riga durante le operazioni di lettura, vengono utilizzati solamente transistori per bassa tensione, non richiedendo quindi una traslazione dei livelli di tensione (level shifting) dei segnali di indirizzo; la seconda forma di realizzazione descritta, pur presentando un percorso di lettura solamente parzialmente a bassa tensione, risulta vantaggiosa in quanto presenta una minore occupazione di area per la decodifica locale di riga. L'utilizzo di soli transistori NMOS nel percorso di

lettura consente di ottenere una maggiore semplicità circuitale ed un risparmio nell'occupazione d'area.

RIVENDICAZIONI

1. Decodificatore di riga (5), per un dispositivo di memoria a cambiamento di fase (1) dotato di una matrice (2) di celle di memoria (3) organizzate secondo una pluralità di linee di parola di matrice (WL<i>) e di linee di bit di matrice (BL), detto decodificatore di riga (5) avendo un'architettura gerarchica e comprendendo: un decodificatore globale (8; 8') configurato in modo da indirizzare una prima (MWL_LV; MWL') ed una seconda (MWL; MWL_WR) linea di parola globale in funzione di primi segnali di indirizzo (GP, D); ed almeno un decodificatore locale (9; 9'), accoppiato operativamente a detto decodificatore globale (8; 8') e configurato in modo da indirizzare una rispettiva linea di parola di matrice (WL<i>) in funzione del valore di dette prima e seconda linee di parola globali e di secondi segnali di indirizzo (WLSEL, WLSELN_LV; WLSEL_SW), caratterizzato dal fatto che detto decodificatore locale (9; 9') comprende: un primo ramo circuitale (25, 26, 31; 40, 41) configurato in modo da generare, quando detta prima linea di parola globale (MWL_LV; MWL') è indirizzata, un primo percorso di corrente tra detta linea di parola di matrice (WL<i>) ed una prima sorgente di polarizzazione (V_{DD}) durante un'operazione di lettura; ed un secondo ramo circuitale (32; 42) configurato in modo da generare, quando

detta seconda linea di parola globale (MWL_LV; MWL') è indirizzata, un secondo percorso di corrente, distinto da detto primo percorso di corrente, tra detta linea di parola di matrice (WL<i>)</i> ed una seconda sorgente di polarizzazione (V_{CC}) durante un'operazione di programmazione.

2. Decodificatore secondo la rivendicazione 1, in cui detta prima sorgente di polarizzazione è atta a fornire una prima tensione di polarizzazione (V_{DD}), e detta seconda sorgente di polarizzazione è atta a fornire una seconda tensione di polarizzazione (V_{CC}) avente un valore maggiore rispetto a detta prima tensione di polarizzazione (V_{DD}).

3. Decodificatore secondo la rivendicazione 2, in cui detto decodificatore locale (9; 9') è azionabile in modo da abilitare alternativamente detto primo o detto secondo percorso di corrente, rispettivamente durante detta operazione di lettura e detta operazione di programmazione.

4. Decodificatore secondo la rivendicazione 2 o 3, in cui detto decodificatore globale (8; 8') comprende: un primo stadio (8a; 8a') collegato a, ed atto a selezionare e polarizzare, detta prima linea di parola globale (MWL_LV; MWL'); ed un secondo stadio (8b; 8b'), distinto da detto primo stadio, collegato a, ed atto a selezionare e polarizzare, detta seconda linea di parola globale (MWL; MWL_WR).

5. Decodificatore secondo una qualsiasi delle rivendicazioni 2-4, in cui detto secondo ramo circuitale (32; 42) comprende un transistorore di pull-up (32; 42) avente un primo terminale di conduzione collegato a detta linea di parola di matrice (WL<i>), un secondo terminale di conduzione collegabile a detta seconda sorgente di polarizzazione (V_{cc}), e terminale di controllo accoppiato a detta seconda linea di parola globale (MWL; MWL_WR).

6. Decodificatore secondo la rivendicazione 5, in cui detto transistorore di pull-up (32; 42) è un transistorore PMOS per alta tensione; detto terminale di controllo di detto transistorore di pull-up (32; 42) è collegato a detta seconda linea di parola globale (MWL; MWL_WR) tramite l'interposizione di un invertitore (21); e detto secondo terminale di conduzione di detto transistorore di pull-up (32; 42) è atto a ricevere un dato segnale di indirizzo (WLSEL<i>) di detti secondi segnali di indirizzo (WLSEL, WLSELN_LV; WLSEL_SW), avente un valore pari a detta seconda tensione di polarizzazione (V_{cc}) durante detta operazione di programmazione.

7. Decodificatore secondo una qualsiasi delle rivendicazioni 2-6, in cui detto primo ramo circuitale (25, 26, 31; 40, 41) comprende: un rispettivo transistorore di pull-up (31; 41) avente un primo terminale di conduzione collegabile a detta linea di parola di matrice (WL<i>) ed

un secondo terminale di conduzione collegabile a detta prima sorgente di polarizzazione (V_{DD}); ed un primo transistorore di pull-down (26, 40) avente un primo terminale di conduzione collegabile a detta linea di parola di matrice ($WL<i>$) ed un secondo terminale di conduzione collegato ad un potenziale di riferimento, ed avente terminale di controllo accoppiato a detta prima linea di parola globale (MWL_LV ; MWL').

8. Decodificatore secondo la rivendicazione 7, in cui detto primo ramo circuitale (25, 26, 31) comprende inoltre un secondo transistorore di pull-down (25) collegabile tra detta linea di parola di matrice ($WL<i>$) e detto potenziale di riferimento, ed avente terminale di controllo atto a ricevere un rispettivo segnale di indirizzo ($WLSEN_LV<i>$) di detti secondi segnali di indirizzo ($WLSEL$, $WLSELN_LV$) avente un valore pari a detto potenziale di riferimento durante detta operazione di lettura; detto rispettivo transistorore di pull-up (31) avendo terminale di controllo atto a ricevere detto rispettivo segnale di indirizzo ($WLSELN_LV<i>$) durante detta operazione di lettura, ed essendo collegabile a detta prima sorgente di polarizzazione (V_{DD}) attraverso detta prima linea di parola globale (MWL_LV).

9. Decodificatore secondo la rivendicazione 7 o 8, in cui detto decodificatore locale (9) comprende inoltre due

transistori di blocco (28, 29) collegati tra detta linea di parola di matrice ($WL_{i>}$) e, rispettivamente, detto rispettivo transistoro di pull-up (31) e detto primo transistoro di pull-down (26), ed azionabili per collegare selettivamente a detta linea di parola di matrice ($WL_{i>}$) detto rispettivo transistoro di pull-up (31) e, rispettivamente, detto primo transistoro di pull-down (26).

10. Decodificatore secondo una qualsiasi delle rivendicazioni 7-9, in cui detta prima linea di parola globale (MWL_{LV}) e detto primo ramo circuitale (25, 26, 31) sono operabili in una dinamica di tensioni non superiori a detta prima tensione di polarizzazione (V_{DD}), detto primo ramo circuitale includendo transistori per bassa tensione.

11. Decodificatore secondo la rivendicazione 7, in cui detto rispettivo transistoro di pull-up (41) ha un terminale di controllo collegato a detta prima linea di parola globale (MWL'), ed è atto a ricevere su detto primo terminale di conduzione un rispettivo segnale di indirizzo ($WLSEL_{SW}$) tra detti secondi segnali di indirizzo, avente valori commutabili tra detta prima tensione di polarizzazione (V_{DD}), durante detta operazione di lettura, e detta seconda tensione di polarizzazione (V_{CC}), durante detta operazione di programmazione.

12. Decodificatore secondo la rivendicazione 11, in cui detto decodificatore globale (8') è configurato in modo

da ricevere un segnale di abilitazione (ENWRITE) e da abilitare l'indirizzamento di detta seconda linea di parola globale (MWL_WR) in funzione del valore di detto segnale di abilitazione (ENWRITE); ed in cui detto rispettivo segnale di indirizzo (WLSEL_SW) è commutabile in funzione del valore di detto segnale di abilitazione (ENWRITE).

13. Dispositivo di memoria a cambiamento di fase (1), comprendente: una matrice (2) di celle di memoria (3) organizzate secondo una pluralità di linee di parola di matrice (WL<i>)</i> e di linee di bit di matrice (BL); uno stadio di polarizzazione (6); ed un decodificatore di riga (5) secondo una qualsiasi delle rivendicazioni precedenti, configurato in modo da selezionare dette linee di parola di matrice (WL<i>)</i> e da generare un percorso di corrente tra dette linee di parola di matrice e detto stadio di polarizzazione (6).

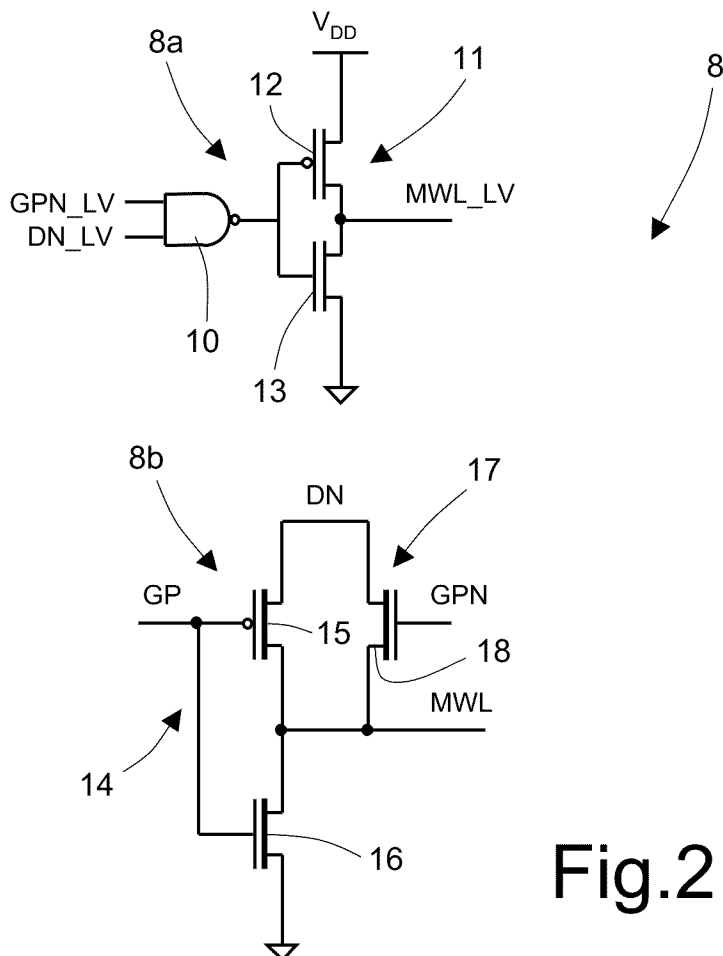
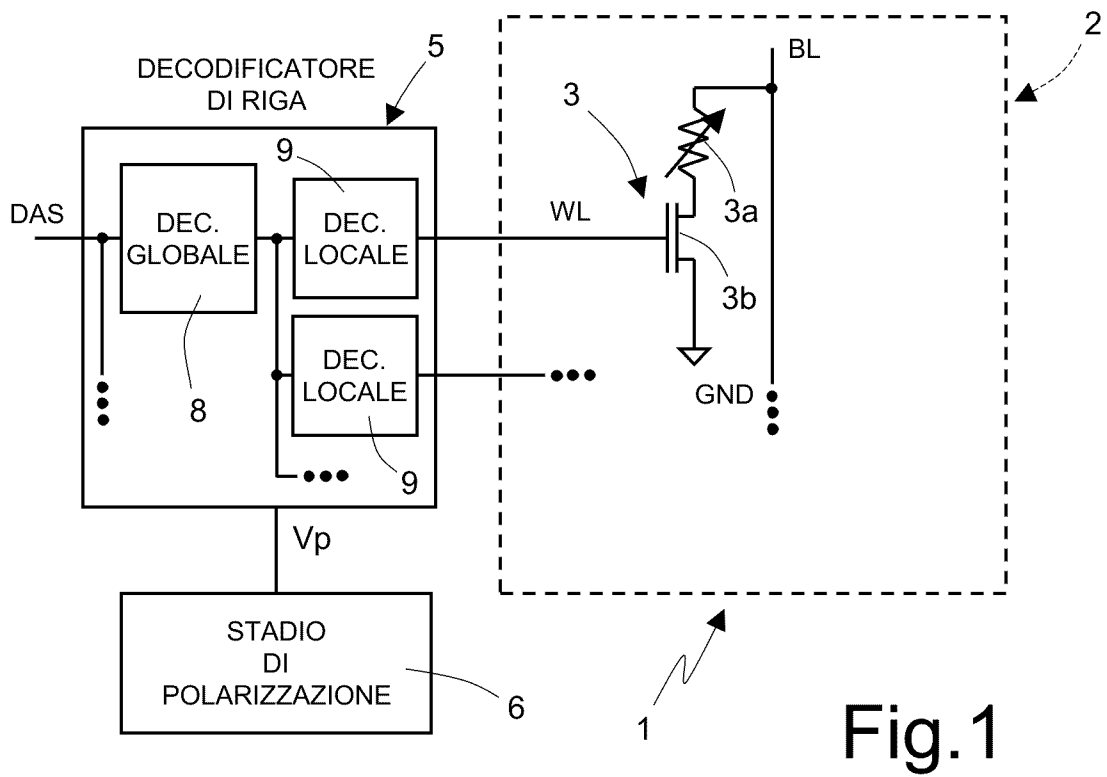
14. Dispositivo secondo la rivendicazione 13, in cui ciascuna di dette celle di memoria (3) comprende: una regione a cambiamento di fase (3a); ed un selettore a transistor (3b), operativamente accoppiato a detta regione a cambiamento di fase (3a) ed avente un terminale di controllo collegato ad una rispettiva di dette linee di parola di matrice (WL<i>)</i>).

15. Sistema elettronico (50), comprendente un dispositivo di memoria a cambiamento di fase (1) secondo la

rivendicazione 13 o 14, in particolare detto sistema elettronico (30) comprendendo uno tra: un PDA (Personal Digital Assistant); un computer portatile; un telefono cellulare; un riproduttore di audio digitale; una foto- o video-camera.

p.i.: STMICROELECTRONICS S.R.L.

Lorenzo NANNUCCI



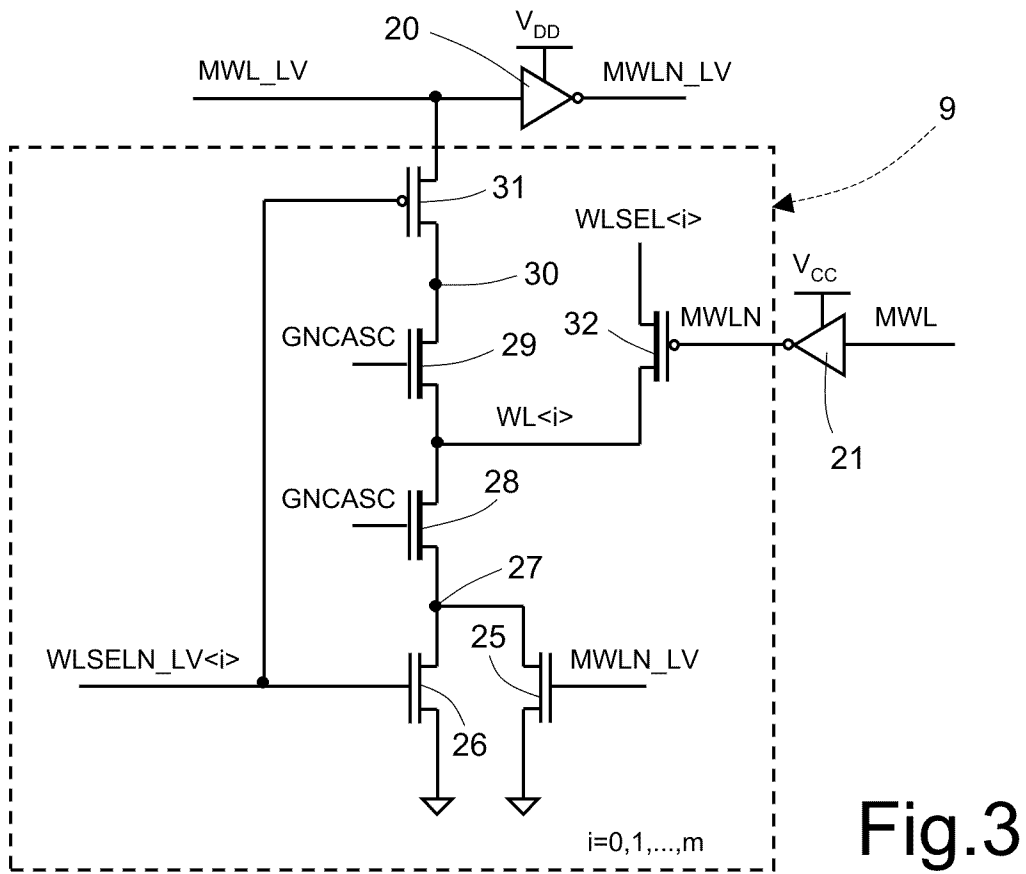


Fig.3

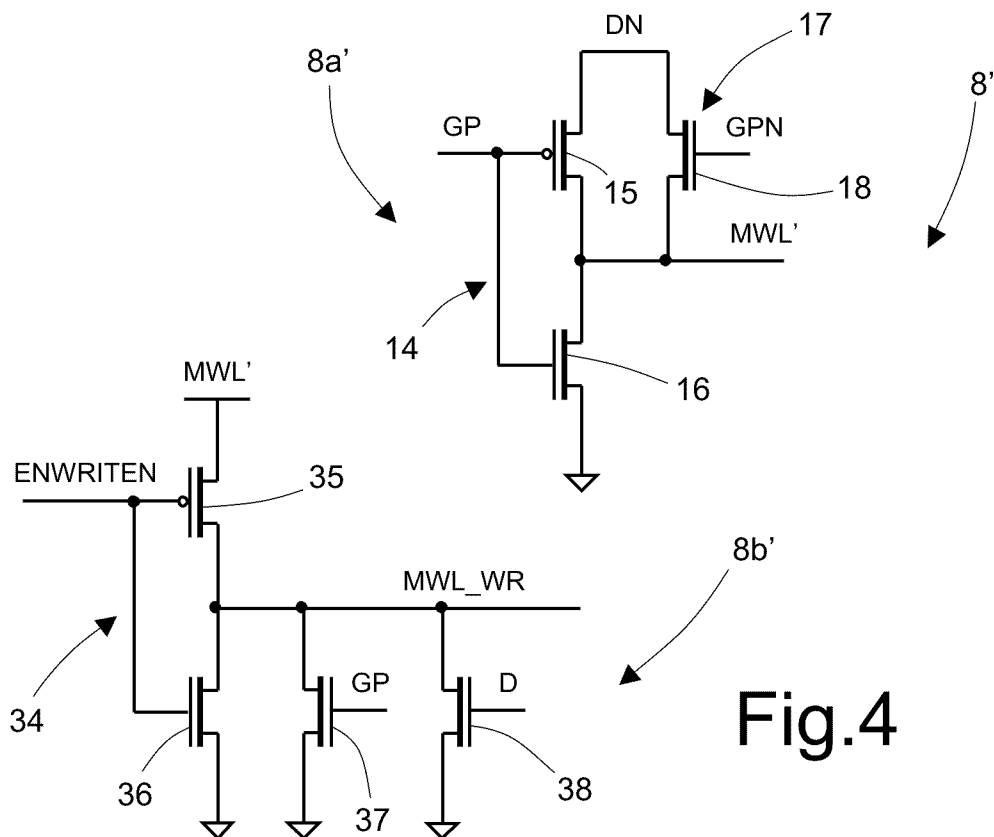


Fig.4

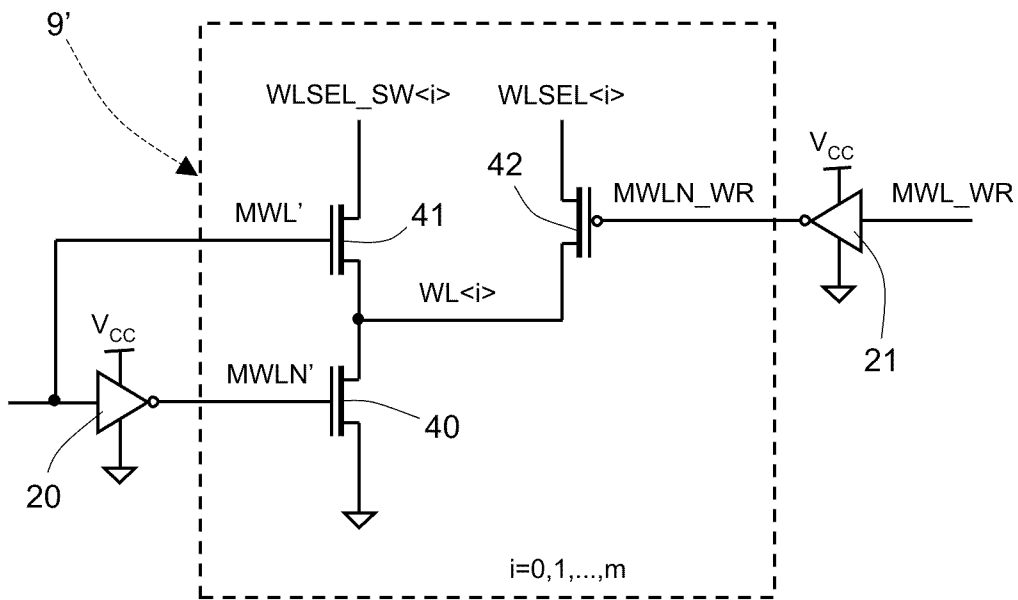


Fig.5

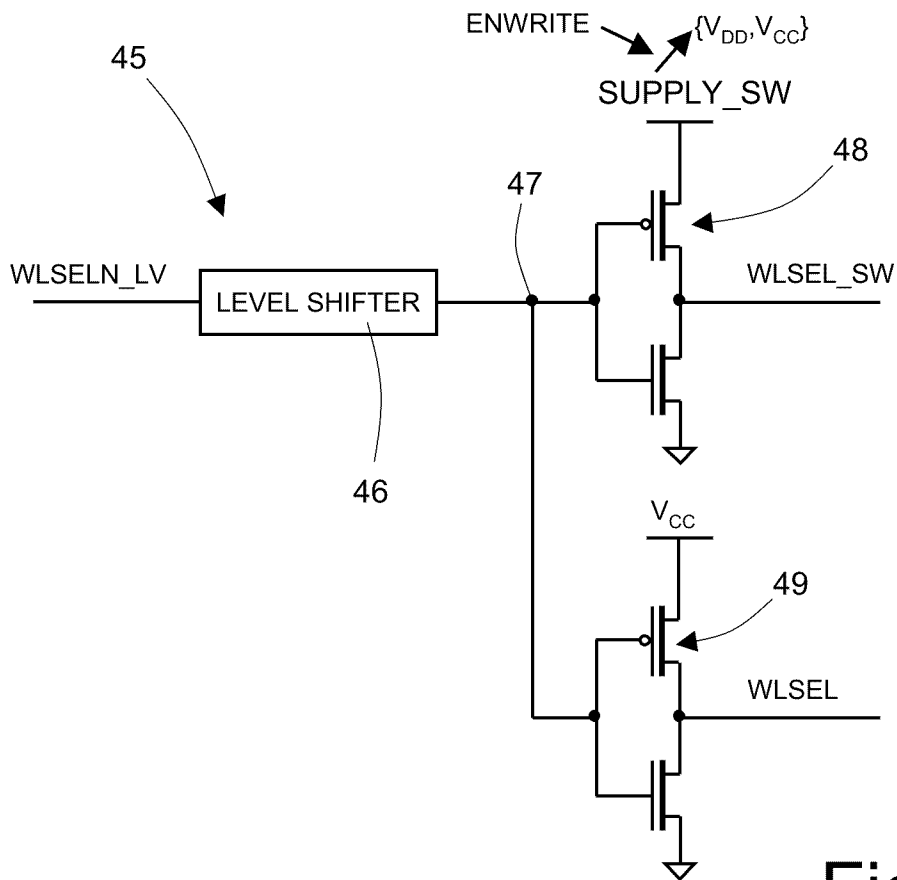


Fig.6

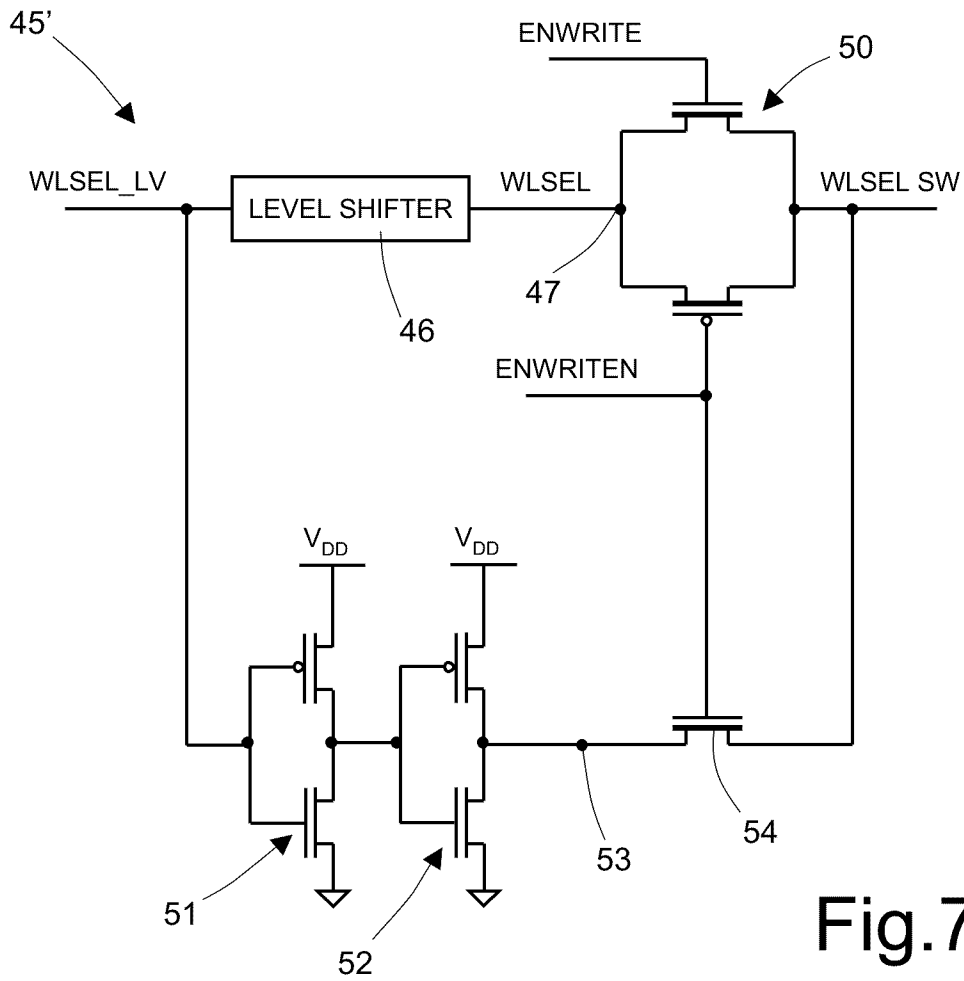


Fig.7

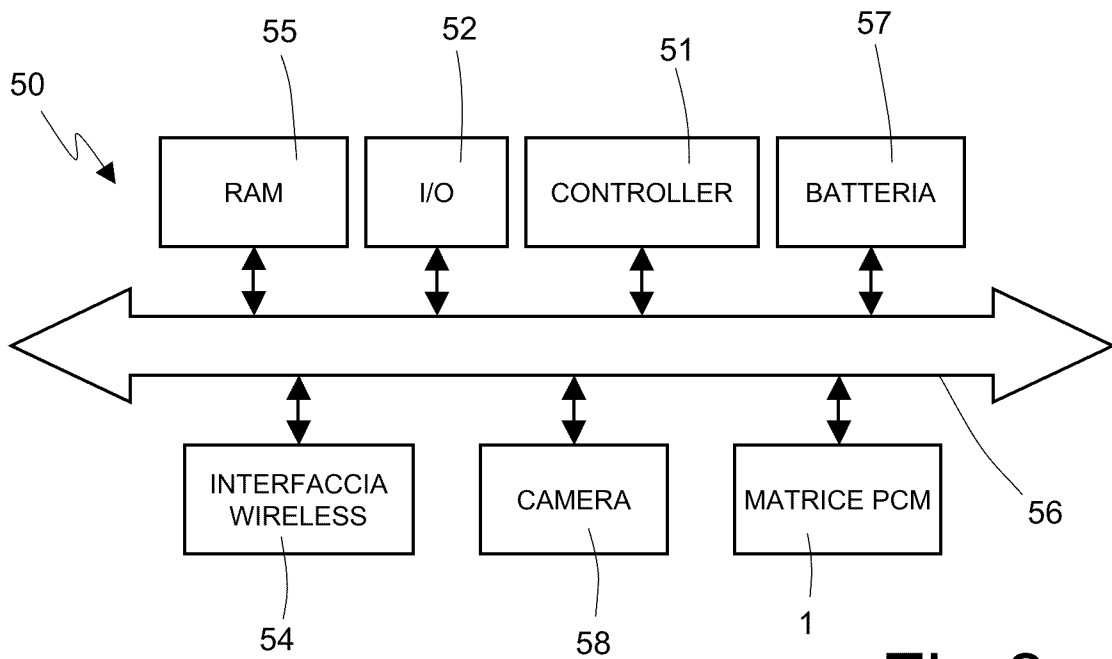


Fig.8