

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200610091109.6

H01L 27/00 (2006.01)
H01L 23/522 (2006.01)
G09G 3/20 (2006.01)
G09G 3/36 (2006.01)
G11C 7/00 (2006.01)

[45] 授权公告日 2009年7月15日

[11] 授权公告号 CN 100514639C

[22] 申请日 2006.6.30

[21] 申请号 200610091109.6

[30] 优先权

[32] 2005.6.30 [33] JP [31] 2005-192952

[73] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 小平觉 井富登 河口秀次 熊谷敬

石山久展 前川和广

[56] 参考文献

JP2001222276 A 2001.8.17

JP2002-56668 A 2002.2.22

JP2002-175040 A 2002.6.21

审查员 吴晓达

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余刚

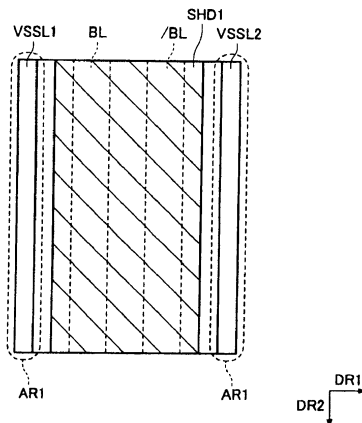
权利要求书 3 页 说明书 47 页 附图 30 页

[54] 发明名称

集成电路装置及电子设备

[57] 摘要

本发明提供可灵活进行电路配置，并能实现效率良好的布局的集成电路装置及包含该集成电路装置的电子设备。其中，集成电路装置包括显示存储器，在形成有多条位线 BL、/BL 的金属布线层 ALC 上形成向多个存储器单元 MC 供给第一电源电压 VSS 的多条第一电源供给布线 VSSL1、VSSL2，在形成有多条字线 WL 的金属布线层 ALB 上形成向多个存储器单元 MC 供给电压高于第一电源电压 VSS 的第二电源电压 VDD 的第二电源供给布线 VDDL，在多条位线 BL、/BL 的上层形成多条位线保护用布线 SHD1，多条位线的各条和多条位线保护用布线的各条包括在俯视图上相互重叠的区域，在多条位线保护用布线的上层形成向显示存储器之外的电路供给电压高于所述第二电源电压的第三电源电压的第三电源供给布线 GL。



1. 一种集成电路装置,包括用于存储在显示面板上进行显示的至少一部分数据的显示存储器,所述显示面板包含多条扫描线和多条数据线,所述集成电路装置的特征在于:

所述显示存储器包括多条字线、多条位线、多个存储器单元,

在形成有所述多条位线的金属布线层上,形成有用于向所述多个存储器单元供给第一电源电压的多条第一电源供给布线,

在形成有所述多条字线的金属布线层上,形成用于向所述多个存储器单元供给电压高于所述第一电源电压的第二电源电压的第二电源供给布线,

在所述多条字线的上层形成有所述多条位线,

在所述多条位线的上层形成有多条位线保护用布线,所述多条位线的各条位线和所述多条位线保护用布线的各条位线保护用布线包括在俯视图上相互重叠的区域,

在所述多条位线保护用布线的上层形成有第三电源供给布线,所述第三电源供给布线用于向设置于所述集成电路装置的电路中的所述显示存储器之外的电路供给电压高于所述第二电源电压的第三电源电压。

2. 根据权利要求1所述的集成电路装置,其特征在于:

所述多个存储器单元的各个存储器单元具有短边和长边,在所述多个存储器单元的各个存储器单元中,所述多条位线沿着第一方向形成,所述多条字线沿着第二方向形成,所述

第一方向是在所述多个存储器单元的所述长边上延伸的方向；所述第二方向是在所述多个存储器单元的所述短边上延伸的方向。

3. 根据权利要求2所述的集成电路装置，其特征在于：

在形成有所述多条第一电源供给布线的区域的上层设置有未形成所述多条位线保护用布线的保护用布线非形成区域。

4. 根据权利要求3所述的集成电路装置，其特征在于：

所述保护用布线非形成区域沿所述第一方向延伸形成。

5. 根据权利要求2至4中任一项所述的集成电路装置，其特征在于：

所述多条第一电源供给布线的各条电源供给布线沿所述第一方向延伸形成，

在所述多个存储器单元的各个存储器单元中，由所述多条位线中的两条位线构成的位线对被所述多条第一电源供给布线中的两条第一电源供给布线夹着的状态进行配置。

6. 根据权利要求5所述的集成电路装置，其特征在于：

所述多条位线保护用布线沿所述第一方向延伸形成，

在所述多个存储器单元的各个存储器单元中，所述多条位线保护用布线中的一条在所述第二方向上的两端部包含在俯视图上与所述两条第一电源供给线相互重叠的区域。

7. 根据权利要求2至4中任一项所述的集成电路装置，其特征在于：

所述多条位线保护用布线的各条位线保护用布线沿所述第一方向延伸形成。

8. 根据权利要求3所述的集成电路装置,其特征在于:

所述多条位线保护用布线的各条位线保护用布线沿所述第二方向延伸形成。

9. 根据权利要求8所述的集成电路装置,其特征在于:

所述保护用布线非形成区域沿所述第二方向延伸形成。

10. 根据权利要求1至4中任一项所述的集成电路装置,其特征在于:

在所述多条位线保护用布线上供给所述第一电源电压。

11. 根据权利要求1至4中任一项所述的集成电路装置,其特征在于:

所述多条位线保护用布线与所述第一电源供给布线电连接。

12. 一种电子设备,其特征在于包括:

根据权利要求1至11中任一项所述的集成电路装置; 以及
显示面板。

13. 根据权利要求12所述的电子设备,其特征在于:

所述集成电路装置安装在形成有所述显示面板的基板上。

14. 根据权利要求13所述的电子设备,其特征在于:

所述集成电路装置安装在形成有所述显示面板的基板上,以使所述集成电路装置的所述多条字线平行于在所述显示面板上设置的所述多条数据线延伸的方向。

集成电路装置及电子设备

技术领域

本发明涉及集成电路装置及电子设备。

背景技术

近年来，随着电子设备的普及，对于安装在电子设备中的显示面板的高析像度化的要求增强。伴随这种状况，要求驱动显示面板的驱动电路具有高功能。但是，在具有高功能的驱动电路上需要多种电路，为与显示面板的高析像度化呼应，其电路规模及电路的复杂程度均有增大的趋势。因此，很难在维持高功能、或安装更高功能的同时，缩小驱动电路的芯片面积，从而妨碍了制造成本的降低。

此外，对于微型电子设备，也要求安装高析像度化的显示面板，并使其驱动电路具有高功能。但是，受微型电子设备的空间的限制，无法过大地增大电路规模。因此，很难兼具芯片面积的缩小和高功能的安装，难以降低制造成本或安装更高的功能。

特开 2001-222276 号公报中披露了一种内置 RAM 的液晶显示驱动器，然而，却丝毫没有提及液晶显示驱动器的微型化。

发明内容

本发明克服了上述技术问题，目的在于提供一种，可以灵活地进行电路的配置，并能够实现效率良好的布局的集成电路装置以及包含该集成电路装置的电子设备。

本发明涉及一种集成电路装置，该集成电路装置包括用于存储在显示面板上进行显示的至少一部分数据的显示存储器，该显示面板包含多条扫描线和多条数据线，所述显示存储器包括：多条字线；多条位线；多个存储器单元，其中，在形成有所述多条位线的金属布线层上，形成有用于向所述多个存储器单元供给第一电源电压的多条第一电源供给布线，在形成有所述多条字线的金属布线层上，形成用于向所述多个存储器单元供给电压高于第一电源电压的第二电源电压的第二电源供给布线，在所述多条字线的上层形成所述多条位线，在所述多条位线的上层形成多条位线保护用布线，所述多条位线的每一条和所述多条位线保护用布线的每一条包括在俯视图上相互重叠的区域，在所述多条位线保护用布线的上层形成第三电源供给布线，该第三电源供给布线用于向设置于所述集成电路装置的电路中的所述显示存储器之外的电路供给电压高于所述第二电源电压的第三电源电压。

根据本发明，可以在多条位线的上层设置多条位线保护用布线。由此，即使向形成于位线保护用布线的上层的第三电源供给布线供给第三电源电压，位线保护用布线可以对于第三电源供给布线发挥屏蔽效果，从而正常地从存储器单元中读出数据。此外，可以使用第三电源供给布线向显示存储器之外的电路供给第三电源电压，从而可以在集成电路装置中效率良好地布局各种电路，实现芯片面积的缩小化。

此外，在本发明中，所述多个存储器单元的各个存储器单元具有短边和长边，在所述多个存储器单元的各个存储器单元中，所述多条位线可以沿着第一方向形成，所述多条字线可以沿着第二方向形成，所述第一方向是在所述多个存储器单元的所述长边上延伸的方向，所述第二方向是在所述多个存储器单元的所述短边上延伸的方向。

根据本发明，即使是在位线长于字线的存储器单元中，也可以设置位线保护用布线。由此，可以利用位线保护用布线缓和来自第三电源供给布线的影响，因此，可以在位线长的存储器单元中实现正常的读出。

此外，在本发明中，可以在形成所述多条第一电源供给布线的区域的上层设置有未形成所述多条位线保护用布线的保护用布线非形成区域。

根据本发明，可以在第一电源供给布线的上层设置保护用布线非形成区域。由此，可以放出由于后续工序的热处理等而从位线保护用布线的下层产生的气体，从而防止后续工序的热处理等导致的元件的破裂、破坏等。此外，保护用布线非形成区域设置在形成第一电源供给布线的区域的上层，因此，可以在防止来自第三电源供给布线的影响的同时，放出从位线保护用布线的下层产生的气体。

此外，在本发明中，所述保护用布线非形成区域可以沿所述第一方向延伸形成。

由此，可以充分地放出由于后续工序的热处理等而从位线保护用布线的下层产生的气体，实现提高集成电路装置的成品率的效果。

此外，在本发明中，所述多条第一电源供给布线的每一条沿所述第一方向延伸形成，在所述多个存储器单元的各个存储器单元中，由所述多条位线中的两条位线构成的位线对可以被所述多条第一电源供给布线的两条第一电源供给布线夹着的状态进行配置。

这样，可以防止来自邻接的其他存储器单元的位线的影响，稳定地进行数据读出。

此外，在本发明中，所述多条位线保护用布线沿所述第一方向延伸形成，在所述多个存储器单元的各个存储器单元中，所述多条位线保护用布线中的一条在所述第二方向上的两端部包含在俯视图上与所述两条的第一电源供给线相互重叠的区域。

由此，可以将位线保护用布线介于第三电源供给布线、和形成有多条位线的布线层中的第一电源供给布线之外的区域之间，从而进一步防止受到来自第三电源供给布线的影响。

此外，在本发明中，所述多条位线保护用布线的各条可以沿所述第一方向延伸形成。

由此，可以利用多条位线保护用布线大覆盖形成有多条位线的区域的大部分。

此外，在本发明中，所述多条位线保护用布线的各条可以沿所述第二方向延伸形成。

由此，可以利用多条位线保护用布线覆盖形成有多条位线的区域的大部分。

此外，在本发明中，所述保护用布线非形成区域可以沿所述第二方向延伸形成。

由此，可以充分地放出由于后续工序的热处理等而从位线保护用布线的下层产生的气体，实现提高集成电路装置的成品率的效果。

此外，在本发明中，可以向所述多条位线保护用布线供给所述第一电源电压。

由此，即使向第三电源供给布线供给第三电源电压，也可以防止对位线产生影响，从而正常地从存储器单元中读出数据。

此外，在本发明中，所述多条位线保护用布线可以与所述第一电源供给布线电连接。

由此，可以将位线保护用布线作为第一电源供给布线使用，从而向各存储器单元供给更稳定的第一电源电压。即、可以实现存储器单元的动作稳定化。

此外，本发明涉及包括上述任何一个集成电路装置和显示面板的电子设备。

此外，在本发明中，所述集成电路装置可以安装于形成有所述显示面板的基板上。

此外，在本发明中，所述集成电路装置安装于形成有所述显示面板的基板上，以使所述集成电路装置的所述多条字线平行于在所述显示面板上设置的所述多条数据线的延伸方向。

根据本发明，可以沿着与多条数据线的延伸方向交叉的方向形成多条位线。由此，可以沿着与多条数据线的延伸方向交叉的方向延伸形成多条位线保护用布线。此外，可以沿多条数据线延伸的方向延伸形成多条位线保护用布线。

附图说明

图1(A)及图1(B)是根据本实施例的集成电路装置的示意图。

图 2 (A) 是本实施例涉及的比较例的局部示意图, 图 2 (B) 是根据本实施例的集成电路装置的局部示意图。

图 3 (A) 及图 3 (B) 是根据本实施例的集成电路装置的构成例的示意图。

图 4 是根据本实施例的显示存储器的构成例。

图 5 是根据本实施例的集成电路装置的剖视图。

图 6 (A) 及图 6 (B) 是数据线驱动器的构成例的示意图。

图 7 是根据本实施例的数据线驱动单元的构成例。

图 8 是本实施例涉及比较例的示意图。

图 9 (A) ~ 图 9 (D) 是用于说明本实施例的 RAM 块的效果的示意图。

图 10 是表示根据本实施例的 RAM 块的各个 RAM 块相互关系的示意图。

图 11 (A) 及图 11 (B) 是用于说明 RAM 块的数据读出的示意图。

图 12 是用于说明本实施例所涉及的分割数据线驱动器的数据锁存器的示意图。

图 13 是表示根据本实施例的数据线驱动单元和读出放大器间关系的示意图。

图 14 是根据本实施例的分割数据线驱动器的其它构成例。

图 15 (A) 及图 15 (B) 是用于说明存储在 RAM 块中的数据
的排列的示意图。

图 16 是根据本实施例的分割数据线驱动器的其它构成例。

图 17 (A) 和图 17 (B) 是本实施例涉及的存储器单元的结构
示意图。

图 18 (A) 和图 18 (B) 是数据检测的说明图。

图 19 是本实施例涉及的存储器单元的屏蔽布线示意图。

图 20 是本实施例涉及的存储器单元的其他屏蔽布线示意图。

图 21 是本实施例涉及的存储器单元的其他屏蔽布线示意图。

图 22 示出本实施例涉及的多个存储器单元和屏蔽布线的示意
图。

图 23 是本实施例涉及的 RAM 块内的屏蔽布线示意图。

图 24 示出本实施例涉及的存储器单元的屏蔽布线的变形例。

图 25 (A) 是表示本实施例涉及的读出放大器和存储器单元的
关系的示意图, 图 25 (B) 是本实施例涉及的选择型读出放大器 SSA
的示意图。

图 26 是本实施例涉及的分割数据线驱动器和选择型读出放大
器的示意图。

图 27 是本实施例涉及的存储器单元的排列示例。

图 28 (A) 和图 28 (B) 是表示本实施例涉及的集成电路装置的动作的时序图。

图 29 是本实施例涉及的 RAM 块中存储的数据的其他的排列示例。

图 30 (A) 和图 30 (B) 是表示本实施例涉及的集成电路装置的其他动作的时序图。

图 31 是本实施例涉及的 RAM 块中存储的数据的其他的排列示例。

图 32 是本实施例的 RAM 块的构成示例。

图 33 (A) 和图 33 (B) 是本实施例涉及的字线控制电路的说明图。

图 34 是本实施例的 RAM 块的其他构成示例。

图 35 是本实施例涉及的变形例的示意图。

图 36 是用于说明本实施例涉及的变形例的动作的时序图。

图 37 示出本实施例涉及的变形例的 RAM 块中存储的数据的排列示例。

具体实施方式

下面，参照附图对本发明的一个实施例进行说明。在下面说明的实施例不是对于记载在权利要求中的内容的不当限定。此外，下面说明的所有构成并不都是本发明的必要构成要件。并且，下面的图中的相同符号表示相同的意思。

1. 显示驱动器

图 1 (A) 示出了安装有显示驱动器 20 (广义上为集成电路装置) 的显示面板 10。在本实施例中, 可以将显示驱动器 20 或安装有显示驱动器 20 的显示面板 10 搭载在小型电子设备(未图示)中。小型电子设备例如有手机、PDA (个人数字助理)、以及具有显示面板的数字音乐播放器等。显示面板 10 例如在玻璃基板上形成多个显示像素。对应于该显示像素, 在显示面板 10 上形成在 Y 方向上延伸的多条数据线(未图示)以及在 X 方向上延伸的扫描线(未图示)。形成在本实施例的显示面板 10 上的显示像素是液晶元件, 但并不限于此, 也可以是 EL (Electro-Luminescence: 电致光) 元件等发光元件。另外, 显示像素可以是伴随晶体管等的有源型, 也可以是不伴随晶体管等的无源型。例如, 在显示区域 12 中适用有源型的情况下, 液晶像素可以是非晶硅 TFT, 也可以是低温多晶硅 TFT。

显示面板 10 具有显示区域 12, 该显示区域 12 例如在 X 方向上具有 PX 个像素、在 Y 方向上具有 PY 个像素。例如, 在显示面板 10 对应于 QVGA 显示的情况下, 成为 PX=240、PY=320, 显示区域 12 由 240×320 像素表示。并且, 显示面板 10 的 X 方向的像素数 PX, 在黑白显示的情况下与数据线的条数重合。在此, 彩色显示的情况下, R 用子像素、G 用子像素、B 用子像素共三个子像素合起来构成一个像素。从而, 在彩色显示的情况下, 数据线的条数成为 (3×PX) 条。因此, 在彩色显示的情况下, “对应于数据线的像素数” 指的是 “X 方向的子像素数”。各个子像素根据灰阶来确定其位数, 例如在将 3 个子像素的灰阶值分别作为 G 位时, 一个像素的灰阶值 = 3G。在各个子像素表现出 64 灰阶 (6 位) 的情况下, 一个像素的数据量成为 6×3 = 18 位。

并且，像素数 PX 和 PY ，例如可以是 $PX > PY$ ，也可以是 $PX < PY$ ，也可以是 $PX = PY$ 。

显示驱动器 **20** 的尺寸被设定为，X 方向的长度为 CX ，Y 方向的长度为 CY 。并且，长度为 CX 的显示驱动器 **20** 的长边 IL 与显示区域 **12** 的显示驱动器 **20** 侧的一边 $PL1$ 平行。即，显示驱动器 **20** 以其长边 IL 与显示区域 **12** 的一边 $PL1$ 平行的方式被安装在显示面板 **10** 中。

图 1 (B) 是示出显示驱动器 **20** 的尺寸的图。长度为 CY 的显示驱动器 **20** 的短边 IS 和显示驱动器 **20** 的长边 IL 的比例如被设定为 1:10。即，在显示驱动器 **20** 中，其短边 IS 相对于其长边 IL 被设定为非常短。通过这样形成为细长的形状，可以将显示驱动器 **20** 的 Y 方向的芯片尺寸缩小至极限。

而且，上述的比 1:10 是一个例子，并不限于于此。例如也可以是 1:11，也可以是 1:9。

并且，在图 1 (A) 中示出了显示区域 **12** 的 X 方向的长度 LX 和 Y 方向的长度 LY ，但显示区域 **12** 的纵横尺寸比并不限于图 1 (A)。在显示区域 **12** 中，例如长度 LY 也可以被设定为比长度 LX 短。

此外，根据图 1 (A)，显示区域 **12** 的 X 方向的长度 LX 与显示驱动器 **20** 的 X 方向的长度 CX 相同。并不特别限于图 1 (A)，但优选如上所述地设定为长度 LX 与长度 CX 相同。作为其原因，示出了图 2 (A)。

在图 2 (A) 中示出的显示驱动器 **22**，X 方向的长度被设定为 $CX2$ 。由于该长度 $CX2$ 比显示区域 **12** 的一边 $PL1$ 的长度 LX 短，因而如图 2 (A) 所示，不能将连接显示驱动器 **22** 和显示区域 **12**

的多条布线在 Y 方向上平行设置。因此，必须有裕度地设置显示驱动器 22 和显示区域 12 之间的距离 DY_2 。这使显示面板 10 的玻璃基板的尺寸浪费，从而妨碍成本的降低。并且，在更小型的电子设备中搭载显示面板 10 的情况下，显示区域 12 之外的部分变大，也妨碍电子设备的小型化。

与此相对，如图 2 (B) 所示，本实施例的显示驱动器 20，由于以其长边 IL 的长度 CX 与显示区域 12 的一边 PL1 的长度 LX 重合的方式形成，因而可以将显示驱动器 20 和显示区域 12 之间的多条布线在 Y 方向上平行设置。由此，可以使显示驱动器 20 和显示区域 12 之间的距离 DY 比图 2 (A) 的情况短。并且，由于显示驱动器 20 的 Y 方向的长度 IS 短，因而显示面板 10 的玻璃基板的 Y 方向的尺寸变小，有利于电子设备的小型化。

而且，在本实施例中，以显示驱动器 20 的长边 IL 的长度 CX 与显示区域 12 的一边 PL1 的长度 LX 重合的方式形成，但并不限定于此。

如上所述，通过将显示驱动器 20 的长边 IL 与显示区域 12 的一边 PL1 的长度 LX 相匹配，并使短边 IS 变短，在可以缩小芯片尺寸的同时，也可以缩短距离 DY 。因此，可以降低显示驱动器 20 的制造成本以及显示面板 10 的制造成本。

图 3 (A) 和图 3 (B) 是示出本实施例的显示驱动器 20 的布局构成例的图。如图 3 (A) 所示，在显示驱动器 20 中，沿着 X 方向配置有：数据线驱动器 100 (广义上为数据线驱动块)；RAM 200 (广义上为集成电路装置或 RAM 块)；扫描线驱动器 300；G/A 电路 400 (门阵列电路，广义上为自动布线电路)；灰阶电压生成电路 500；以及电源电路 600。这些电路以纳入在显示驱动器 20 的块宽度 ICY 中的方式配置。并且，以隔着这些电路的方式在显示驱动器

20 中设置输出 **PAD 700** 和输入输出 **PAD 800**。输出 **PAD 700** 和输入输出 **PAD 800** 沿着 X 方向形成，输出 **PAD 700** 设置在显示区域 **12** 侧。并且，在输入输出 **PAD 800** 中，例如连接有用于提供来自主机（例如 MPU、BBE（Base-Band-Engine：基带引擎）、MGE、CPU 等）的控制信息的信号线或电源供给线等。

并且，显示面板 **10** 的多个数据线被分割成多个块（例如四个），一个数据线驱动器 **100** 驱动相当于一个块的数据线。

通过如上所述地设置块宽度 ICY、并以纳入在其中的方式配置各个电路，可以灵活地应对用户的需要。具体地说，如果成为驱动对象的显示面板 **10** 的 X 方向的像素数 PX 改变，则由于驱动像素的数据线的数量也改变，因而必须与此相匹配地设计数据线驱动器 **100** 和 RAM **200**。此外，在低温多晶硅（LTPS）TFT 面板用显示驱动器中，由于可以将扫描线驱动器 **300** 形成在玻璃基板上，因而也有将扫描线驱动器 **300** 不内置于显示驱动器 **20** 中的情况。

在本实施例中，通过只改变数据线驱动器 **100** 和 RAM **200**，或只拆卸扫描线驱动器 **300**，就可以设计显示驱动器 **20**。因此，由于可以有效利用原有的布局，并可以节省从开始重新设计的工夫，因而可以降低设计成本。

此外，在图 3（A）中，以两个 RAM **200** 相邻接的方式配置。由此，可以共用在 RAM **200** 中使用的一部分电路，可以缩小 RAM **200** 的面积。对于详细的作用效果，在后面描述。此外，在本实施例中，并不限定于图 3（A）的显示驱动器 **20**。例如，如图 3（B）所示的显示驱动器 **24** 那样，也可以以数据线驱动器 **100** 和 RAM **200** 邻接、而两个 RAM **200** 不邻接的方式配置。

此外，在图 3 (A) 和图 3 (B) 中，作为一例，分别设置有四个数据线驱动器 100 和 RAM 200。通过在显示驱动器 20 中设置四个数据线驱动器 100 和 4 个 RAM 200 (4BANK)，可以将在一水平扫描期间（例如称为 1H 期间）被驱动的数据线的数量分割为四份。例如，在像素数 PX 为 240 的情况下，如果考虑到 R 用子像素、G 用子像素、B 用子像素，就必须在 1H 期间驱动例如 720 条数据线。在本实施例中，各个数据线驱动器 100 只要驱动该数的四分之一即 180 条数据线就可以。也可以通过增加 BANK 数来减少各个数据线驱动器 100 驱动的数据线的条数。将 BANK 数定义为设置在显示驱动器 20 内的 RAM 200 的数量。此外，将各个 RAM 200 加起来的总存储区域定义为显示存储器的存储区域，显示存储器至少可以储存用于显示相当于显示面板 10 的一个画面的图像的数据。

图 4 是安装有显示驱动器 20 的显示面板 10 的局部放大图。显示区域 12 通过多条布线 DQL 而与显示驱动器 20 的输出 PAD 700 相连。该布线既可以是设于玻璃基板上的布线，也可以是形成于挠性基板等上、连接输出 PAD 700 与显示区域 12 的布线。

RAM 200 在 Y 方向上的长度被设定为 RY。在本实施例中，虽然该长度 RY 被设定为与图 3 (A) 的块宽度 ICY 相同，但也不限定于此。例如，也可以将长度 RY 设定为小于等于块宽度 ICY。

在长度设为 RY 的 RAM 200 上设有多条字线 WL、和控制多条字线 WL 的字线控制电路 240。此外，RAM 200 上还设有多条位线 BL、多个存储器单元 MC、以及控制它们的控制电路（未图示）。将 RAM 200 的位线 BL 设置为在 X 方向上平行。即，将位线 BL 设计为与显示驱动器 20 的一边 IL 平行。显示驱动器 20 的一边 IL 既与显示区域 12 的一边 PL1 平行，也与显示区域 12 内的多条扫描线平行。而且，还将 RAM 200 的字线 WL 设置为在方向 Y 上平行。即，设计字线 WL 与多条布线 DQL 平行。

RAM 200 的存储器单元 MC 由字线 WL 控制读出，其被读出的数据将提供给数据线驱动器 100。即，一旦选择字线 WL，存储在沿 Y 方向排列的多个存储器单元 MC 中的数据就被提供给数据线驱动器 100。

图 5 是表示图 3 (A) 的 A-A 剖面的剖视图。A-A 剖面是排列有 RAM 200 的存储器单元 MC 的区域的剖面。RAM 200 的形成区上设有例如 5 层金属布线层。在图 5 中，例如示出了第一金属布线层 ALA、其上层的第二金属布线层 ALB、以及更上层的第三金属布线层 ALC、第四金属布线层 ALD、和第五金属布线层 ALE。在第五金属布线层 ALE 上，例如形成有灰阶电压用布线 292，该布线 292 自灰阶电压发生电路 500 提供灰阶电压。此外，在第五金属布线层 ALE 上还形成有电源用布线 294，该布线 294 用于提供自电源电路 600 提供的电压、和从外部经由输入输出 PAD 800 提供的电压等。本实施例的 RAM 200 例如不使用第五金属布线层 ALE 就能形成。因此，如前述，第五金属布线层 ALE 上可以形成各种各样的布线。

而且，在第四金属布线层 ALD 上形成有屏蔽层 290。由此，即使在 RAM 200 的存储器单元 MC 上层的第五金属布线层 ALE 上形成各种布线，也能减轻对 RAM 200 的存储器单元 MC 的影响。此外，在形成有字线控制电路 240 等 RAM 200 的控制电路的区域上的第四金属布线层 ALD 上，也可以形成用于控制这些电路的信号布线。

例如，在第三金属布线层 ALC 上形成的布线 296 被用作位线 BL 和电压 VSS 用布线。在第二金属布线层 ALB 上形成的布线 298 例如可被用作字线 WL 和电压 VDD 用布线。而在第一金属布线层 ALA 上形成的布线 299 可用于：与形成在 RAM 200 的半导体层上的各节点间的连接。

此外，也可以改变上述结构，在第三金属布线层 ALC 上形成字线用的布线，而在第二金属布线层 ALB 上形成位线用的布线。

综上所述，由于可在 RAM 200 的第五金属布线层 ALE 上形成各种布线，所以如图 3 (A) 和图 3 (B) 所示，可以沿 X 方向排列多种电路块。

2. 数据线驱动器

2.1 数据线驱动器的结构

图 6 (A) 是表示数据线驱动器 100 的示意图。数据线驱动器 100 包括输出电路 104、DAC 120、以及锁存电路 130。DAC 120 基于锁存在锁存电路 130 上的数据，将灰阶电压提供给输出电路 104。在锁存电路 130 上，例如存储有自 RAM200 提供的数据。例如，在将灰度设置为 G 位数据的情况下，在各锁存电路 130 上存储有 G 位的数据。灰阶电压对应于灰度，以多个种类生成，并从灰阶电压发生电路 500 提供到数据线驱动器 100。例如，将提供到数据线驱动器 100 的多个灰阶电压再提供给各 DAC 120。各 DAC 120 根据锁存在锁存电路 130 中的 G 位数据，从灰阶电压发生电路 500 提供的多种灰阶电压中选择相应的灰阶电压，再输出给输出电路 104。

例如，输出电路 104 由运算放大器（广义而言 op amp）构成，但也不限于于此。如图 6 (B) 所示，也可以代替输出电路 104，将输出电路 102 设置在数据线驱动器 100 上。这时，灰阶电压发生电路 500 上设有多个运算放大器。

图 7 是表示设于数据线驱动器 100 上的多个数据线驱动单元 110 的示意图。各数据线驱动器 100 驱动多条数据线，数据线驱动单元 110 驱动多条数据线中的一条。例如，数据线驱动单元 110 驱动构成一个像素的 R 用子像素、G 用子像素、以及 B 用子像素中的

任意一个。即，当 X 方向上的像素数 PX 为 240 时，在显示驱动器 20 上总共设有 $240 \times 3 = 720$ 个数据线驱动单元 110。并且，这时，在例如 4BANK 结构的情况下，各数据线驱动器 100 上设有 180 个数据线驱动单元 110。

数据线驱动单元 110 例如包括输出电路 140、DAC 120、以及锁存电路 130，但也不限于于此。例如，也可以将输出电路 140 设置在外部。此外，输出电路 140 既可以是图 6A 所示的输出电路 104，也可以是图 6B 所示的输出电路 102。

例如，当表示 R 用子像素、G 用子像素、以及 B 用子像素各自的灰度的灰阶数据被设置为 G 位时，从 RAM 200 将 G 位的数据提供给数据线驱动单元 110。锁存电路 130 锁存 G 位的数据。DAC 120 基于锁存电路 130 的输出，通过输出电路 140 输出灰阶电压。由此，能够驱动设于显示面板 10 上的数据线。

2.2 一水平扫描期间的多次读出

图 8 中示出根据本实施例的比较例的显示驱动器 24。将该显示驱动器 24 安装成：显示驱动器 24 的一边 DLL 与显示面板 10 的显示区域 12 侧的一边 PL1 相对。在显示驱动器 24 上，设有 X 方向的长度长于 Y 方向的长度的 RAM 205 及数据线驱动器 105。RAM 205 及数据线驱动器 105 在 X 方向上的长度随着显示面板 10 的像素数 PX 的增加而变长。RAM 205 上设有多条字线 WL 及位线 BL。RAM 205 的字线 WL 沿 X 方向延伸形成，位线 BL 沿 Y 方向延伸形成。即，由于位线 BL 沿 Y 方向延伸形成，所以其与显示面板 10 的数据线平行，并与显示面板 10 的一边 PL1 正交。

该显示驱动器 24 在 1H 期间内只选择一次字线 WL。于是，通过字线 WL 的选择，数据线驱动器 105 锁存自 RAM 205 输出的数

据，并驱动多条数据线。如图 8 所示，在显示驱动器 24 中，由于字线 WL 与位线 BL 相比非常长，所以数据线驱动器 100 及 RAM 205 的形状在 X 方向上变长，很难再在显示驱动器 24 上确保配置其它电路的空间。因此，对显示驱动器 24 的芯片面积的缩小构成了阻碍。并且，由于无端浪费了为进行上述确保而花费的设计时间，所以也妨碍了设计成本的降低。

例如，如图 9 (A) 所示这样，对图 8 的 RAM 205 进行布局。根据图 9 (A) 所示，RAM 205 被一分为二，相对于其中一个在 X 方向的长度为例如“12”，其 Y 方向上的长度为“2”。因此，可以将 RAM 205 的面积表示为“48”。这些长度值只是表示 RAM 205 大小的一例比率，并不用于限定实际的大小。此外，图 9 (A) ~ 图 9 (D) 中的附图标记 241 ~ 244 表示字线控制电路，标记 206 ~ 209 表示读出放大器。

对此，在本实施例中，将 RAM 205 分割成多个，并能够以旋转 90 度的状态进行布局。例如，如图 9 (B) 所示，可将 RAM 205 一分为四，并以旋转了 90 度的状态进行布局。作为分割成四个后的其中一个，RAM 205-1 包括读出放大器 207 和字线控制电路 242。RAM 205-1 在 Y 方向的长度为“6”，在 X 方向的长度为“2”。因此，RAM 205-1 的面积为“12”，四个块的总面积为“48”。但是，因为想缩短显示驱动器 20 的 Y 方向上的长度 CY，所以图 9 (B) 的状态不大合适。

因此，在本实施例中，如图 9 (C) 及图 9 (D) 所示，通过在 1H 期间内进行多次读出，从而能够缩短 RAM 200 在 Y 方向上的长度 RY。例如，图 9 (C) 中示出 1H 期间内进行两次读出的情况。在这种情况下，因为 1H 期间内两次选择字线 WL，所以例如能够将排列在 Y 方向上的存储器单元 MC 的个数减半。由此，如图 9 (C) 所示，RAM 200 在 Y 方向上的长度可以为“3”。取而代之，RAM 200

在 X 方向上的长度变为“4”。即，RAM 200 的总面积为“48”，且排列有存储器单元 MC 的区域的面积与图 9(A)的 RAM 205 相等。并且，如图 3(A)及图 3(B)所示，能够自由配置这些 RAM 200，所以能够非常灵活、高效地进行布局。

此外，图 9(D)表示的是进行 3 次读出时的一例。这时，可将图 9(B)中的 RAM 205-1 在 Y 方向上的长度“6”缩短为原来的三分之一。即，若想进一步缩短显示驱动器 20 在 Y 方向上的长度 CY，可以通过调整 1H 期间的读出次数来实现。

综上所述，在本实施例中，能够在显示驱动器 20 上设置块化的 RAM 200。本实施例中，例如可将 4BANK 的 RAM 200 设置在显示驱动器 20 上。这时，对应于各 RAM 200 的数据线驱动器 100-1 ~ 100-4 如图 10 所示，驱动对应的数据线 DL。

具体而言，数据线驱动器 100-1 驱动数据线组 DLS1，数据线驱动器 100-2 驱动数据线组 DLS2，数据线驱动器 100-3 驱动数据线组 DLS3，数据线驱动器 100-4 驱动数据线组 DLS4。此外，各数据线组 DLS1 ~ DLS4 是例如将设于显示面板 10 的显示区域 12 中的多条数据线 DL 分割成四个块后的其中一个块。这样，对应于 4BANK 的 RAM200，设置有四个数据线驱动器 100-1 ~ 100-4，通过驱动各自对应的数据线，从而能够驱动显示面板 10 的多条数据线。

2.3 数据线驱动器的分割结构

图 4 所示的 RAM 200 在 Y 方向的长度 RY 不仅取决于排列在 Y 方向上的存储器单元 MC 的数量，有时也会取决于数据线驱动器 100 的 Y 方向上的长度。

在本实施例中，由于要缩短图 4 的 RAM 200 的长度 RY，所以以一水平扫描期间内的 N 次读出、例如两次读出为前提，使数据线

驱动器 **100** 如图 11 (A) 所示这样, 按照第一数据线驱动器 **100A** (广义而言, 第一分割数据线驱动器) 及第二数据线驱动器 **100B** (广义而言, 第二分割数据线驱动器) 的分割结构形成。图 11 (A) 所示的 M 是通过一次字线选择而从 RAM **200** 中读出的数据的位数。

例如, 当像素数 PX 为 240, 像素的灰度为 18 位, RAM **200** 的 BANK 数为 4BANK 时, 若 1H 期间内只读出一次, 那么必须从各 RAM **200** 输出 $240 \times 18 \div 4 = 1080$ 位的数据。

然而, 为缩小显示驱动器 **100** 的芯片面积, 想要缩短 RAM **200** 的长度 RY 。因此, 如图 11 (A) 所示, 假设例如 1H 期间内读出两次, 并在 X 方向上分割数据线驱动器 **100A** 及 **100B**。这样一来, 能够将 M 设定为 $1080 \div 2 = 540$, 并且能够将 RAM **200** 的长度 RY 大致减半。

而且, 数据线驱动器 **100A** 驱动显示面板 **10** 的数据线中的一部分数据线。数据线驱动器 **100B** 驱动显示面板 **10** 的数据线中、除开数据线驱动器 **100A** 所驱动的那一部分数据线之外的数据线。这样, 各数据线驱动器 **100A**、**100B** 分开驱动显示面板 **10** 的数据线。

具体而言, 如图 11 (B) 所示, 例如在 1H 期间内选择字线 $WL1$ 及 $WL2$ 。即, 在 1H 期间内选择了两次字线。于是, 在 $A1$ 时刻中使锁存信号 SLA 下降。将该锁存信号 SLA 例如提供给数据线驱动器 **100A**。接着, 数据线驱动器 **100A** 对应于锁存信号 SLA 的例如下降沿, 锁存自 RAM **200** 提供的 M 位数据。

此外, 在 $A2$ 时刻中, 下降锁存信号 SLB 。将该锁存信号 SLB 例如提供给数据线驱动器 **100B**。于是, 数据线驱动器 **100B** 对应于锁存信号 SLB 的例如下降沿, 锁存自 RAM **200** 提供的 M 位数据。

更具体而言，如图 12 所示，通过字线 WL1 的选择，将存储在 M 个存储器单元组 MCS1 中的数据通过读出放大器电路 210 提供给数据线驱动器 100A 及 100B。然而，由于对应于字线 WL1 的选择，锁存信号 SLA 下降，因而存储在 M 个存储器单元组 MCS1 中的数据被锁存在数据线驱动器 100A 上。

并且，通过字线 WL2 的选择，将存储在 M 个存储器单元组 MCS2 中的数据通过读出放大器电路 210 提供给数据线驱动器 100A 及 100B，但是，对应于字线 WL2 的选择，锁存信号 SLB 下降。因此，存储在 M 个存储器单元组 MCS2 中的数据被锁存在数据线驱动器 100B 上。

在这种情况下，由于在将 M 设定在例如 540 位时，1H 期间内进行两次读出，所以 $M = 540$ 位的数据被锁存在各数据线驱动器 100A、100B 上。即，数据线驱动器 100 上总共锁存 1080 位的数据，能够达到上述例子中所需的 1H 期间 1080 位。于是，在 1H 期间内能够锁存所需的数据量，且能够将 RAM 200 的长度 RY 大致减半。由此，因为缩短了显示驱动器 20 的块宽度 ICY，所以能降低显示驱动器 20 的制造成本。

此外，作为一个例子，图 11 (A) 及图 11 (B) 中示出了 1H 期间内进行两次读出的实例，但也并不限于此。例如，1H 期间内进行 4 次读出、或者超过 4 次的读出均可。例如，在进行 4 次读出的情况下，可将数据线驱动器 100 分割成 4 级，进而可缩短 RAM 200 的长度 RY。这时，如果取前述为例，能够设置 $M = 270$ ，并且分割成 4 级后的每一个数据线驱动器上分别锁存 270 位的数据。简而言之，不但能够将 RAM 200 的长度 RY 大致缩短为原来的四分之一，而且还能在 1H 期间内提供所需的 1080 位。

另外，如图 11 (B) 的 A3 及 A4 所示，也可以基于数据线使能信号（未图示）的控制，上升数据线驱动器 **100A** 及 **100B** 的输出，并且，也可以在 A1 及 A2 所示的时刻中，在各数据线驱动器 **100A**、**100B** 进行了锁存之后，直接输出到数据线。而且，在各数据线驱动器 **100A**、**100B** 上还可以再设置一级锁存电路，将基于在 A1 及 A2 锁存的数据的电压在下一个 1H 期间内输出。这样一来，无需担心画质变差，且还能增加在 1H 期间内进行读出的次数。

此外，当像素数 PY 为 320（显示面板 **10** 的扫描线为 320 条），1 秒钟显示 60 帧的图像时，如图 11 (B) 所示，1H 期间大约为 52 μsec 。计算方法为 $1\text{sec} \div 60 \text{ 帧} \div 320 \approx 52 \mu\text{sec}$ 。对此，如图 11 (B) 所示，字线的选择大约在 40nsec 下进行。即，因为是在比 1H 期间短得多的期间内进行多次字线的选择（自 RAM **200** 的数据读出），所以不会使显示面板 **10** 产生画质变差的问题。

而且，M 值可通过下式得出。其中，BNK 表示 BANK 数，N 表示 1H 期间内进行的读出次数，G 表示灰阶位数。此外，像素数 $PX \times 3$ 指的是与显示面板 **10** 的多条数据线相应的像素数（本实施例中，为子像素数），其与数据线条数 DLN 重合。

$$\text{数学式 1: } M = \frac{PX \times 3 \times G}{BNK \times N}$$

在本实施例中，虽然读出放大器电路 **210** 具有锁存功能，但也并不限于此。例如，读出放大器电路 **210** 也可以不具有锁存功能。

2.4 数据线驱动器的细分割

图 13 是用于在构成一个像素的各个子像素中作为一例 R 用子像素的 RAM **200** 和数据线驱动器 **100** 的关系图。

例如，在各个子像素的灰阶的 G 位被设定为 64 灰阶的六位的情况下，从 RAM 200 向 R 用子像素的数据线驱动单元 110A-R 和 110B-R 提供六位数据。为了提供六位数据，在 RAM 200 的读出放大器电路 210 所包括的多个读出放大器单元 211 中，例如 6 个读出放大器单元 211 与各个数据线驱动单元 110 相对应。

例如，必须将数据线驱动单元 110A-R 的 Y 方向的长度 SCY 纳入到六个读出放大器单元 211 的 Y 方向的长度 SAY 中。同样地，必须将各个数据线驱动单元 110 的 Y 方向的长度纳入到六个读出放大器单元 211 的长度 SAY 中。在不能将长度 SCY 纳入到六个读出放大器 211 的长度 SAY 中的情况下，数据线驱动器 100 的 Y 方向的长度变得比 RAM 200 的长度 RY 长，成为布局效率低的状态。

RAM 200 在工艺方面向微细化发展，读出放大器单元 211 的尺寸也小。另一方面，如图 7 所示，在数据线驱动单元 110 中设置多个电路。特别是，DAC 120 或锁存电路 130 的电路尺寸大，难以设计为小尺寸。并且，如果增加输入的位数，DAC 120 或锁存电路 130 就会变大。即，存在难以将长度 SCY 纳入到六个读出放大器单元 211 的总长度 SAY 中的情况。

与此相对，在本实施例中，可以将以 1H 内读出次数 N 分割的数据线驱动器 100A、100B 再分割为 k(k 为大于等于 2 的整数)个，并在 X 方向上进行叠加。图 14 示出了以在 1H 期间进行 N=2 次读出的方式设定的 RAM 200 中，数据线驱动器 100A 和 100B 分别被分割为 k=2 个部分而被叠加的构成例。并且，图 14 是对于被设定为两次读出的 RAM 200 的构成例，但并不限于于此。例如，在被设定为 N=4 次读出的情况下，数据线驱动器在 X 方向上被分割为 $N \times k = 4 \times 2 = 8$ 级。

如图 14 所示, 图 13 中的各数据线驱动器 **100A**、**100B** 被分别分割成数据线驱动器 **100A1** 及 **100A2**, 数据线驱动器 **100B1** 及 **100B2**。于是, 将数据线驱动单元 **110A1-R** 等的 Y 方向上的长度设置为 **SCY2**。根据图 14 所示, 将长度 **SCY2** 设定为包含在排列 $G \times 2$ 个读出放大器 **211** 时 Y 方向上的长度 **SAY2** 的范围内。简而言之, 与图 13 相比, 在形成各数据线驱动单元 **110** 时, Y 方向上所允许的长度增大, 从而使高效的布局设计成为可能。

接着, 对图 14 中的构成的动作进行说明。例如, 一旦选择字线 **WL1**, 将总共 **M** 位的数据通过各读出放大器块 **210-1**、**210-2**、**210-3**、**210-4** 等提供给数据线驱动器 **100A1**、**100A2**、**100B1**、及 **100B2** 中的至少任一个。这时, 例如将自读出放大器 **210-1** 输出的 **G** 位数据提供给例如数据线驱动单元 **110A1-R** 以及 **110B1-R**。并将自读出放大器块 **210-2** 输出的 **G** 位数据提供给例如数据线驱动单元 **110A2-R** 及 **110B2-R**。

这时, 与图 11 (B) 所示的时序同样, 选择字线 **WL1** 时, 锁存信号 **SLA** (广义而言, 第一锁存信号) 相应地下降。并将该锁存信号 **SLA** 提供给包含数据线驱动单元 **110A1-R** 的数据线驱动器 **100A1**、以及包含数据线驱动单元 **110A2-R** 的数据线驱动器 **100A2**。因此, 通过字线 **WL1** 的选择, 将自读出放大器块 **210-1** 输出的 **G** 位数据 (存储在存储器单元组 **MCS11** 中的数据) 锁存在数据线驱动单元 **110A1-R** 上。同样, 通过字线 **WL1** 的选择, 将自读出放大器块 **210-2** 输出的 **G** 位数据 (存储在存储器单元组 **MCS12** 中的数据) 锁存在数据线驱动单元 **110A2-R** 上。

读出放大器块 **210-3**、**210-4** 也与上述同样, 将存储在存储器单元组 **MCS13** 中的数据锁存在数据线驱动单元 **110A1-G** 上, 将存储在存储器单元组 **MCS14** 中的数据锁存在数据线驱动单元 **110A2-G** 上。

当选择字线 WL2 时，对应于字线 WL2 的选择，锁存信号 SLB（广义而言，第 N 锁存信号）下降。并且，该锁存信号 SLB 被提供给包含数据线驱动单元 **110B1-R** 的数据线驱动器 **100B1**、以及包含数据线驱动单元 **110B2-R** 的数据线驱动器 **100B2**。因此，通过字线 WL2 的选择，将自读出放大器块 **210-1** 输出的 G 位数据（存储在存储器单元组 MCS21 中的数据）锁存在数据线驱动单元 **110B1-R** 上。同样，通过字线 WL2 的选择，将自读出放大器块 **210-2** 输出的 G 位数据（存储在存储器单元组 MCS22 中的数据）锁存在数据线驱动单元 **110B2-R** 上。

在字线 WL2 的选择上，读出放大器块 **210-3**、**210-4** 也与上述同样，存储在存储器单元组 MCS23 中的数据被锁存在数据线驱动单元 **110B1-G** 上，存储在存储器单元组 MCS24 中的数据被锁存在数据线驱动单元 **110B2-G** 上。数据线驱动单元 **110A1-B** 是锁存 B 用子像素的数据的 B 用数据线驱动单元。

这样分割数据线驱动器 **100A**、**100B** 时、存储在 RAM **200** 中的数据示于图 15 (B) 中。如图 15 (B) 所示，沿 Y 方向，将数据按 R 用子像素数据、R 用子像素数据、G 用子像素数据、G 用子像素数据、B 用子像素数据、B 用子像素数据... 的顺序存储在 RAM **200** 中。另一方面，在图 13 所示结构的情况下，如图 15 (A) 所示，沿 Y 方向，将数据按 R 用子像素数据、G 用子像素数据、B 用子像素数据、G 用子像素数据... 的顺序存储在 RAM **200** 中。

此外，虽然在图 13 中示出长度 SAY 与 6 个读出放大器 **211** 的长度相当，但并不限于于此。例如，在灰度为 8 位的场合，长度 SAY 与 8 个读出放大器 **211** 的长度相当。

而且，虽然在图 14 中，作为一个实例，示出了将各数据线驱动器 **100A**、**100B** 分别进行 $k=2$ 分割时的结构，但也不限于于此。

例如，进行 $k=3$ 分割、 $k=4$ 分割均可。例如，在对数据线驱动器 **100A** 进行 $k=3$ 分割时，也可以提供与 2 分割后的数据线驱动器相同的锁存信号 SLA。而且，作为与 1H 期间内的读出次数相等的分割数 K 的变形例，进行 $k=3$ 分割时，能够将它们分别作为 R 用子像素数据、G 用子像素数据、B 用子像素数据的驱动器。其结构在图 16 中示出。图 16 中示出了分割成 3 个的数据线驱动器 **101A1**、**101A2**、**101A3**。数据线驱动器 **101A1** 包括数据线驱动单元 **111A1**，数据线驱动器 **101A2** 包括数据线驱动单元 **111A2**，数据线驱动器 **101A3** 包括数据线驱动单元 **111A3**。

并且，对应于字线 WL1 的选择，锁存信号 SLA 下降。与前述同样，将锁存信号 SLA 提供给各数据线驱动器 **101A1**、**101A2**、**101A3**。

这样一来，通过字线 WL1 的选择，存储在存储器单元组 MCS11 中的数据例如作为 R 用子像素数据存储在数据线驱动单元 **111A1** 中。同样，存储在存储器单元组 MCS12 中的数据例如作为 G 用子像素数据存储在数据线驱动单元 **111A2** 中，而存储在存储器单元组 MCS13 中的数据例如作为 B 用子像素数据存储在数据线驱动单元 **111A3** 中。

因此，如图 15 (A) 所示，能够在 Y 方向上，按照 R 用子像素数据、G 用子像素数据、B 用子像素数据的顺序，排列写入到 RAM **200** 中的数据。这时，还可以进一步对各数据线驱动器 **101A1**、**101A2**、**101A3** 进行 k 分割。

3. RAM

3.1. 存储器单元的构成

各存储器单元 MC 例如可由 SRAM (Static-Random-Access-Memory: 静态随机存取存储器) 构成。图 17 (A) 中示出存储器单元 MC 的一例电路。存储器单元 MC 例如包括两个反相器 INV, 一个反相器 INV 的输出连接到另一个反相器 INV 的输入, 这两个反相器 INV 的输入输出相互连接。通过这两个反相器 INV 构成触发器。在反相器 INV 上提供有例如电压 VSS (广义而言, 第一电源电压) 及电压 VDD (广义而言, 第二电源电压)。此外, 存储器单元 MC 还包括传输晶体管 TTR, 用于将保持在由两个反相器 INV 构成的触发器中的数据提供给位线 BL、/BL。

图 17 (B) 示出存储器单元 MC 的布局的一例。如图 17 (B) 所示, 存储器单元 MC 包括主字线 MWL 和辅字线 SWL, 这些字线沿方向 DR1 (广义上的第二方向) 延伸形成。此外, 辅字线 SWL 可以由例如多晶硅等的导电体形成, 包含例如图 17 (A) 的传输晶体管 TTR 的栅电极。此外, 在形成有主字线 MWL 的层上, 第二电源供给布线 VDDL 沿方向 DR1 延伸形成。由该第二电源供给布线 VDDL 向存储器单元 MC 的反相器 INV 供给电压 VDD。

此外, 存储器单元 MC 包括位线 BL 和位线 /BL, 在形成有主字线 MWL 的层的上层, 这些位线沿方向 DR2 (广义上的第一方向) 形成延伸。而且, 在形成有位线 BL、/BL 的层上, 第一电源供给布线 VSSL1、VSSL2 沿方向 DR2 延伸形成。由该第一电源供给布线 VSSL1、VSSL2 向存储器单元 MC 的反相器 INV 供给电压 VSS。

此外, 如图 17 (B) 所示, 在存储器单元 MC 中, 位线 BL、/BL 形成在两条的第一电源供给布线 VSSL1、VSSL2 之间。这样, 可以防止来自邻接的其他存储器单元 MC 的位线 BL、/BL 的影响。

在本实施例中,使用例如三层的金属布线形成存储器单元 MC。在这种情况下,位线 BL、/BL 和第一电源供给布线 VSSL1、VSSL2 形成在例如第三层的金属布线层上,在其下层的第二层金属布线层上形成主字线 MWL 和第二电源供给布线 VDDL。

在存储器单元 MC 的尺寸中,与沿主字线 MWL 或辅字线 SWL 的长度 MCY 相比,沿位线 BL、/BL 的长度 MCX 非常长。在本实施例中,可以将这样布局的存储器单元 MC 用于 RAM 200,但是,并不限于于此。例如,可以将存储器单元 MC 设定为长度 MCY 比长度 MCX 长。

此外,在本实施例中,主字线 MWL 和辅字线 SWL 在规定的多个位置电连接。由此,辅字线 SWL 可以利用作为金属布线的主字线 MWL 而实现低电阻化。此外,在本实施例中,可以将主字线 MWL 和辅字线 SWL 视为一条字线 WL。

3.1.2. 存储器单元的屏蔽布线

图 18(A)和图 18(B)是存储器单元 MC 的数据读出说明图,为了使说明简略,示出了存储器单元 MC 中保持有数据“1”的情况。如图 18(A)的 A11 所示,通过字线 WL 的选择,字线 WL 的电位上升。此外,如果在 A12 所示的时刻,字线 WL 的电位到达 High 电平(高电平),则例如位线/BL 的电位从 High 电平向 Low 电平(低电平)下降。具体而言,通过图 17(A)的字线 WL 的选择,传输晶体管 TTR 呈导通状态,由两个反相器 INV 向位线 BL、/BL 供给基于存储器单元 MC 的保持数据的电压。

此外,如果例如用于将读出放大器 211 设定为激活的读出放大器激活信号 SAE 以图 18(A)的 A13 所示方式上升,则由读出放大器 211 在 A14 的时刻检测出位线 BL、/BL 的电位差。例如,在

这种情况下，位线/ BL 的电位低于位线 BL 的电位，因此由读出放大器 211 检测出例如数据“1”。根据位线 BL 、/ BL 的电位差定义数据“1”、数据“0”，但是，将数据“1”或数据“0”赋值于哪种状态，在图 18 (A) 中并没有限定。可以将位线 BL 的电位低于位线/ BL 的电位的状态定义为数据“1”，但是，为了明确地进行说明，在本实施例中，如图 18 (A) 所示，将位线 BL 的电位高于位线/ BL 的电位的状态定义为数据“1”。

可以如上所述地正确检测出存储器单元 MC 所保持的数据。针对于此，图 18 (B) 示出了检测出异常数据的示例。图 18 (B) 的示例示出在排列有存储器单元 MC 的区域的上层形成第三电源供给布线 GL 的情况，其中，在该第三电源供给布线 GL 上供给有大于电压 VDD 的电压（广义上的第三电源电压）。

通过图 18 (B) 的 A15 所示方式的字线 WL 的选择，字线 WL 的电位上升。此外，如果在 A16 所示的时刻、字线 WL 的电位到达 High 电平，则例如位线/ BL 的电位从 High 电平向 Low 下降。然后，以 A17 所示方式向第三电源供给布线 GL 供给信号，如果其电位高于 High 电平，则电位持续下降的位线/ BL 的电位以 A18 所示方式急剧上升。其原因是位线 BL 、/ BL 和第三电源供给布线 GL 之间的电容耦合。通过在位线 BL 、/ BL 的上层形成第三电源供给布线 GL ，从而形成位线 BL 、/ BL 和电源供给布线 GL 之间的层间绝缘层导致的电容。如果第三电源供给布线 GL 的电位上升，则由于其电容耦合、位线 BL 、/ BL 的电位也上升。即、如果在位线 BL 、/ BL 的上层上形成第三电源供给布线 GL ，则位线 BL 、/ BL 的电位不稳定。

然后，如果读出放大器激活信号 SAE 上升，则由读出放大器 211 检测出位线 BL 、/ BL 的电位差。但是，在这种情况下，以 A18 所示方式电位上升的位线/ BL 的电位，以 A19 所示方式，不会下降

到低于位线 BL 的电位的电平,其结果是读出放大器 211 在位线/BL 的电位高于位线 BL 的电位的状态下进行电位差的检测。

由此,读出放大器 211 判断位线 BL 的电位低于位线/BL 的电位,检测出数据“0”。即、从本来应该检测出数据“1”的存储器单元 MC 中检测出数据“0”的数据,即检测出了异常值。

针对于这种现象,在本实施例中,以图 19 所示方式在存储器单元 MC 中设置屏蔽布线 SHD1 (广义上的位线保护用布线),从而可以防止如上所述的异常读出。

屏蔽布线 SHD1 是例如形成于图 5 的屏蔽层 290 上的布线。屏蔽布线 SHD1 形成为覆盖形成有位线 BL、/BL 的区域的的上层。例如,位线 BL、/BL 以图 5 所示方式形成于第三金属布线层 ALC 上,屏蔽布线 SHD1 形成于其上层的第四金属布线层 ALD 上。此外,通过向屏蔽布线 SHD1 供给电压 VSS,可以防止和第三电源供给布线 GL 电容耦合导致的影响。

此外,屏蔽布线 SHD1 沿方向 DR2 延伸形成,在该方向 DR2 上延伸形成有位线 BL、/BL。图 19 的 AR1 所示部分是未形成屏蔽布线 SHD1 的区域(广义上的保护用布线非形成区域)。通过多处设置这样的未形成屏蔽布线 SHD1 的区域,可以放出存储器单元 MC 的制造工序中发生的气体。由此,即使后续工序的热处理等导致在屏蔽布线 SHD1 的下层发生气体,也可以防止存储器单元 MC 的布线等的破损。

图 19 的屏蔽布线 SHD1 形成为不覆盖第一电源供给布线 VSSL1、VSSL2 的上层,但是,并不限于于此。例如图 20 的屏蔽布线 SHD2 (广义上的位线保护用布线)以 A21、A22 所示方式形成为覆盖第一电源供给布线 VSSL1、VSSL2 的上层的一部分。这样,

屏蔽布线 SHD1、SHD2 也可以形成为覆盖位线 BL、/BL 以外的布线的上层。与上述内容相同，屏蔽布线 SHD2 也可以沿方向 DR2 延伸形成。此外，AR2 所示部分是和图 19 的 AR1 同样没有形成屏蔽布线 SHD2 的区域。该区域的效果与上述内容相同。

此外，作为图 20 的屏蔽布线 SHD2 的变形例，可以在图 21 的 A23 所示部分设置未形成屏蔽布线 SHD2 的区域（广义上的保护用布线非形成区域）。

此外，将未形成图 19、图 20 所示的屏蔽布线 SHD1、SHD2 的区域设置为沿方向 DR2 延伸。

图 22 表示多个存储器单元 MC 和屏蔽布线 SHD2 的关系。各存储器单元 MC 的位线 BL、/BL 沿方向 X 延伸形成。屏蔽布线 SHD2 沿方向 X 延伸形成，以覆盖位线 BL、/BL 的上层。此外，在第一电源供给布线 VSSL1、VSSL2 的上层、屏蔽布线非形成区域 NSH（广义上的保护用布线非形成区域）沿方向 X 延伸形成。屏蔽布线非形成区域 NSH 相当于未形成图 19 的 AR1 或图 20 的 AR2 所示的屏蔽布线 SHD1、SHD2 的区域。

此外，以图 23 所示方式在 RAM 200 中设置多条屏蔽布线 SHD1、SHD2。这样，可以效率良好地覆盖位线 BL、/BL 的上层，从而防止检测出如上所述地异常数据。此外，通过设置多个屏蔽布线非形成区域 NSH，可以提高制造中的成品率。

此外，第一电源供给布线 VSSL1、VSSL2 沿方向 X 延伸形成，并向各存储器单元 MC 供给电压 VSS。通过电连接屏蔽布线 SHD2 和第一电源供给布线 VSSL1、VSSL2，可以形成沿方向 X 延伸的粗的电源供给线，稳定地向各存储器单元 MC 供给电压。

此外，图 24 示出本实施例的变形例。屏蔽布线 SHD3 可以以图 24 所示方式沿方向 DR1 延伸形成。在这种情况下，因为设置了屏蔽布线非形成区域 NSH，所以，在位线 BL、/BL 的上层、在图 24 的 NB 所示部分上形成未形成屏蔽布线 SHD3 的区域（广义上的保护用布线非形成区域）。但是，屏蔽布线非形成区域 NSH 沿方向 DR1 延伸设置，从而可以缩窄方向 DR2 的宽度，因此，屏蔽布线 SHD3 无法覆盖的区域极小，所以可以防止检测出上述的异常数据。

3.2. 读出放大器的共用

如图 25 (A) 所示，与存储器单元 MC 的长度 MCY 相比，读出放大器 211 的 Y 方向的长度 SAY3 非常大。因此，在选择字线 WL 时，一个读出放大器 211 对应一个存储器单元 MC 的布局，其效率很差。

针对于此，在本实施例中，即使是这样的存储器单元 MC，也可以效率良好地进行布局配置。如图 25 (B) 所示，在选择字线 WL 时，使一个读出放大器 211 与多位（例如两位）的存储器单元 MC 对应。这样，读出放大器 211 的长度 SAY3 和存储器单元 MC 的长度 MCY 的差就不会成为问题，从而可以效率良好地将存储器单元 MC 排列于 RAM 200 中。

根据图 25 (B)，选择型读出放大器 SSA 包括读出放大器 211、开关电路 220、开关电路 230。选择型读出放大器 SSA 连接有例如两组位线对 BL、/BL。

开关电路 220 根据选择信号 COLA（广义上的读出放大器用选择信号），将一组位线对 BL、/BL 连接于读出放大器 211。同样地，开关电路 230 根据选择信号 COLB，将另一组位线对 BL、/BL 连接于读出放大器 211。此外，对选择信号 COLA、COLB、例如其信号

电平进行排他性（互斥性）地控制。具体地说，将选择信号 COLA 设定为用于将开关电路 220 设定为激活的信号时，将选择信号 COLB 设定为用于将开关电路 230 设定为非激活的信号。即、选择型读出放大器 SSA 从例如两组的位线对 BL、/BL 供给的两位（广义上的 N 位或 L 位）的数据中选择任意一位的数据，并输出对应的数据。

图 26 示出设置有选择型读出放大器 SSA 的 RAM 200。在图 26 中，作为一个例子，示出了在 1H 期间内进行两次（广义上的 N 次）读出的情况下，例如灰度的 G 位是六位时的构成。在这种情况下，如图 27 所示，在 RAM 200 中设置有 M 个的选择型读出放大器 SSA。这样，通过一次选择字线 WL 而供给数据线驱动器 100 的数据计 M 位。针对于此，在图 27 的 RAM 200 中，在 Y 方向上排列有 $M \times 2$ 个存储器单元 MC。此外，在 X 方向上，排列有与像素数 PY 相同个数的存储器单元 MC。例如、如图 13 所示，在 1H 期间内进行两次读出的情况下，排列在 RAM 200 的 X 方向上的存储器单元 MC 的个数为像素数 PY \times 读出次数（两次）。针对于此，在图 27 的 RAM 200 中，选择型读出放大器 SSA 连接两组的位线对 BL、/BL，因此，排列于 RAM 200 的 X 方向上的存储器单元 MC 的个数可以是与像素数 PY 相同的个数。

这样，在存储器单元 MC 的长度 MCX 长于长度 MCY 的纵向型单元的情况下，通过减少排列于 X 方向上的存储器单元 MC 的个数，可以防止增大 RAM 200 的 X 方向上的尺寸。

3.3. 动作

接着，对图 26 所示的排列有纵向型存储器单元的 RAM 200 的动作进行说明。例如、对该 RAM 200 的读出控制方法有两种，首先，利用图 28 (A)、图 28 (B) 的时序图对其中一种方法进行说明。

设定在如图 28 (A) 的 B1 所示的时刻、选择信号 COLA 激活, 在 B2 所示的时刻选择字线 WL1。这时, 因为选择信号 COLA 激活, 所以, 选择型读出放大器 SSA 检测出 A 侧的存储器单元 MC、即检测出存储器单元 MC-1A 的数据并进行输出。此外, 如果在 B3 的时刻锁存信号 SLA 下降, 则数据线驱动单元 **110A-R** 锁存存储器单元 MC-1A 中存储的数据。

此外, 在 B4 的时刻设定选择信号 COLB 激活, 在 B5 所示的时刻选择字线 WL1。这时, 因为选择信号 COLB 激活, 所以, 选择型读出放大器 SSA 检测出 B 侧的存储器单元 MC、即检测出存储器单元 MC-1B 的数据并进行输出。此外, 如果在 B6 的时刻锁存信号 SLB 下降, 则数据线驱动单元 **110B-R** 锁存存储器单元 MC-1B 中存储的数据。在图 28 (A) 中, 两次读出时两次都选择了字线 WL1。

由此, 通过 1H 期间内的两次读出而进行的数据线驱动器 **100** 的数据锁存结束。

此外, 图 28 (B) 示出选择字线 WL2 时的时序图。动作与上述内容相同, 其结果是, 如 B7 或 B8 所示选择字线 WL2 时, 数据线驱动单元 **110A-R** 锁存存储器单元 MC-2A 的数据, 数据线驱动单元 **110B-R** 锁存存储器单元 MC-2B 的数据。

由此, 通过与图 28 (A) 的 1H 期间不同的 1H 期间内的两次读出而进行的数据线驱动器 **100** 的数据锁存结束。

相对于这样的读出方法, RAM **200** 的各存储器单元 MC 中以图 29 所示方式存储有数据。例如, 数据 RA-1 ~ RA-6 是用于供给数据线驱动单元 **110A-R** 的 R 像素的六位数据, 数据 RB-1 ~ RB-6 是用于供给数据线驱动单元 **110B-R** 的 R 像素的六位数据。

如图 29 所示, 例如与字线 WL1 对应的存储器单元 MC 中, 沿 Y 方向, 依次存储有数据 RA-1 (用于数据线驱动器 100A 锁存的数据)、RB-1 (用于数据线驱动器 100B 锁存的数据)、RA-2 (用于数据线驱动器 100A 锁存的数据)、RB-2 (用于数据线驱动器 100B 锁存的数据)、RA-3 (用于数据线驱动器 100A 锁存的数据)、RB-3 (用于数据线驱动器 100B 锁存的数据)。即、在 RAM 200 中, 沿 Y 方向交替存储有 (用于数据线驱动器 100A 锁存的数据) 和 (用于数据线驱动器 100B 锁存的数据)。

此外, 图 28 (A)、图 28 (B) 所示的方法是在 1H 期间内进行两次读出, 但是, 在 1H 期间选择相同字线 WL。

在上述说明中, 揭示了在选择一次字线时所选择的存储器单元 MC 中, 各选择型读出放大器 SSA 从两个存储器单元 MC 接收数据的内容, 但是, 并不限定于此。例如, 也可以是如下构成: 在选择一次字线时所选择的存储器单元 MC 中, 各选择型读出放大器 SSA 从 N 个存储器单元 MC 接收 N 位的数据。在这种情况下, 在第一次选择相同的字线时, 在第一~第 N 的存储器单元 MC 的 N 个存储器单元 MC 中, 选择型读出放大器 SSA 选择从第一存储器单元 MC 中接收的一位的数据。此外, 在第 K ($1 \leq K \leq N$) 次选择字线时, 选择型读出放大器 SSA 选择从第 K 存储器单元 MC 接收的一位的数据。

作为图 25 (A) 和图 25 (B) 的变形例, 可以选择 J (J 是大于等于 2 的整数) 条 1H 期间内选择了 N 次的相同字线 WL, RAM 200 在 1H 期间读出数据的次数 N 可以是 ($N \times J$) 次。即、设定 $N=2$ 、 $J=2$, 则如图 25 (A) 和图 25 (B) 所示的四次的字线选择在同一水平扫描期间 1H 内实施。即、该方法是通过在 1H 期间内选择两次字线 WL1、选择两次字线 WL2, 从而读出 $N=4$ 次的方法。

在这种情况下，各个 RAM 块 **200** 在选择一次字线时，输出 M (M 是大于等于 2 的整数) 位的数据，当显示面板 **10** 的数据线 DL 的条数定义为 DN、与各数据线对应的各像素的灰阶位数定义为 G、RAM 块 **200** 的块数定义为 BNK 时，通过以下算式求出 M 值。

$$\text{数学式 2: } M = \frac{DN \times G}{BNK \times N \times J}$$

下面，利用图 30 (A) 和图 30 (B) 对另一种控制方法进行说明。

设定在图 30 (A) 的 C1 所示的时刻、选择信号 COLA 为激活，在 C2 所示的时刻选择字线 WL1。由此，选择图 26 的存储器单元 MC-1A 和 MC-1B。这时，因为选择信号 COLA 激活，所以选择型读出放大器 SSA 检测出 A 侧的存储器单元 MC (广义上的第一存储器单元)、即检测出存储器单元 MC-1A 的数据并进行输出。此外，如果在 C3 的时刻、锁存信号 SLA 下降，则数据线驱动单元 **110A-R** 锁存存储器单元 MC-1A 中存储的数据。

此外，在 C4 所示的时刻选择字线 WL2，并选择存储器单元 MC-2A 和 MC-2B。这时，因为选择信号 COLA 激活，选择型读出放大器 SSA 检测出 A 侧的存储器单元 MC、即检测出存储器单元 MC-2A 的数据。此外，如果在 C5 的时刻锁存信号 SLB 下降，则数据线驱动单元 **110B-R** 锁存存储器单元 MC-2A 中存储的数据。

由此，通过 1H 期间内的两次读出而进行的数据线驱动器 **100** 的数据锁存结束。

此外，利用图 30 (B) 对不同于图 30 (A) 示出的 1H 期间的 1H 期间内的读出进行说明。在图 30 (B) 的 C6 所示的时刻设定选择信号 COLB 为激活，在 C7 所示的时刻选择字线 WL1。由此，选

择图 26 的存储器单元 MC-1A 和 MC-1B。这时,因为选择信号 COLB 激活,所以选择型读出放大器 SSA 检测出 B 侧的存储器单元 MC (广义上的第一~第 N 的存储器单元中与第一存储器单元不同的存储器单元)、即检测出存储器单元 MC-1B 的数据并进行输出。此外,如果在 C8 的时刻锁存信号 SLA 下降,则数据线驱动单元 **110A-R** 锁存存储器单元 MC-1B 中存储的数据。

此外,在 C9 所示的时刻选择字线 WL2,并选择存储器单元 MC-2A 和 MC-2B。这时,因为选择信号 COLB 激活,选择型读出放大器 SSA 检测出 B 侧的存储器单元 MC、即检测出存储器单元 MC-2B 的数据并进行输出。此外,如果在 C10 的时刻锁存信号 SLB 下降,则数据线驱动单元 **110B-R** 锁存存储器单元 MC-2B 中存储的数据。

由此,通过与图 30 (A) 的 1H 期间不同的 1H 期间内的两次读出而进行的数据线驱动器 **100** 的数据锁存结束。

相对于这样的读出方法,RAM **200** 的各存储器单元 MC 中以图 31 所示方式存储有数据。例如,数据 RA-1A~RA-6A 和数据 RA-1B~RA-6B 是 R 用子像素的六位的数据,该 R 用子像素用于供给数据线驱动单元 **110A-R**。数据 RA-1A~RA-6A 是图 30 (A) 所示的 1H 期间内的 R 用子像素数据,数据 RA-1B~RA-6B 是图 30 (B) 所示的 1H 期间内的 R 用子像素数据。

此外,数据 RB-1A~RB-6A 和数据 RB-1B~RB-6B 是用于 R 用子像素的六位的数据,该 R 用子像素用于供给数据线驱动单元 **110B-R**。数据 RB-1A~RB-6A 是图 30 (A) 所示的 1H 期间中的 R 用子像素数据,数据 RB-1B~RB-6B 是图 30 (B) 所示的 1H 期间中的 R 用子像素数据。

如图 31 所示, 在 RAM 200 中, 沿 X 方向依次将数据 RA-1A (用于数据线驱动器 100A 锁存的数据)、RB-1A (用于数据线驱动器 100B 锁存的数据) 存储于各存储器单元 MC 中。

此外, 在 RAM 200 中, 沿 Y 方向依次存储有数据 RA-1A (用于数据线驱动器 100A 在图 30 (A) 的 1H 期间内锁存的数据)、数据 RA-1B (用于数据线驱动器 100A 在图 30 (A) 的 1H 期间内锁存的数据)、数据 RA-2A (用于数据线驱动器 100A 在图 30 (A) 的 1H 期间内锁存的数据)、数据 RA-2B (用于数据线驱动器 100A 在图 30 (A) 的 1H 期间内锁存的数据)…。即、在 RAM 200 中沿 Y 方向交替存储有在某 1H 期间内数据线驱动器 100A 锁存的数据、以及在不同于该 1H 期间的其他 1H 期间内, 数据线驱动器 100A 锁存的数据。

此外, 图 30 (A)、图 30 (B) 示出的读出方法是在 1H 期间内进行两次读出, 但是, 在 1H 期间内选择不同的字线 WL。此外, 在一垂直期间 (即、一帧期间) 内选择两次相同的字线。这是因为选择型读出放大器 SSA 连接有两组的位线对 BL、/BL。因此, 选择型读出放大器 SSA 连接三组或大于三组的位线对 BL、/BL 时, 在一垂直期间内, 选择三次或大于三次相同的字线。

此外, 在本实施例中, 例如由图 4 的字线控制电路 240 进行上述的字线 WL 的控制。

3.4. 字线控制电路的配置

在本实施例中, 沿 RAM 200 的 Y 方向排列的存储器单元的个数是 $M \times 2$ 个时, 可以如图 32 所示, 将行译码器 (广义上的字线控制电路) 242 设置于 Y 方向上的大致中间位置。

如图 32 所示, 在各个 RAM 200 和 200B 中, 沿 Y 方向分别排列有例如 M 个的存储器单元 MC。此外, 行译码器 242 根据来自 CPU/LCD 控制电路 250 中的信号, 控制 RAM 200A 和 200B 的字线 WL。CPU/LCD 控制电路 250 根据例如外部主机的控制, 控制行译码器 242、输出电路 260A 和 260B、CPU 写/读电路 280A 和 280B、列译码器 270A 和 270B。

CPU 写/读电路 280A、280B 根据来自 CPU/LCD 控制电路 250 的信号, 进行以下控制: 将来自主机侧的数据写入 RAM 200, 或读出存储于 RAM 200 的数据、并向主机侧输出。列译码器 270A、270B 根据来自 CPU/LCD 控制电路 250 的信号, 进行 RAM 200 的位线 BL、/BL 的选择控制。

此外, 各 RAM 200A 和 200B 在沿 Y 方向排列的存储器单元 MC 的个数并不限定于 M。例如, 可以在 RAM 200A 中, 沿 Y 方向排列 $M-\alpha$ (α 是任意的正整数) 个存储器单元 MC, 在 RAM 200B 中, 沿 Y 方向排列 $M+\alpha$ 个存储器单元 MC。此外, 也可以在 RAM 200A 中, 沿 Y 方向排列 $M+\alpha$ 个存储器单元 MC。在 RAM 200B 中, 沿 Y 方向排列 $M-\alpha$ (α 是任意的正整数) 个存储器单元 MC。

此外, 输出电路 260A、260B 包括例如多个选择型的读出放大器 SSA, 例如将通过字线 WL1A、WL1B 的选择、由各 RAM 200A、200B 中输出的数据的合计 M 位的数据向数据线驱动器 100 输出。

在本实施例中, 选择型读出放大器 SSA 连接例如两组的位线对 BL、/BL 时, 如图 27 所示, 在 RAM 200 中, 沿 Y 方向排列有 $M \times 2$ 个存储器单元。在这种情况下, 一字线 WL 连接的存储器单元 MC 的个数是 $M \times 2$ 个, 寄生于一字线 WL 中的电容增加。其结果是, 字线控制电路的字线选择所需要的耗电量增大, 从而妨碍了低功耗化。此外, 由于寄生电容, 会产生向字线供给选择电压时的电

压的上升迟延,从而,为了使各存储器单元 MC 的读出稳定,则需要加长读出时间。作为避免这种情况的方法可以列举出将原来的一条字线块分割成多条,减少每一条所连接的存储器单元 MC 的方法。

但是,在这种方法中,在存储器单元 MC 中需要形成主字线 MWL 和辅字线 SWL。此外,由于字线的块化,其控制变得复杂,从而需要其控制电路。即、会妨碍削减设计成本和制造成本。

针对于此,在本实施例中,如图 32 所示,行译码器 242 设置于 Y 方向上的大致中央位置。此外,如图 17 (B) 和图 25 (A) 所示,存储器单元 MC 的长度 MCY 与长度 MCX 相比非常长,所以,字线的 Y 方向上的长度不会太长。通过这样的构成,即使字线 WL 没有块化,也可以实现低耗电化。

此外,在向数据线驱动器 100 数据输出时,行译码器 242 选择控制 RAM 200 和 200B 的字线 WL,但是,对于来自主机侧的访问,进行 RAM 200A 或 200B 中任意一个有需要的一个的字线控制。这样,可以进一步实现低耗电化。

图 33 (A) 和图 33 (B) 是用于说明上述控制的说明图。行译码器 242 包括例如多个重合检测电路 242-1。此外, RAM 200 中设置有多个 AND 电路(“与”电路)242-2 和 242-3,向 AND 电路 242-2 输入例如来自 CPU/LCD 控制电路 250 的控制信号/R0。此外,向 AND 电路 242-3 输入例如来自 CPU/LCD 控制电路 250 的控制信号 R0。此外,向 AND 电路 242-2 和 242-3 供给重合检测电路 242-1 的输出。

此外,AND 电路 242-2 和 242-3 既可以设置于行译码器 242 中,也可以设置于 RAM 200A、200B 侧。

例如，如果行译码器 **242** 接收由 CPU/LCD 控制电路 **250** 规定的字线地址 WAD，则在任何一个重合检测电路 **242-1** 中进行重合检测。例如输入重合检测电路 **242-1** 的信号的逻辑积是逻辑“1”时，其重合检测电路 **242-1** 检测出重合。检测出重合的重合检测电路 **242-1** 向节点 ND 输出例如逻辑电平“1”的信号。向 AND 电路 **242-2** 和 **242-3** 供给输出到节点 ND 的逻辑电平“1”的信号。

这时，如图 33 (B) 所示，在 CPU 访问时（广义上的来自主机侧的访问时）将控制信号 R0 和 /R0 设定为排他性（互斥性）的信号。具体而言，如图 33 (B) 所示，将控制信号 /R0 设定为 H 电平（或逻辑电平“1”）、控制信号 R0 设定为 L 电平（或逻辑电平“0”）时，AND 电路 **242-2** 输出逻辑电平“1”的信号。由此，选择 RAM **200A** 侧的字线 WL1A。因为控制信号 R0 设定为 L 电平，所以，AND 电路 **242-3** 输出逻辑电平“0”。因此，不选择 RAM **200B** 侧的字线 WL1B。

选择 RAM **200B** 侧的字线 WL1B 时，如图 33 (B) 所示，将控制信号 R0、/R0 设定为与上述内容相反的图形。

此外，在向数据线驱动器 **100** 输出的 LCD 输出时，将 R0、/R0 设定为 H 电平（例如逻辑电平“1”），因此，选择与检测出重合的重合检测电路 **242-1** 对应的 RAM **200A** 侧和 **200B** 侧的字线。

根据上述内容，对于来自主机侧的访问，行译码器 **242** 选择 RAM **200A** 侧或 **200B** 侧的任意一侧的字线，因此可以实现耗电量的降低。

3.5. 列译码器的配置

如图 33 (A) 所示地配置 RAM **200** 时，如图 34 所示，可以使 RAM **200-1** 侧的 RAM **200A-1** 和 RAM **200-2** 侧的 **200A-2** 共用列译

码器 **272A**，使 RAM **200-1** 侧的 **200B-1** 和 RAM **200-2** 侧的 **200B-2** 共用列译码器 **272B**，因此，可以省略重复的部件。由此，可以将图 34 的列译码器 **272A**、**272B** 的 X 方向的尺寸设计为小于图 32 所示的在 X 方向上各排列两个列译码器 **270A** 和 **270B** 时的尺寸。

此外，因为可以设计为 RAM **200-1** 侧和 RAM **200-2** 侧共用 CPU/LCD 控制电路 **252**，所以，可以省略重复的部件。由此，可以将图 34 的 CPU/LCD 控制电路 **252** 的 X 方向的尺寸设计为小于图 32 所示的在 X 方向上排列两个 CPU/LCD 控制电路 **250** 时的尺寸。

根据上述内容，可以较短地设计图 34 的 X 方向上的 RAM **200-1**、**200-2** 之间的宽度 **BDX**。由此，可以效率良好地将 RAM **200** 收容于显示驱动器 **20**。

4. 变形例

图 35 示出本实施例涉及的变形例。例如在图 11 (A) 中，在 X 方向上分割为数据线驱动器 **100A** 和 **100B**。此外，分别在各数据线驱动器 **100A**、**100B** 中，设置有彩色显示时的、R 用子像素的数据线驱动单元、G 用子像素的数据线驱动单元、B 用子像素的数据线驱动单元。

针对于此，在图 35 的变形例中，在 X 方向上分割为 **100-R**、**100-G**、**100-B** 共三个数据线驱动器。此外，在数据线驱动器 **100-R** 中设置有多 R 用子像素的数据线驱动单元 **110-R1**、**110-R2**...，在数据线驱动器 **100-G** 中设置有多 G 用子像素的数据线驱动单元 **110-G1**、**110-G2**...。同样，在数据线驱动器 **100-B** 中设置有多 B 用子像素的数据线驱动单元 **110-B1**、**110-B2**...。

此外，在图 35 的变形例中，在 1H 期间内进行三次读出。例如，如果选择字线 **WL**，则与此对应，数据线驱动器 **100-R** 锁存由 RAM

200 输出的数据。由此，数据线驱动单元 **110-R** 锁存例如存储于存储器单元 **MCS31** 的数据。

此外，如果选择字线 **WL2**，则与此对应，数据线驱动器 **100-G** 锁存由 **RAM 200** 输出的数据。由此，数据线驱动单元 **110-R1** 锁存例如存储于存储器单元 **MCS32** 的数据。

此外，如果选择字线 **WL3**，则与此对应，数据线驱动器 **100-B** 锁存由 **RAM 200** 输出的数据。由此，数据线驱动单元 **110-B1** 锁存例如存储于存储器单元 **MCS33** 的数据。

关于存储器单元组 **MCS34**、**MCS35**、**MCS36** 也和上述内容相同，如图 35 所示，分别存储于数据线驱动单元 **110-R2**、**110-G2**、**110-B2** 的任何一个中。

图 36 示出该三次读出动作的时序图。在图 36 的 **D1** 的时刻选择字线 **WL1**，在 **D2** 的时刻、数据线驱动器 **100-R** 锁存来自 **RAM 200** 的数据。由此，如上所述地通过字线 **WL1** 的选择而输出的数据被锁存于数据线驱动器 **100-R** 中。

此外，在 **D3** 时刻选择字线 **WL2**，在 **D4** 时刻、数据线驱动器 **100-G** 锁存来自 **RAM 200** 的数据。由此，如上所述地通过字线 **WL2** 的选择而输出的数据被锁存于数据线驱动器 **100-G** 中。

此外，在 **D5** 时刻选择字线 **WL3**，在 **D6** 时刻、数据线驱动器 **100-B** 锁存来自 **RAM 200** 的数据。由此，如上所述地通过字线 **WL3** 的选择而输出的数据被锁存于数据线驱动器 **100-B** 中。

在如上所述地动作时，如图 37 所示，将数据存储于 **RAM 200** 的存储器单元 **MC** 中。例如，图 37 的数据 **R1-1** 表示 **R** 用子像素是

六位的灰度时其中一位的数据，并且将其存储于例如一个存储器单元 MC 中。

例如，在图 35 的存储器单元组 MCS31 中，存储有数据 R1-1 ~ R1-6，在存储器单元组 MCS32 中，存储有数据 G1-1 ~ G1-6，在存储器单元组 MCS33 中，存储有数据 B1-1 ~ B1-6。同样，如图 37 所示，在存储器单元组 MCS33 ~ MCS36 中存储有 R2-1 ~ R2-6、G2-1 ~ G2-6、B2-1 ~ B2-6。

例如，存储于存储器单元组 MCS31 ~ MCS33 中的数据可以看作一个像素的数据，是用于驱动与存储器单元组 MCS34 ~ MCS36 中存储的数据所对应的数据线不同的数据线的的数据。这样，可以在 RAM 200 中沿 Y 方向依次写入各像素的数据。

此外，在设置于显示面板 10 的多条数据线中，例如先驱动 R 用子像素所对应的数据线，接着驱动 G 用子像素所对应的数据线，然后再驱动 B 用子像素所对应的数据线。由此，在 1H 期间内进行三次读出时，即使每一次读出时会产生迟延，因为驱动所有例如 R 用子像素所对应的数据线，所以由于迟延导致的未显示区域的面积减小。因此，可以缓和闪动等显示劣质化的问题。

5. 本实施例的效果

在本实施例中，如图 19、20、21、24 所示，在 RAM 200 内形成有多条屏蔽布线 SHD2。由此，即使是在位线 BL、/BL 的上层形成第三电源供给布线 GL，也可以实现正常的的数据检测。由此，可以在 RAM 200 的上层布线各种信号线，例如可以灵活地进行例如显示驱动器 20 的电路块的布局。例如，可以经由 RAM 200 的上层向数据线驱动器 100（广义上的显示存储器之外的电路）供给需要

的灰阶电压。即、可以实现将显示驱动器 **20** 的缩小到极限的布局，达到削减制造成本的效果。

此外，如图 19、20、21、24 所示，屏蔽布线 SHD2 沿 X 方向延伸形成。因此，可以使用屏蔽布线 SHD2 作为供给电压 VSS 的电源供给布线，稳定地向各存储器单元 MC 供给电源。

此外，如图 19、20、21、24 所示，可以在未形成位线 BL、/BL 的区域的上方设置屏蔽布线非形成区域 NSH，因此，可以放出在后续工序中在屏蔽布线 SHD2 的下层等产生的气体，实现提高成品率的效果。

此外，在如上所述的本实施例中，在 1H 期间内对 RAM **200** 进行多次的读出。因此，可以如上所述地减少各字线的存储器单元 MC 的个数，或实现数据线驱动器 **100** 的分割化。例如可以通过调整 1H 期间的读出次数调整一字线对应的存储器单元 MC 的排列数，因此，可以适当调整 RAM **200** 的 X 方向的长度 RX 和 Y 方向的长度 RY。此外，可以通过调整 1H 期间的读出次数变更数据线驱动器 **100** 的分割数。

此外，可以容易地对应设置于作为对象的显示面板 **10** 的显示区域 **12** 中的数据线的数量，变更数据线驱动器 **100** 和 RAM **200** 的块数，或者变更各数据线驱动器 **100** 和 RAM **200** 的布局尺寸。因此，可以实现考虑装载于显示驱动器 **20** 的其他电路的设计，并削减显示驱动器 **20** 的设计成本。例如，作为对象的显示面板 **100** 中有变更，只变更数据线的条数时，存在数据线驱动器 **100** 和 RAM **200** 作为主要变更对象的情况。在这种情况下，在本实施例中，因为可以灵活地设计数据线驱动器 **100** 和 RAM **200** 的布局，所以，可以在其他电路中沿用原有的程序库。因此，在本实施例中，可以有效利用有限的空间，削减显示驱动器 **20** 的设计成本。

此外,在本实施例中,因为在1H期间内进行多次读出,所以,相对于如图25(A)所示由读出放大器SSA输出M位的数据的RAM 200,可以在Y方向设置 $M \times 2$ 个存储器单元MC。由此,可以效率良好地排列存储器单元MC,从而可以缩小芯片的面积。

此外,在图8的比较例的显示驱动器24中,因为字线WL非常长,所以,为了来自RAM 205的数据读出的迟延不会导致分散,需要一定程度的电力。此外,因为字线WL非常长,各字线WL所连接的存储器单元的数量也增大,从而寄生在字线WL中的电容量增大。针对于该寄生电容量的增大,可以通过分割字线WL进行控制,但是,需要另外设置用于该用途的电路。

针对于此,在本实施例中,例如如图11(A)所示字线WL1、WL2等沿Y方向延伸形成,与比较例的字线WL相比,其每一个的长度非常短。因此,选择一次字线WL1所需要的电力减少。由此,即使是在1H期间内进行多次读出的情况下,也可以防止耗电量的增大。

此外,如图3(A)所示,例如设置4BANK RAM 200时,在RAM 200中进行如图11(B)所示的选择字线的信号、锁存信号SLA、SLB的控制。这些信号可以由例如4BANK的各个RAM 200共同使用。

具体地说,例如如图10所示,向数据线驱动器100-1~100-4供给相同的数据线控制信号SLC(数据线驱动器用控制信号),向数据线驱动器200-1~200-4供给相同的字线控制信号RAC(RAM用控制信号)。数据线控制信号SLC例如包括如图11(B)所示的锁存信号SLA、SLB, RAM用控制信号RAC包括如图11(B)所示的用于选择字线的信号。

由此，在各自的 BANK 上以 RAM 200 的字线相同的方式进行选择，供给数据线驱动器 100 的锁存信号 SLA、SLB 等同样地下降。即、在 1H 期间中，选择某 RAM 200 的字线的同时，也同时选择其他 RAM 200 的字线。这样，多个数据线驱动器 100 可以正常地驱动多条数据线。

如上所述，对本发明的实施例进行了详细的说明，但是，本领域的技术人员可以很容易地理解到，只要不实质脱离本发明的申请事项和效果，还存在很多变形例。因此，这样的变形例可以全部包含于本发明的范围内。例如在说明书或附图中，至少一次和更广义或同义的不同用语同时记载的用语，可以在说明书或附图的任何地方，替换为该不同用语。

此外，在本实施例中，使设置于显示驱动器 20 内的多个 RAM 200 可以存储例如一显示画面的图像数据，但是，并不仅限于此。

相对于显示面板 10 设置 k (k 是大于等于 2 的整数) 个显示驱动器，可以使 k 个显示驱动器中的各个显示驱动器存储一显示画面的图像数据的 $(1/k)$ 。在这种情况下，一显示画面的数据线 DL 的总条数为 DLN 时， k 个显示驱动器中的每一个分担驱动的数据线条数为 (DLN/k) 条。

附图标记说明

10 显示面板

20 显示驱动器（集成电路装置）

100 数据线驱动器块（显示存储器以外的电路）

200 RAM 块

240、242 字线控制电路

BL、/BL 位线

DL 数据线

GL 第三电源供给布线

MC 存储器单元

NSH 保护用布线非形成区域

SHD1、SHD2、SHD3 位线保护用布线

VDD 第二电源电压

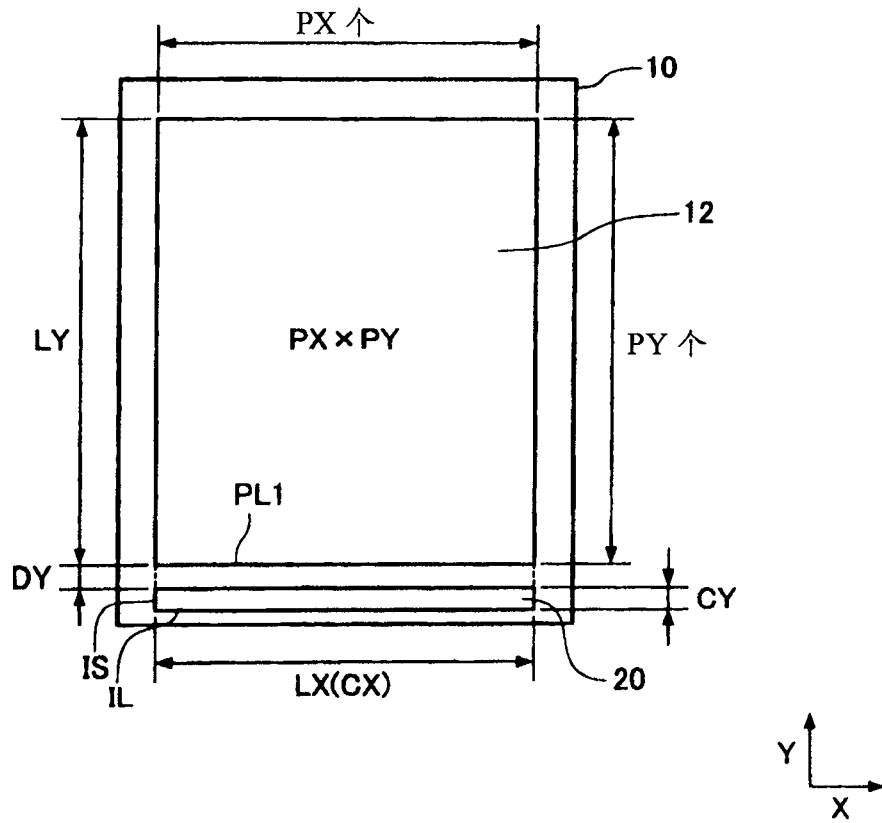
VDDL 第二电源供给布线

VSS 第一电源电压

VSSL1、VSSL2 第一电源供给布线

WL 字线

(A)



(B)

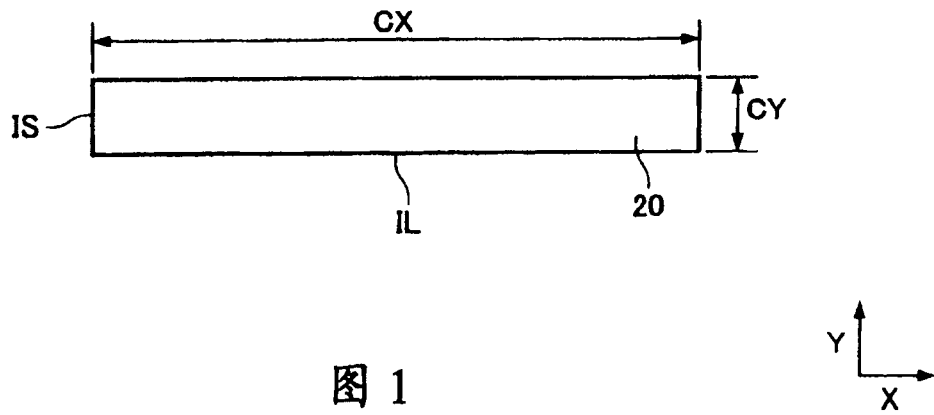
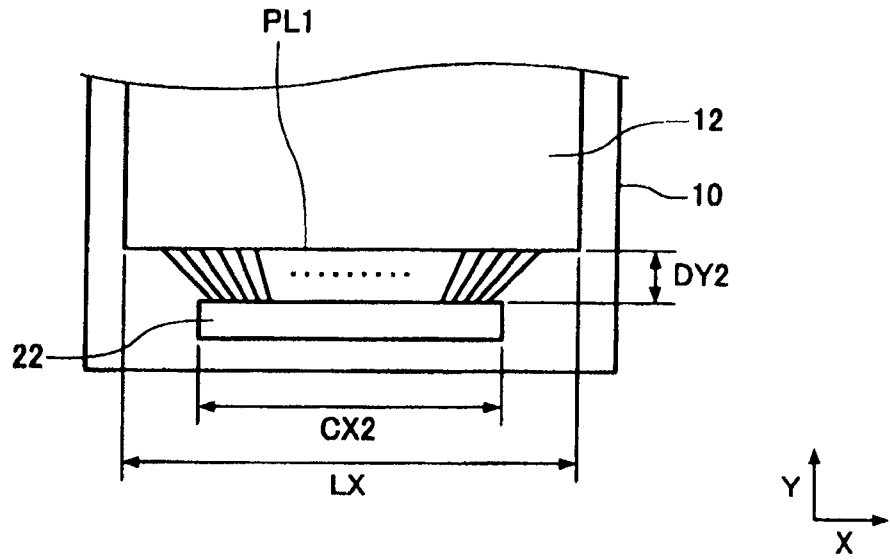


图 1

(A)



(B)

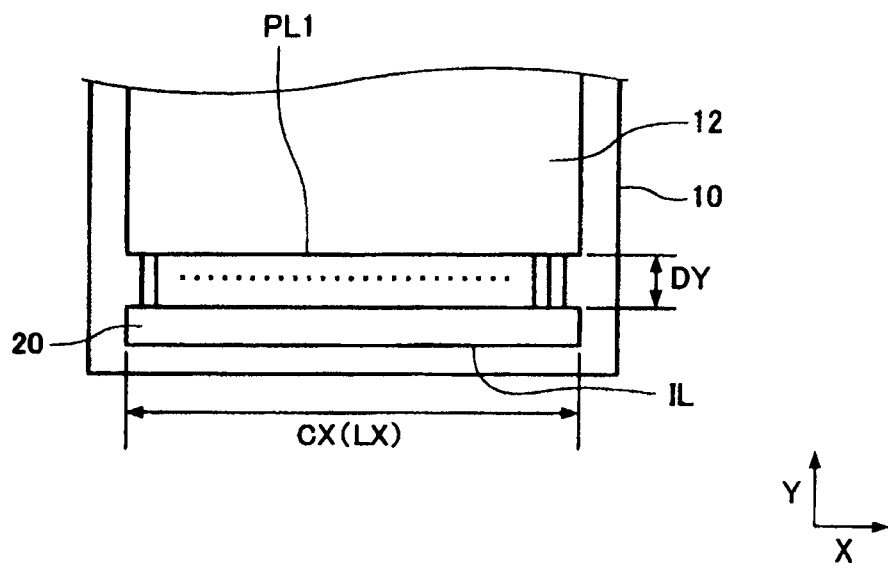


图 2

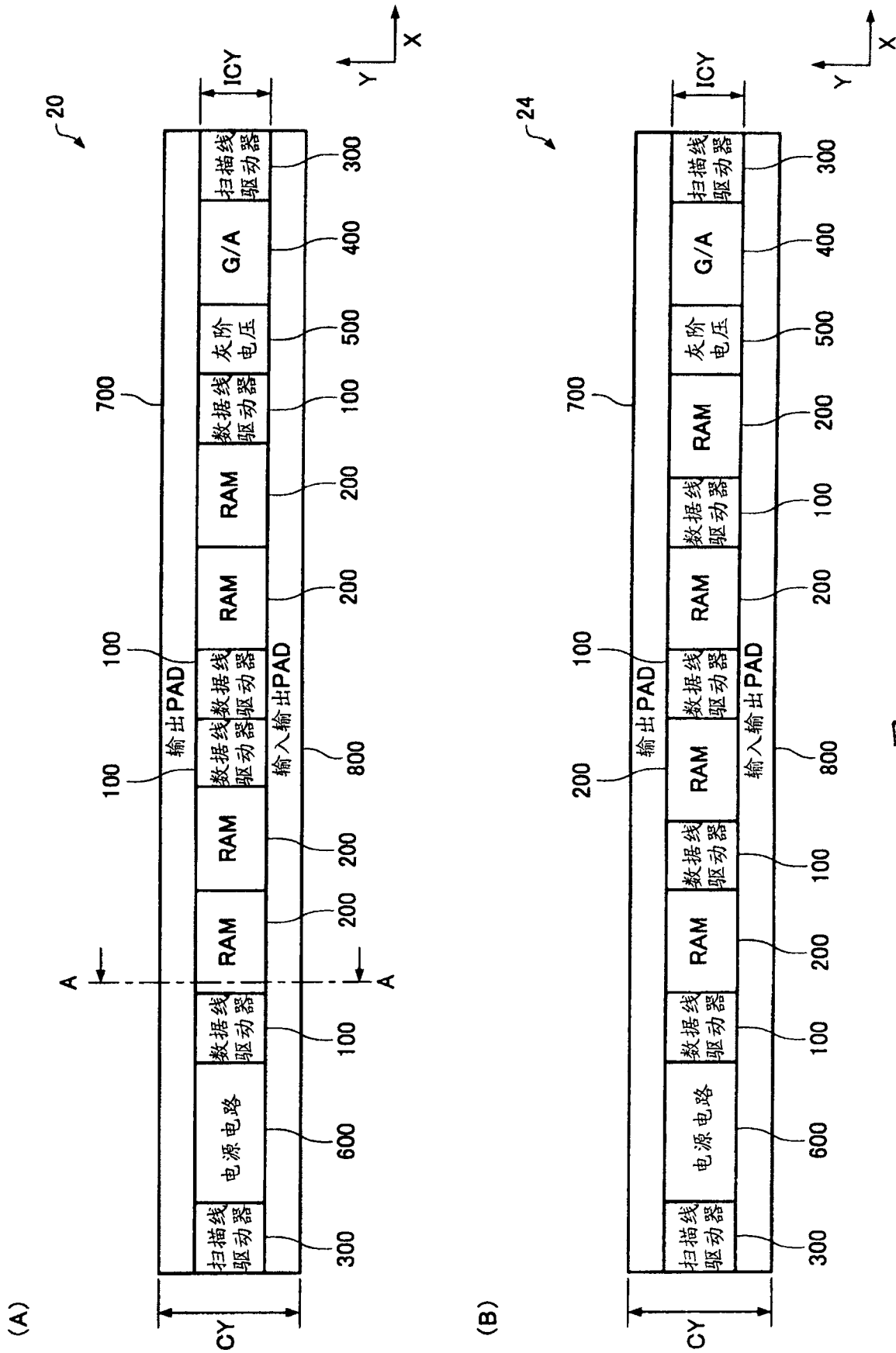


图 3

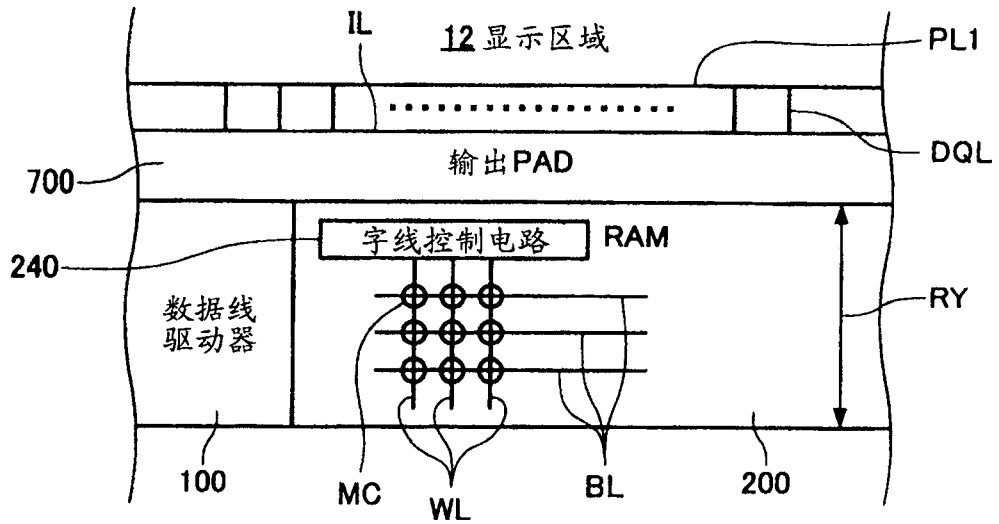


图 4

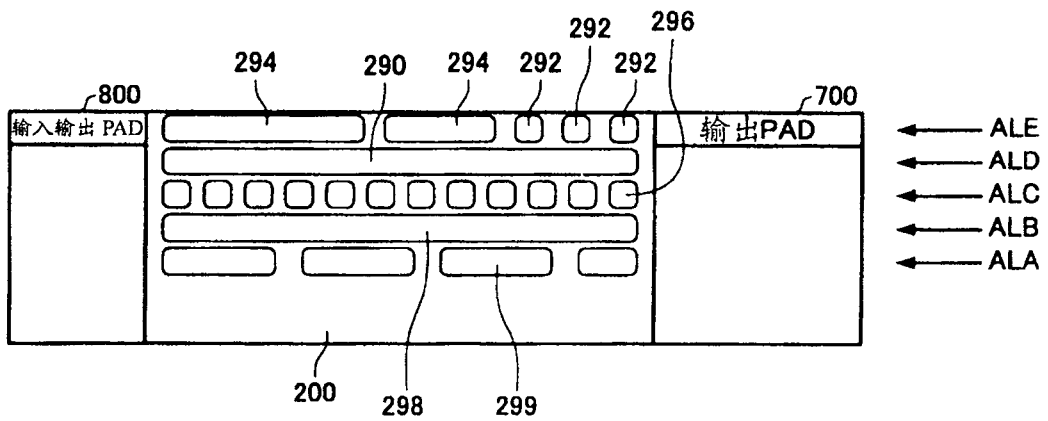
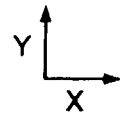
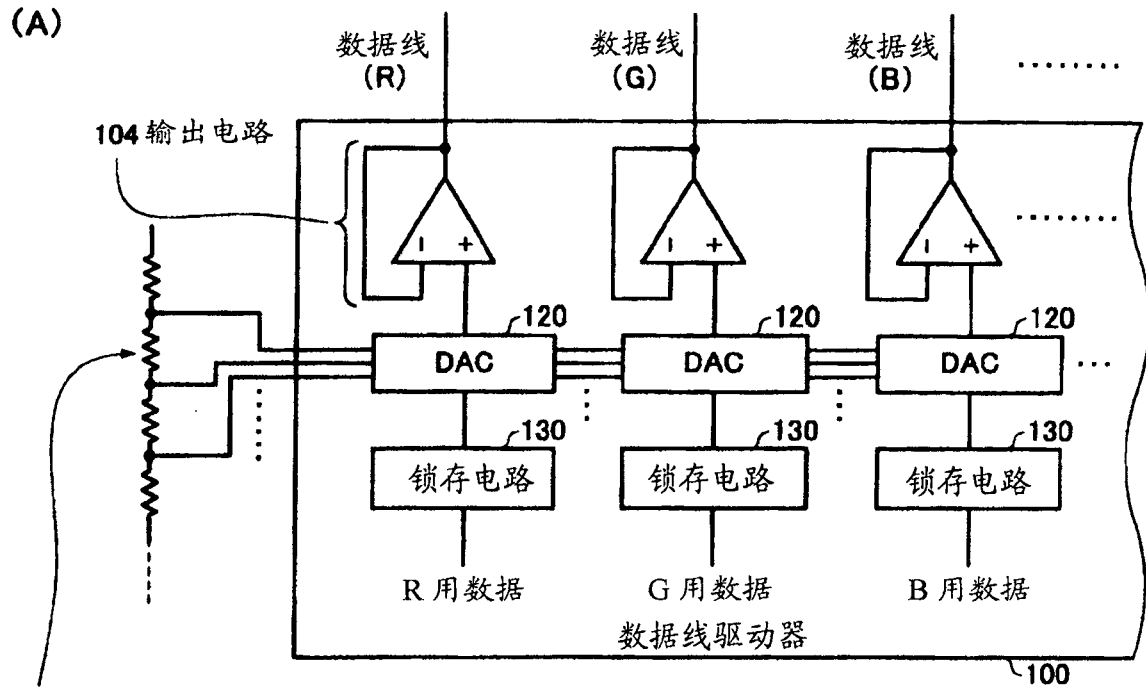


图 5



500 灰阶电压生成电路

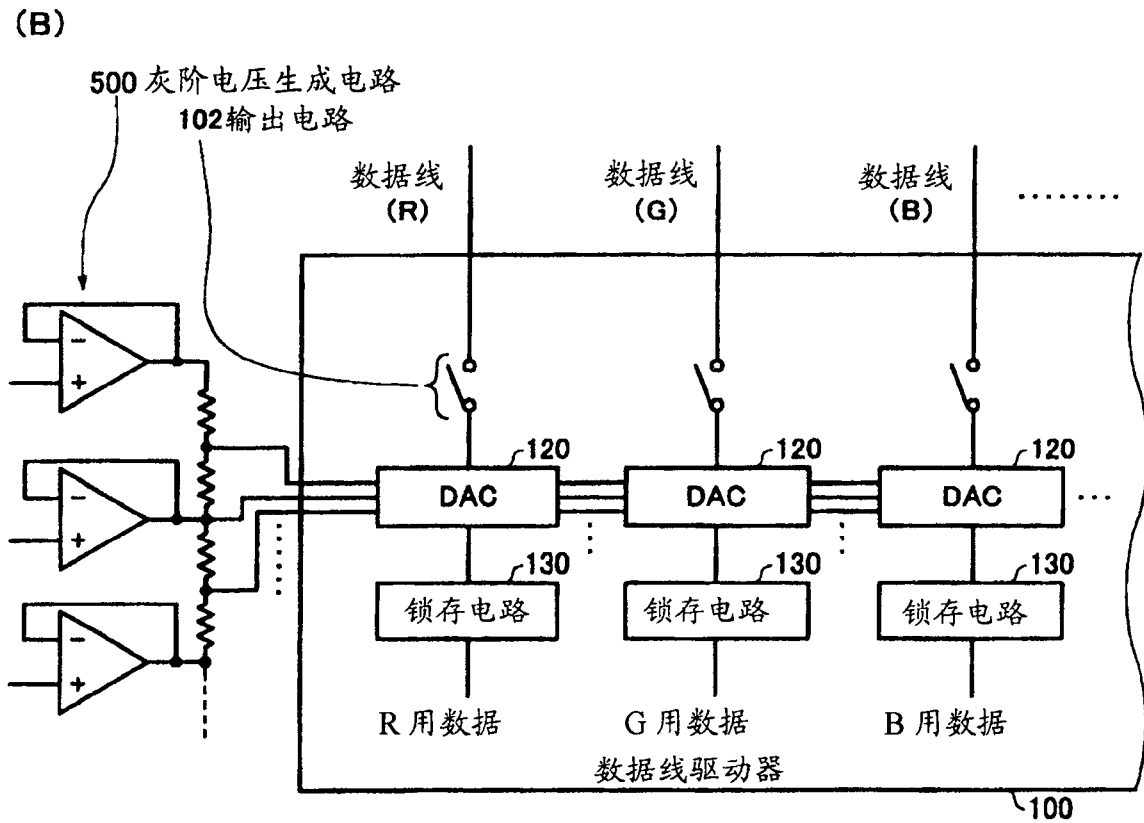


图 6

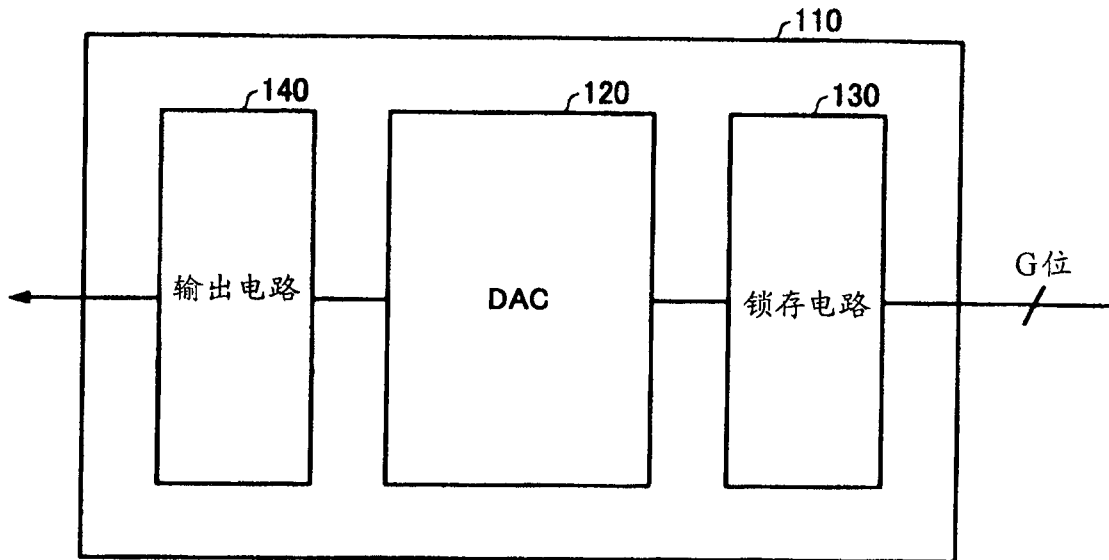


图 7

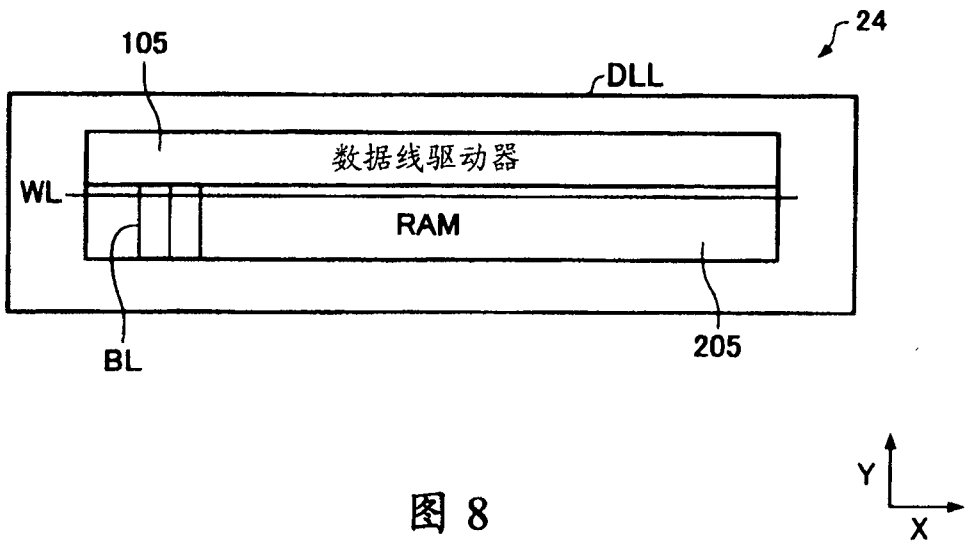


图 8

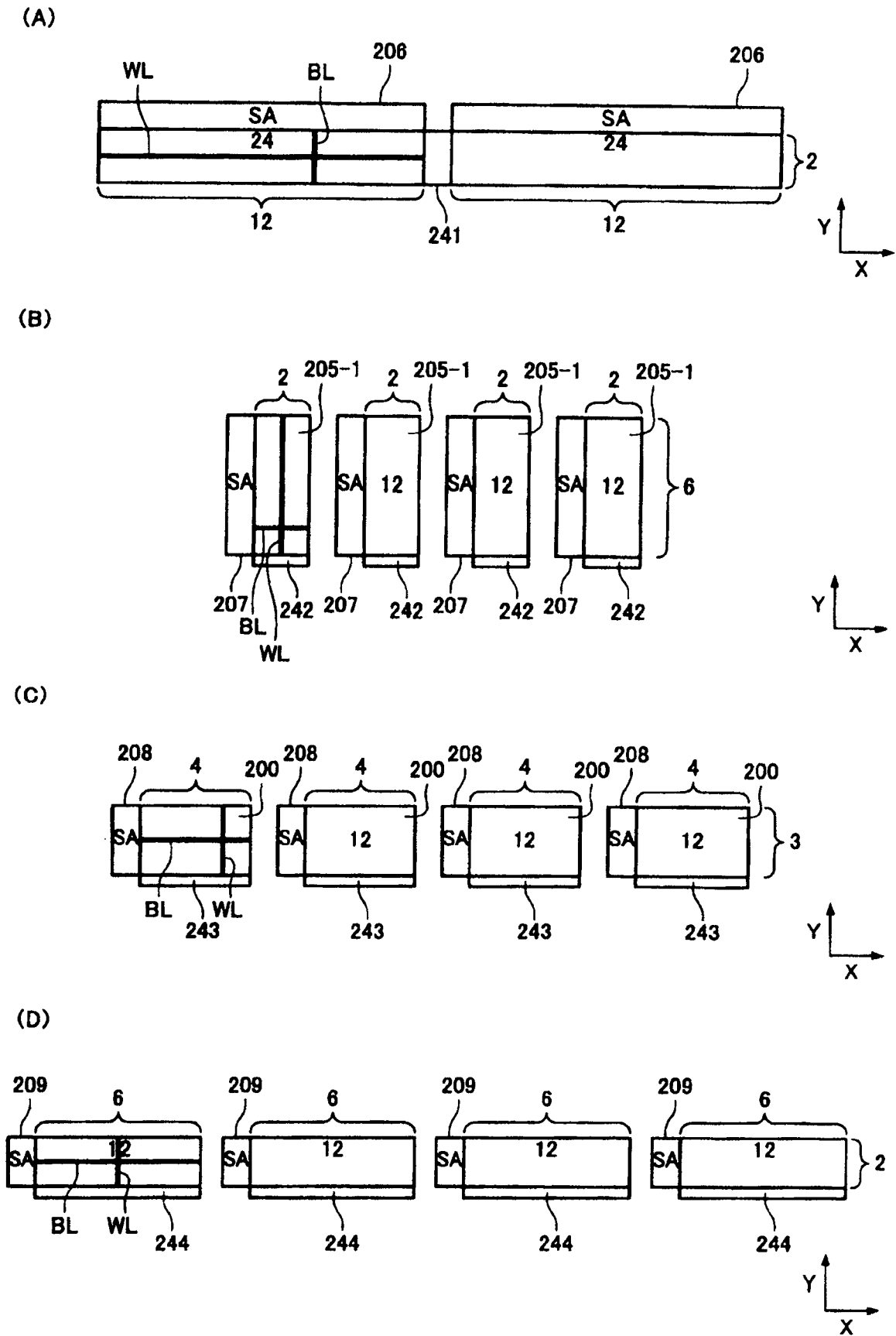


图 9

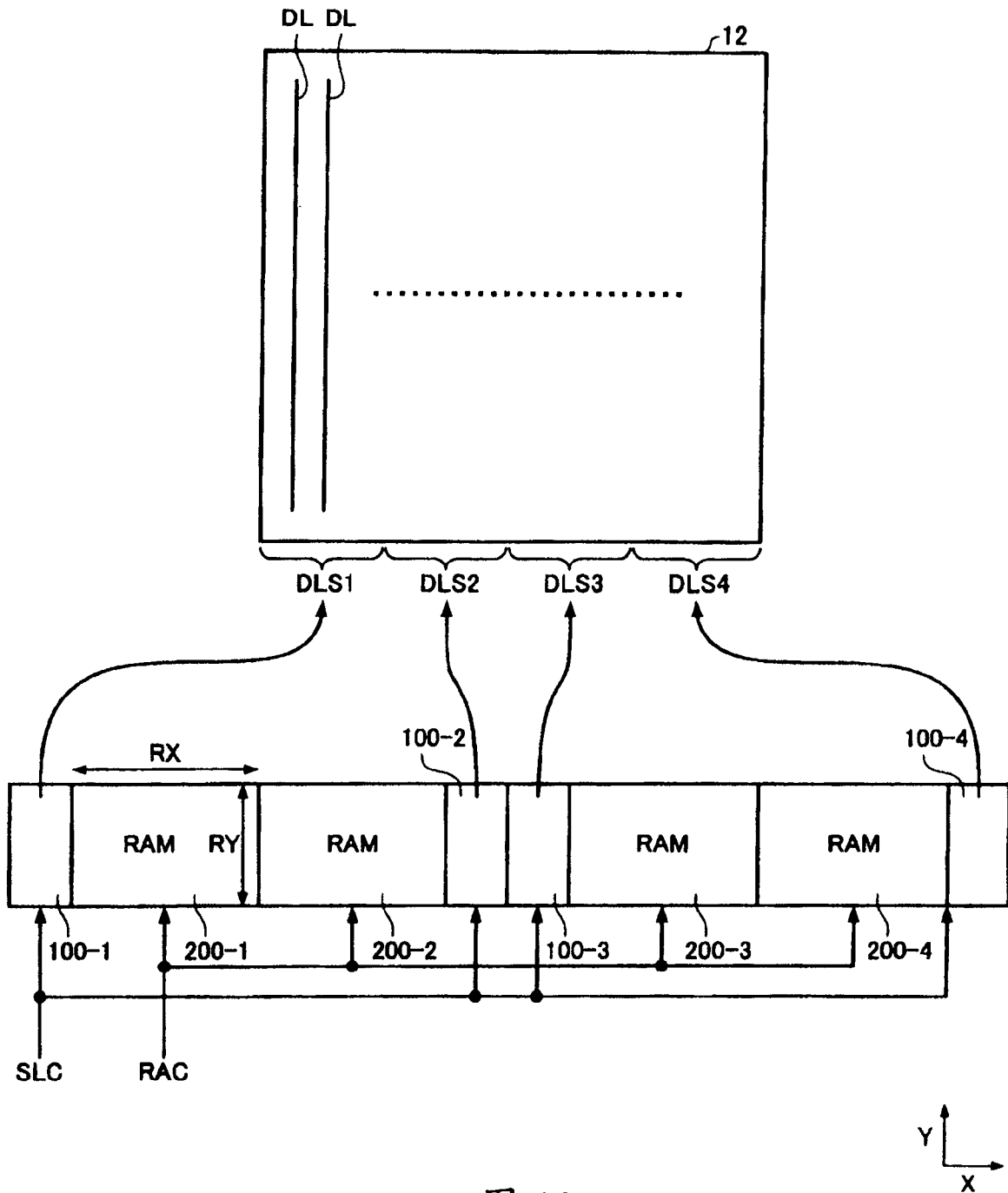
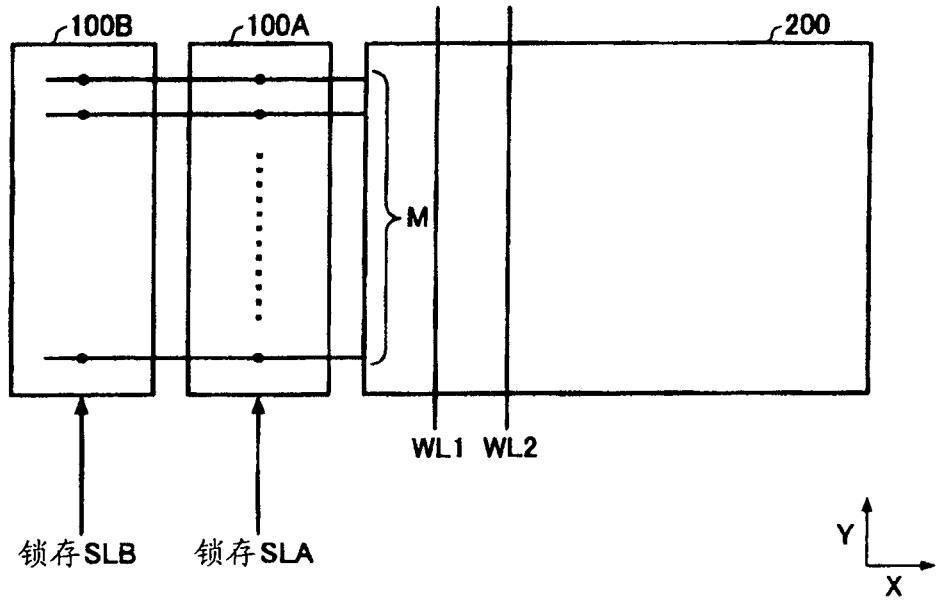


图 10

(A)



(B)

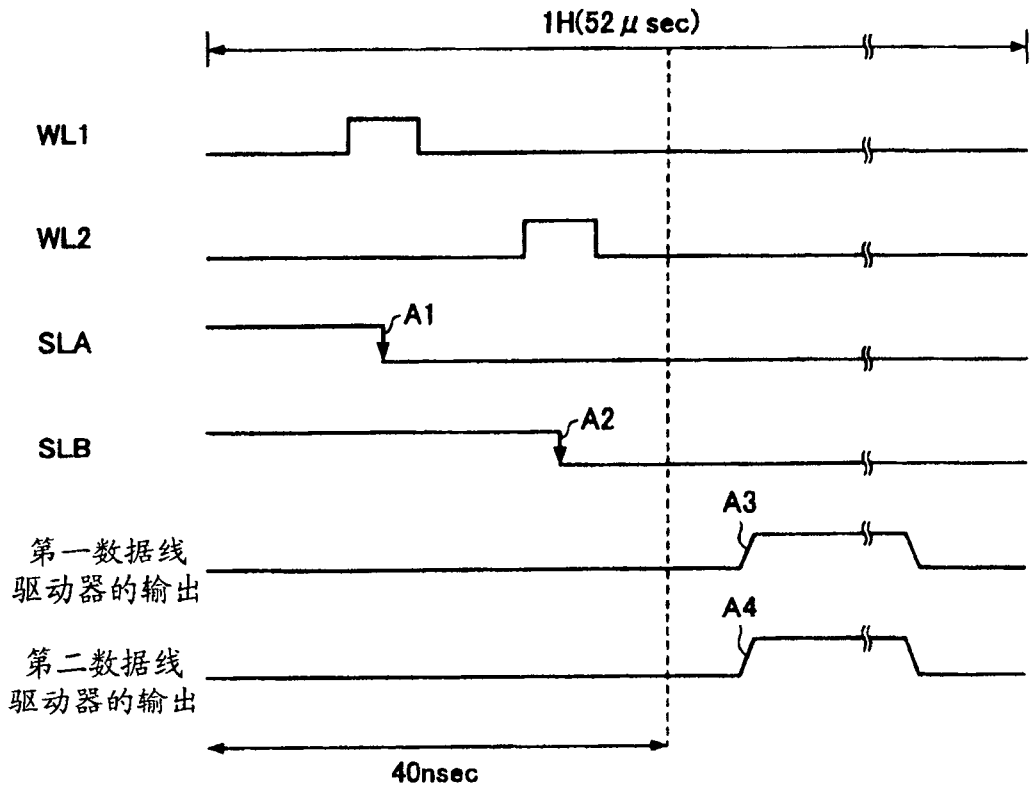


图 11

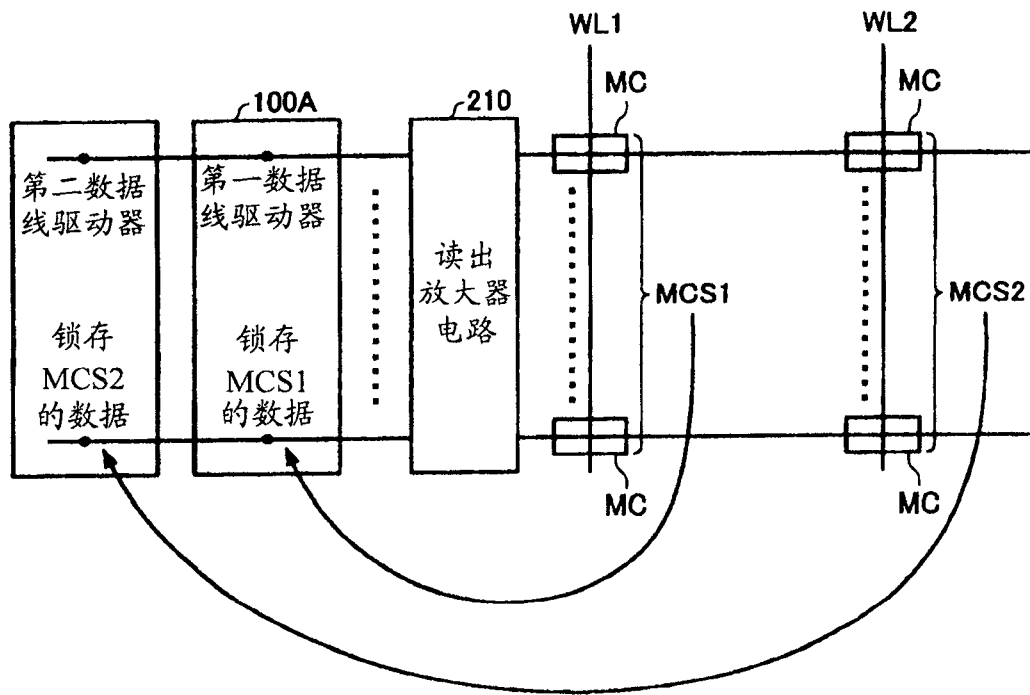


图 12

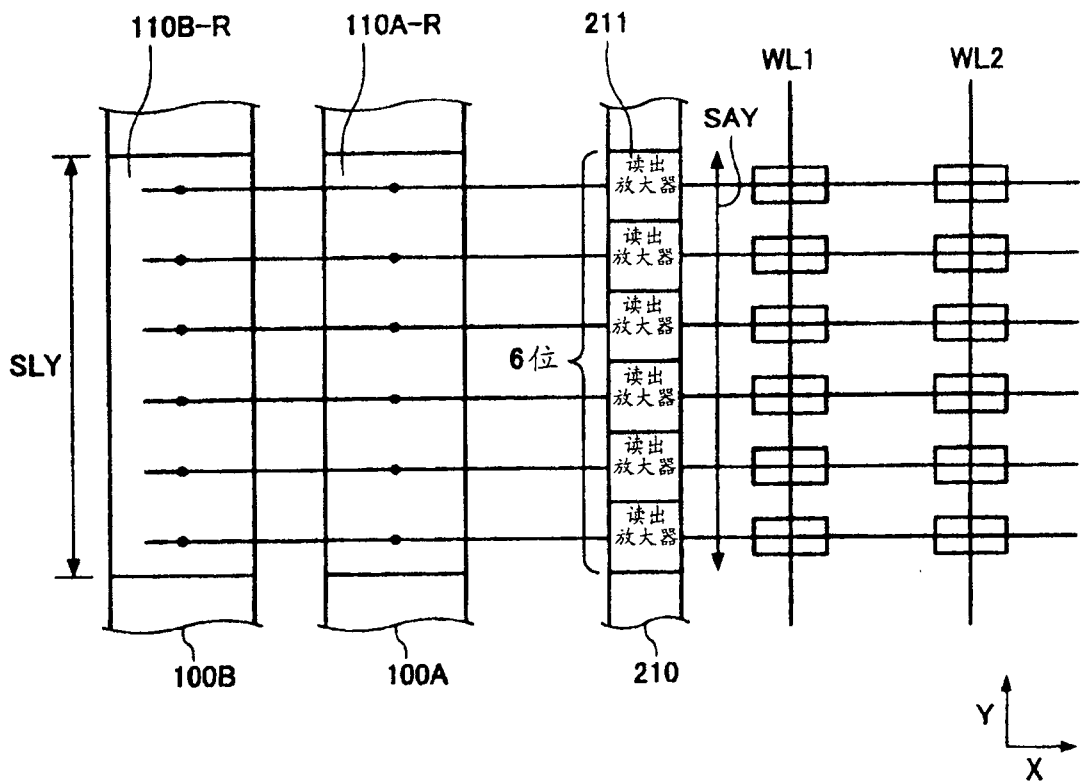


图 13

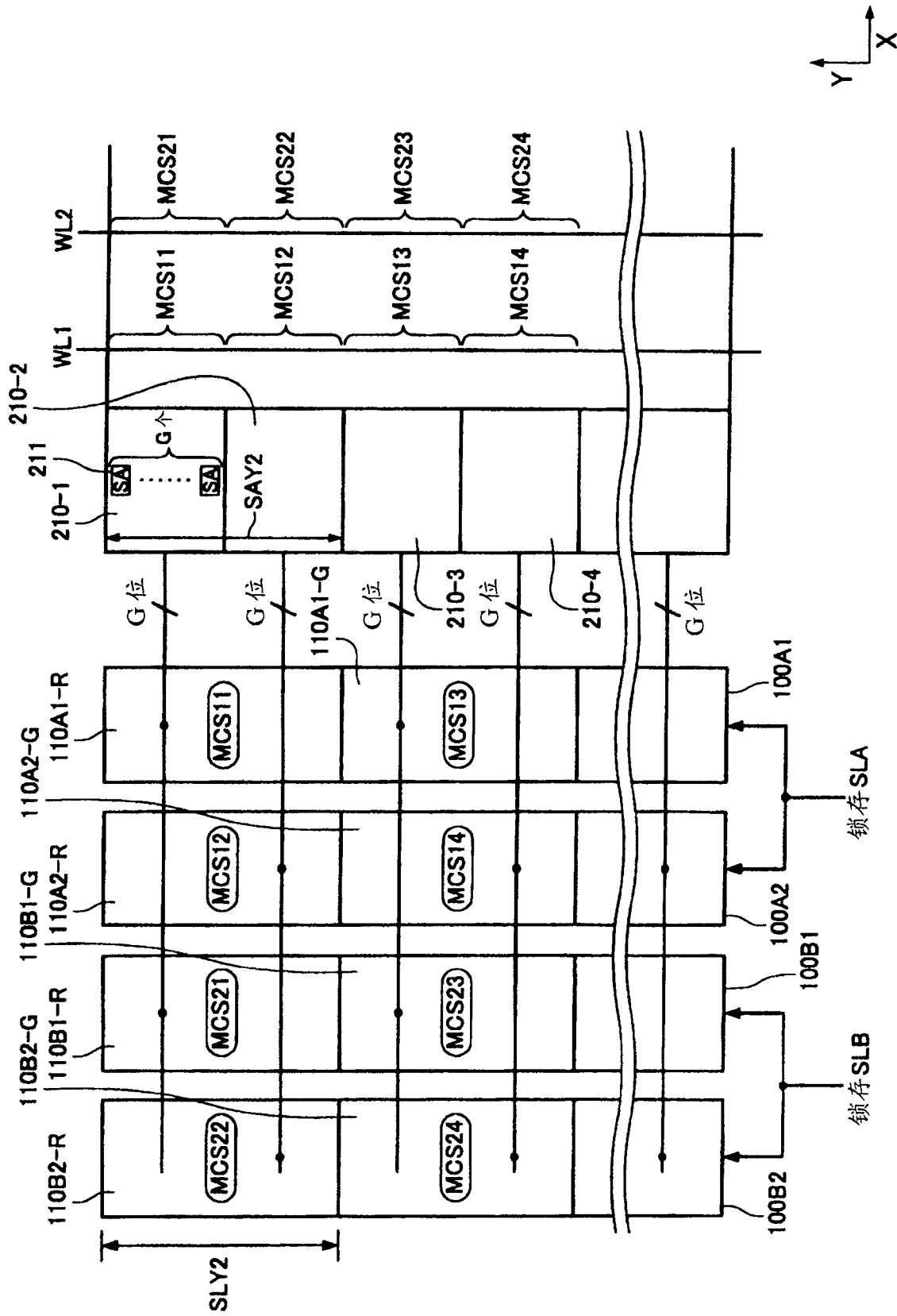


图 14

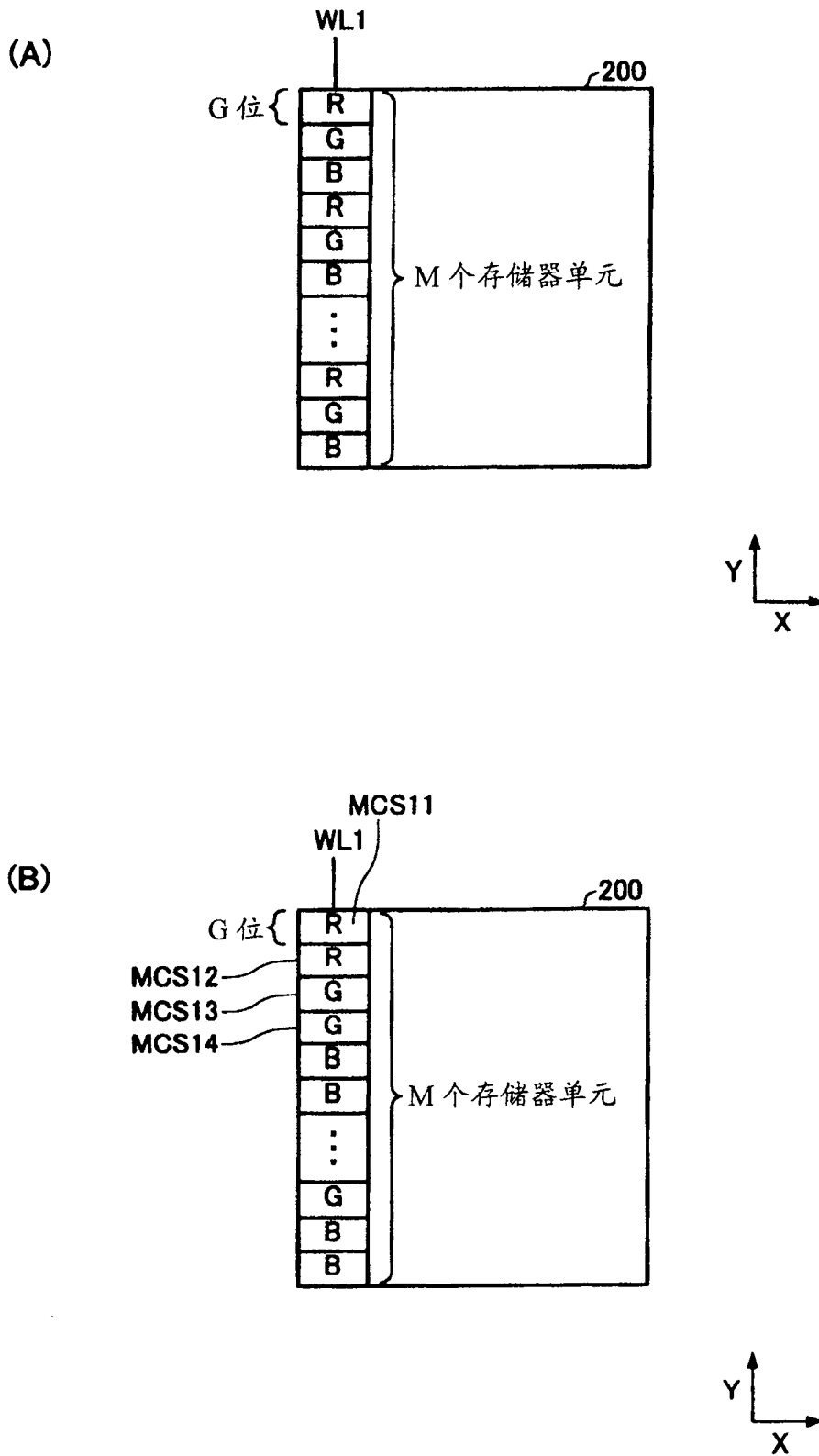


图 15

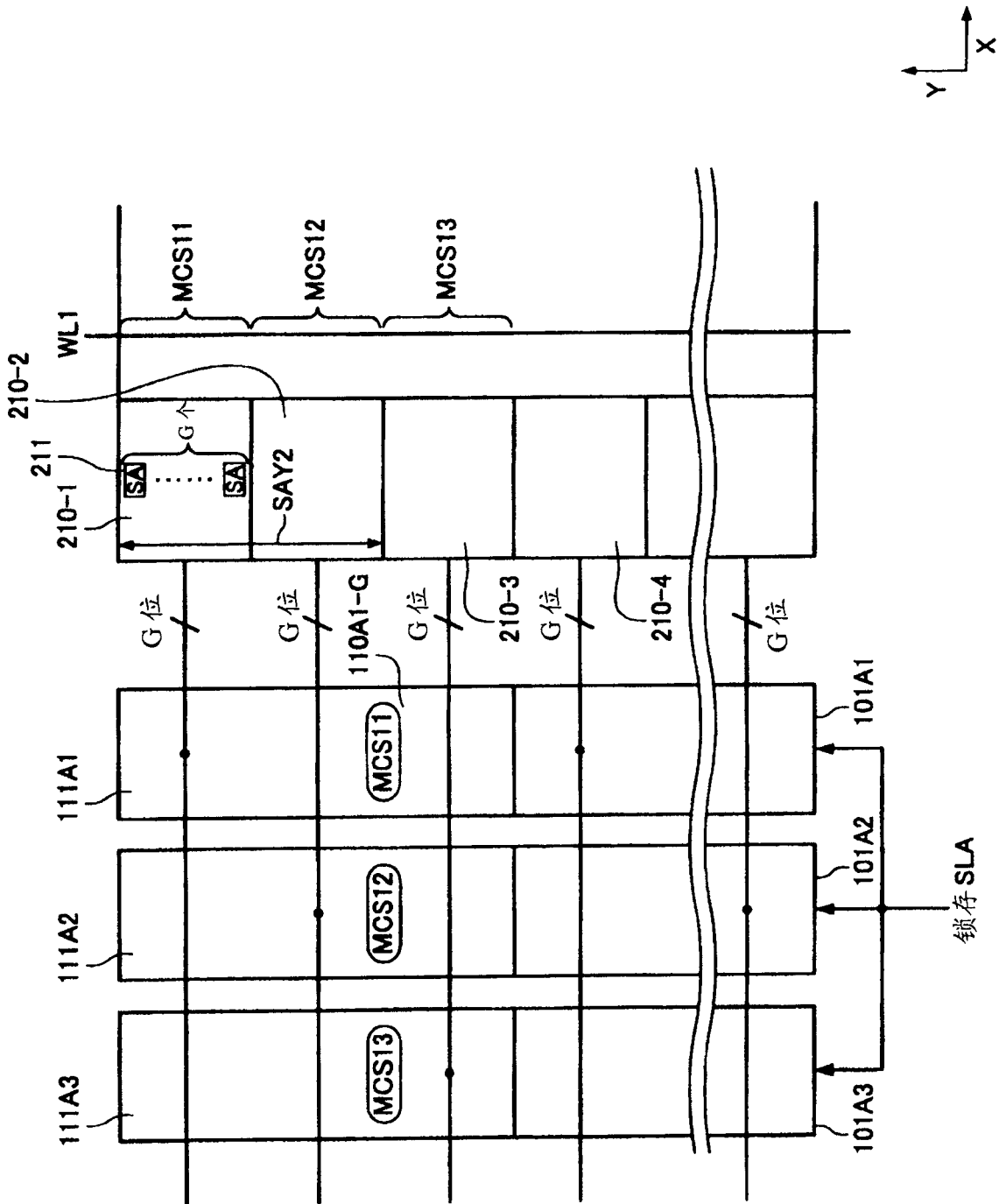
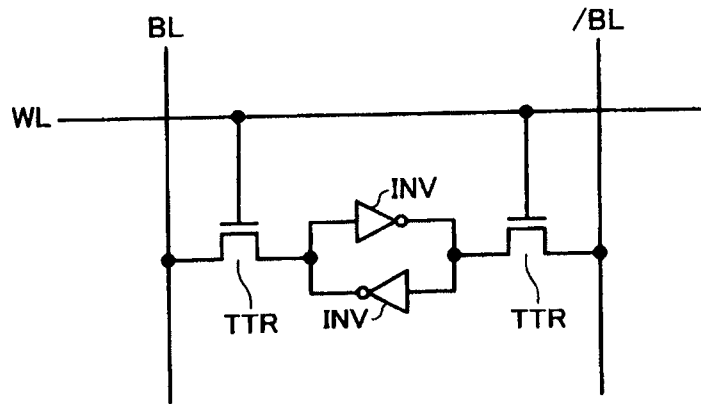


图 16

(A)



(B)

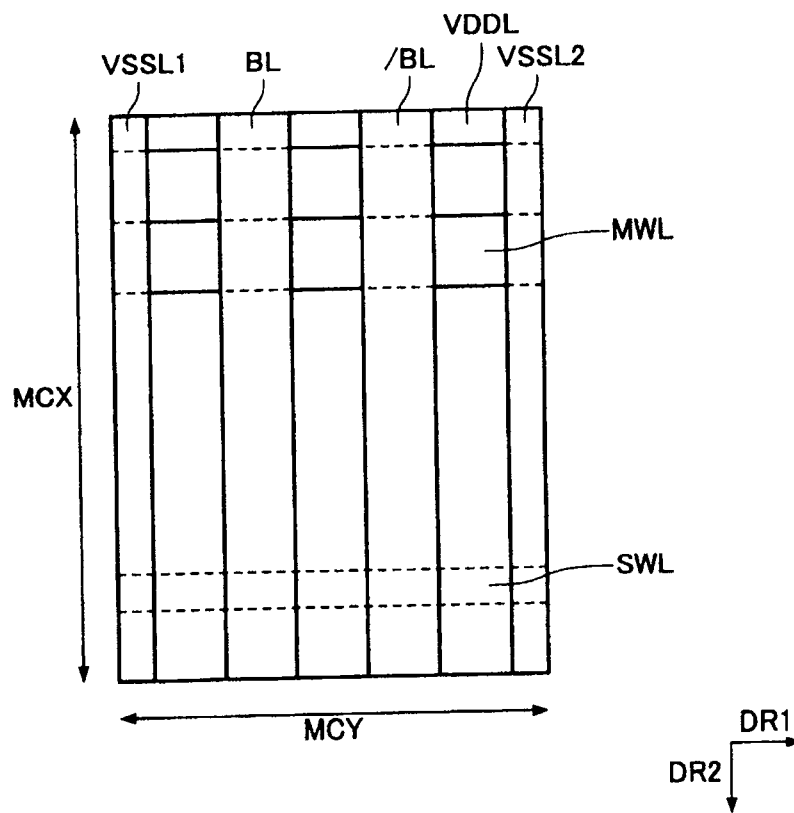
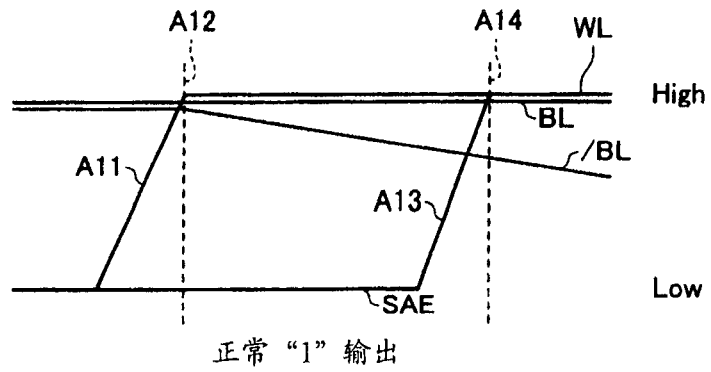


图 17

(A)



(B)

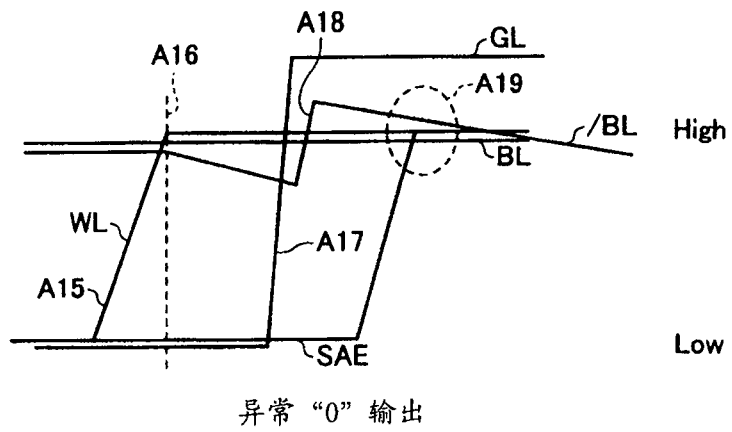


图 18

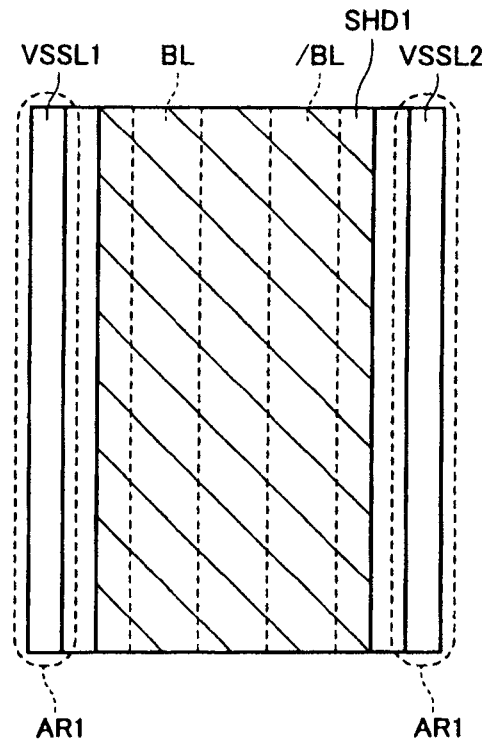


图 19

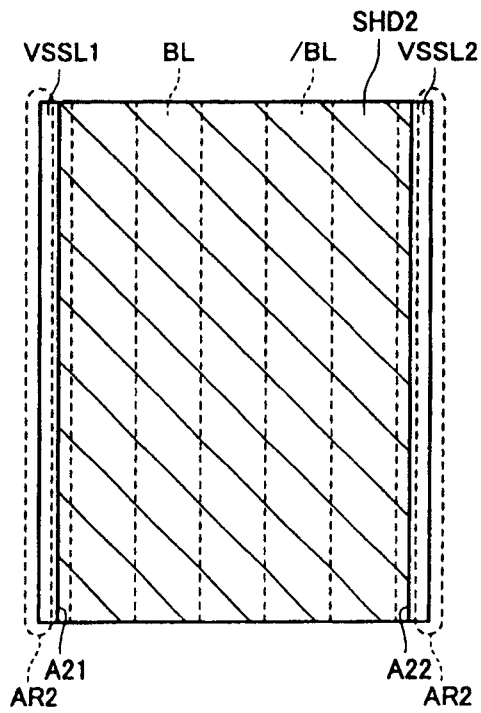
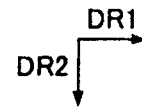


图 20



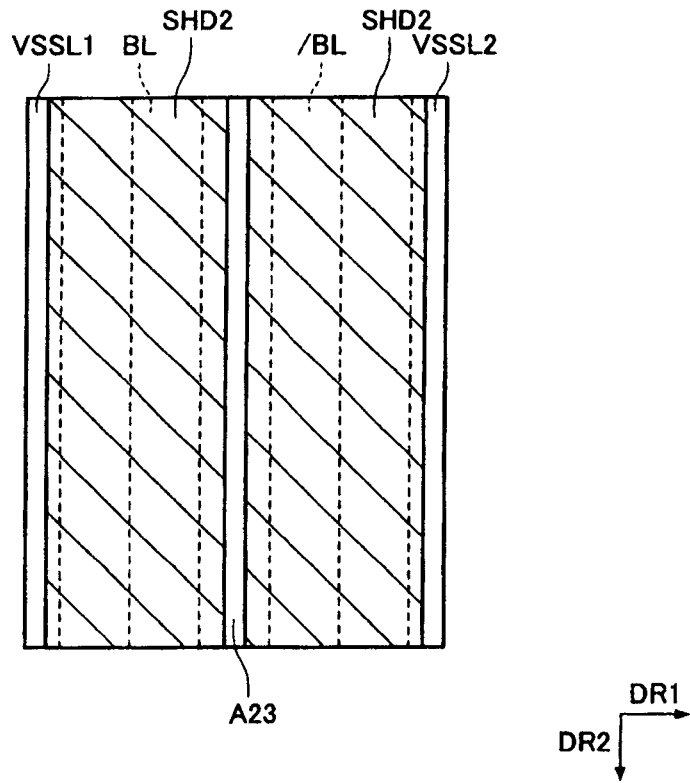


图 21

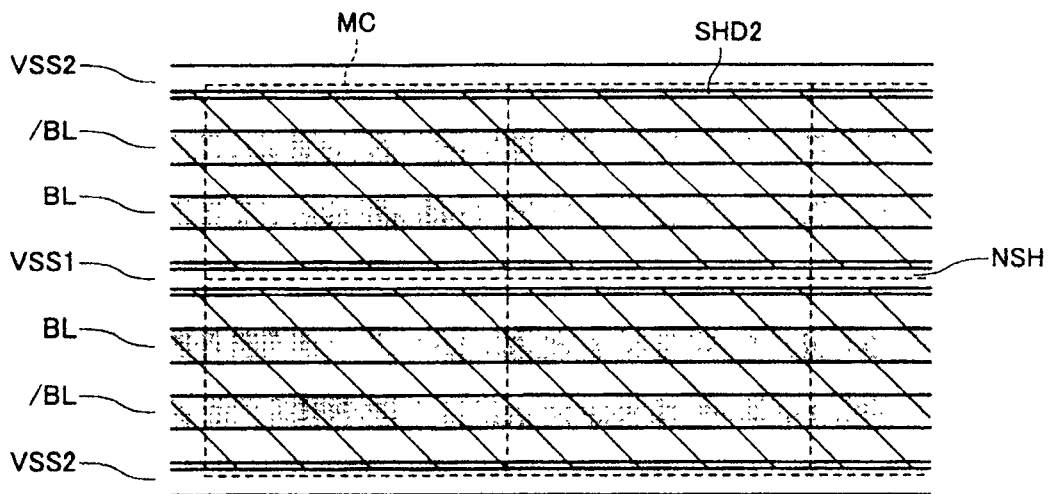


图 22

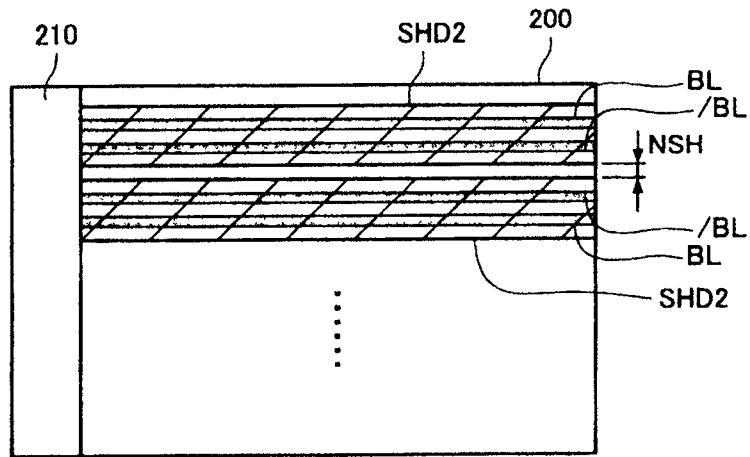


图 23

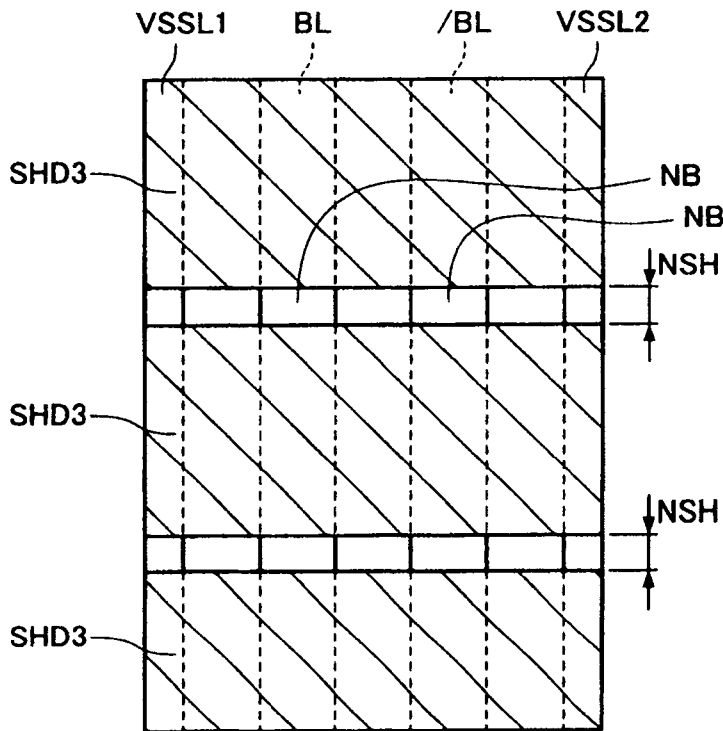
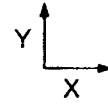
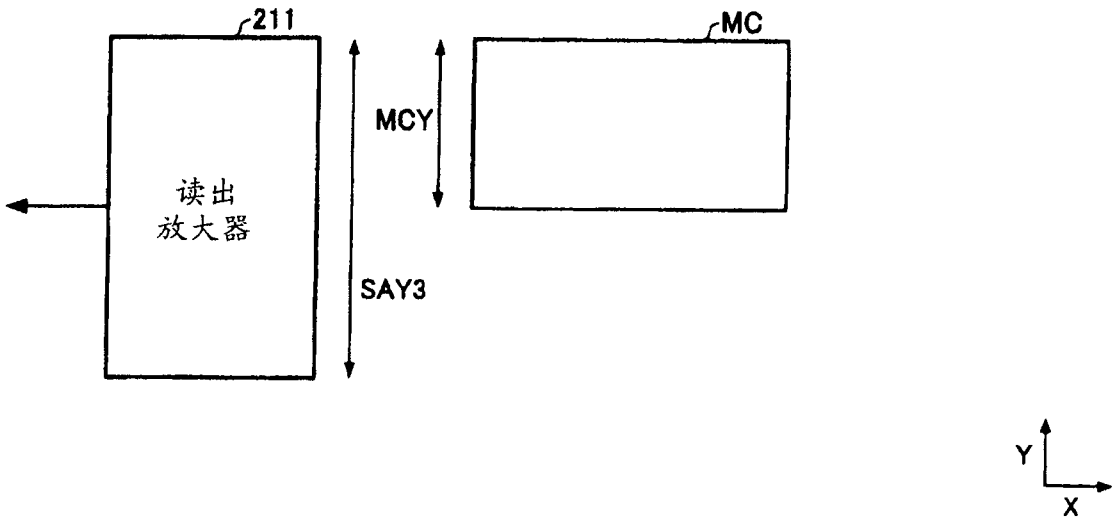


图 24



(A)



(B)

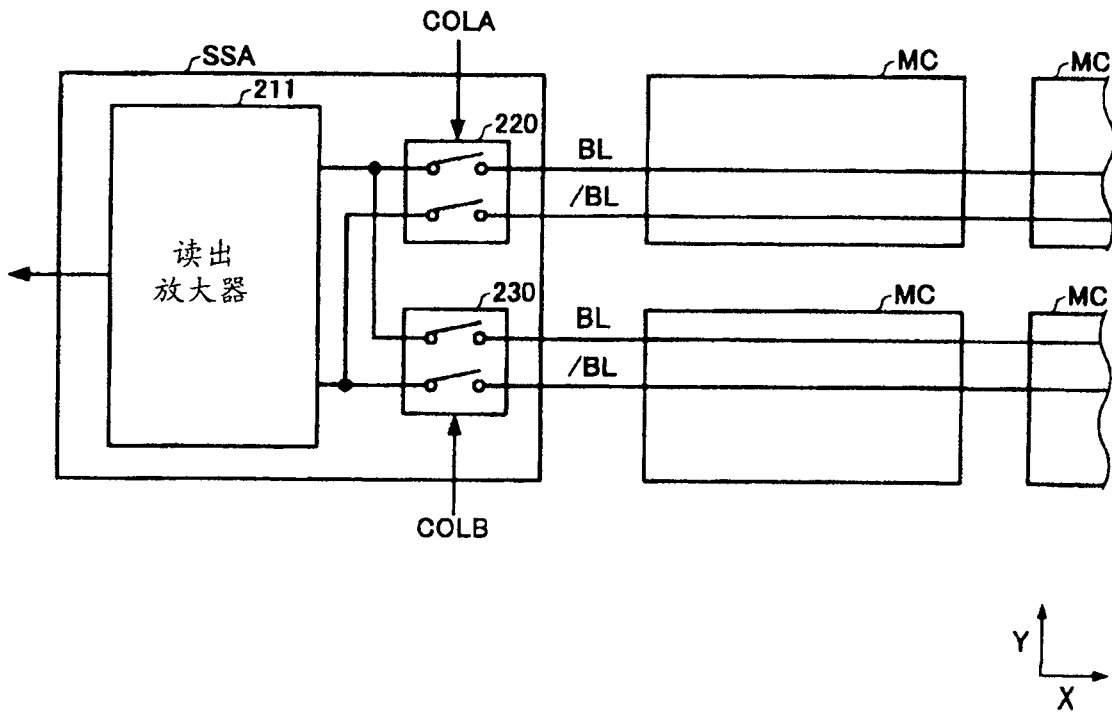


图 25

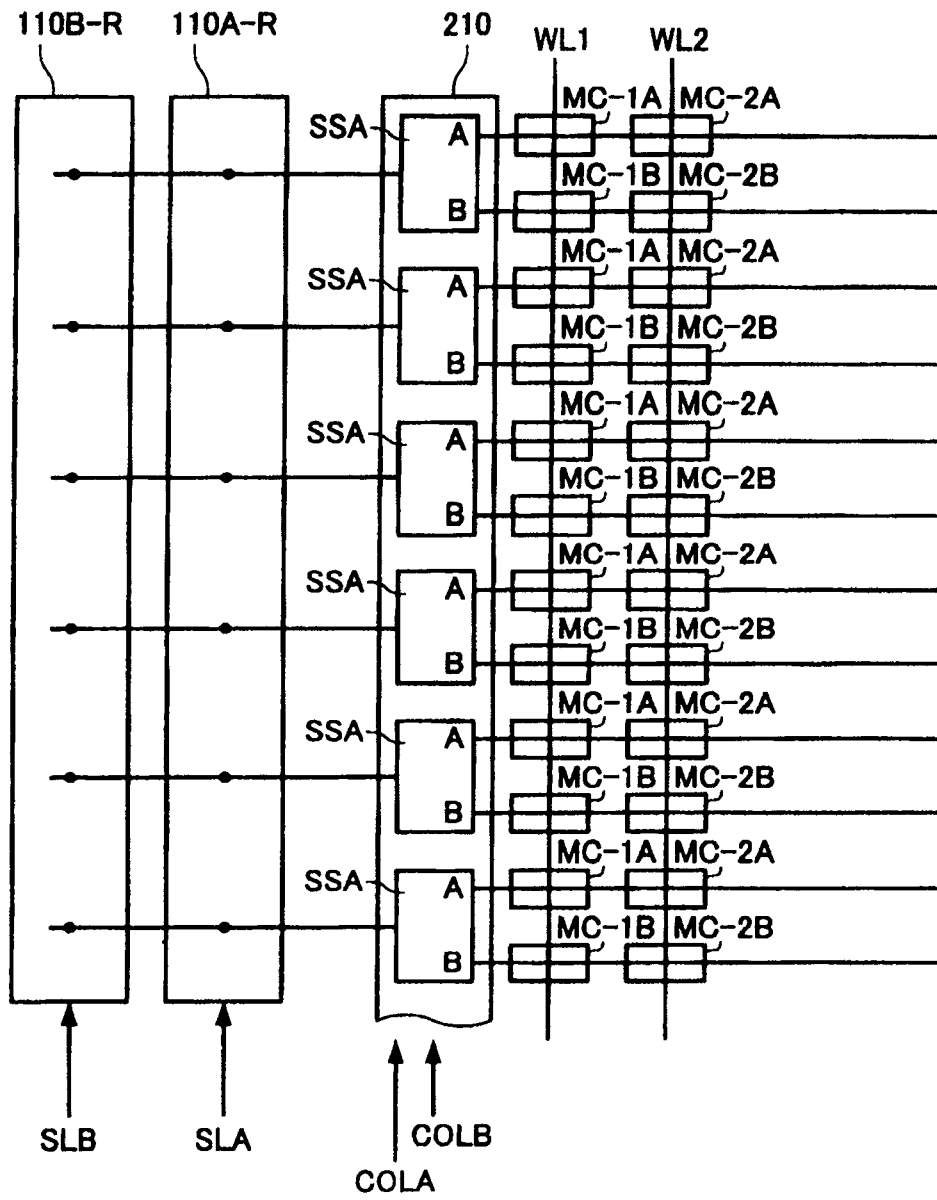


图 26

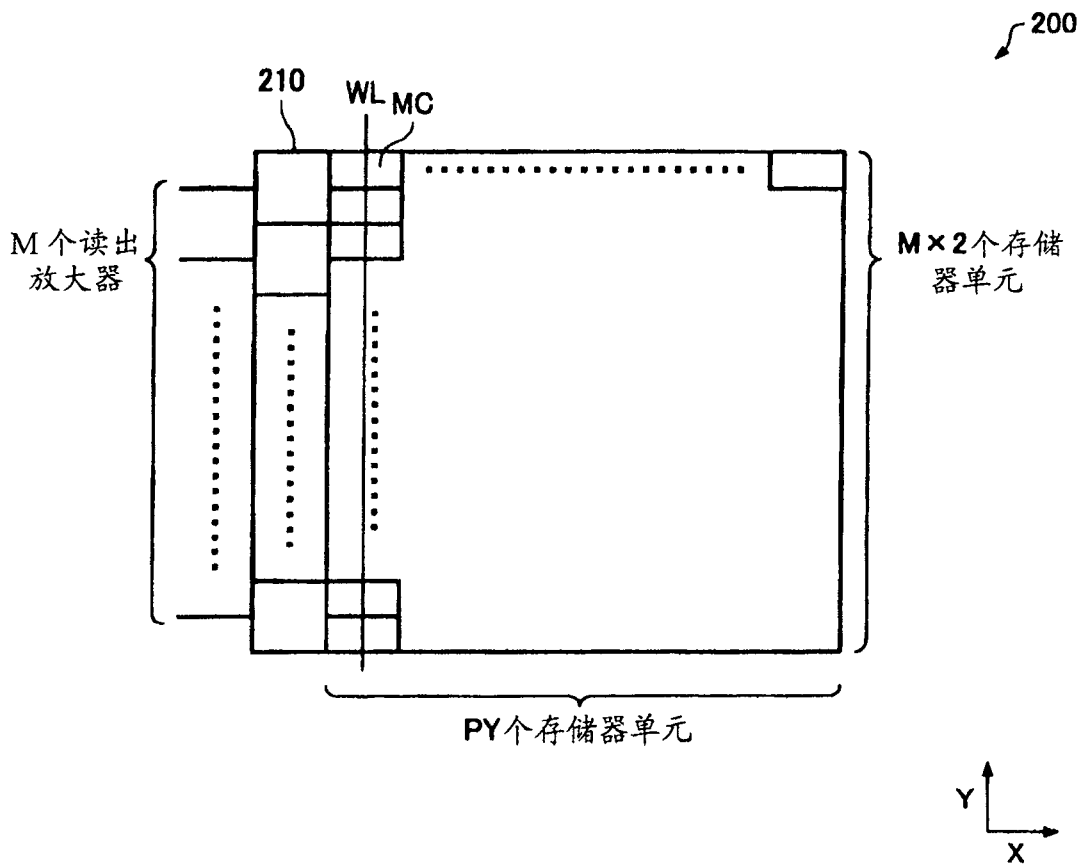
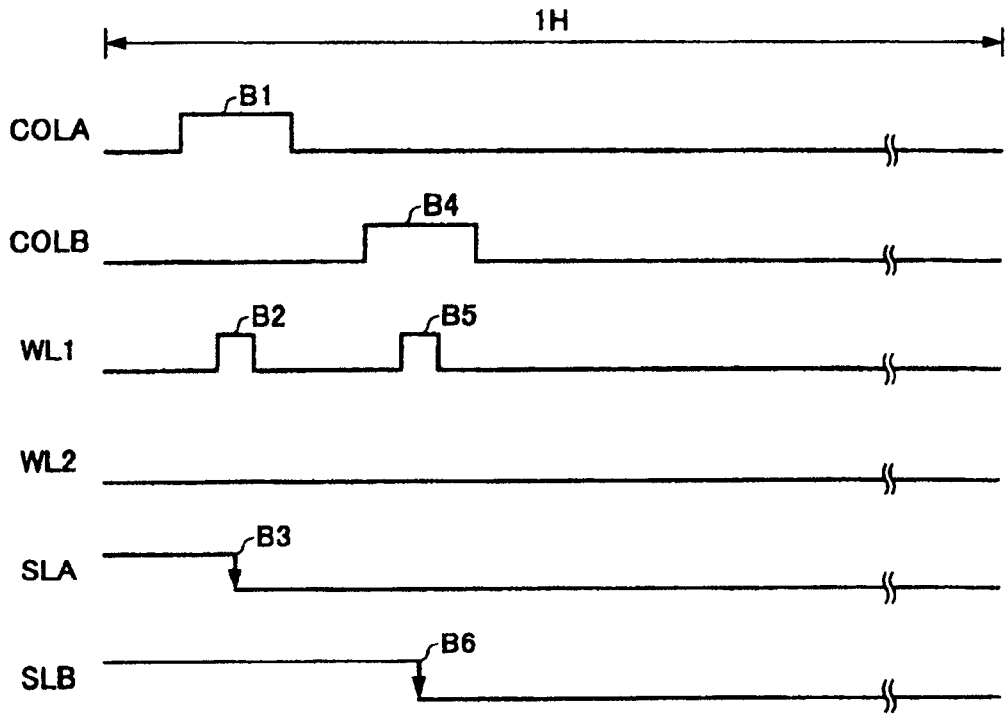


图 27

(A)



(B)

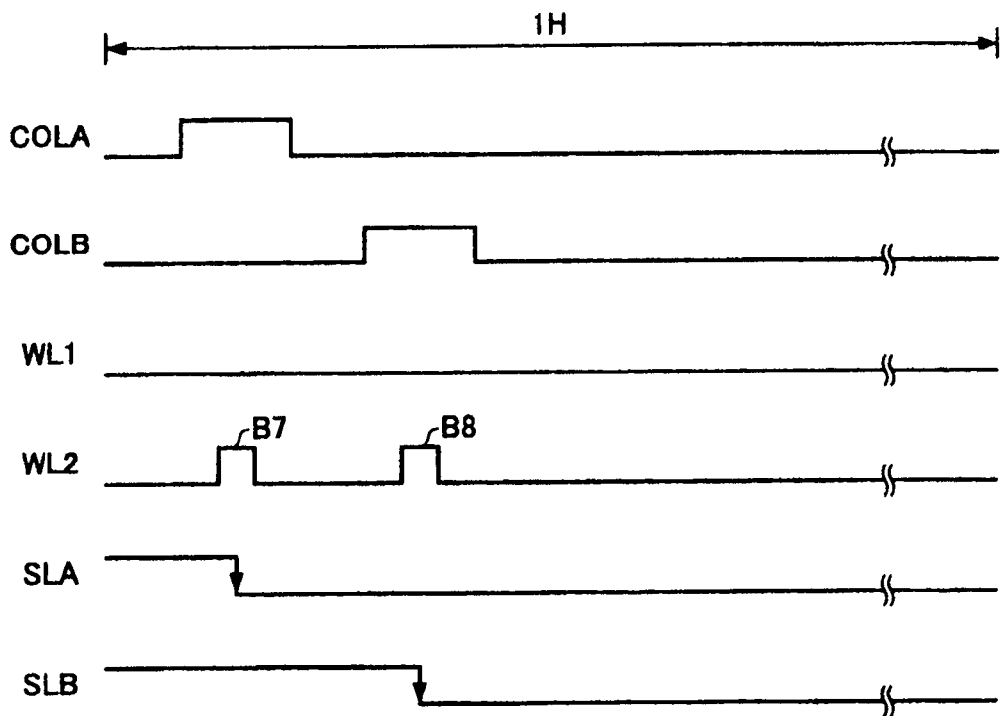


图 28

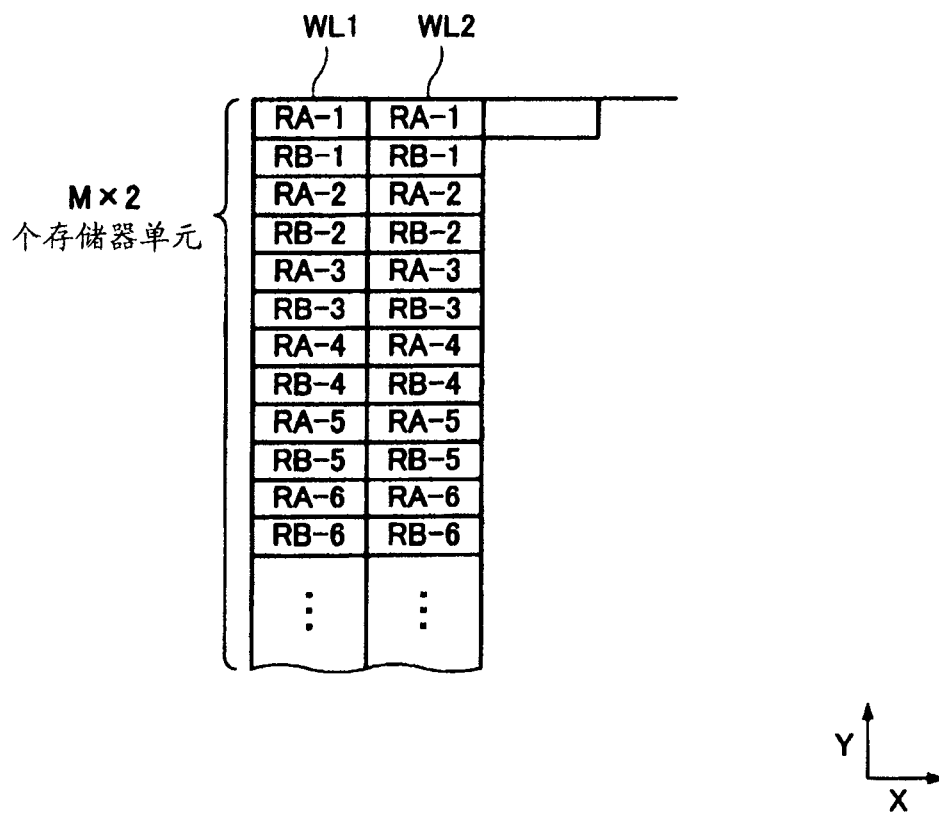
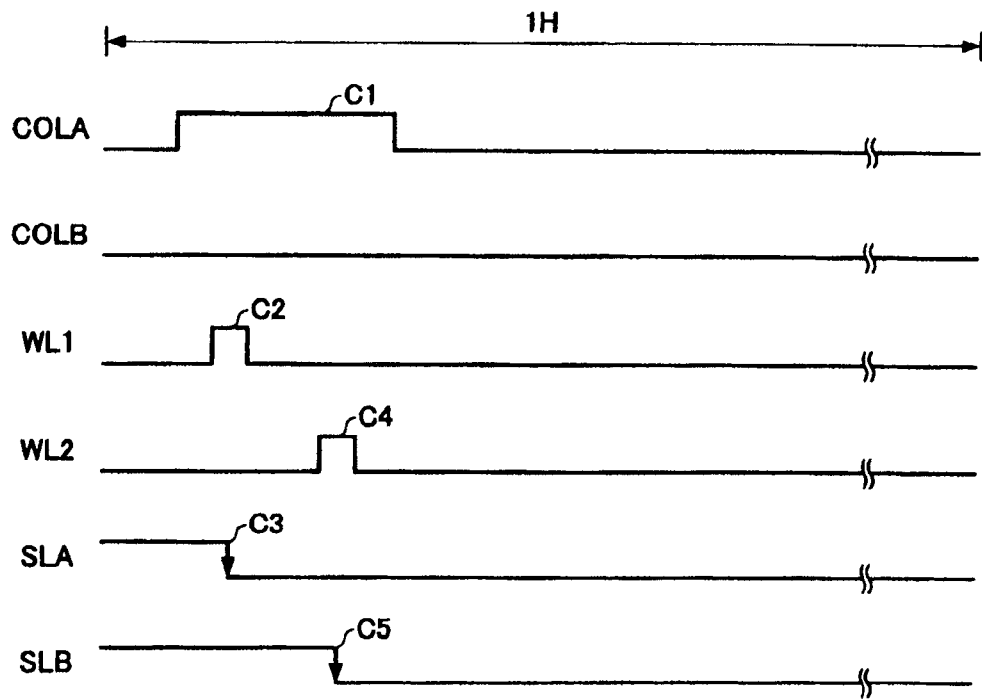


图 29

(A)



(B)

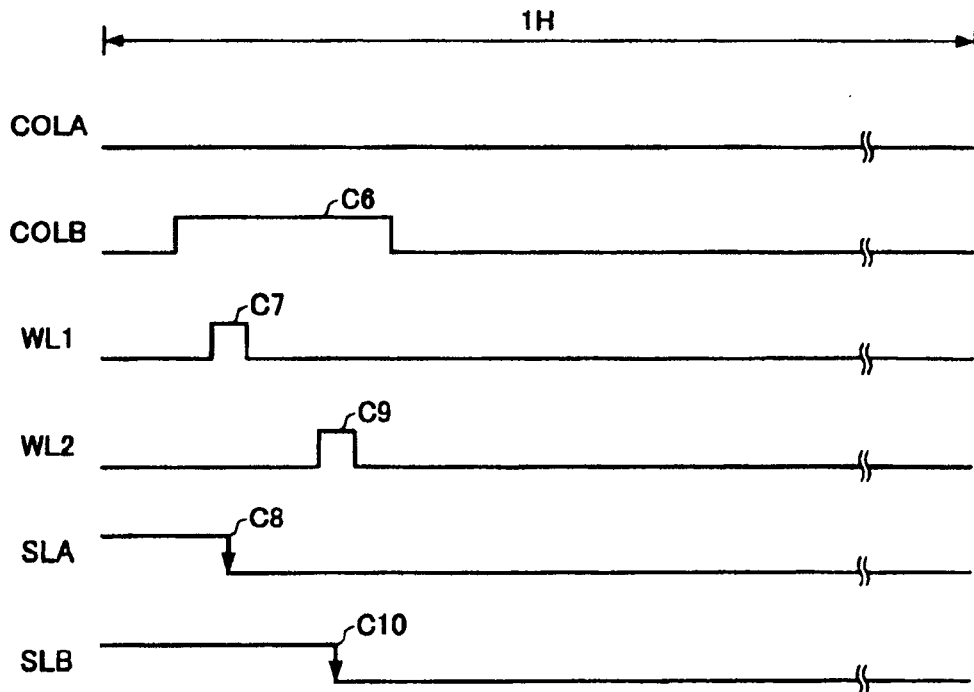


图 30

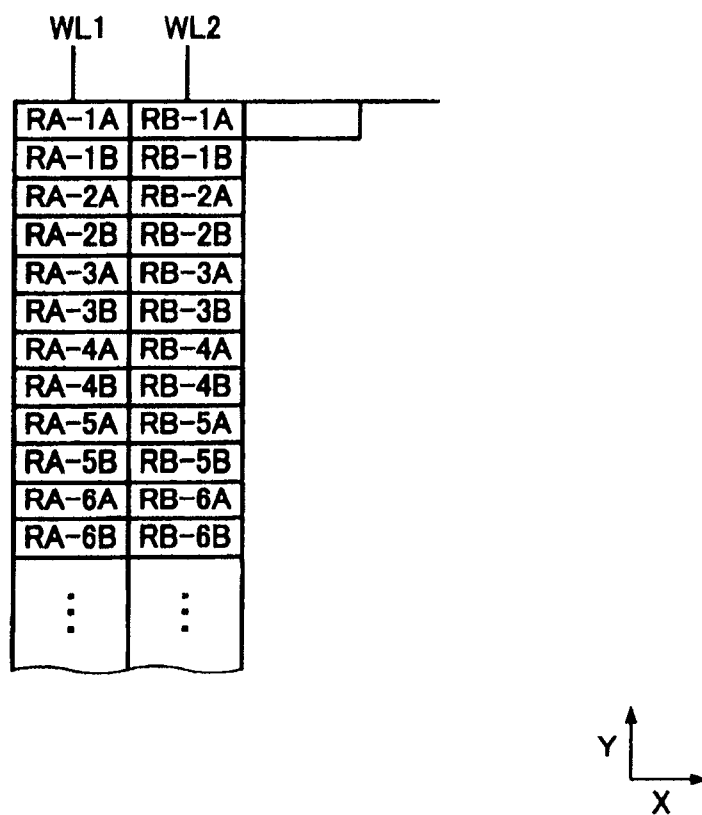


图 31

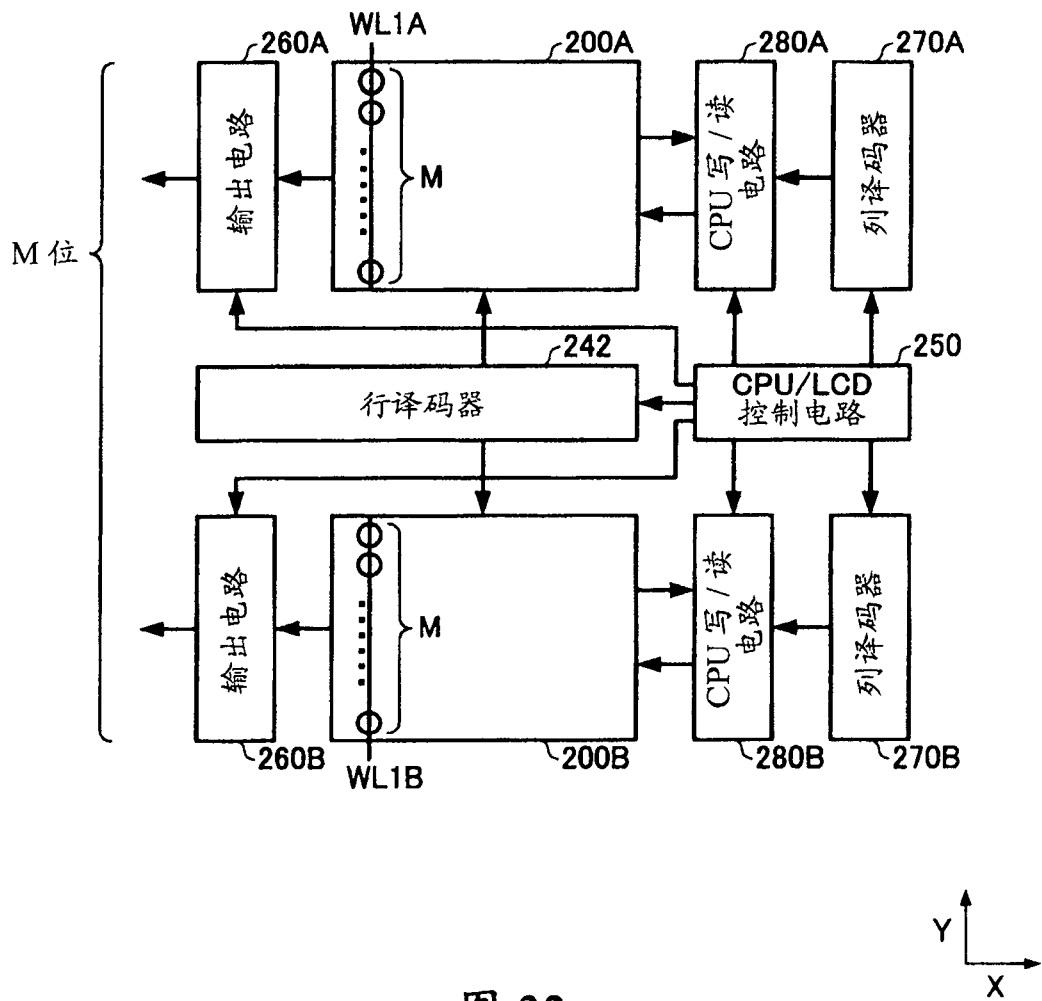
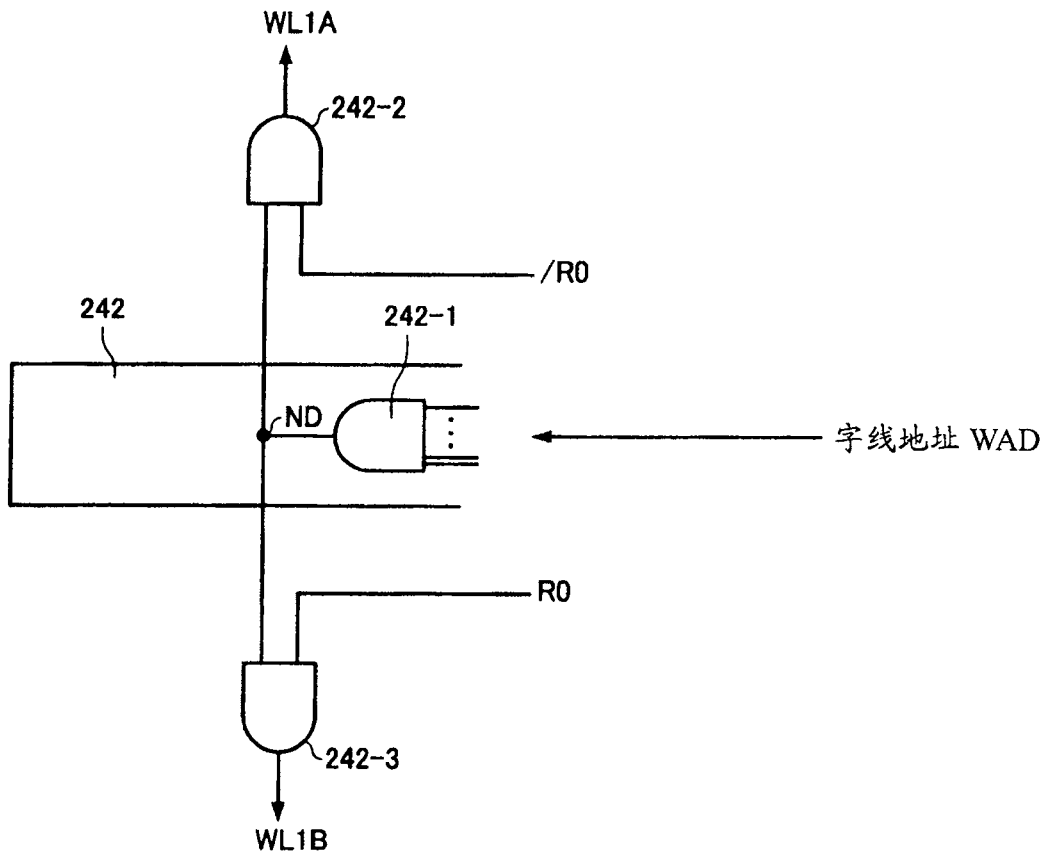


图 32

(A)



(B)

CPU访问时	R0≠/R0	A侧	R0=L, /R0=H
		B侧	R0=H, /R0=L
LCD输出时	R0=/R0=H		

图 33

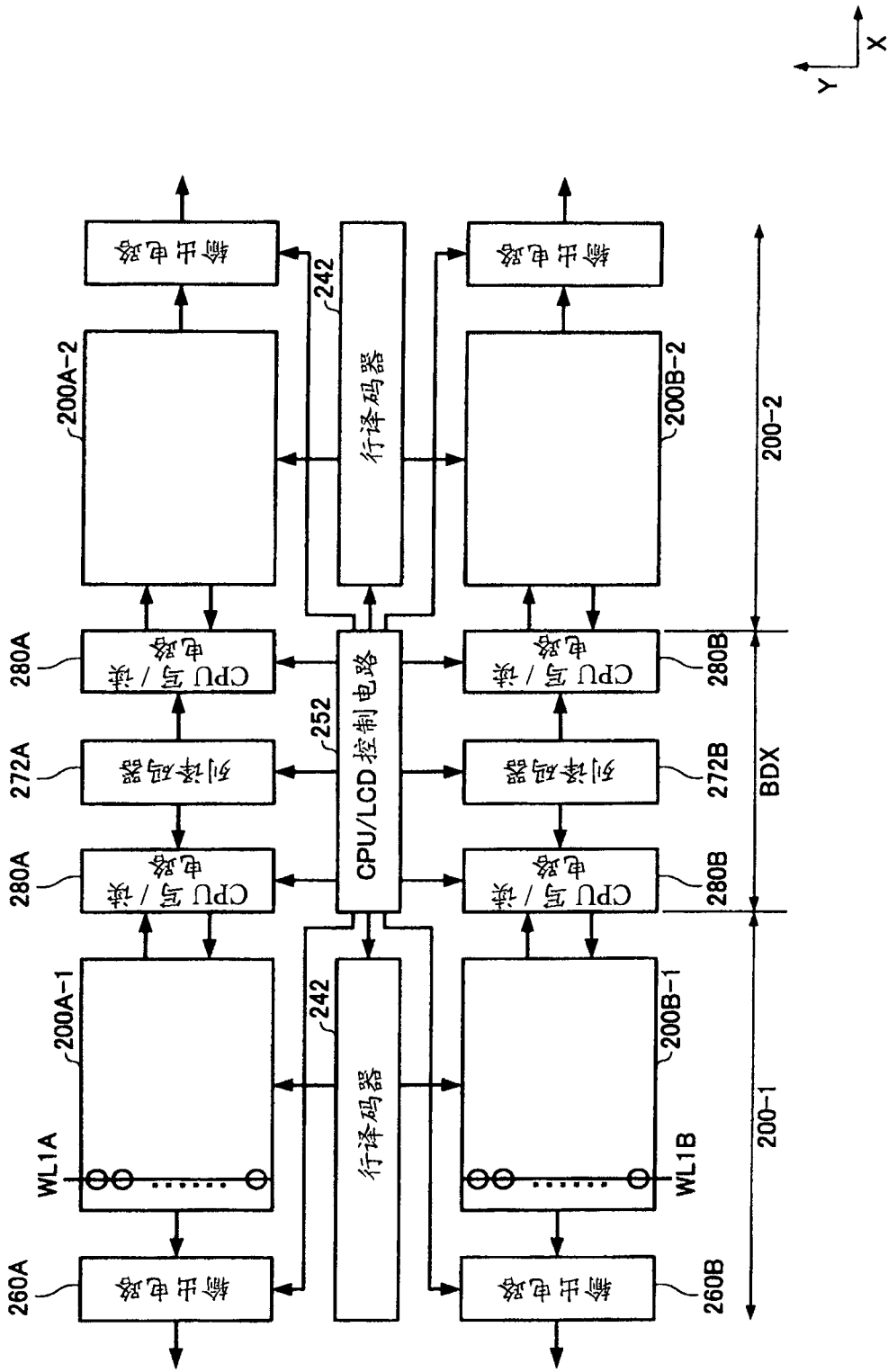


图 34

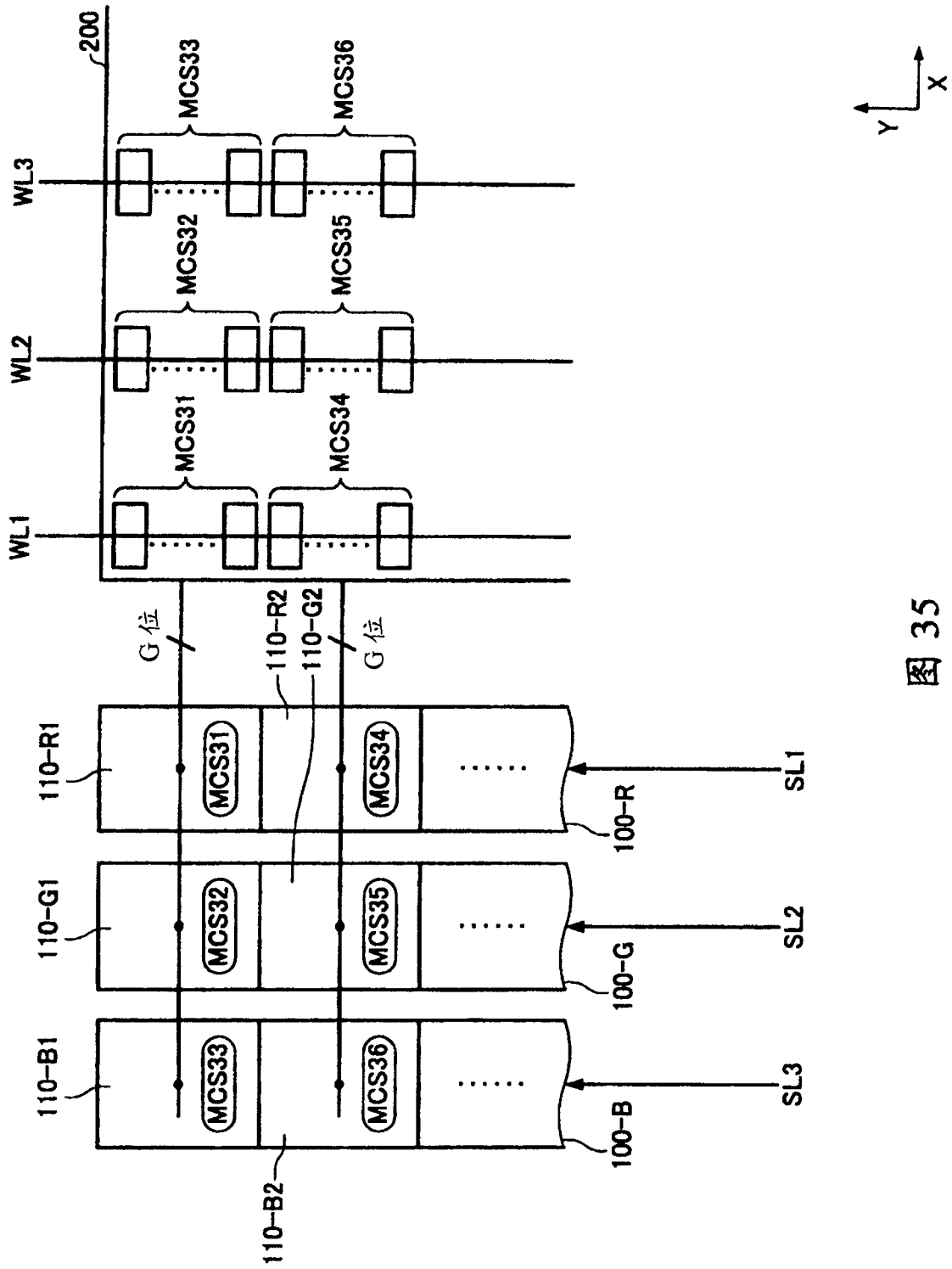


图 35

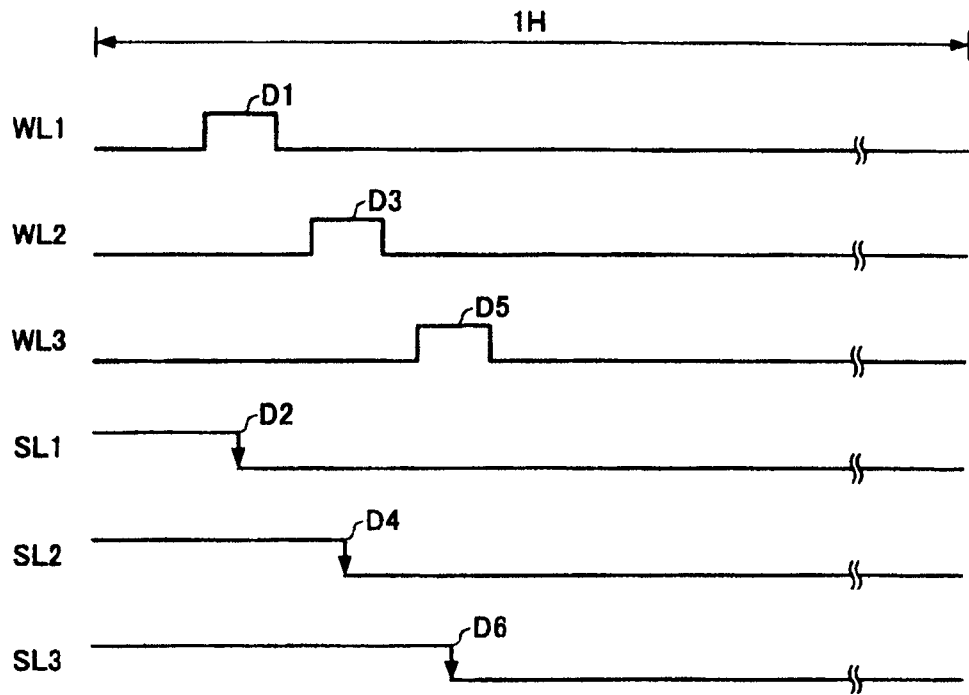


图 36

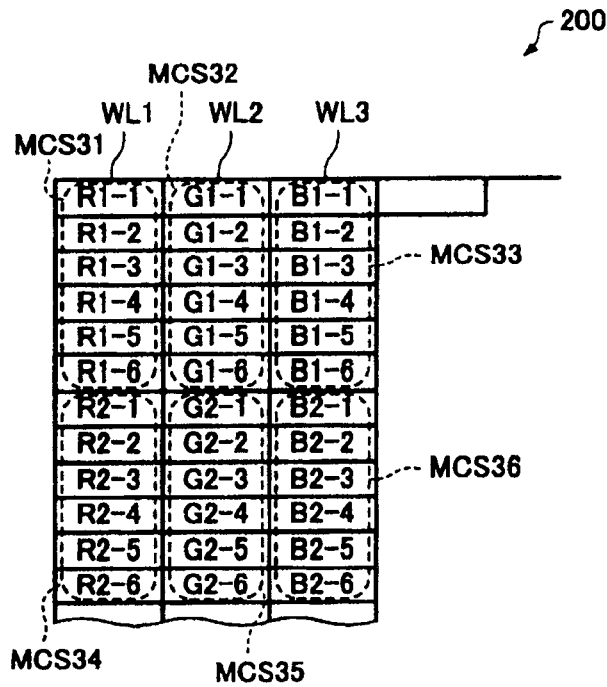


图 37