

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 1 区分

【発行日】平成25年12月12日 (2013.12.12)

【公表番号】特表2013-508731(P2013-508731A)

【公表日】平成25年3月7日 (2013.3.7)

【年通号数】公開・登録公報2013-012

【出願番号】特願2012-535422(P2012-535422)

【国際特許分類】

G 0 1 R 31/28 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

G 0 1 R 31/28 G

H 0 1 L 27/04 T

【手続補正書】

【提出日】平成25年10月22日 (2013.10.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路であって、

複数のスキャン・チェーンとして機能し得る複数のメモリ要素であって、前記複数のスキャン・チェーンが複数のパーティションにグループ化されて、それにより各パーティションの複数のスキャン・チェーンが対応するパーティション・イネーブル信号を介して共にイネーブルされ、各スキャン・チェーンがテスト・データを受けるためのテスト・データ入力に接続される、前記複数のメモリ要素と、

複数のブロックを含むテスト・コントローラであって、各ブロックが前記複数のパーティションの 1 つに対応する、テスト・コントローラと、

を含み、

各ブロックが、

その中にデジタル・データを格納する遅延レジスタであって、デジタル・データ入力を受ける入力とデジタル・データ出力を発生する出力とを有する、前記遅延レジスタと、

その中にデジタル・カウントを格納するカウント・レジスタであって、前記対応する遅延レジスタの前記出力に接続された入力とデジタル・データ出力を発生する出力とを有する、前記カウント・レジスタと、

対応する遅延レジスタに格納された前記デジタル・データを受ける第 1 の入力と、第 2 の入力と、前記第 2 の入力で入力を受けた後の所定の時間に所定の状態を有するデジタル・データ出力を発生する出力とを有する遅延要素であって、前記所定の時間が対応する遅延レジスタに格納された前記デジタル・データに対応する、前記遅延要素と、

前記遅延要素の前記出力に接続されたトリガ入力とその中のカウントに対応するデジタル出力を発生するカウント出力とを有するカウンタであって、前記トリガ入力で所定の状態の受信の開始をカウントする、前記カウンタと、

前記カウント・レジスタと前記カウンタに接続された比較器であって、前記カウント・レジスタに格納された前記デジタル・カウントを前記カウンタの前記カウントと比較し、前記デジタル・レジスタに格納されたデジタル・カウントが前記カウンタの前記カウント

と一致するときに一致信号を発生する、前記比較器と、

前記比較器の前記一致信号を入力するための入力と、出力とを有するインバータと、

前記遅延要素の前記出力を受けるように接続された第 1 の入力と、前記インバータの前記出力を受けるように接続された第 2 の入力と、複数のスキャン・チェーンの対応するパーティションに対する前記パーティション・イネーブル信号を発生する出力とを有する A N D ゲートと、

を含み、

前記テスト・コントローラの前記複数のブロックが第 1 のブロックから最後のブロックに至るまで順次に配置され、それにより前記第 1 のブロックの前記遅延レジスタの前記入力が前記テスト・データ入力を受け、各後続のブロックの前記遅延レジスタの前記入力が前のブロックの前記カウント・レジスタの前記出力を受け、前記第 1 のブロックの前記遅延要素の前記入力がグローバル開始信号を受け、各後続の前記遅延要素の前記入力が前のブロックの前記比較器の前記一致信号を受け、

前記テスト・データ入力が外部テストに接続されるピンのセットから受け取られ、
前記ピンのセットの数が前記複数のスキャン・チェーンの数より少ない、
集積回路。

【請求項 2】

請求項 1 の集積回路であって、

前記第 1 のブロックを除いた前記テスト・コントローラのブロックが、

その中に 1 つのビットを格納する論理バイパス・レジスタであって、前記対応するカウント・レジスタの前記出力に接続された入力と、前記後続のブロックの前記遅延レジスタの前記入力に接続された出力とを有する、前記論理バイパス・レジスタと、

前記グローバル開始信号を受ける第 1 の入力と、前記前のブロックの前記比較器の前記一致信号を受ける第 2 の入力と、前記バイパス・レジスタに格納された前記 1 つのビットを受ける制御信号と、前記遅延要素の前記トリガ入力に接続された出力とを有するマルチプレクサであって、前記対応するバイパス・レジスタに格納された前記 1 つのビットのデジタル状態に依存して前記出力に前記第 1 の入力又は前記第 2 の入力の何れかを出力する、前記マルチプレクサを更に含む、

集積回路。

【請求項 3】

請求項 1 の集積回路であって、

前記委テスト・コントローラの前記複数のブロックの各ブロックが、グローバル・マスタ・クロックを受ける第 1 の入力と、前記対応するパーティション・イネーブル信号を受ける第 2 の入力と、複数のスキャン・チェーンの前記対応するパーティションに対してクロック入力を供給する出力とを有する A N D ゲートを更に含む、集積回路。

【請求項 4】

請求項 1 の集積回路であって、

前記テスト・コントローラの前記複数のブロックの各ブロックが、グローバル・スキャン・イネーブル信号を受ける第 1 の入力と、前記対応するパーティション・イネーブル信号を受ける第 2 の入力と、前記複数のスキャン・チェーンの前記対応するブロックに対してイネーブル入力を供給する出力とを有する A N D ゲートを更に含む、集積回路。