

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月12日(12.12.2019)

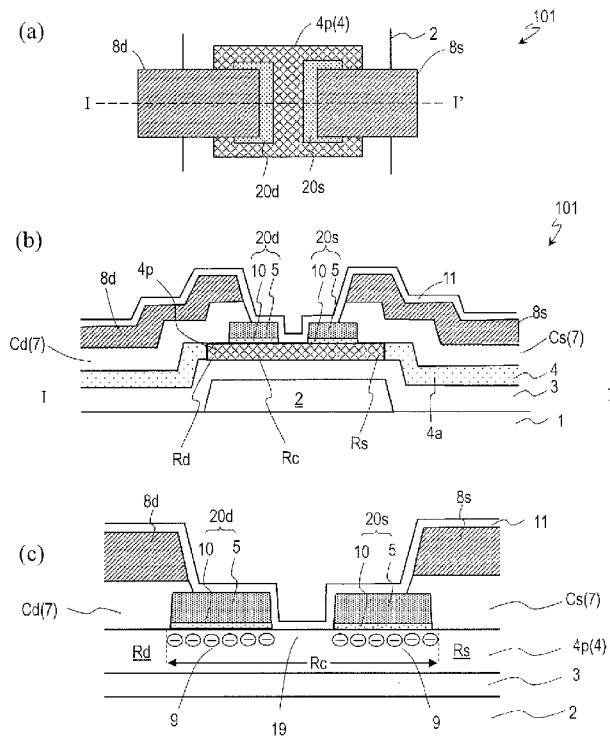


(10) 国際公開番号
WO 2019/234893 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2018/021922
- (22) 国際出願日: 2018年6月7日(07.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 堺ディスプレイプロダクト株式会社 (SAKAI DISPLAY PRODUCTS CORPORATION) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 大田 裕之(OHTA, Hiroyuki).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 薄膜トランジスタおよびその製造方法



(57) Abstract: A thin-film transistor (101) has: a gate electrode (2) that is supported by a substrate (1); a gate insulation layer (3) that covers the gate electrode; a semiconductor layer (4) that is positioned on the gate insulation layer and includes a polysilicon region (4p), said polysilicon region (4p) including a first region (Rs), a second region (Rd), and a channel region (Rc) that is located between the first region and the second region; a source electrode (8s) that is electrically connected to the first region; a drain electrode (8d) that is electrically connected to the second region; and at least one



WO 2019/234893 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

protective section (20) that is positioned on a section of the channel region, separated by a gap from at least one of the first region and the second region, wherein the protective section (20) is positioned so as to directly contact the channel region (Rc), and has a layered structure including an i-type semiconductor island (10) that comprises an intrinsic semiconductor and has a larger band gap than the polysilicon region, and a protective insulation layer (5) that is positioned on the i-type semiconductor layer.

(57) 要約 : 薄膜トランジスタ (101) は、基板 (1) に支持されたゲート電極 (2) と、ゲート電極を覆うゲート絶縁層 (3) と、ゲート絶縁層上に配置された、ポリシリコン領域 (4p) を含む半導体層であって、ポリシリコン領域 (4p) は、第1領域 (Rs) と、第2領域 (Rd) と、第1領域および第2領域の間に位置するチャンネル領域 (Rc) とを含む、半導体層 (4) と、第1領域と電気的に接続されたソース電極 (8s) と、第2領域と電気的に接続されたドレイン電極 (8d) と、チャンネル領域の一部上に、第1領域および第2領域の少なくとも一方から間隔を空けて配置された少なくとも1つの保護部 (20) をさらに有し、保護部 (20) は、チャンネル領域 (Rc) と直接接するように配置され、かつ、ポリシリコン領域よりも大きいバンドギャップを有する、真性の半導体からなる i 型半導体層 (10) と、i 型半導体層上に配置された保護絶縁層 (5) とを含む積層構造を有する。

明 細 書

発明の名称： 薄膜トランジスタおよびその製造方法

技術分野

[0001] 本発明は、薄膜トランジスタおよびその製造方法に関する。

背景技術

[0002] 薄膜トランジスタ (Thin Film Transistor; 以下、「TFT」) は、例えば、液晶表示装置、有機EL表示装置などの表示装置のアクティブマトリクス基板においてスイッチング素子として用いられる。本明細書では、このようなTFTを「画素用TFT」と称する。画素用TFTとして、従来、アモルファスシリコン膜 (以下、「a-Si膜」と略す) を活性層とする非晶質シリコンTFT、多結晶シリコン (ポリシリコン) 膜 (以下、「poly-Si膜」と略す) を活性層とする多結晶シリコンTFTなどが広く用いられている。一般に、poly-Si膜の電界効果移動度はa-Si膜の電界効果移動度よりも高いため、多結晶シリコンTFTは、非晶質シリコンTFTより高い電流駆動力を有する (すなわちオン電流が大きい)。

[0003] 活性層の基板側にゲート電極が配置されたTFTを「ボトムゲート型TFT」、活性層の上方 (基板と反対側) にゲート電極が配置されたTFTを「トップゲート型TFT」と呼ぶ。画素用TFTとしてボトムゲート型TFTを形成すると、トップゲート型TFTを形成するよりもコスト面で有利な場合がある。

[0004] ボトムゲート型TFTとしては、チャンネルエッチ型TFT (以下、「CE型TFT」) およびエッチストップ型TFT (以下、「ES型TFT」) が知られている。CE型TFTでは、活性層上に直接導電膜を形成し、この導電膜をパターニングすることで、ソース電極およびドレイン電極を得る (ソース・ドレイン分離)。これに対し、ES型TFTでは、活性層のチャンネル部分を、エッチストップとして機能する絶縁層 (以下、「保護絶縁層」と呼

ぶ)で覆った状態でソース・ドレイン分離工程を行う。

- [0005] 多結晶シリコンTFTは、通常はトップゲート型であるが、ボトムゲート型の多結晶シリコンTFTも提案されている。例えば特許文献1には、ボトムゲート型(ES型)の多結晶シリコンTFTが開示されている。

先行技術文献

特許文献

- [0006] 特許文献1：特開平6-151856号公報

発明の概要

発明が解決しようとする課題

- [0007] 表示装置の大型化、高精細化に伴い、TFTのチャネル移動度をさらに高めて、オン特性を向上させることが求められている。

- [0008] 本発明の一実施形態は、上記事情に鑑みてなされたものであり、その目的は、高いオン特性を有し得るボトムゲート型の薄膜トランジスタおよびその製造方法を提供することにある。

課題を解決するための手段

- [0009] 本発明の一実施形態の薄膜トランジスタは、基板と、前記基板に支持されたゲート電極と、前記ゲート電極を覆うゲート絶縁層と、前記ゲート絶縁層上に配置された、ポリシリコン領域を含む半導体層であって、前記ポリシリコン領域は、第1領域と、第2領域と、前記第1領域および前記第2領域の間に位置するチャネル領域とを含む、半導体層と、前記第1領域と電気的に接続されたソース電極と、前記第2領域と電気的に接続されたドレイン電極とを有し、前記チャネル領域の一部上に、前記第1領域および前記第2領域の少なくとも一方から間隔を空けて配置された少なくとも1つの保護部をさらに有し、前記少なくとも1つの保護部は、真性の半導体からなるi型半導体層と、前記i型半導体層上に配置された保護絶縁層とを含む積層構造を有し、前記i型半導体層は、前記ポリシリコン領域よりも大きいバンドギャップを有し、前記i型半導体層は前記チャネル領域と直接接している。

- [0010] ある実施形態において、前記少なくとも1つの保護部は、互いに間隔を空けて配置された複数の保護部である。
- [0011] ある実施形態において、前記薄膜トランジスタは無機絶縁層で覆われており、前記無機絶縁層は、前記複数の保護部の前記間隔で前記チャンネル領域と直接接している。
- [0012] ある実施形態において、前記基板の法線方向から見たとき、前記チャンネル領域のうち前記少なくとも1つの保護部における前記i型半導体層と接する部分の合計面積は、前記チャンネル領域全体の面積の20%以上90%以下である。
- [0013] ある実施形態において、前記i型半導体層は、離散的に配置された複数のi型半導体島を含む。
- [0014] ある実施形態において、前記ソース電極と前記第1領域との間に配置され、前記ソース電極と前記第1領域とを接続する第1コンタクト層と、前記ドレイン電極と前記第2領域との間に配置され、前記ドレイン電極と前記第2領域とを接続する第2コンタクト層とをさらに有する。
- [0015] ある実施形態において、前記少なくとも1つの保護部は、前記第1コンタクト層と前記第1領域との間に配置された第1保護部と、前記第2コンタクト層と前記第2領域との間に配置された第2保護部とを含む。
- [0016] ある実施形態において、前記少なくとも1つの保護部は、前記基板の法線方向から見たとき、前記第1保護部と前記第2保護部との間に配置された他の保護部をさらに含む。
- [0017] ある実施形態において、前記第1コンタクト層は、前記第1領域と直接接するように配置された、 n^+ 型アモルファスシリコンからなる n^+ 型a-Si層を含み、前記第2コンタクト層は、前記第2領域と直接接するように配置された、 n^+ 型アモルファスシリコンからなる n^+ 型a-Si層を含む。
- [0018] ある実施形態において、前記少なくとも1つの保護部において、前記保護絶縁層の側面と前記i型半導体層の側面とは整合している。
- [0019] ある実施形態において、前記基板の法線方向から見たとき、前記半導体層

は、前記ポリシリコン領域の外側に配置されたアモルファスシリコン領域をさらに含む。

[0020] ある実施形態において、前記 i 型半導体層は、真性のアモルファスシリコンからなる i 型 a-Si 層である。

[0021] 本発明の一実施形態の表示装置は、上記のいずれかに記載の薄膜トランジスタを備えた表示装置であって、複数の画素を有する表示領域を有し、前記薄膜トランジスタは、前記複数の画素のそれぞれに配置されている。

[0022] 本発明の一実施形態の、薄膜トランジスタの製造方法は、基板に支持された薄膜トランジスタの製造方法であって、前記基板上に、ゲート電極、前記ゲート電極を覆うゲート絶縁層、およびポリシリコン領域を含む半導体層を形成する工程と、前記半導体層上に、真性の半導体からなる i 型半導体膜および保護絶縁膜をこの順で形成する工程と、前記 i 型半導体膜および前記保護絶縁膜をパターニングすることにより、少なくとも1つの保護部を形成する工程であって、前記少なくとも1つの保護部は、前記 i 型半導体膜から形成された i 型半導体層と、前記保護絶縁膜から形成された保護絶縁層とを含む積層構造を有し、前記少なくとも1つの保護部は、前記半導体層のチャネル領域となる部分の一部上に、前記半導体層の前記チャネル領域となる部分の両側に位置する第1領域および第2領域の少なくとも一方から間隔を空けて配置され、かつ、前記第1領域および前記第2領域を露出する、工程と、前記半導体層および前記少なくとも1つの保護部を覆うように、コンタクト層形成用シリコン膜と導電膜とをこの順で形成する工程と、前記少なくとも1つの保護部をエッチストップとして、前記コンタクト層形成用シリコン膜および前記導電膜のパターニングを行うことにより、前記コンタクト層形成用シリコン膜から、前記第1領域に接する第1コンタクト層と、前記第2領域に接する第2コンタクト層とを形成し、前記導電膜から、前記第1コンタクト層に接するソース電極と、前記第2コンタクト層に接するドレイン電極とを形成する、ソース・ドレイン分離工程と、前記半導体層、前記少なくとも1つの保護部、前記ソース電極および前記ドレイン電極を覆い、かつ、前記

半導体層の前記チャネル領域となる部分のうち前記少なくとも1つの保護部で覆われていない部分と直接接する無機絶縁層を形成する工程とを包含する。

[0023] ある実施形態において、前記少なくとも1つの保護部を形成する工程では、前記チャネル領域となる部分上に、複数の保護部を互いに間隔を空けて形成する。

[0024] ある実施形態において、CVD法による成膜の初期成長段階を利用して、前記i型半導体膜を形成する。

[0025] ある実施形態において、前記i型半導体膜は、離散的に配置された複数のi型半導体島を含む島状構造を有する。

[0026] ある実施形態において、前記i型半導体層は、真性のアモルファスシリコンからなるi型a-Si層である。

[0027] 本発明の一実施形態の、表示装置の製造方法は、上記のいずれかに記載の薄膜トランジスタを備えた表示装置の製造方法であって、前記表示装置は、複数の画素を有する表示領域を有し、前記薄膜トランジスタは、前記表示領域の前記複数の画素のそれぞれに配置されており、前記製造方法は、前記薄膜トランジスタの前記半導体層を形成する半導体層形成工程を含み、前記半導体層形成工程は、前記ゲート絶縁層上に形成されたアモルファスシリコンからなる半導体膜の一部のみにレーザ光を照射して結晶化させる結晶化工程であって、前記半導体膜の前記一部に前記ポリシリコン領域を形成し、前記半導体膜のうち前記レーザ光が照射されなかった部分を非晶質のまま残す、結晶化工程を包含する。

発明の効果

[0028] 本発明の一実施形態によると、高いオン特性を有し得るボトムゲート型の薄膜トランジスタおよびその製造方法が提供される。

図面の簡単な説明

[0029] [図1] (a) および (b) は、それぞれ、第1の実施形態のTFT101の模式的な平面図および断面図であり、(c) は、TFT101のチャネル部分

の拡大断面図である。

[図2]第1の実施形態における他のTFT101を例示する平面図である。

[図3](a)および(b)は、それぞれ、保護部20の他の例を示す断面図および平面図である。

[図4](a)および(b)は、それぞれ、保護部20のさらに他の例を示す断面図および平面図である。

[図5](a)および(b)は、それぞれ、保護部20のさらに他の例を示す断面図および平面図である。

[図6](a)～(e)は、それぞれ、アクティブマトリクス基板における1つの画素を例示する模式的な平面図である。

[図7](a)～(h)は、それぞれ、TFT101の製造方法の一例を説明するための模式的な工程断面図である。

[図8](a)および(b)は、それぞれ、参考の実施形態のTFT102の模式的な平面図および断面図であり、(c)は、TFT102のチャンネル部分の拡大断面図である。

[図9](a)～(d)は、それぞれ、TFT102の製造方法の一例を説明するための模式的な工程断面図である。

[図10](a)は、参考例の薄膜トランジスタ、(b)～(d)は、それぞれ、比較例1～3の薄膜トランジスタを模式的に示す拡大断面図である。

[図11]参考例および比較例の薄膜トランジスタのV-I特性を示す図である。

[図12](a)および(b)は、それぞれ、i型a-Si層とpoly-Si層との接合界面近傍のエネルギーバンド構造を示す図である。

[図13](a)および(b)は、それぞれ、測定に用いたヘテロ接合含有TFT801およびホモ接合含有TFT802を示す模式的な断面図である。

[図14]ヘテロ接合含有TFT801およびホモ接合含有TFT802のC-V特性を示す図である。

[図15]poly-Si層とn⁺型-Si層との接合界面近傍のエネルギーバン

ド構造を示す図である。

発明を実施するための形態

[0030] 本発明者は、TF Tのチャネル移動度を向上させるために、種々の構造を検討したところ、ポリシリコン層（poly-Si層）と真性のアモルファスシリコン層（i型a-Si層）とが接合した界面を有するTF Tにおいて、高いチャネル移動度が得られることを見出した。後述するように、これは、poly-Si層とi型a-Si層とによってヘテロ接合が形成され、高電子移動度トランジスタ（HEMT）と同様に、2次元電子ガス（以下、「2DEG」）が生成されたと考えられる。

[0031] 2DEGは、バンドギャップエネルギーの異なる2種類の半導体を接合したときに、その界面（界面近傍10nm程度厚さの領域）に生成される電子の層（二次元に電子が分布する状態）を指す。2DEGは、GaAs系、InP系、GaN系、SiGe系などの化合物半導体で生成されることが知られているが、poly-Si層と、poly-Siよりもバンドギャップエネルギーの大きい他の半導体層（例えばi型a-Si層）との接合界面で2DEGが生じ得ることは知られていなかった。

[0032] 本明細書では、バンドギャップエネルギーの異なる2つの半導体層の接合（例えばi型a-Si層とpoly-Si層との接合）を「半導体ヘテロ接合」、バンドギャップエネルギーが同程度の2つの半導体層の接合（例えばi型a-Si層とn⁺型a-Si層との接合）を「半導体ホモ接合」と呼ぶ。

[0033] 図12（a）および（b）は、半導体ヘテロ接合の界面近傍のエネルギーバンド構造の一例を説明するための模式図である。ここでは、ボトムゲート型の多結晶シリコンTF Tにおいて、ノンドープのpoly-Si層（活性層）上にi型a-Si層を配置することによって形成された半導体ヘテロ接合を示す。また、図12（a）はゲート電圧を印加していない状態、図12（b）はゲート電極（不図示）に正電圧を印加した状態のエネルギーバンド構造を例示している。

[0034] poly-Si層のバンドギャップエネルギー E_{g1} は約1.1eV、i

型 $a-Si$ 層のバンドギャップエネルギー E_g は約 $1.88 eV$ である。
 $poly-Si$ 層側に空乏層が形成される。図 12 (a) では、電子の流れを矢印 91、ホールの流れを矢印 92 で示している。図示するように、 i 型 $a-Si$ 層と $poly-Si$ 層との界面に量子井戸 qw が形成され、電子が溜まることにより、2DEG が生成されると考えられる。

[0035] ゲート電極（不図示）に正電圧を印加すると、図 12 (b) に破線で例示するように、電界によってエネルギーバンドが曲がる。この結果、半導体ヘテロ接合界面では、例えば、伝導体下端のエネルギー準位 E_c がフェルミ準位 E_f よりも低くなる ($E_c < E_f$)。これにより、量子井戸 qw における電子密度が高くなり、高密度な電子層 (2DEG) が電子伝導に寄与する。

[0036] 2DEG が生成された領域（以下、「2DEG 領域」と呼ぶ。）は、 $poly-Si$ 層よりも高い移動度を有し得る。従って、TFT のチャネル部分に半導体ヘテロ接合を形成し、高移動度な 2DEG 領域を生じさせることにより、TFT のチャネル移動度を高めることが可能である。本明細書では、TFT の活性層のうちチャネルとなる部分の移動度を「チャネル移動度」と呼び、活性層の材料自体の移動度と区別する。

[0037] なお、2DEG 領域が TFT のチャネル移動度の向上に寄与するには、半導体ヘテロ接合の $poly-Si$ 層が i 型 $a-Si$ 層よりもゲート電極側に位置する必要がある。また、半導体ヘテロ接合の界面に量子井戸 qw を生成するためには、 $poly-Si$ 層として、導電性を付与する不純物を含まない（ノンドーパ）ポリシリコン層を用いることが好ましい。なお、 $poly-Si$ 層および i 型 $a-Si$ 層の接合前のフェルミ準位は、接合によって上述した量子井戸 qw が形成されるような関係を有していればよく、その関係を満たす範囲で $poly-Si$ 層が不純物を含んでいても構わない。

[0038] また、上記では、 i 型 $a-Si$ 層と $poly-Si$ 層との接合界面を例に説明したが、 $a-Si$ 以外の真性の半導体からなる層 (i 型半導体層) と $poly-Si$ 層との接合界面にも同様の 2DEG 領域が生じ得る。 i 型半導体層は、 $poly-Si$ 層との接合界面近傍に上述した量子井戸 qw が形成

されるようなフェルミ準位（接合前のフェルミ準位）を有していればよく、真性の酸化物半導体（例えば $In-Ga-Zn-O$ 系半導体）などのワイドバンドギャップ半導体からなる層であってもよい。

[0039] 次に、半導体ヘテロ接合の界面に 2DEG が生じ得たことを確認するために、本発明者が行った容量測定を説明する。

[0040] 図 13 (a) および (b) は、それぞれ、容量測定に用いた ES 型の TFT 801、802 を示す模式的な断面図である。TFT 801 は、ゲートソース／ドレイン間に半導体ヘテロ接合を有する TFT（「ヘテロ接合含有 TFT」と呼ぶ。）であり、TFT 802 は、ゲートソース／ドレイン間に半導体ホモ接合を有する TFT（「ホモ接合含有 TFT」と呼ぶ。）である。

[0041] ヘテロ接合含有 TFT 801 は、基板上に形成されたゲート電極 2 と、ゲート電極 2 を覆うゲート絶縁層 3 と、ゲート絶縁層 3 の上に形成された半導体層（活性層）4 と、半導体層 4 のチャネル領域を覆う保護絶縁層（エッチストップ層）5 と、ソース電極 8s およびドレイン電極 8d とを備える。半導体層 4 はポリシリコン層（poly-Si 層）である。半導体層 4 および保護絶縁層 5 とソース電極 8s との間、および、半導体層 4 および保護絶縁層 5 とドレイン電極 8d との間には、それぞれ、コンタクト層として、真性アモルファスシリコンからなる i 型 a-Si 層 6 および n⁺型アモルファスシリコンからなる n⁺型 a-Si 層 7 がこの順で配置されている。i 型 a-Si 層 6 と半導体層 4 とは直接接している。poly-Si 層である半導体層 4 と i 型 a-Si 層 6 との接合 g1 は、半導体ヘテロ接合である。

[0042] 一方、ホモ接合含有 TFT 802 は、半導体層 4 としてアモルファスシリコン層（a-Si 層）を用い、コンタクト層として n⁺型 a-Si 層 7 のみを用いる点以外は、ヘテロ接合含有 TFT 801 と同様の構成を有する。a-Si 層である半導体層 4 と n⁺型 a-Si 層 7 との接合 g2 は、半導体ホモ接合である。

[0043] ヘテロ接合含有 TFT 801 およびホモ接合含有 TFT 802 に対し、T

F T モニターを用いて、ゲートソース間に交流（10 kHz）を印加し、ゲートソース間の容量Cの測定を行った。

[0044] 図14は、ヘテロ接合含有TF T 801およびホモ接合含有TF T 802のC-V特性を示す図であり、縦軸は容量C、横軸はゲート電圧V_gである。

[0045] 図14から、ヘテロ接合含有TF T 801の容量変化が、ホモ接合含有TF T 802よりも小さくなっていることが分かる。これはキャリア濃度（電子）の差を表している。一般的にキャリア濃度が高くなるほど半導体は金属に近くなるため、容量変化が小さくなることが知られている。ヘテロ接合含有TF T 801では、接合g1の界面に形成された量子井戸qwに電子が溜まって2DEGが生じており、2DEGに分布した電子の分だけ、ホモ接合含有TF T 802よりもキャリア濃度が増加したからと考えられる。このことから、半導体ヘテロ接合の界面に2DEGが形成されることが確認される。なお、ゲート電圧V_gに正の電圧が印加されると、ヘテロ接合含有TF T 801では、接合g1の界面の量子井戸qwに溜まった電子が半導体層4側にはき出されるため、そのキャリア濃度はホモ接合含有TF T 802と同程度になると考えられる。

[0046] 以下、図面を参照しながら、本願発明の実施形態を具体的に説明する。

[0047] （第1の実施形態）

第1の実施形態の薄膜トランジスタ（TF T）は、多結晶シリコンTF Tである。本実施形態のTF Tは、アクティブマトリクス基板などの回路基板、液晶表示装置や有機EL表示装置などの各種表示装置、イメージセンサ、電子機器などに適用され得る。

[0048] 図1（a）は、本実施形態の薄膜トランジスタ（TF T）101の模式的な平面図であり、図1（b）は、1-1'線に沿ったTF T 101の断面図である。図1（c）は、TF T 101のチャンネル部分の拡大断面図である。

[0049] TF T 101は、ガラス基板などの基板1に支持されており、ゲート電極2と、ゲート電極2を覆うゲート絶縁層3と、ゲート絶縁層3上に配置され

た半導体層（活性層）4と、半導体層4に電氣的に接続されたソース電極8sおよびドレイン電極8dとを備える。

[0050] 半導体層4は、TFT101の活性層として機能する層であり、ポリシリコン領域（poly-Si領域）4pを含む。図示するように、半導体層4は、poly-Si領域4pと、非晶質シリコンを主として含むアモルファスシリコン領域（a-Si領域）4aとを含んでいてもよい。あるいは、半導体層4の全体がpoly-Si領域4pであってもよい。

[0051] poly-Si領域4pは、第1領域Rsおよび第2領域Rdと、これらの間に位置し、TFT101のチャンネルが形成されるチャンネル領域Rcとを有している。チャンネル領域Rcは、ゲート絶縁層3を介してゲート電極2と重なるように配置されている。第1領域Rsはソース電極8sと電氣的に接続され、第2領域Rdはドレイン電極8dと電氣的に接続されている。

[0052] 半導体層4のチャンネル領域Rc上には、複数（ここでは2つ）の保護部20s、20d（以下、「保護部20」と総称することがある）が間隔を空けて配置されている。各保護部20は、チャンネル領域Rcの一部を覆い、かつ、第1領域Rsおよび第2領域Rdを覆わないように配置されている。また、各保護部20は、第1領域Rsおよび第2領域Rdの少なくとも一方から間隔を空けて配置されている。チャンネル領域Rc上に3以上の保護部20が配置されていてもよいし、後述するように、チャンネル領域Rcの一部上に1つの保護部20のみが配置されていてもよい。各保護部20は、島状であってもよい。

[0053] 各保護部20は、実質的に不純物を含まない（すなわち真性の）アモルファスシリコンからなるi型a-Si層10と、i型a-Si層10上に配置された保護絶縁層5とを含む積層構造を有する。i型a-Si層10は、poly-Si領域4p（チャンネル領域Rc）の上面と直接接する。i型a-Si層10の厚さは、保護絶縁層5の厚さよりも小さくてもよい。i型a-Si層10と保護絶縁層5とは同じマスクを用いてパターニングされていてもよい。この場合、i型a-Si層10の側面と保護絶縁層5の側面とは整

合する。

- [0054] 半導体層4、保護部20、ソース電極8sおよびドレイン電極8dは、無機絶縁層（パッシベーション膜）11で覆われている。無機絶縁層11は、半導体層4のチャネル領域Rcのうち保護部20（i型a-Si層10）と接していない部分（この例では、2つの保護部20s、20dの間に位置する部分）と直接接していてもよい。
- [0055] 本実施形態では、図1（c）に示すように、保護部20におけるi型a-Si層10と半導体層4のpoly-Si領域4pとの接合界面に、図12を参照して前述した2次元電子ガス（2DEG）が生じる2DEG領域9が形成される。2DEG領域9は、例えば、poly-Siの2倍以上の移動度を有し得る高移動度領域である。
- [0056] 一方、チャネル領域Rcのうちi型a-Si層10と接していない部分は、例えば無機絶縁層11と接している。この部分には2DEGは生成されない。本明細書では、半導体層4のうち真性アモルファスシリコンと接しておらず、2DEGが形成されない（または2DEGが形成されにくい）領域19を「非2DEG領域」と称する。この例では、非2DEG領域19は、基板1の法線方向から見たとき、隣接する2つの保護部20の間に位置している。このように、非2DEG領域19が2DEG領域9を分断するように形成されているので、2DEG領域9は、第1領域Rsからチャネル領域Rcを経て第2領域Rdまで、チャネル長方向に亘って形成されない。つまり、2DEG領域9は、第1領域Rsと第2領域Rdとを繋ぐように形成されない。従って、ソース電極8sとドレイン電極8dとが2DEG領域9を介して導通状態となることを防ぐことが可能になる。
- [0057] チャネル領域Rcにおいて、poly-Si領域4pのうち少なくともi型a-Si層10と接する部分は、ノンドープの（すなわちn型不純物を積極的に添加せずに形成された）ポリシリコン領域であることが好ましい。これにより、poly-Si領域4pとi型a-Si層10との接合界面により確実に2DEG領域9を形成できる。

- [0058] 半導体層4とソース電極8sとの間に、第1コンタクト層Csが設けられ、半導体層4とドレイン電極8dとの間に、第2コンタクト層Cdが設けられていてもよい。ソース電極8sは、第1コンタクト層Csを介して半導体層4の第1領域Rsと電氣的に接続されている。ドレイン電極8dは、第2コンタクト層Cdを介して半導体層4の第2領域Rdと電氣的に接続されている。
- [0059] 第1コンタクト層Csおよび／または第2コンタクト層Cdの端部は、保護部20上に位置していてもよい。この例では、保護部（第1保護部）20sは、第1コンタクト層Csと半導体層4との間に配置され、保護部（第2保護部）20dは、第2コンタクト層Cdと半導体層4との間に配置されている。第1コンタクト層Csの端部は第1保護部20sの上面に位置し、第2コンタクト層Cdの端部は第2保護部20dの上面に位置している。
- [0060] 第1コンタクト層Csおよび第2コンタクト層Cdは、導電性を付与する不純物を含む不純物含有シリコン層（a-Si層でもpoly-Si層でもよい）を含む。第1コンタクト層Csおよび第2コンタクト層Cdにおける不純物含有シリコン層は、互いに離間して配置される。この例では、不純物含有シリコン層は、n型を付与する不純物が添加されたn⁺型a-Si層7である。第1コンタクト層Csにおけるn⁺型a-Si層7は第1領域Rsと直接接し、第2コンタクト層Cdにおけるn⁺型a-Si層7は第2領域Rdと直接接していてもよい。第1コンタクト層Csおよび第2コンタクト層Cdは、単層構造を有してもよいし、積層構造を有してもよい。
- [0061] 第1コンタクト層Csおよび第2コンタクト層Cdは、不純物含有シリコン層の単層であるか、最下層として不純物含有シリコン層を含む積層構造を有してもよい。これにより、第1コンタクト層Csおよび第2コンタクト層Cdの不純物含有シリコン層（ここではn⁺型a-Si層7）を、それぞれ、半導体層4の第1領域Rsおよび第2領域Rdと接するように配置できる。この構成によると、n⁺型a-Si層とpoly-Si層との接合界面近傍のエネルギーバンド構造（図15参照）から分かるように、第1領域Rsおよ

び第2領域R_dとn⁺型a-Si層7との接合部分には電子が溜まりにくく、2DEGが生成されにくくなるので、2DEGに起因するゲート誘導ドレインリーク(GIDL: Gate-Induced Drain Leakage current)の発生を抑制できる。

[0062] 本実施形態のTFT101では、チャネル領域R_cの一部に、poly-Si領域4pよりも移動度の高い2DEG領域9が配置されている。このため、TFT101のチャネル移動度を向上でき、オン電流を高めることが可能になる。また、チャネル領域R_cにおいて、2DEG領域9を分断するように非2DEG領域19が形成されるので、2DEG領域9は第1領域R_sと第2領域R_dとの間を繋ぐように形成されない。このため、2DEG領域9に起因してオフリーク電流が増大したり、ソースドレイン間が導通状態になったりすることを抑制でき、オフ特性を確保できる。このように、本実施形態によると、オフ特性を維持しつつ、オン特性を高めることができるので、オンオフ比を向上できる。

[0063] さらに、本実施形態では、TFT101のチャネル移動度を2DEG領域9を利用して制御できるので、poly-Si領域4pにおける結晶粒径のばらつきに起因する特性ばらつきを抑制できる。従って、TFT101の信頼性を向上できる。

[0064] チャネル領域R_cは、i型a-Si層10と接する部分(2DEG領域9が形成される部分)および無機絶縁層11と接する部分(非2DEG領域19となる部分)を含む。基板1の法線方向から見たとき、チャネル領域R_cのうちi型a-Si層10と接する部分の合計面積の、チャネル領域R_c全体の面積に対する割合ARは、例えば20%以上90%以下であってもよい。20%以上であれば、チャネル移動度をより効果的に高めることができる。割合ARは50%以上であってもよい。一方、割合ARが90%以下であれば、オフリーク電流の増大をより確実に抑制できる。

[0065] 保護部20の構造は、図1から図3に示す例に限定されない。例えば、保護絶縁層5およびi型a-Si層10の側面は整合していなくてもよい。保

護絶縁層5とi型a-Si層10とのエッチレートが異なる場合、あるいは、保護絶縁層5とi型a-Si層10とを別々にパターニングする場合には、保護絶縁層5の側面よりもi型a-Si層10の側面が内側または外側に位置することがある。このような場合でも、チャンネル領域R_cの一部にi型a-Si層10と接しない部分を形成することで、2DEG領域9を分断させることが可能になるので、図1と同様の効果が得られる。

[0066] 保護部20は島状でなくてもよい。その場合には、図2に例示するように、保護絶縁層5およびi型a-Si層10は、半導体層4の第1領域R_sおよび第2領域R_dをそれぞれ露出する開口部h₁、h₂と、チャンネル領域R_cの一部を露出する開口部h_sとを有し得る。開口部h_sはチャンネル幅に亘って延びていてもよい。これにより、チャンネル領域R_c上において、開口部h_sの両側に保護部20_s、20_dが形成される。

[0067] また、図1に示す例では、i型a-Si層10は保護絶縁層5と半導体層4との間に亘って形成されているが、i型a-Si層10は、離散的に配置された複数のi型a-Si島を含む構造（以下、「島状構造」）を有していてもよい。

[0068] 図3(a)および(b)は、それぞれ、保護部20の他の例を示す断面図および平面図である。

[0069] この例では、半導体層4と保護絶縁層5との間に、島状構造を有するi型a-Si層10が配置されている。すなわち、保護絶縁層5と半導体層4との間に1つまたは複数のi型a-Si島が形成されている。図示するように、サイズ（大きさ）が互いに異なる複数のi型a-Si島がランダムに配置されていてもよい。例えば、CVD法による初期成長段階を利用して真性のアモルファスシリコン膜を形成することで、図示するような島状構造を有するi型a-Si層10が得られる。この場合、上記の面積割合ARは、成長時間などの条件を制御することで調整され得る。

[0070] さらに、保護部20の数および配置も図1に示す例に限定されない。

[0071] 図4および図5は、保護部20のさらに他の例を示す図であり、各図の（

a) は断面図、各図の (b) は平面図である。

[0072] 図4 (a) および (b) に示すように、3以上の保護部20が、チャンネル長方向に沿って、互いに間隔を空けて配列されていてもよい。例えば、基板1の法線方向から見たとき、第1保護部20sと第2保護部20dとの間に、他の保護部(「中央保護部」と呼ぶ)20cが配置されてもよい。第1保護部20sは、第1コンタクト層Csと半導体層4との間に配置され、第2保護部20dは、第2コンタクト層Cdと半導体層4との間に配置されていてもよい。この場合、チャンネル領域Rcにおいて、中央保護部20cと第1保護部20sおよび第2保護部20dとの間にそれぞれ非2DEG領域19が形成される。従って、チャンネル領域Rcにおいて、2DEG領域9は、非2DEG領域19によって3つに分断される。

[0073] なお、図示しないが、第1保護部20sと第2保護部20dとの間に、2以上の中央保護部20cが間隔を空けて配置されていてもよい。

[0074] 図5 (a) および (b) に示すように、チャンネル領域Rc上に、1つの保護部20のみが配置されていてもよい。保護部20は、第1領域Rsおよび第2領域Rdの少なくとも一方から(すなわち第1コンタクト層Csおよび第2コンタクト層Cdの少なくとも一方から)間隔を空けて配置されていればよい。この例では、チャンネル領域Rc上に、第1領域Rsおよび第2領域Rdから間隔を空けて、中央保護部20cが配置されている。中央保護部20cと第1領域Rsおよび第2領域Rdとの間にそれぞれ非2DEG領域19が形成される。従って、2DEG領域9は、非2DEG領域19によって第1領域Rsおよび第2領域Rdから分離される。

[0075] なお、中央保護部20cの代わりに、第1保護部20sまたは第2保護部20d(図4)のみが配置されていてもよい(図6(e)参照)。

[0076] 本実施形態のTF T101は、例えば、表示装置などのアクティブマトリクス基板に好適に用いられ得る。アクティブマトリクス基板(または表示装置)は、列方向に延びる複数のソースバスラインと、行方向に延びる複数のゲートバスラインと、複数の画素を含む表示領域と、表示領域以外の非表示

領域（周辺領域ともいう）とを有する。各画素には、スイッチング素子として画素用TFTが設けられる。周辺領域には、ゲートドライバなどの駆動回路がモノリシックに形成されていてもよい。駆動回路は、複数のTFT（「回路用TFT」と呼ぶ）を含んでいる。TFT101は、画素用TFTおよび／または回路TFTとして用いられ得る。

[0077] 図6(a)～(e)は、それぞれ、アクティブマトリクス基板における1つの画素を例示する模式的な平面図である。

[0078] 画素には、画素用TFTとして機能するTFT101と、画素電極13とが配置されている。TFT101のソース電極8sは、対応する1つのソースバスラインSLに電氣的に接続され、ドレイン電極8dは、画素電極13に電氣的に接続されている。また、ゲート電極2は、対応する1つのゲートバスラインGLに電氣的に接続されている。ゲート電極2はゲートバスラインGLの一部であってもよい。

[0079] 図6(a)～(c)は、それぞれ、図1、図4および図5に示すTFT101を画素用TFTとして用いた画素構造を例示している。図6(d)に示すように、TFT101は、第1保護部20s、第2保護部20dおよび中央保護部20cのうちの2つのみ（ここでは第2保護部20dおよび中央保護部20c）を有していてもよい。図6(e)に示すように、第1保護部20s、第2保護部20dおよび中央保護部20cのうちの1つのみ（ここでは第2保護部20d）を有していてもよい。

[0080] なお、図6では、TFT101は、そのチャンネル長が行方向（ゲートバスラインGLの延びる方向）と略平行になるように配置されているが、チャンネル長が列方向（ソースバスラインSLの延びる方向）と略平行になるように配置されてもよい。

[0081] 上記のアクティブマトリクス基板は、液晶表示装置に好適に用いられる。たとえば、対向電極およびカラーフィルタ層を設けた対向基板を用意し、上記アクティブマトリクス基板および対向基板をシール材を介して張り合わせ、これらの基板間に液晶を注入することにより、液晶表示装置が得られる。

[0082] また、液晶表示装置に限らず、電圧が印加されることにより光学的性質が変調したり、発光したりする材料を表示媒体層として用いることで、種々の表示装置を得ることができる。例えば表示媒体層として有機あるいは無機蛍光材料を用いた有機EL表示装置や無機EL表示装置などの表示装置にも本実施形態のアクティブマトリクス基板は好適に用いられる。さらに、X線センサやメモリ素子などに用いられるアクティブマトリクス基板としても好適に用いることができる。

[0083] <TF T 1 0 1の製造方法>

次に、TF T 1 0 1の製造方法の一例を説明する。

[0084] 図7(a)～図7(h)は、TF T 1 0 1の製造方法の一例を説明するための模式的な工程断面図である。

[0085] まず、図7(a)に示すように、基板1上に、ゲート電極2、ゲート絶縁層3、および活性層用a-Si膜40をこの順で形成する。

[0086] 基板1としては、例えばガラス基板、シリコン基板、耐熱性を有するプラスチック基板（樹脂基板）などの絶縁性の表面を有する基板を用いることができる。

[0087] ゲート電極2は、基板1の上に、ゲート用導電膜を形成し、これをパターニングすることにより形成される。ここでは、例えば、スパッタ法によりゲート用導電膜（厚さ：例えば約500nm）を基板1の上に形成し、公知のフォトリソグラフィプロセスを用いて金属膜のパターニングを行う。ゲート導電膜のエッチングには例えばウェットエッチングを用いる。

[0088] ゲート電極2の材料は、モリブデン（Mo）、タングステン（W）、銅（Cu）、クロム（Cr）、タンタル（Ta）、アルミニウム（Al）、チタン（Ti）等の単体金属、それらに窒素、酸素、あるいは他の金属を含有させた材料、または、インジウム錫酸化物（ITO）などの透明導電材料であってもよい。

[0089] ゲート絶縁層3は、ゲート電極2が形成された基板1に、例えばプラズマCVD法により形成される。ゲート絶縁層（厚さ：例えば約0.4μm）3

として、例えば、酸化シリコン (SiO_2) 層、窒化シリコン (SiN_x) 層、または SiO_2 層と SiN_x 層との積層膜を形成してもよい。

[0090] 活性層用 a-Si 膜 40 は、例えば、水素ガス (H_2) およびシランガス (SiH_4) を用いて、CVD 法により形成され得る。活性層用 a-Si 膜 40 は、n 型不純物を実質的に含まないノンドーパ・アモルファスシリコン膜であってもよい。ノンドーパ・アモルファスシリコン膜とは、n 型不純物を積極的に添加せずに（例えば n 型不純物を含まない原料ガスを用いて）形成された a-Si 膜を指す。なお、活性層用 a-Si 膜 40 は、比較的低い濃度で n 型不純物を含んでいても構わない。活性層用 a-Si 膜 40 の厚さは、20 nm 以上 70 nm 以下（例えば 50 nm）であってもよい。

[0091] 次に、図 7 (b) に示すように、活性層用 a-Si 膜 40 のうち、少なくとも TFT のチャネル領域となる部分にレーザ光 30 を照射する。レーザ光 30 としては、XeCl エキシマレーザ（波長 308 nm）などの紫外線レーザ、YAG レーザの第 2 高調波（波長 532 nm）などの波長が 550 nm 以下の固体レーザが適用され得る。レーザ光 30 の照射により、活性層用 a-Si 膜 40 のうちレーザ光 30 で照射された領域が加熱されて熔融凝固し、poly-Si 領域 4p が形成される。これにより、poly-Si 領域 4p を含む半導体層 4 を得る。poly-Si 領域 4p では、半導体層 4 の上面に向かって結晶粒が柱状に成長している。

[0092] レーザ光 30 による結晶化方法も特に限定しない。例えば、レーザ光源からのレーザ光 30 を、マイクロレンズアレイを介して、活性層用 a-Si 膜 40 の一部だけにレーザ光 30 を集光することにより、活性層用 a-Si 膜 40 を部分的に結晶化させてもよい。本明細書では、この結晶化方法を「部分レーザアニール」と呼ぶ。部分レーザアニールを用いると、線状のレーザ光を a-Si 膜全面に亘って走査する従来のレーザアニールと比べて、結晶化に要する時間を大幅に短縮できるので、量産性を高めることが可能である。

[0093] マイクロレンズアレイは、2次元または 1次元に配列されたマイクロレン

ズを有する。基板1上に複数のTF Tを形成する場合、レーザ光30は、マイクロレンズアレイにより集光されて、活性層用a-Si膜40のうち、互いに離間した複数の所定領域（照射領域）にのみ入射する。各照射領域は、TF Tのチャンネル領域となる部分に対応して配置される。照射領域の位置、数、形状、サイズなどは、マイクロレンズアレイ（1mm未満のレンズに限定されるものではない）のサイズ、配列ピッチ、マイクロレンズアレイの光源側に配置するマスクの開口位置などによって制御され得る。これにより、活性層用a-Si膜40のうちレーザ光30で照射された領域が加熱されて溶融凝固し、poly-Si領域4pとなる。レーザ光で照射されなかった領域は、a-Si領域4aのまま残る。基板1の法線方向から見たとき、a-Si領域4aは、例えば、poly-Si領域4pの外側に配置される。

[0094] 部分レーザアニールのより具体的な方法、部分レーザアニールに用いる装置の構成（マイクロレンズアレイ、マスクの構造を含む）について、参考のため、国際公開第2011/055618号、国際公開第2011/132559号、国際公開第2016/157351号、国際公開第2016/170571号の開示内容の全てを本願明細書に援用する。

[0095] 続いて、図7(c)に示すように、半導体層4上に、i型a-Si膜（「2DEG形成用a-Si膜」と呼ぶ。）100を形成する。2DEG形成用a-Si膜100は、例えばCVD法によって形成される。2DEG形成用a-Si膜100の厚さは、例えば5nm以上50nm以下であってもよい。5nm以上であれば、2DEG形成用a-Si膜100とpoly-Si領域4pとの間により確実に2DEG領域を生成できる。

[0096] 2DEG形成用a-Si膜100は、CVD法による初期成長段階を利用して形成され得る。これにより、所望の薄い2DEG形成用a-Si膜100を容易に形成できる。CVD法による2DEG形成用a-Si膜100の堆積時間は、特に限定しないが、例えば2秒以上150秒以下であってもよい。

[0097] また、例えば、堆積時間などの成膜条件を制御して、島状構造を有する2

DEG形成用 a-Si 膜（厚さ：例えば 2 nm 以上 5 nm 以下）100 を形成してもよい。このときの堆積時間は、特に限定しないが、例えば 0.2 秒以上 1.0 秒以下であってもよい。1.0 秒以下であれば、より確実に、2 DEG 形成用 a-Si 膜 100 を島状に堆積させることができる。0.2 秒以上であれば、より確実に 2 DEG 形成用 a-Si 膜 100 と poly-Si 領域 4p との間に 2 DEG 領域 9 を形成できる。CVD 法の初期成長段階を利用して島状構造を有する 2 DEG 形成用 a-Si 膜 100 を形成する場合には、各島のサイズ、形成位置、1 つのチャネル領域 Rc 内の数などはランダムとなる。従って、2 DEG 領域 9 もランダムに形成される（図 3 参照）。

[0098] なお、2 DEG 形成用 a-Si 膜 100 の形成方法は CVD 法に限定されず、公知の他の方法を用いてもよい。

[0099] 続いて、図 7 (d) に示すように、半導体層 4 上に、保護絶縁層（エッチストップ層）となる保護絶縁膜 50 を形成する。ここでは、保護絶縁膜 50 として、CVD 法によりシリコン酸化膜（SiO₂ 膜）を形成する。保護絶縁膜 50 の厚さは、例えば 30 nm 以上 300 nm 以下であってもよい。この後、図示しないが、半導体層 4 に対して脱水素アニール処理（例えば 450 °C、60 分）を行ってもよい。

[0100] 次いで、図 7 (e) に示すように、レジストマスク（不図示）を用いて、保護絶縁膜 50 および 2 DEG 形成用 a-Si 膜 100 のパターニングを行い、チャネル領域 Rc 上に 1 つまたは複数の保護部 20 を所定のパターンで形成する。パターニングは、ドライエッチングで行ってもよいし、ウェットエッチングで行ってもよい。各保護部 20 は、保護絶縁膜 50 から形成された保護絶縁層 5 と、2 DEG 形成用 a-Si 膜 100 から形成された i 型 a-Si 層 10 とを有する。チャネル領域となる部分のソース側およびドレイン側において、poly-Si 領域 4p の一部（コンタクト領域となる部分）は保護部 20 から露出している。

[0101] この例では、チャネル領域 Rc 上に、第 1 保護部 20s および第 2 保護部

20dを間隔を空けて配置する。基板1の法線方向から見たとき、poly-Si領域4pのうちこれらの保護部20s、20dの間に位置する部分は露出している。

[0102] 続いて、図7(f)に示すように、半導体層4および保護部20を覆うように、コンタクト層用のSi膜70を形成する。ここでは、プラズマCVD法により、n型不純物(ここではリン)を含むn⁺型a-Si膜(厚さ:例えば約0.05μm)70を堆積する。n型不純物の濃度は、例えば1×10¹⁸cm⁻³以上5×10²⁰cm⁻³以下である。原料ガスとして、シランと水素とホスフィン(PH₃)との混合ガスを用いる。

[0103] 代わりに、コンタクト層用のSi膜として、プラズマCVD法により、i型a-Si膜(厚さ:例えば約0.1μm)、および、n型不純物(例えばリン)を含むn⁺型a-Si膜(厚さ:例えば約0.05μm)を含む積層膜を形成してもよい。i型a-Si膜の原料ガスとして、水素ガスおよびシランガスを用いる。n⁺型a-Si膜の原料ガスとして、シランと水素とホスフィン(PH₃)との混合ガスを用いる。

[0104] 次に、コンタクト層用のSi膜(ここではn⁺型a-Si膜70)上に、ソースおよびドレイン電極用の導電膜(厚さ:例えば約0.3μm)およびレジストマスクMを形成する。ソースおよびドレイン電極用の導電膜は、ゲート用導電膜と同様の材料を用いて、ゲート用導電膜と同様の方法で形成され得る。

[0105] この後、レジストマスクMを用いて、例えばドライエッチングにより、ソースおよびドレイン電極用の導電膜およびn⁺型a-Si膜70のパターニングを行う。これにより、図7(g)に示すように、導電膜から、ソース電極8sおよびドレイン電極8dが形成される(ソース・ドレイン分離工程)。また、n⁺型a-Si膜70から、第1コンタクト層Csおよび第2コンタクト層Cdが離間して形成される。パターニングの際に、保護絶縁層5はエッチストップとして機能するので、半導体層4のうち保護絶縁層5(保護部20)で覆われた部分はエッチングされない。第1コンタクト層Csおよび第

2コンタクト層C dのチャネル側の端部は、保護絶縁層5の上面に位置してもよい。なお、このパターニング工程において、半導体層4のうち保護部20で覆われていない部分（例えば第1保護部20sと第2保護部20dとの間に位置する部分）の表層がエッチングで除去される場合がある（オーバーエッチング）。この後、レジストマスクMを基板1から剥離する。このようにしてTFT101が製造される。

[0106] poly-Si領域4p中のダングリングボンドを不活性化し、欠陥密度を低減するために、ソース・ドレイン分離工程の後に、poly-Si領域4pに対して水素プラズマ処理を行ってもよい。

[0107] TFT101をアクティブマトリクスマトリクス基板の画素用TFTとして用いる場合には、図7(h)に示すように、TFT101を覆うように層間絶縁層を形成する。ここでは、層間絶縁層として、無機絶縁層（パッシベーション膜）11および有機絶縁層12を形成する。

[0108] 無機絶縁層11として、酸化珪素層、窒化珪素層などを用いてもよい。ここでは、無機絶縁層11として、例えば、SiNx層（厚さ：例えば約200nm）をCVD法で形成する。無機絶縁層11は、ソース電極8sとドレイン電極8dとの間（ギャップ）において、保護絶縁層5と接する。

[0109] 有機絶縁層12は、例えば、感光性樹脂材料を含む有機絶縁膜（厚さ：例えば1~3μm）であってもよい。この後、有機絶縁層12のパターニングを行い、開口部を形成する。続いて、有機絶縁層12をマスクとして無機絶縁層11のエッチング（ドライエッチング）を行う。これにより、無機絶縁層11および有機絶縁層12に、ドレイン電極8dに達するコンタクトホールCHが形成される。

[0110] 続いて、有機絶縁層12上およびコンタクトホールCH内に透明導電膜を形成する。透明電極膜の材料としては、インジウム-錫酸化物（ITO）、インジウム-亜鉛酸化物、ZnO等の金属酸化物を用いることができる。ここでは、例えば、スパッタ法で、透明導電膜としてインジウム-亜鉛酸化物膜（厚さ：例えば約100nm）を形成する。

- [0111] この後、例えばウェットエッチングにより透明導電膜のパターニングを行い、画素電極13を得る。画素電極13は、画素ごとに離間して配置される。各画素電極13は、コンタクトホール内で、対応するTFTのドレイン電極8dと接する。図示していないが、TFT101のソース電極8sはソースバスライン（不図示）に電氣的に接続され、ゲート電極2はゲートバスライン（不図示）に電氣的に接続される。
- [0112] 半導体層4、第1コンタクト層Cs、第2コンタクト層Cdは、それぞれ、TFT101が形成される領域（TFT形成領域）において、島状にパターニングされていてもよい。あるいは、半導体層4、第1コンタクト層Cs、第2コンタクト層Cdは、TFT101が形成される領域（TFT形成領域）以外の領域にも延設されていてもよい。例えば、半導体層4は、ソース電極8sに接続されたソースバスラインと重なるように延びていてもよい。半導体層4のうちTFT形成領域に位置する部分がpoly-Si領域4pを含んでいればよく、TFT形成領域以外の領域に延設された部分はa-Si領域4aであってもよい。
- [0113] また、活性層用a-Si膜40の結晶化方法は、上述した部分レーザアニールに限定されない。公知の他の方法を用いて、活性層用a-Si膜40の一部または全部を結晶化してもよい。
- [0114] さらに、i型a-Si層10の代わりに、他の真性の半導体（非晶質でも結晶質でもよい）からなる半導体層（i型半導体層）を用いてもよい。i型半導体層は、poly-Si領域4pよりも大きいバンドギャップを有し、poly-Si領域4pと半導体ヘテロ接合を形成する。i型半導体層として、例えば、真性の酸化物半導体（例えばIn-Ga-Zn-O系半導体）などのワイドバンドギャップ半導体からなる半導体層を用いることができる。i型半導体層は、poly-Si領域4pとの接合界面近傍に上述した量子井戸qwが形成されるようなフェルミ準位（接合前のフェルミ準位）を有する。i型半導体層は、例えば、i型a-Si層10と同様のプロセスで形成され得る。i型半導体層は、離散的に配置された複数のi型半導体島を含

んでもよい（図3参照）。

[0115] i型半導体層として、真性の酸化物半導体からなるi型酸化物半導体層を用いる場合、酸化物半導体は、非晶質でもよいし、結晶質でもよい。結晶質酸化物半導体は、例えば、多結晶酸化物半導体、微結晶酸化物半導体、c軸が層面に概ね垂直に配向した結晶質酸化物半導体などであってもよい。非晶質または結晶質酸化物半導体の材料、構造、成膜方法などは、例えば特許第6275294号明細書に記載されている。参考のために、特許第6275294号明細書の開示内容の全てを本明細書に援用する。

[0116] (参考の実施形態)

以下、参考の実施形態のTF T、および、2DEG領域を利用してTF T特性を向上できることを示す実験結果を説明する。

[0117] 参考の実施形態のTF Tは、チャネルエッチ(CE)型の多結晶シリコンTF Tである。

[0118] 図8(a)は、参考の実施形態の薄膜トランジスタ(TF T)102の模式的な平面図であり、図8(b)は、 $l-l'$ 線に沿ったTF T102の断面図である。図8(c)は、TF T102のチャネル部分の拡大断面図である。図8では、図1と同様の構成要素には同じ参照符号を付している。以下の説明では、図1に示すTF T101と同様の構成については、説明を適宜省略する。

[0119] TF T102では、半導体層4とソース電極8sおよびドレイン電極8dとの間に、チャネル領域Rcを覆うエッチストップ層を含む保護部(図1に示す保護部20)が設けられていない。

[0120] TF T102においても、図8(c)に示すように、チャネル領域Rcにおいて、poly-Si領域4p上に少なくとも1つのi型a-Si島6aが配置されており、i型a-Si島6aとpoly-Si領域4pとの間に2DEG領域9が形成される。

[0121] 無機絶縁層11は、ソース電極8sとドレイン電極8dとの間において、i型a-Si島6a、および、半導体層4のうちi型a-Si島6aで覆わ

れていない部分と直接接している。その他の構造は、図1に示すTFT101と同様であってもよい。

[0122] この例では、第1コンタクト層Csおよび第2コンタクト層Cdは、例えば、半導体層4と直接接するi型a-Si層6と、i型a-Si層6上に配置されたn⁺型a-Si層とを含む積層構造を有してもよい。これにより、i型a-Si層6と同じシリコン膜を用いてi型a-Si島6aを形成できる。例えば、ソース・ドレイン分離工程において、i型a-Si層6がチャンネル領域Rc上に部分的に残るような条件でエッチングを行うことで、i型a-Si島6aを形成できる。この場合、i型a-Si島6aは、第1コンタクト層Csおよび第2コンタクト層Cdのi型a-Si層6よりも薄くなる。図示するように、大きさの異なる複数のi型a-Si島6aがチャンネル領域Rc上にランダムに配置されてもよい。

[0123] 図9(a)～(d)は、それぞれ、TFT102の製造方法の一例を説明するための工程断面図である。以下、前述した実施形態(図3)と異なる点を主に説明する。各層の材料、厚さ、形成方法などについて、前述した実施形態と同様の場合には、適宜説明を省略する。

[0124] まず、図9(a)に示すように、基板1にゲート電極2、ゲート絶縁層3および活性層用a-Si膜40を形成する。次いで、図9(b)に示すように、活性層用a-Si膜40にレーザ光30を照射することで、poly-Si領域4pを含む半導体層4を得る。図示するように、部分レーザアニールにより、poly-Si領域4pおよびa-Si領域4aを含む半導体層4を形成してもよい。これらの工程は、前述の実施形態と同様である。

[0125] 次いで、図9(c)に示すように、半導体層4を覆うように、コンタクト層用のSi膜と、ソース・ドレイン電極用の導電膜80とをこの順で形成する。ここでは、コンタクト層用のSi膜として、プラズマCVD法により、i型a-Si膜(厚さ:例えば約0.1μm)60、および、n型不純物(例えばリン)を含むn⁺型a-Si膜(厚さ:例えば約0.05μm)70を含む積層膜を形成する。i型a-Si膜60の原料ガスとして、水素ガスお

よびシランガスを用いる。n⁺型a-Si膜70の原料ガスとして、シランと水素とホスフィン（PH₃）との混合ガスを用いる。n⁺型a-Si膜70のリン濃度は、例えば $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0126] 続いて、図9（d）に示すように、レジストマスク（不図示）を用いて、例えばドライエッチングで、i型a-Si膜60、n⁺型a-Si膜70および導電膜80のパターニングを行う（ソース・ドレイン分離工程）。このとき、レジストマスクで覆われていない領域（チャンネル領域となる領域）では、導電膜80およびn⁺型a-Si膜70は完全に除去され、かつ、i型a-Si膜60は半導体層4上に島状に残るような条件でパターニングを行う。例えばエッチング時間を調整することにより、チャンネル領域上にi型a-Si層6を島状に残すことが可能である。このパターニング工程によって、i型a-Si膜60およびn⁺型a-Si膜70から、第1コンタクト層Csおよび第2コンタクト層Cdが得られ、導電膜80からソース電極8sおよびドレイン電極8dが得られる。また、i型a-Si膜60からi型a-Si島6aが形成され得る。

[0127] なお、上記パターニングは、i型a-Si膜60のうちレジストマスクで覆われていない部分の表面部分のみが除去される（薄膜化される）条件でパターニングを行ってもよい。この場合、薄膜化されたi型a-Si膜60を別途島状にパターニングすることで、i型a-Si島6aを形成してもよい。パターニングによってi型a-Si島6aを形成すると、i型a-Si島6aを所定のパターンで形成できる。例えば、図2（b）～（d）に示すようにi型a-Si島6aを配置してもよい。

[0128] あるいは、ソース・ドレイン分離工程を行った後、チャンネル領域を覆うように、他のi型a-Si膜を形成し、パターニングを行うことで、i型a-Si島6aを形成してもよい。この場合、コンタクト層用のSi膜としてi型a-Si膜60を用いなくてもよい。これにより、コンタクト層Cs、Cdと半導体層4との間に2DEGが生成されないので、GIDLを抑制できる。

[0129] <実験結果>

2DEGを利用してTF特性を向上できることを確認するため、参考例および比較例の薄膜トランジスタを作製し、TF特性の測定を行ったので、その方法および結果を説明する。

[0130] 図10(a)は、参考例の薄膜トランジスタの模式的な拡大断面図であり、(b)～(d)は、それぞれ、比較例1～3の薄膜トランジスタの模式的な拡大断面図である。

[0131] まず、図9を参照しながら前述した方法で、参考例の薄膜トランジスタs1、s2を作製した。薄膜トランジスタs1、s2は、図8と同様の構造を有する。

[0132] 次に、ソース・ドレイン分離工程におけるエッチング条件（例えばエッチング時間）以外は、参考例と同様の方法で、比較例1、2の薄膜トランジスタを作製した。比較例1では、ソース電極8sとドレイン電極8dとの間において、i型a-Si層6の表面部分のみが除去され、チャネル領域Rcの略全体を覆うようにi型a-Si層6が残るような条件でエッチングを行い、薄膜トランジスタs3、s4を得た。比較例2では、ソース電極8sとドレイン電極8dとの間において、i型a-Si層6が完全に除去され、かつ、半導体層4の表面部分がオーバーエッチングされる条件でエッチングを行い、薄膜トランジスタs5を得た。

[0133] さらに、比較例3では、チャネル領域Rcを保護絶縁層(SiO₂層)5で覆った状態でソース・ドレイン分離工程を行い、ES型の薄膜トランジスタs6を作製した。保護絶縁層5とチャネル領域Rcとは直接接しており、これらの間にa-Si島は設けられていない。

[0134] 続いて、参考例および比較例1～3の薄膜トランジスタs1～s6のTF特性を評価した。

[0135] 図11は、参考例および比較例1～3の薄膜トランジスタのV-I（ゲート電圧Vgs-ドレイン電流Id）特性を示す図である。

[0136] 図11から、比較例1の薄膜トランジスタs3、s4では、ソースドレ

イン間が導通状態となり（パンチスルー）、スイッチング素子としての機能が得られないことが分かる。これは、半導体層4とi型a-Si層6との界面に、チャンネル長に亘って高移動度の2DEG領域9が連続的に形成され、ソース電極8sとドレイン電極8dとが2DEG領域9を介して電氣的に接続されたからと推察される。

[0137] また、比較例2の薄膜トランジスタs5のオン電流は、参考例の薄膜トランジスタs1、s2よりも低くなることが分かる。これは、チャンネル領域上にi型a-Si層6が残存しないので、2DEGが生じておらず、2DEGによる高移動度効果も得られないからと考えられる。

[0138] なお、比較例2の薄膜トランジスタs5のオン電流は、比較例3の薄膜トランジスタs6よりも低い。この理由として、薄膜トランジスタs5では、半導体層4の表面部分がオーバーエッチングされて多結晶シリコン層が大きく除去され、そのほとんどが結晶粒径の小さな層及びアモルファス層となったり、チャンネル部がダメージを受けたり、半導体層4の厚さにばらつきが生じたため、半導体層4の表面が保護された薄膜トランジスタs6よりもオン電流が低くなったと考えられる。

[0139] これに対し、参考例の薄膜トランジスタs1、s2では、比較例2の薄膜トランジスタs5および比較例3の薄膜トランジスタs6よりも高いオン電流が得られる。参考例の薄膜トランジスタs1、s2では、チャンネル領域Rcとi型a-Si島6aとの接合部分に高移動度の2DEG領域9が形成されるので、TFETのチャンネル移動度が高くなったからと考えられる。また、チャンネル領域Rcのうちi型a-Si島6aと接していない部分は2DEGが形成されない非2DEG領域となる。チャンネル領域Rcの一部に非2DEG領域が存在し、これにより、2DEG領域9が第1領域Rsから第2領域Rdまでチャンネル長方向に亘って（ソースドレイン間を繋ぐように）形成されないので、パンチスルーの発生が抑制されたと考えられる。

[0140] このように、図11に示す結果から、チャンネル領域Rcに2DEG領域9が生成され、かつ、2DEG領域9を介してソースドレイン間が繋がらな

いように非2DEG領域を配置することで、オフ特性を確保しつつ、オン電流を向上できることが確認される。

[0141] ここでは、参考例の薄膜トランジスタとしてCE型TFETを例に説明したが、図1に示す実施形態のTFETであっても、参考例と同様に、チャンネル領域Rcに2DEG領域および非2DEG領域が形成されるので、上記と同様の効果が得られる。

[0142] 本発明のTFETの構造は、図1を参照しながら前述した構造に限定されない。本発明の実施形態のTFETは、チャンネル部分にシリコンヘテロ接合が形成され、この接合界面に生じる2DEG領域9を利用してオン電流を高めることの可能な構造を有していればよい。

産業上の利用可能性

[0143] 本発明の実施形態は、TFETを備えた装置や電子機器に広く適用可能である。例えば、アクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス(EL)表示装置および無機エレクトロルミネセンス表示装置等の表示装置、放射線検出器、イメージセンサ等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などに適用され得る。

符号の説明

[0144] 1 : 基板、2 : ゲート電極、3 : ゲート絶縁層、4 : 半導体層、4a : a-Si領域、4p : poly-Si領域、5 : 保護絶縁層、7 : n⁺型a-Si層、8d : ドレイン電極、8s : ソース電極、9 : 2DEG領域、10 : i型a-Si層、11 : 無機絶縁層、12 : 有機絶縁層、13 : 画素電極、20、20s、20d、20c : 保護部、30 : レーザ光、40 : 活性層用a-Si膜、50 : 絶縁膜、80 : 導電膜、Cs : 第1コンタクト層、Cd : 第2コンタクト層、M : レジストマスク、Rc : チャンネル領域、Rd : 第2領域、Rs : 第1領域

請求の範囲

- [請求項1] 基板と、
前記基板に支持されたゲート電極と、
前記ゲート電極を覆うゲート絶縁層と、
前記ゲート絶縁層上に配置された、ポリシリコン領域を含む半導体層であって、前記ポリシリコン領域は、第1領域と、第2領域と、前記第1領域および前記第2領域の間に位置するチャンネル領域とを含む、半導体層と、
前記第1領域と電氣的に接続されたソース電極と、
前記第2領域と電氣的に接続されたドレイン電極と
を有し、
前記チャンネル領域の一部上に、前記第1領域および前記第2領域の少なくとも一方から間隔を空けて配置された少なくとも1つの保護部をさらに有し、
前記少なくとも1つの保護部は、真性の半導体からなるi型半導体層と、前記i型半導体層上に配置された保護絶縁層とを含む積層構造を有し、
前記i型半導体層は、前記ポリシリコン領域よりも大きいバンドギャップを有し、
前記i型半導体層は前記チャンネル領域と直接接している、薄膜トランジスタ。
- [請求項2] 前記少なくとも1つの保護部は、互いに間隔を空けて配置された複数の保護部である、請求項1に記載の薄膜トランジスタ。
- [請求項3] 前記薄膜トランジスタは無機絶縁層で覆われており、前記無機絶縁層は、前記複数の保護部の前記間隔で前記チャンネル領域と直接接している、請求項2に記載の薄膜トランジスタ。
- [請求項4] 前記基板の法線方向から見たとき、前記チャンネル領域のうち前記少なくとも1つの保護部における前記i型半導体層と接する部分の合計

面積は、前記チャネル領域全体の面積の20%以上90%以下である、請求項1から3のいずれかに記載の薄膜トランジスタ。

[請求項5] 前記i型半導体層は、離散的に配置された複数のi型半導体島を含む、請求項1から4のいずれかに記載の薄膜トランジスタ。

[請求項6] 前記ソース電極と前記第1領域との間に配置され、前記ソース電極と前記第1領域とを接続する第1コンタクト層と、
前記ドレイン電極と前記第2領域との間に配置され、前記ドレイン電極と前記第2領域とを接続する第2コンタクト層とをさらに有する、請求項1から5のいずれかに記載の薄膜トランジスタ。

[請求項7] 前記少なくとも1つの保護部は、前記第1コンタクト層と前記第1領域との間に配置された第1保護部と、前記第2コンタクト層と前記第2領域との間に配置された第2保護部とを含む、請求項6に記載の薄膜トランジスタ。

[請求項8] 前記少なくとも1つの保護部は、前記基板の法線方向から見たとき、前記第1保護部と前記第2保護部との間に配置された他の保護部をさらに含む、請求項7に記載の薄膜トランジスタ。

[請求項9] 前記第1コンタクト層は、前記第1領域と直接接するように配置された、n⁺型アモルファスシリコンからなるn⁺型a-Si層を含み、
前記第2コンタクト層は、前記第2領域と直接接するように配置された、n⁺型アモルファスシリコンからなるn⁺型a-Si層を含む、請求項6から8のいずれかに記載の薄膜トランジスタ。

[請求項10] 前記少なくとも1つの保護部において、前記保護絶縁層の側面と前記i型半導体層の側面とは整合している、請求項1から9のいずれかに記載の薄膜トランジスタ。

[請求項11] 前記基板の法線方向から見たとき、前記半導体層は、前記ポリシリコン領域の外側に配置されたアモルファスシリコン領域をさらに含む、請求項1から10のいずれかに記載の薄膜トランジスタ。

[請求項12] 前記 i 型半導体層は、真性のアモルファスシリコンからなる i 型 a-Si 層である、請求項 1 から 11 のいずれかに記載の薄膜トランジスタ。

[請求項13] 請求項 1 から 12 のいずれかに記載の薄膜トランジスタを備えた表示装置であって、

複数の画素を有する表示領域を有し、

前記薄膜トランジスタは、前記複数の画素のそれぞれに配置されている、表示装置。

[請求項14] 基板に支持された薄膜トランジスタの製造方法であって、

前記基板上に、ゲート電極、前記ゲート電極を覆うゲート絶縁層、およびポリシリコン領域を含む半導体層を形成する工程と、

前記半導体層上に、真性の半導体からなる i 型半導体膜および保護絶縁膜をこの順で形成する工程と、

前記 i 型半導体膜および前記保護絶縁膜をパターニングすることにより、少なくとも1つの保護部を形成する工程であって、前記少なくとも1つの保護部は、前記 i 型半導体膜から形成された i 型半導体層と、前記保護絶縁膜から形成された保護絶縁層とを含む積層構造を有し、前記少なくとも1つの保護部は、前記半導体層のチャネル領域となる部分の一部上に、前記半導体層の前記チャネル領域となる部分の両側に位置する第1領域および第2領域の少なくとも一方から間隔を空けて配置され、かつ、前記第1領域および前記第2領域を露出する、工程と、

前記半導体層および前記少なくとも1つの保護部を覆うように、コンタクト層形成用シリコン膜と導電膜とをこの順で形成する工程と、

前記少なくとも1つの保護部をエッチストップとして、前記コンタクト層形成用シリコン膜および前記導電膜のパターニングを行うことにより、前記コンタクト層形成用シリコン膜から、前記第1領域に接する第1コンタクト層と、前記第2領域に接する第2コンタクト層と

を形成し、前記導電膜から、前記第1コンタクト層に接するソース電極と、前記第2コンタクト層に接するドレイン電極とを形成する、ソース・ドレイン分離工程と

前記半導体層、前記少なくとも1つの保護部、前記ソース電極および前記ドレイン電極を覆い、かつ、前記半導体層の前記チャネル領域となる部分のうち前記少なくとも1つの保護部で覆われていない部分と直接接する無機絶縁層を形成する工程とを包含する、薄膜トランジスタの製造方法。

[請求項15] 前記少なくとも1つの保護部を形成する工程では、前記チャネル領域となる部分上に、複数の保護部を互いに間隔を空けて形成する、請求項14に記載の薄膜トランジスタの製造方法。

[請求項16] CVD法による成膜の初期成長段階を利用して、前記i型半導体膜を形成する、請求項14または15に記載の薄膜トランジスタの製造方法。

[請求項17] 前記i型半導体膜は、離散的に配置された複数のi型半導体島を含む島状構造を有する、請求項16に記載の薄膜トランジスタの製造方法。

[請求項18] 前記i型半導体層は、真性のアモルファスシリコンからなるi型 α -Si層である、請求項14から17のいずれかに記載の薄膜トランジスタの製造方法。

[請求項19] 請求項1から12のいずれかに記載の薄膜トランジスタを備えた表示装置の製造方法であって、

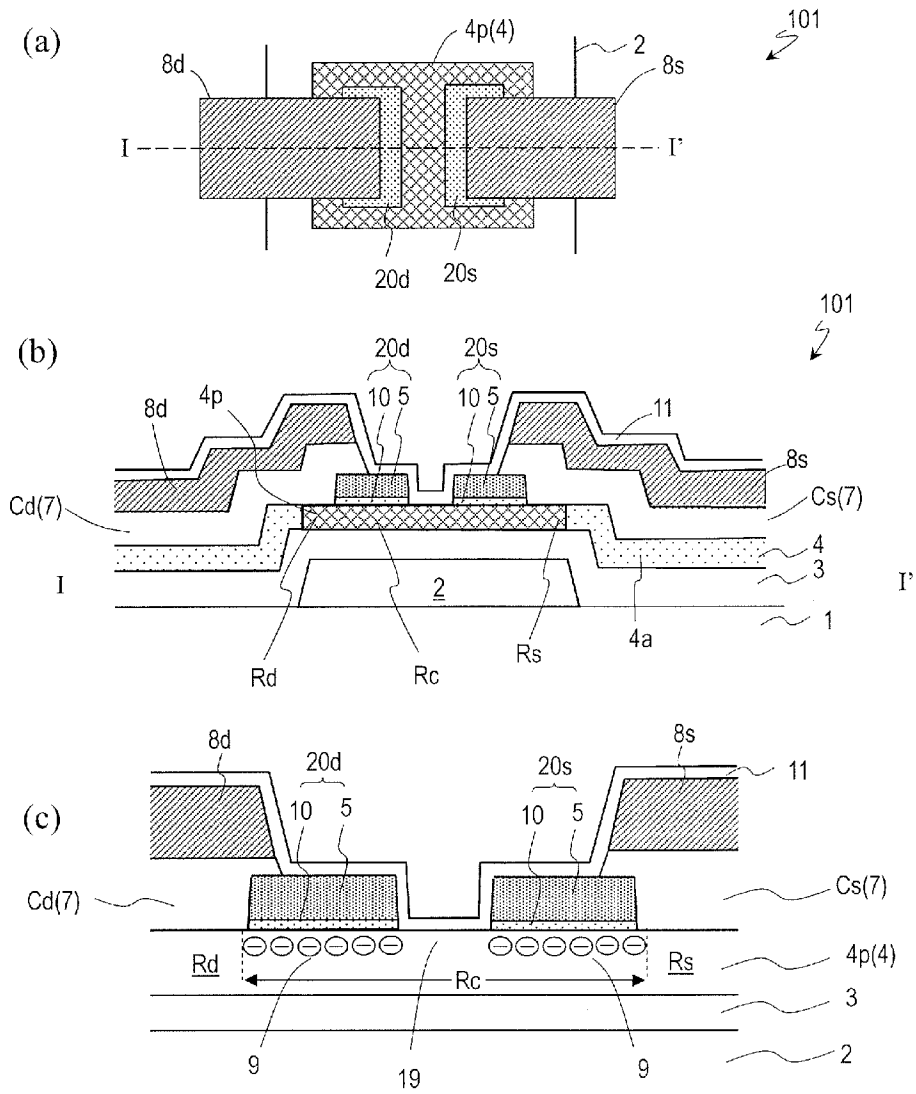
前記表示装置は、複数の画素を有する表示領域を有し、前記薄膜トランジスタは、前記表示領域の前記複数の画素のそれぞれに配置されており、

前記製造方法は、前記薄膜トランジスタの前記半導体層を形成する半導体層形成工程を含み、

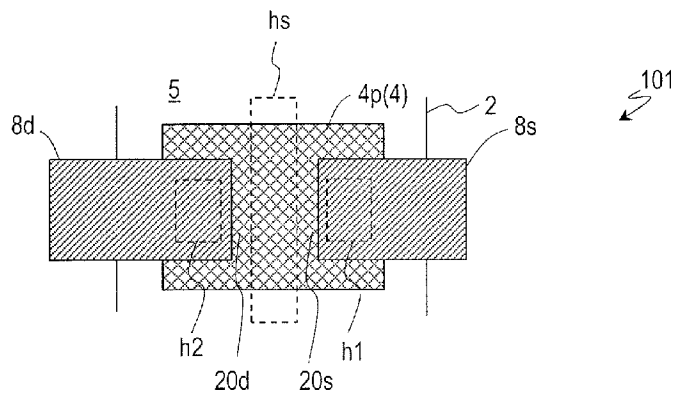
前記半導体層形成工程は、前記ゲート絶縁層上に形成されたアモル

ファスシリコンからなる半導体膜の一部のみにレーザ光を照射して結晶化させる結晶化工程であって、前記半導体膜の前記一部に前記ポリシリコン領域を形成し、前記半導体膜のうち前記レーザ光が照射されなかった部分を非晶質のまま残す、結晶化工程を包含する、表示装置の製造方法。

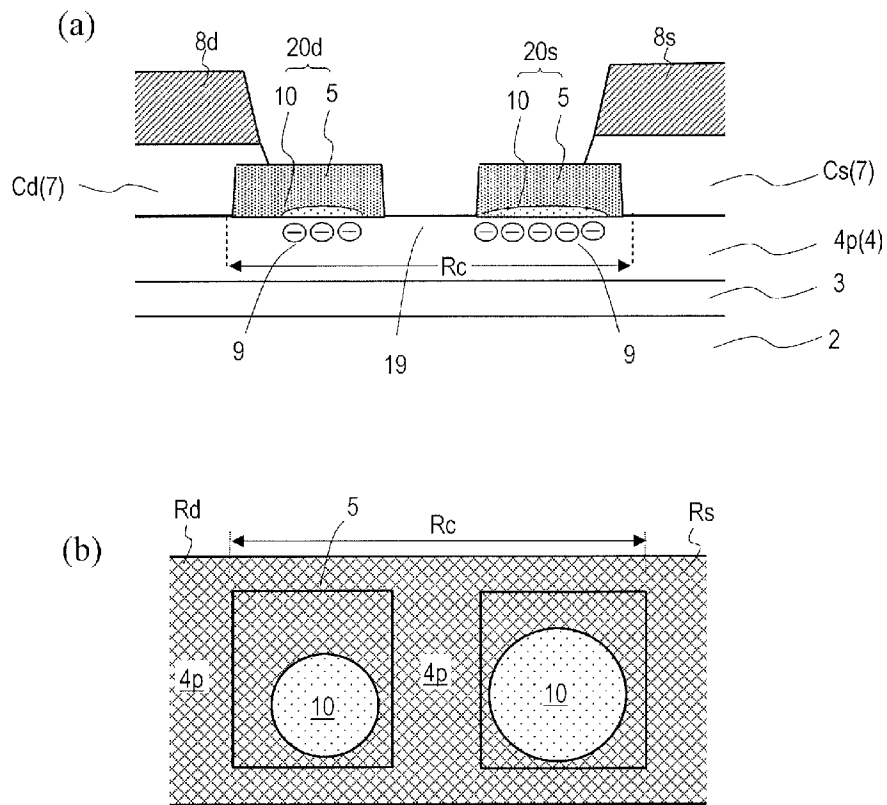
[図1]



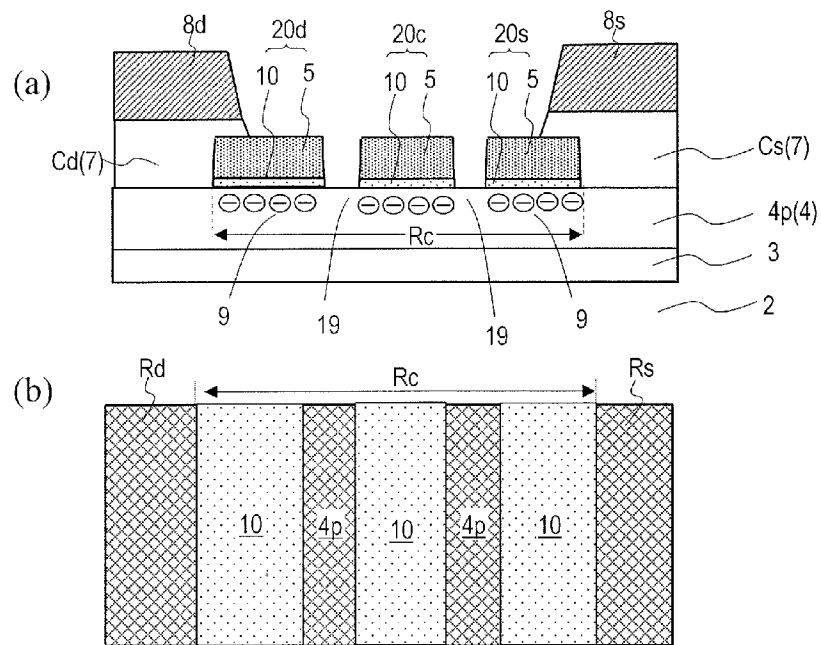
[図2]



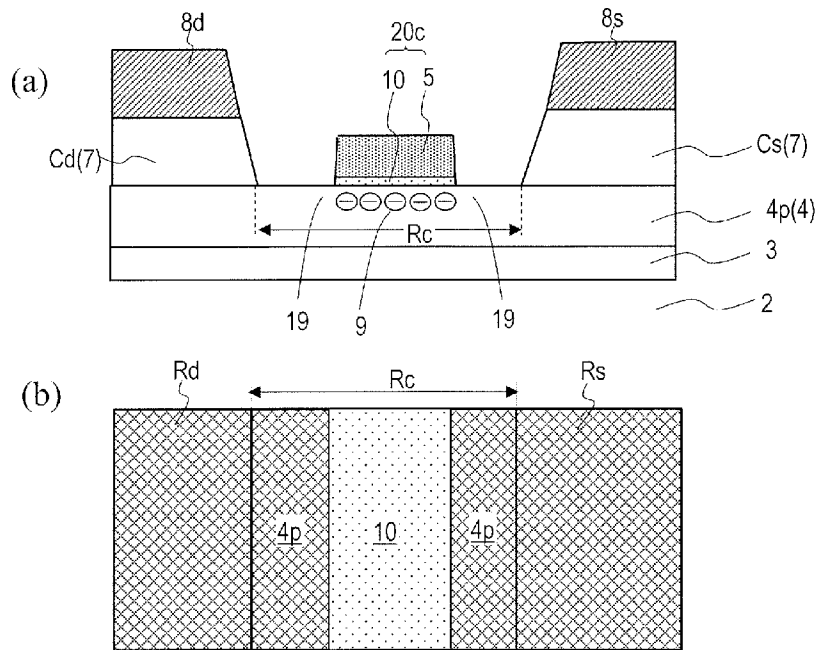
[図3]



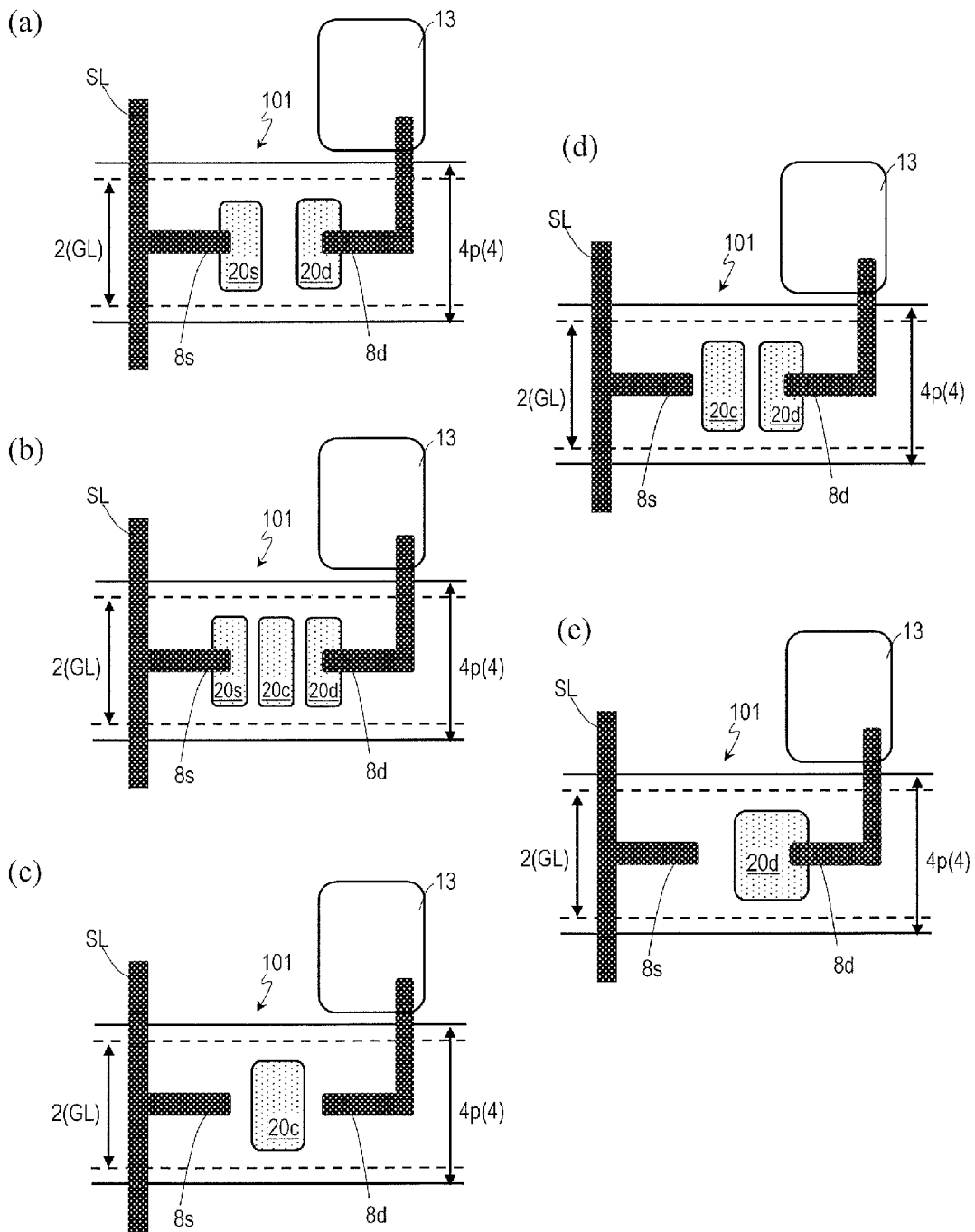
[図4]



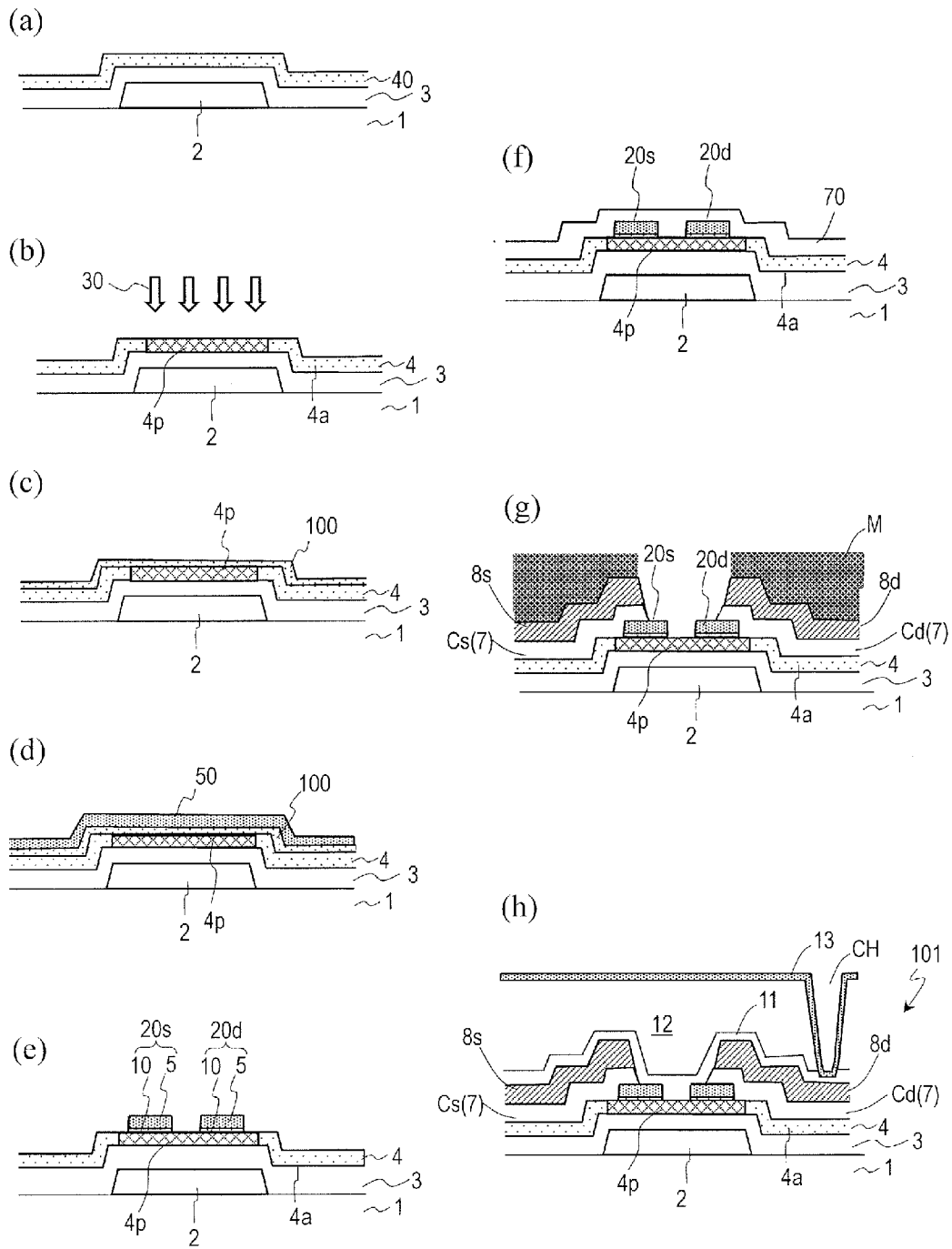
[図5]



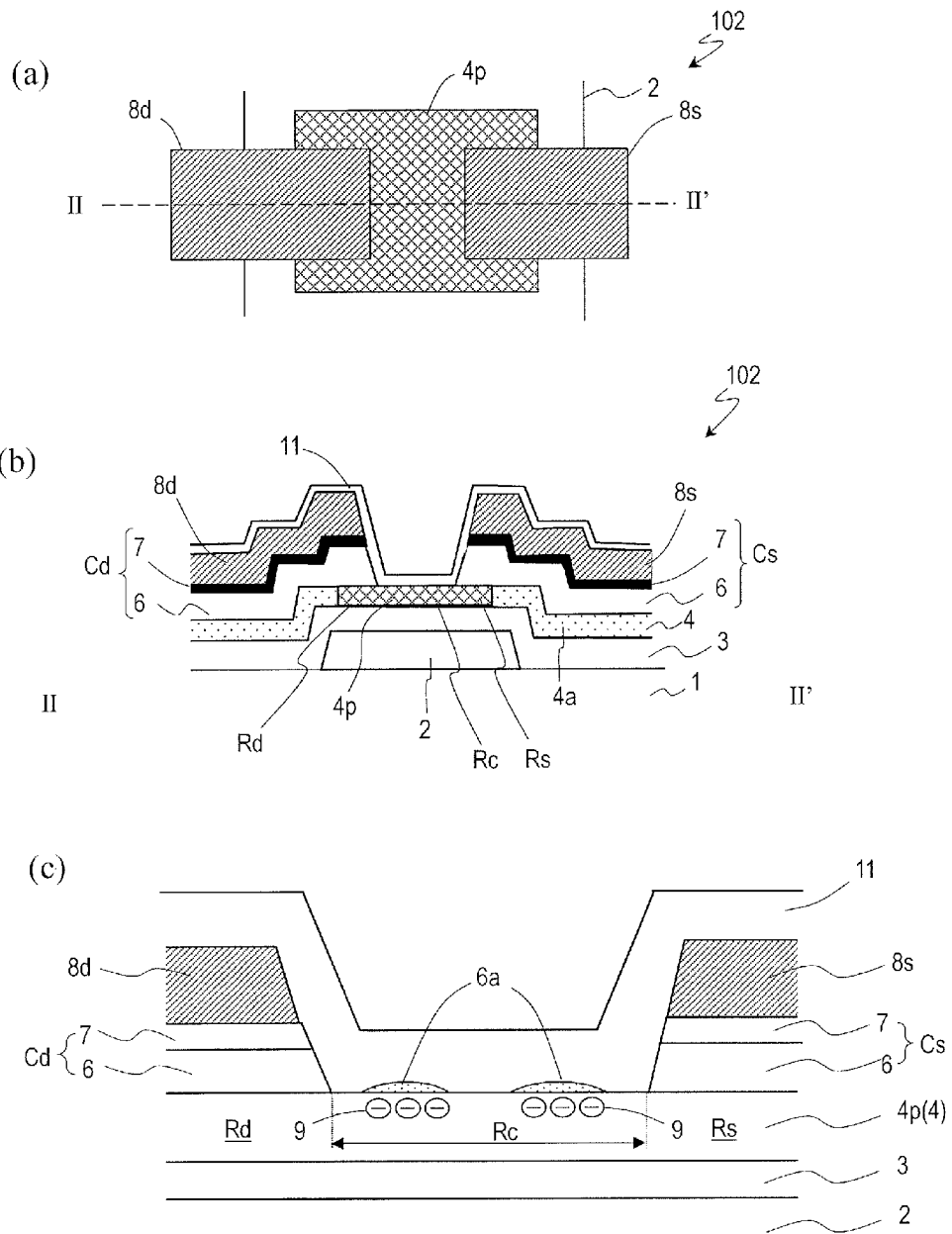
[図6]



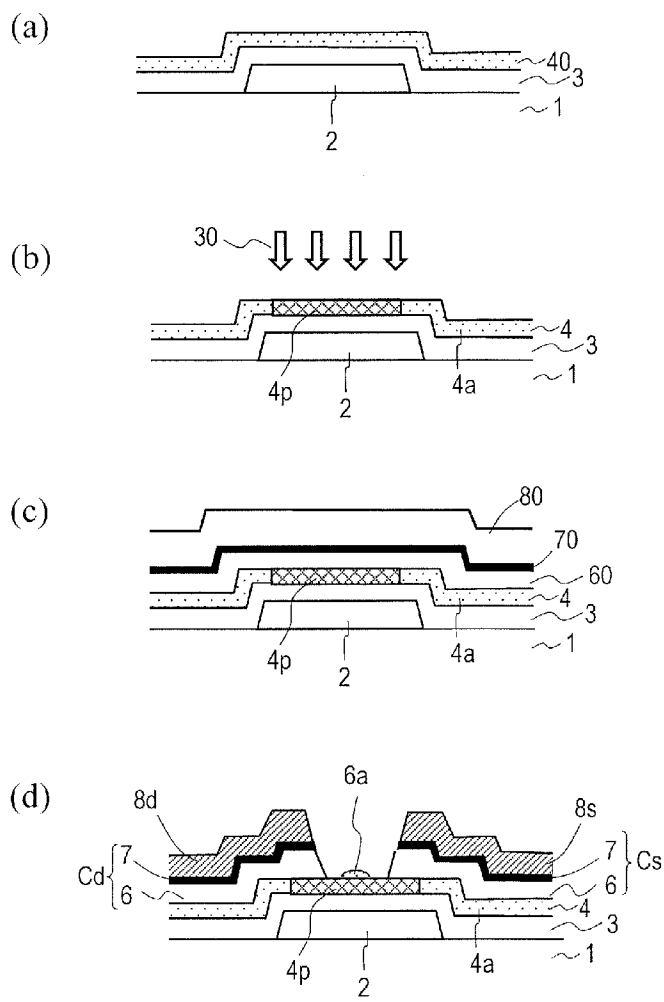
[図7]



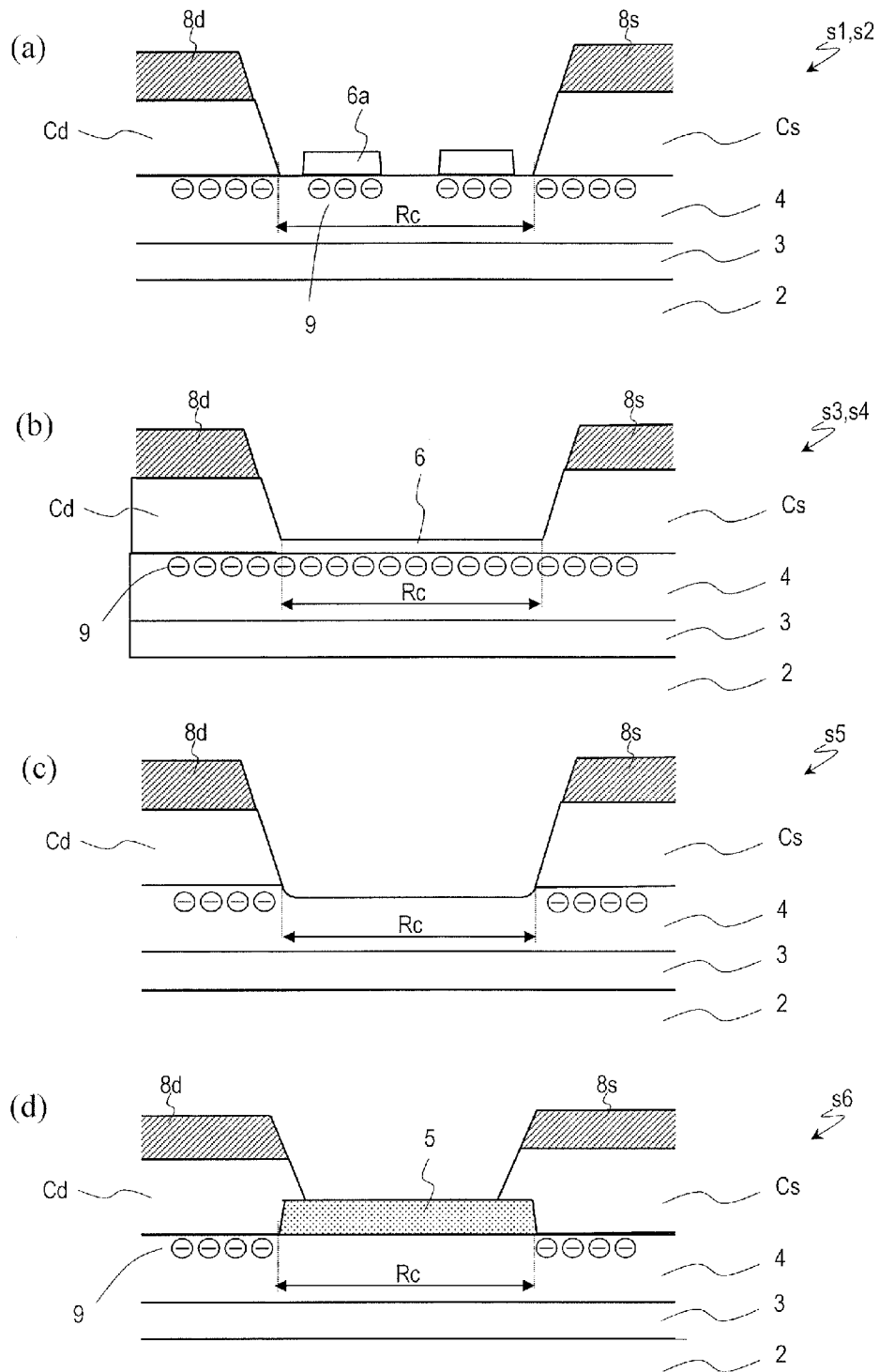
[図8]



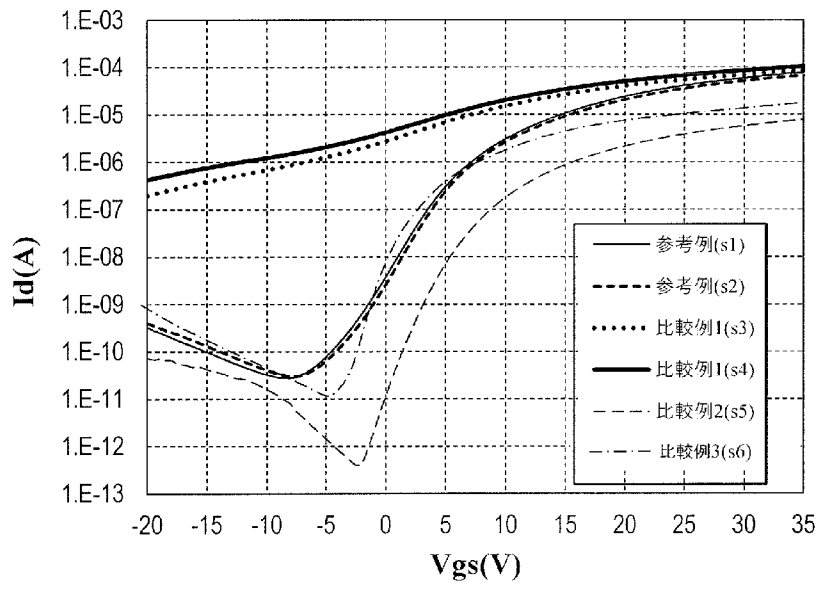
[図9]



[図10]

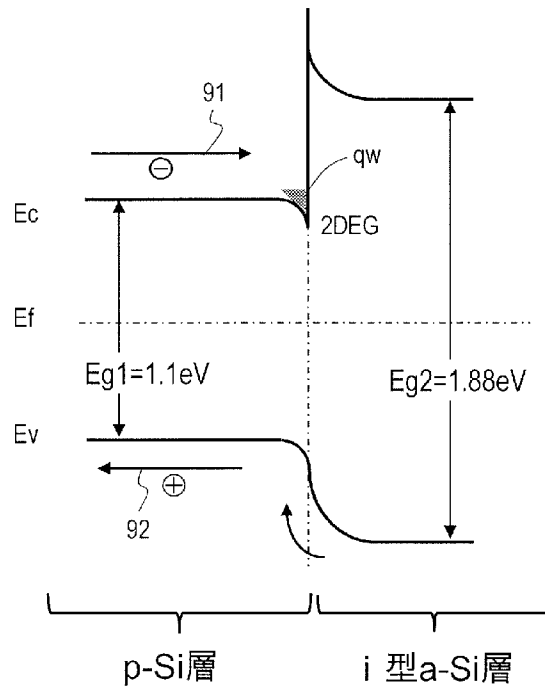


[図11]

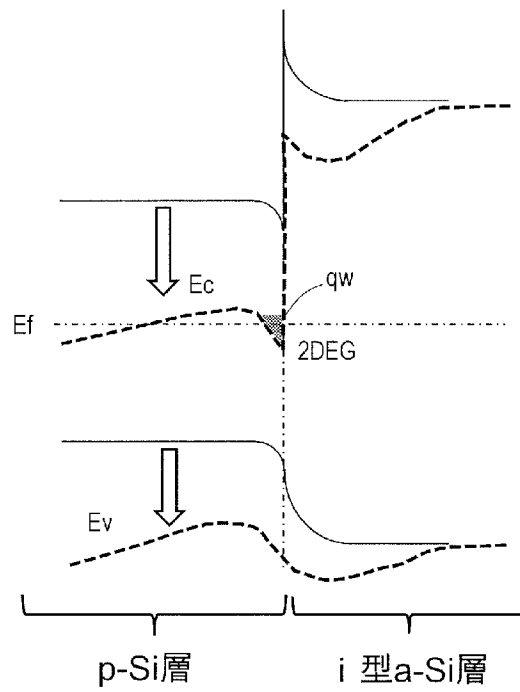


[図12]

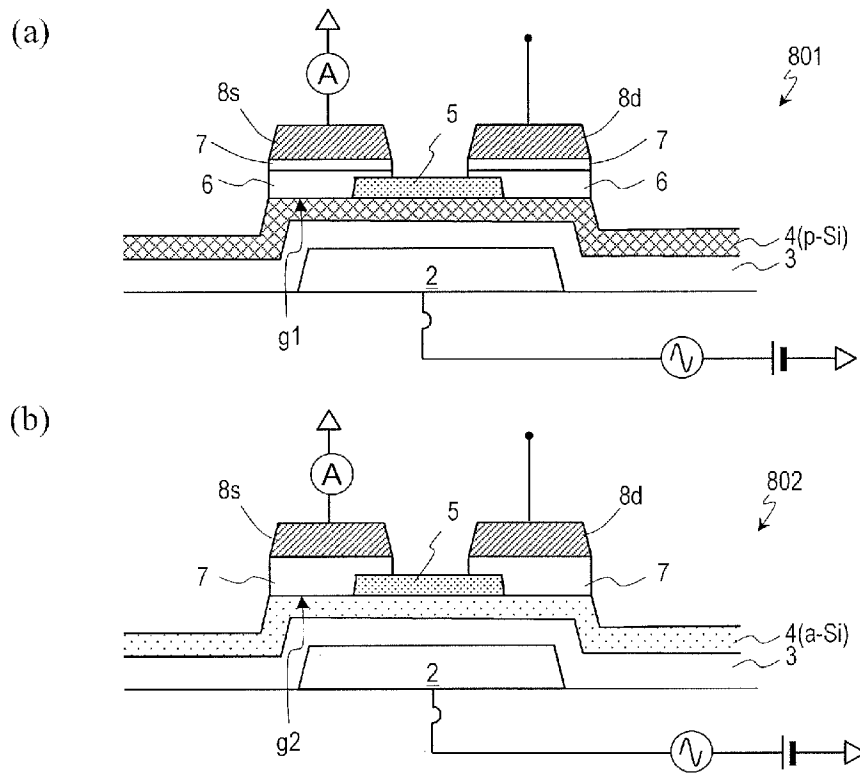
(a)



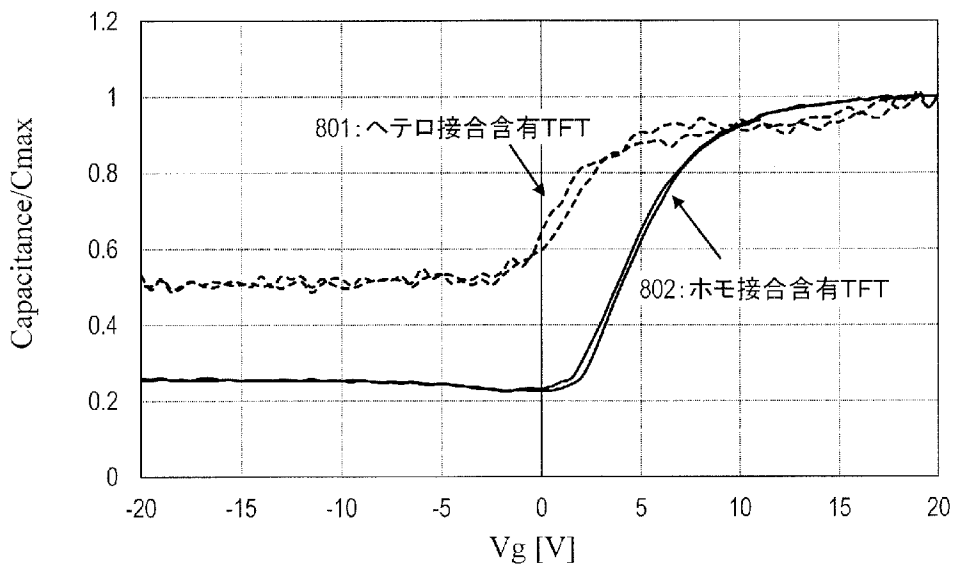
(b)



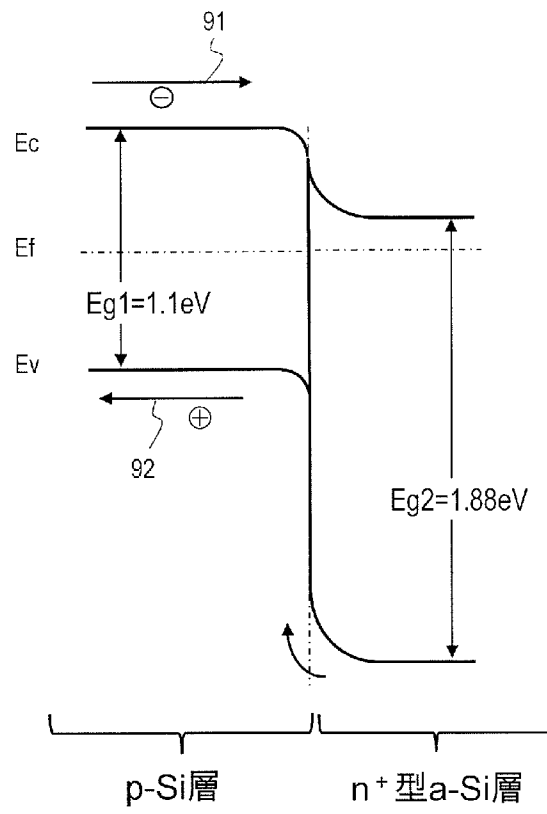
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/021922

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2017/187486 A1 (SAKAI DISPLAY PRODUCTS CORPORATION) 02 November 2017, paragraphs [0013]-[0035], [0047]-[0072], fig. 1 (Family: none)	1, 2, 4-13, 19 3, 14-18
Y	WO 2013/118233 A1 (PANASONIC CORP.) 15 August 2013, paragraphs [0068]-[0114] & US 2014/0048807 A1, paragraphs [0085]-[0132]	1, 2, 4-13, 19
Y	JP 2010-287618 A (MITSUBISHI ELECTRIC CORP.) 24 December 2010, paragraphs [0081]-[0099] (Family: none)	1, 2, 4-13, 19

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
17.08.2018

Date of mailing of the international search report
04.09.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2018/021922

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/147032 A1 (SHARP CORP.) 23 December 2010, fig. 36 & US 2012/0087460 A1, fig. 36 & EP 2445011 A1 & CN 102804388 A	1, 2, 4-13, 19

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/786(2006.01)i										
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/786										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2018年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2018年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2018年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2018年	日本国実用新案登録公報	1996-2018年	日本国登録実用新案公報	1994-2018年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2018年									
日本国実用新案登録公報	1996-2018年									
日本国登録実用新案公報	1994-2018年									
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y A	WO 2017/187486 A1 (堺ディスプレイプロダクト株式会社) 2017.11.02, 段落[0013]-[0035], [0047]-[0072], [図1] (ファミリーなし)	1, 2, 4-13, 19 3, 14-18								
Y	WO 2013/118233 A1 (パナソニック株式会社) 2013.08.15, 段落 [0068]-[0114] & US 2014/0048807 A1, 段落[0085]-[0132]	1, 2, 4-13, 19								
Y	JP 2010-287618 A (三菱電機株式会社) 2010.12.24, 段落 [0081]-[0099] (ファミリーなし)	1, 2, 4-13, 19								
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献										
国際調査を完了した日 17.08.2018	国際調査報告の発送日 04.09.2018									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 脇水 佳弘 電話番号 03-3581-1101 内線 3516	5 F 3464								

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2010/147032 A1 (シャープ株式会社) 2010.12.23, [図36] & US 2012/0087460 A1, 図36 & EP 2445011 A1 & CN 102804388 A	1, 2, 4-13, 19