

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2015-164635
(P2015-164635A)

(43) 公開日 平成27年9月17日(2015.9.17)

(51) Int.Cl.	F 1	テーマコード (参考)
A 6 3 F 7/02 (2006.01)	A 6 3 F 7/02 3 2 6 Z	2 C 0 8 8
	A 6 3 F 7/02 3 0 4 D	
	A 6 3 F 7/02 3 0 4 Z	
	A 6 3 F 7/02 3 3 4	

審査請求 未請求 請求項の数 1 O L (全 27 頁)

(21) 出願番号	特願2015-125958 (P2015-125958)	(71) 出願人	391010943
(22) 出願日	平成27年6月23日 (2015. 6. 23)		株式会社藤商事
(62) 分割の表示	特願2013-210427 (P2013-210427) の分割		大阪府大阪市中央区内本町一丁目 1 番 4 号
原出願日	平成25年10月7日 (2013. 10. 7)	(74) 代理人	100154014
			弁理士 正木 裕士
		(74) 代理人	100154520
			弁理士 三上 祐子
		(74) 代理人	100069578
			弁理士 藤川 忠司
		(72) 発明者	矢次 譲
			大阪市中央区内本町一丁目 1 番 4 号 株式
			会社藤商事内
		F ターム (参考)	2C088 AA36 BC07 BC08 BC15 BC16
			BC22 BC23 BC58 CA19 CA30

(54) 【発明の名称】 遊技機

(57) 【要約】

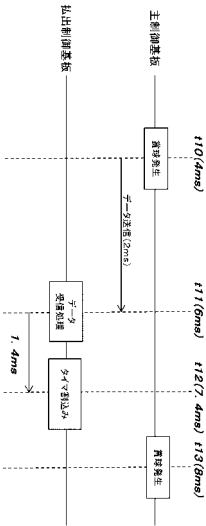
【課題】遊技者へ不利益を与えてしまう事態を低減させることができる遊技機を提供することを目的としている。

【解決手段】所定時間毎にタイマ割込み信号を発生させる第1割込み手段を有する遊技動作を統括的に制御する主制御手段と、

所定時間毎にタイマ割込み信号を発生させる第2割込み手段を有する主制御手段からの制御コマンドに基づいて賞管理を行う払出制御手段とを有する遊技機であって、

主制御手段は、払出制御手段へ制御コマンドをシリアル送信する際の送信時間（2ms）を、第1割込み手段にてタイマ割込み信号を発生させる所定時間（4ms）を超えない時間に設定している。

【選択図】 図 1 6



【特許請求の範囲】

【請求項 1】

所定時間毎にタイマ割込み信号を発生させる第 1 割込み手段を有する遊技動作を統括的に制御する主制御手段と、

所定時間毎にタイマ割込み信号を発生させる第 2 割込み手段を有する前記主制御手段からの制御コマンドに基づいて賞管理を行う払出制御手段とを有する遊技機であって、

前記主制御手段は、前記払出制御手段へ制御コマンドをシリアル送信する際の送信時間を、前記第 1 割込み手段にてタイマ割込み信号を発生させる所定時間を超えない時間に設定してなることを特徴とする遊技機。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パチンコ機、アレンジボール機、雀球遊技機、スロットなどの遊技機に関し、より詳しくは、遊技者へ不利益を与えてしまう事態を低減させることができる遊技機に関する。

【背景技術】

【0002】

従来のパチンコ機等の遊技機として、例えば特許文献 1 に記載のような遊技機が知られている。この遊技機は、遊技制御を中心的に担当する主制御基板と、その主制御基板からの制御コマンドに基づいて遊技球を払出す払出制御基板とで主に構成され、信号線やコネクタの削減などを目的として、制御基板間のデータ通信（コマンド通信）をシリアル通信によって行われている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2003-159452 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

30

しかしながら、上記のような遊技機は、シリアル通信速度が主制御基板のタイマ割込み処理の周期を超えてしまうと、当該主制御基板のタイマ割込み処理毎に、賞球が発生した場合、当該主制御基板に内蔵されている送信用バッファがオーバーフローしてしまい、もって、通信エラーとなり、遊技者へ不利益を与えてしまう恐れがあるという問題があった。

【0005】

そしてさらに、上記送信用バッファ内にデータが多数蓄積された状態で電源が遮断されてしまうと、主制御基板の CPU の動作が停止し、もって、当該蓄積されたデータが全て消去されてしまう。これにより、払出制御基板側でそのデータを受信することができず、遊技者へ不利益を与えてしまう恐れがあるという問題があった。

40

【0006】

そこで本発明は、上記問題に鑑み、遊技者へ不利益を与えてしまう事態を低減させることができる遊技機を提供することを目的としている。

【課題を解決するための手段】

【0007】

上記本発明の目的は、以下の手段によって達成される。なお、括弧内は、後述する実施形態の参照符号を付したものであるが、本発明はこれに限定されるものではない。

【0008】

請求項 1 の発明によれば、所定時間毎にタイマ割込み信号を発生させる第 1 割込み手段（CTC607）を有する遊技動作を統括的に制御する主制御手段（主制御基板 60）と

50

、

所定時間毎にタイマ割込み信号を発生させる第2割込み手段（CTC706）を有する前記主制御手段（主制御基板60）からの制御コマンド（払出制御コマンドPAY_CMD）に基づいて賞管理を行う払出制御手段（払出制御基板70）とを有する遊技機であって、

前記主制御手段（主制御基板60）は、前記払出制御手段（払出制御基板70）へ制御コマンド（払出制御コマンドPAY_CMD）をシリアル送信する際の送信時間を、前記第1割込み手段（CTC607）にてタイマ割込み信号を発生させる所定時間を超えない時間に設定してなることを特徴としている。

【発明の効果】

10

【0009】

本発明によれば、遊技者へ不利益を与えてしまう事態を低減させることができる。

【図面の簡単な説明】

【0010】

【図1】本発明の一実施形態に係る遊技機の外観を示す斜視図である。

【図2】同実施形態に係る遊技機の遊技盤の正面図である。

【図3】同実施形態に係る遊技機の制御装置を示すブロック図である。

【図4】図3に示す主制御基板のブロック図である。

【図5】図3に示す払出制御基板のブロック図である。

【図6】（a）は、図4に示すシリアル通信回路に内蔵されている受信プリスケールレジスタの説明図、（b）は、図4に示すシリアル通信回路に内蔵されている受信バッファレジスタの説明図である。

20

【図7】（a）は、図4に示すシリアル通信回路に内蔵されている送信プリスケールレジスタの説明図、（b）は、図4に示すシリアル通信回路に内蔵されている送信バッファレジスタの説明図である。

【図8】（a）は、図5に示すシリアル通信回路に内蔵されているシリアル通信ボーレート設定レジスタの説明図、（b）は、図5に示すシリアル通信回路に内蔵されているシリアル通信設定レジスタの説明図である。

【図9】（a）は、図5に示すシリアル通信回路に内蔵されているシリアル通信ステータスレジスタの説明図、（b）は、図5に示すシリアル通信回路に内蔵されているシリアル通信データレジスタの説明図である。

30

【図10】（a）～（c）は、1フレームのシリアル通信フォーマットを示すタイミングチャート図である。

【図11】同実施形態に係る主制御のメイン処理を示すフローチャート図である。

【図12】同実施形態に係る主制御のタイマ割込み処理を示すフローチャート図である。

【図13】同実施形態に係る払出制御のメイン処理を示すフローチャート図である。

【図14】同実施形態に係る払出制御のタイマ割込み処理を示すフローチャート図である。

。

【図15】図14に示すシリアルデータ入力処理の詳細を示すフローチャート図である。

【図16】主制御基板から払出制御基板へタイマ割込み毎にコマンドが送信された際の払出制御基板の処理内容を示すタイミングチャート図である。

40

【発明を実施するための形態】

【0011】

以下、本発明に係る遊技機の一実施形態を、パチンコ遊技機を例にして、図1～図16を参照して具体的に説明する。なお、以下の説明において、上下左右の方向を示す場合には、図示正面から見た場合の上下左右をいうものとする。

【0012】

まず、図1及び図2を参照して本実施形態に係るパチンコ遊技機の外観構成を説明する。

。

【0013】

50

図 1 に示すように、パチンコ遊技機 1 は、木製の外枠 2 の前面に矩形状の前面枠 3 を開閉可能に取り付け、その前面枠 3 の裏面に取り付けられている遊技盤収納フレーム（図示せず）内に遊技盤 4 が装着された構成からなる。遊技盤 4 は、図 2 に示す遊技領域 40 を前面に臨ませた状態で装着され、図 1 に示すようにこの遊技領域 40 の前側に透明ガラスを支持したガラス扉枠 5 が設けられている。なお、上記遊技領域 40 は、遊技盤 4 の面上に配設された球誘導レール 6（図 2 参照）で囲まれた領域からなるものである。

【0014】

一方、パチンコ遊技機 1 は、図 1 に示すように、ガラス扉枠 5 の下側に前面操作パネル 7 が配設され、その前面操作パネル 7 には上受け皿ユニット 8 が設けられ、この上受け皿ユニット 8 には、排出された遊技球を貯留する上受け皿 9 が一体形成されている。また、この前面操作パネル 7 には、球貸しボタン 11 及びプリペイドカード排出ボタン 12（カード返却ボタン 12）が設けられている。上受け皿 9 の上皿表面部分には、内蔵ランプ（図示せず）点灯時に遊技者が押下することにより演出効果を変化させることができる押しボタン式の演出ボタン装置 13 が設けられている。また、この上受け皿 9 には、当該上受け皿 9 に貯留された遊技球を下方に抜くための球抜きボタン 14 が設けられている。

【0015】

一方、図 1 に示すように、前面操作パネル 7 の右端部側には、発射ユニットを動作させるための発射ハンドル 15 が設けられ、前面枠 3 の上部両側面側並びに発射ハンドル 15 の左隣接位置には、BGM（Background music）あるいは効果音を発するスピーカ 16 が設けられている。なお、上記前面枠 3 の周枠には、光の装飾により演出効果を現出する LED ランプ等の装飾ランプが配設されている。

【0016】

他方、上記遊技盤 4 の遊技領域 40 には、図 2 に示すように、略中央部に LCD（Liquid Crystal Display）等からなる液晶表示装置 41 が配設されている。この液晶表示装置 41 は、表示エリアを左、中、右の 3 つのエリアに分割し、独立して数字やキャラクタ、文字（キャラクタの会話や歌詞テロップ等）あるいは図柄（装飾図柄）の変動表示が可能なものである。

【0017】

一方、液晶表示装置 41 の真下には、特別図柄始動口 42 が配設され、その内部には入賞球を検出する特別図柄始動口スイッチ 42a（図 3 参照）が設けられている。そして、この特別図柄始動口 42 の右側には、大入賞口 43 が配設され、その内部には入賞球を検出する大入賞口スイッチ 43a（図 3 参照）が設けられている。

【0018】

一方、上記液晶表示装置 41 の右上部にはゲートからなる普通図柄始動口 44 が配設され、その内部には、遊技球の通過を検出する普通図柄始動口スイッチ 44a（図 3 参照）が設けられている。また、上記大入賞口 43 の右側には、一般入賞口 45 が配設され、さらに、特別図柄始動口 42 の左側には、複数の一般入賞口 45（図示では、3 つ）が夫々配設されている。この一般入賞口 45 の内部には、遊技球の通過を検出する一般入賞口スイッチ 45a（図 3 参照）が設けられている。

【0019】

他方、上記遊技盤 4 の遊技領域 40 の右下周縁部には、7 セグメントを 3 桁に並べて構成される特別図柄表示装置 46 と、2 個の LED からなる普通図柄表示装置 47 が設けられている。そしてさらに、上記遊技盤 4 の遊技領域 40 には、図示はしないが複数の遊技釘が配設され、遊技球の落下方向変換部材としての風車 48 が配設されている。

【0020】

次に、上記のような外観構成からなるパチンコ遊技機内に設けられる遊技の進行状況に応じて電子制御を行う制御装置を、図 3～図 10 を用いて説明する。この制御装置は、図 3 に示すように、遊技動作全般の制御を司る主制御基板 60 と、その主制御基板 60 からの演出制御コマンド DI_CMD に基づいて遊技球を払出す払出制御基板 70 と、画像と光と音についての制御を行うサブ制御基板 80 とで主に構成されている。なお、サブ制御

10

20

30

40

50

基板 80 は、図 3 に示すように、演出制御基板 90 と、装飾ランプ基板 100 と、液晶制御基板 120 とで構成されている。

【0021】

<主制御基板>

主制御基板 60 は、図 4 に示すように、主制御 CPU 600 と、一連の遊技制御手順を記述した遊技プログラム等を格納した主制御 ROM 601 と、作業領域やバッファメモリ等として機能する主制御 RAM 602 とで主に構成された主制御ワンチップマイコン MMC を搭載している。この主制御ワンチップマイコン MMC には、さらに、クロック生成回路 603 が内蔵されており、このクロック生成回路 603 は、図示しない外部クロックを分周して、当該主制御ワンチップマイコン MMC の内部にて使用するクロックを生成する。

10

【0022】

また、主制御ワンチップマイコン MMC には、リセットコントローラ 604 が内蔵されており、このリセットコントローラ 604 は、後述する電源基板 130（図 3 参照）にて生成されるシステムリセット信号、後述する WDT（ウォッチドッグタイマ）606 にて生成されるウォッチドッグタイマリセット信号等のリセット信号を制御する。

【0023】

さらに、主制御ワンチップマイコン MMC には、割込みコントローラ 605 が内蔵されており、この割込みコントローラ 605 は、後述する CTC（Counter Timer Circuit）607 にて生成されるタイマ割込み信号を制御する。

20

【0024】

またさらに、主制御ワンチップマイコン MMC には、WDT（ウォッチドッグタイマ）606 が内蔵されており、この WDT 606 は、ノイズ等によるプログラムの異常を検出し、ウォッチドッグタイマリセット信号を生成するものである。なお、このウォッチドッグタイマリセット信号は、上記リセットコントローラ 604 に入力され、主制御ワンチップマイコン MMC の内部をリセットする。

【0025】

そして、主制御ワンチップマイコン MMC には、CTC（Counter Timer Circuit）607 が内蔵されており、この CTC 607 は、所定時間が設定されると、所定時間毎にタイマ割込み信号を生成するものである。なお、このタイマ割込み信号は、上記割込みコントローラ 605 に出力される。

30

【0026】

一方、主制御ワンチップマイコン MMC には、乱数回路 608 が内蔵されており、この乱数回路 608 は、特別図柄の乱数抽選に用いられるハードウェア乱数を生成する。

【0027】

また、主制御ワンチップマイコン MMC には、シリアル通信回路 609 が内蔵されており、シリアル通信が可能となっている。このシリアル通信回路 609 には、図 6（a）に示す、受信プリスケアラレジスタ RXPRES が内蔵されており、この受信プリスケアラレジスタ RXPRES は、図 6（a）に示すように、16 ビットからなり、最下位ビット（0 ビット目）から 12 ビット目までは、受信ボーレートが設定可能な受信ボーレート設定レジスタ RPR で構成され、13 ビット目は、未使用で、14 ビット目は、パリティの有無が設定可能なパリティ有無設定レジスタ RPEN で構成され、最上位ビット（15 ビット）目は、奇数パリティか偶数パリティかを設定できるパリティ奇偶設定レジスタ REVEN で構成されている。

40

【0028】

この受信ボーレート設定レジスタ RPR は、初期値が 0000 h で読み書きでき、0000 h ~ 1FFF h まで設定可能なレジスタで、受信ボーレートを設定できる。受信ボーレート（bps）は、内部クロック（クロック生成回路 603 にて生成されたクロック）周波数 / （受信ボーレート設定レジスタ RPR × 32）で計算される。具体的には、例えば、内部クロック（クロック生成回路 603 にて生成されたクロック）周波数が 20 MHz

50

zで、受信ボーレート設定レジスタRPRに0209h (= 521) が設定されたとすると、受信ボーレート (bps) は、20 (MHz) / (521 × 32) で計算され、1, 199.62 (bps) となる。なお、受信ボーレート設定レジスタRPRに0000h が設定された場合は、受信ボーレート設定レジスタRPRに0001h が設定されたものとして計算される。

【0029】

一方、パリティ有無設定レジスタRPENは、初期値が0で読み書きでき、0が設定されると、パリティ無しに設定され、1が設定されるとパリティ有りに設定される。また、パリティ奇偶設定レジスタREVENは、初期値が0で読み書きでき、0が設定されると偶数パリティに設定され、1が設定されると奇数パリティに設定される。

10

【0030】

他方、シリアル通信回路609には、さらに、図6 (b) に示す、受信バッファレジスタRXBUFが内蔵されており、この受信バッファレジスタRXBUFは、初期値が00hで読み出しのみ可能で、00h ~ FFhまでのデータを格納することができる。

【0031】

かくして、シリアル通信回路609は、送信されてくるデータの送信速度と同一となるように受信ボーレート設定レジスタRPRにデータが設定され、パリティ有無設定レジスタRPENに0が設定されると、図10 (a) に示すデータを受信することができる。すなわち、シリアル通信回路609は、「L」レベルのスタートビット長、8ビット長のデータ、「H」レベルのストップビット長を1フレーム (タイミングT1区間参照) とした通信フォーマットからなるデータを受信することができる。そして、この8ビット長のデータが受信バッファレジスタRXBUFに格納されることとなる。

20

【0032】

一方、シリアル通信回路609は、送信されてくるデータの送信速度と同一となるように受信ボーレート設定レジスタRPRにデータが設定され、パリティ有無設定レジスタRPENに1が設定されると、図10 (b) に示すデータを受信することができる。すなわち、シリアル通信回路609は、「L」レベルのスタートビット長、8ビット長のデータ、パリティビット、「H」レベルのストップビット長を1フレーム (タイミングT2区間参照) とした通信フォーマットからなるデータを受信することができる。そして、この8ビット長のデータが受信バッファレジスタRXBUFに格納されることとなる。なお、送信側のパリティビットが偶数パリティに設定されていれば、パリティ奇偶設定レジスタREVENには0が設定され、奇数パリティに設定されていれば、パリティ奇偶設定レジスタREVENには1が設定されることとなる。

30

【0033】

ところで、シリアル通信回路609には、さらに、図7 (a) に示す、送信プリスケラレジスタTXPREが内蔵されており、この送信プリスケラレジスタTXPREは、図7 (a) に示すように、16ビットからなり、最下位ビット (0ビット目) から12ビット目までは、送信ボーレートが設定可能な送信ボーレート設定レジスタTPRで構成され、13ビット目は、未使用で、14ビット目は、パリティの有無が設定可能なパリティ有無設定レジスタTPENで構成され、最上位ビット (15ビット) 目は、奇数パリティか偶数パリティかを設定できるパリティ奇偶設定レジスタTEVENで構成されている。

40

【0034】

この送信ボーレート設定レジスタTPRは、初期値が0000hで読み書きでき、0000h ~ 1FFFhまで設定可能なレジスタで、送信ボーレートを設定できる。送信ボーレート (bps) は、内部クロック (クロック生成回路603にて生成されたクロック) 周波数 / (送信ボーレート設定レジスタTPR × 32) で計算され、受信ボーレート (bps) と同様に計算される。

【0035】

一方、パリティ有無設定レジスタTPENは、初期値が0で読み書きでき、0が設定されると、パリティ無しに設定され、1が設定されるとパリティ有りに設定される。また、

50

パリティ奇偶設定レジスタT E V E Nは、初期値が0で読み書きでき、0が設定されると偶数パリティに設定され、1が設定されると奇数パリティに設定される。

【0036】

さらに、シリアル通信回路609には、図7(b)に示す、送信バッファレジスタT X B U Fが内蔵されており、この送信バッファレジスタT X B U Fは、初期値が00hで書込みのみ可能で、00h～FFhまでのデータを格納することができる。

【0037】

かくして、シリアル通信回路609は、送信ボーレート設定レジスタT P Rに所定データが設定され、パリティ有無設定レジスタT P E Nに0が設定されると、図10(a)に示すデータを送信することができる。すなわち、シリアル通信回路609は、「L」レベルのスタートビット長、8ビット長のデータ、「H」レベルのストップビット長を1フレーム（タイミングT1区間参照）とした通信フォーマットからなるデータを送信することができる。なお、この8ビット長のデータは、送信バッファレジスタT X B U Fに格納されたデータである。

【0038】

一方、パリティ有無設定レジスタT P E Nに1が設定されると、シリアル通信回路609は、図10(b)に示すデータを送信することができる。すなわち、シリアル通信回路609は、「L」レベルのスタートビット長、8ビット長のデータ、パリティビット、「H」レベルのストップビット長を1フレーム（タイミングT2区間参照）とした通信フォーマットからなるデータを送信することができる。なお、この8ビット長のデータは、送信バッファレジスタT X B U Fに格納されたデータで、パリティビットは、パリティ奇偶設定レジスタR E V E Nに0が設定されていれば、偶数パリティで、パリティ奇偶設定レジスタR E V E Nに1が設定されていれば、奇数パリティである。

【0039】

かくして、上記のように構成される主制御基板60には、図3に示すように、払出モータMを制御して遊技球を払出す払出制御基板70が接続されている。そしてさらには、特別図柄始動口42への入賞を検出する特別図柄始動口スイッチ42aと、普通図柄始動口44の通過を検出する普通図柄始動口スイッチ44aと、大入賞口43への入賞を検出する大入賞口スイッチ43aと、一般入賞口45への入賞を検出する一般入賞口スイッチ45aとが接続されている。また、主制御基板60には、特別図柄表示装置46と、普通図柄表示装置47とが接続されている。

【0040】

このように構成される主制御基板60は、特別図柄始動口スイッチ42a又は普通図柄始動口スイッチ44aからの信号を受信すると、上記乱数回路608（図4参照）にて生成されるハードウェア乱数、又は、ソフトウェア乱数を用いて遊技者に有利な特別遊技状態を発生させるか（いわゆる「当たり」）、あるいは、遊技者に有利な特別遊技状態を発生させないか（いわゆる「ハズレ」）の抽選を行い、その抽選結果である当否情報に応じて特別図柄の変動パターンや停止図柄あるいは普通図柄の表示内容を決定し、その決定した情報を特別図柄表示装置46又は普通図柄表示装置47に送信する。これにより、特別図柄表示装置46又は普通図柄表示装置47に抽選結果が表示されることとなる。そしてさらに、主制御基板60は、その決定した情報を含む演出制御コマンドD I _ C M Dを生成し、シリアル通信回路609（図4参照）を用いて演出制御基板90に送信する。

【0041】

また、主制御基板60は、後述する電源基板130（図3参照）からの電源投入信号を受けたことを契機として、払出制御基板70にシリアル通信回路609（図4参照）を用いて、復帰コマンドR E _ C M Dを送信する。払出制御基板70は、この復帰コマンドR E _ C M Dを受信すると、主制御基板60に送信許可信号T P _ S I Gを送信する。これを受けて、主制御基板60は、大入賞口スイッチ43a、一般入賞口スイッチ45aからの信号を受信した際、遊技者に幾らの遊技球を払い出すかを決定し、その決定した情報を含む払出制御コマンドP A Y _ C M Dを生成する。そして、シリアル通信回路609（図

10

20

30

40

50

4 参照)を用いて当該払出制御コマンドP A Y _C M Dを払出制御基板7 0に送信する。その一方、払出制御基板7 0は、復帰コマンドR E _C M Dを受信しなかった場合、主制御基板6 0に送信不許可信号N T P _S I Gを送信する。これを受けて、主制御基板6 0は、大入賞口スイッチ4 3 a、一般入賞口スイッチ4 5 aからの信号を受信したとしても、払出制御コマンドP A Y _C M Dを生成せず、エラーが発生したことを示す演出制御コマンドD I _C M Dを生成し、シリアル通信回路6 0 9 (図4参照)を用いて演出制御基板9 0に送信する。

【0042】

しかして、主制御基板6 0は、当該主制御基板6 0から送信される復帰コマンドR E _C M Dを払出制御基板7 0が受信したか否かを示す送信許可信号T P _S I G又は送信不許可信号N T P _S I Gを払出制御基板7 0から送信され、その送信許可信号T P _S I Gを受信するまで払出制御コマンドP A Y _C M Dを生成しないようにしている。このようにすれば、主制御基板6 0と払出制御基板7 0との通信が正常に行われているか否かを確認することができ、もって、遊技者への不利益を未然に防止することができる。なお、この具体的な処理内容については後述することとする。

【0043】

<払出制御基板>

一方、払出制御基板7 0は、上記主制御基板6 0からの払出制御コマンドP A Y _C M Dを受信した場合、その受信した払出制御コマンドP A Y _C M Dに基づいて払出モータ信号を生成する。そして、その生成した払出モータ信号にて、払出モータMを制御し、遊技者に遊技球を払出す。そしてさらに、払出制御基板7 0は、遊技球の払出動作を示す賞球計数信号や払出動作の異常に係るステータス信号を送信し、遊技者の操作に応答して遊技球を発射させる発射制御基板7 1の動作を開始又は停止させる発射制御信号を送信する処理を行う。

【0044】

ここで、この払出制御基板7 0について図5を用いてより詳しく説明する。

【0045】

払出制御基板7 0は、図5に示すように、払出制御C P U 7 0 0と、一連の払出制御手順を記述した払出プログラム等を格納した払出制御R O M 7 0 1と、作業領域やバッファメモリ等として機能する払出制御R A M 7 0 2とで主に構成された払出制御ワンチップマイコンP M Cを搭載している。この払出制御ワンチップマイコンP M Cには、さらに、外部バスインターフェース7 0 3が内蔵されており、この外部バスインターフェース7 0 3は、アドレスバスやデータバスさらには各制御信号の方向制御を行う。

【0046】

また、払出制御ワンチップマイコンP M Cには、クロック回路7 0 4が内蔵されており、このクロック回路7 0 4は、図示しない外部クロックを分周して、当該払出制御ワンチップマイコンP M Cの内部にて使用されるクロックを生成する。

【0047】

さらに、払出制御ワンチップマイコンP M Cには、リセットコントローラ7 0 5が内蔵されており、その内部にはW D T (ウォッチドッグタイマ) 7 0 5 aが内蔵されている。このW D T 7 0 5 aは、ノイズ等によるプログラムの異常を検出し、ウォッチドッグタイマリセット信号を生成するものである。そして、リセットコントローラ7 0 5は、後述する電源基板1 3 0 (図3参照)にて生成されるシステムリセット信号、W D T (ウォッチドッグタイマ) 7 0 5 aにて生成されるウォッチドッグタイマリセット信号等のリセット信号を制御するものである。

【0048】

一方、払出制御ワンチップマイコンP M Cには、C T C (C o u n t e r T i m e r C i r c u i t) 7 0 6が内蔵されており、このC T C 7 0 6は、所定時間が設定されると、所定時間毎にタイマ割込み信号を生成するものである。なお、このタイマ割込み信号は、後述する割込みコントローラ7 0 7に出力される。

【0049】

また、払出制御ワンチップマイコンPMCには、割込みコントローラ707が内蔵されており、上記CTC706にて生成されるタイマ割込み信号並びに後述するシリアル通信回路708からの割込み信号を制御するものである。

【0050】

一方、払出制御ワンチップマイコンPMCには、シリアル通信回路708が内蔵されており、シリアル通信が可能となっている。このシリアル通信回路708は、図8(a)に示すシリアル通信ボーレート設定レジスタSCBRが内蔵されており、このシリアル通信ボーレート設定レジスタSCBRは、初期値が000hで読み書きでき、000h~FFFhまで設定可能なレジスタである。ボーレート(bps)は、内部クロック(クロック回路704にて生成されたクロック)周波数/(シリアル通信ボーレート設定レジスタSCBR×16)にて計算される。具体的には、例えば、内部クロック(クロック回路704にて生成されたクロック)周波数が15MHzで、シリアル通信ボーレート設定レジスタSCBRに0BCh(=188)が設定されたとすると、ボーレート(bps)は、 $15(\text{MHz}) / (188 \times 16) = 4986.7(\text{bps})$ となる。なお、上記主制御基板60にて説明したボーレート設定は、受信ボーレートと送信ボーレートとを別々に設定できる例を示したが、このボーレートは、送受信共に共通である。なおまた、シリアル通信ボーレート設定レジスタSCBRに000hが設定された場合は、シリアル通信ボーレート設定レジスタSCBRに001hが設定されたものとして計算される。

【0051】

さらに、シリアル通信回路708には、図8(b)に示すシリアル通信設定レジスタSCFMが内蔵されている。このシリアル通信設定レジスタSCFMは、図8(b)に示すように、8ビットからなり、最下位ビット(0ビット目)が、パリティの種類を設定できるパリティ種類設定レジスタPTPで構成され、1ビット目が、パリティの機能を使用するかしないかの設定ができるパリティ機能設定レジスタPENで構成され、2ビット目が、データ長を設定できるデータ長設定レジスタFMTで構成され、3ビット目が、動作モードを設定できる動作モード設定レジスタMODで構成され、4ビット目、5ビット目が未使用で、6ビット目が、受信機能の使用の有無を設定できる受信機能設定レジスタRENで構成され、最上位ビット(7ビット)目が、送信機能の使用の有無を設定できる送信機能設定レジスタTENで構成されている。

【0052】

このパリティ種類設定レジスタPTPは、初期値が0で読み書きでき、0が設定されると偶数パリティに設定され、1が設定されると奇数パリティに設定される。また、パリティ機能設定レジスタPENは、初期値が1で読み書きでき、0が設定されるとパリティ未使用に設定され、1が設定されるとパリティ使用に設定される。

【0053】

一方、データ長設定レジスタFMTは、初期値が1で読み書きでき、0が設定されると、「L」レベルのスタートビット長、8ビット長のデータ、「H」レベルのストップビット長を1フレーム(図10(a),(b)参照)とした通信フォーマットとなり、1が設定されると、「L」レベルのスタートビット長、8ビット長のデータ、2パルス分の「H」レベルのストップビット長を1フレーム(図10(c)のタイミングT3区間参照)とした通信フォーマットなる。なお、上記パリティ機能設定レジスタPENに0が設定されるとパリティ未使用に設定されるため、図10(a),(c)に示すように、通信フォーマットにパリティが付加されないが、上記パリティ機能設定レジスタPENに1が設定されるとパリティ使用に設定されるため、図10(b)に示すように、通信フォーマットにパリティが付加されることとなる。この際、パリティ種類設定レジスタPTPに0が設定される偶数パリティとなり、1が設定されると奇数パリティとなる。

【0054】

また、動作モード設定レジスタMODは、初期値が0で読み書きでき、0が設定されると、ノーマルモードとなり、1が設定されるとFIFOモードとなる。すなわち、シリア

ル通信回路708に内蔵されている受信用レジスタ708a（図5参照）及び送信用レジスタ708b（図5参照）をFIFOとして使用するかしないかの設定ができるものである。それゆえ、動作モード設定レジスタMODに0が設定されると、受信用レジスタ708a及び送信用レジスタ708bがFIFOとして使用されず、1が設定されると、受信用レジスタ708a及び送信用レジスタ708bがFIFOとして使用されることとなる。

【0055】

一方、受信機能設定レジスタRENは、初期値が0で読み書きでき、0が設定されると、受信機能を使用禁止に設定し、1が設定されると受信機能を使用可能に設定する。なお、受信機能設定レジスタRENに0が設定された瞬間に、受信機能が使用禁止に設定される。

10

【0056】

また、送信機能設定レジスタTENは、初期値が0で読み書きでき、0が設定されると、送信機能を使用禁止に設定し、1が設定されると送信機能を使用可能に設定する。なお、送信機能設定レジスタTENに0が設定された際、送信途中のデータがある場合は、送信完了後に送信禁止となる。

【0057】

他方、シリアル通信回路708には、図9（a）に示すシリアル通信設定ステータスレジスタSCSTが内蔵されている。このシリアル通信設定ステータスレジスタSCSTは、図9（a）に示すように、読み出しのみ可能で、8ビットからなり、最下位ビット（0ビット目）が、パリティエラーの検出有無を示すパリティエラーフラグレジスタPEで構成され、1ビット目が、フレーミングエラーの検出有無を示すフレーミングエラーフラグレジスタFEで構成され、2ビット目が、ブ레이크コードの検出有無を示すブ레이크コード検出フラグレジスタBRKで構成され、3ビット目が、オーバーランの検出有無を示すオーバーラン検出フラグレジスタOREで構成され、4ビット目が、ノイズの検出有無を示すノイズ検出フラグレジスタNFで構成され、5ビット目が、上記受信用レジスタ708a（図5参照）にデータが格納されているか否かを示す受信データフラグレジスタRDRFで構成され、6ビット目が、上記送信用レジスタ708b（図5参照）に格納されているデータをシリアル送信する際に使用されるシリアル通信回路708に内蔵されている送信用シフトレジスタ708d（図5参照）に当該データが転送されたか否かを示す送信データエンプティフラグレジスタTDBEで構成され、最上位ビット（7ビット目）が、データを送信中か否かを示す送信完了フラグレジスタTCで構成されている。

20

30

【0058】

このパリティエラーフラグレジスタPEは、シリアル通信回路708にてデータを受信した際、そのデータに付加されているパリティデータ（図10（b）参照）が例えば偶数パリティであれば、当該シリアル通信回路708が8ビット長データの「1」をカウントし、偶数、すなわち、パリティビットが0であれば、パリティエラーでないため、当該パリティエラーフラグレジスタPEに「0」が設定されることとなる。また、奇数パリティであれば、当該シリアル通信回路708が8ビット長データの「1」をカウントし、奇数、すなわち、パリティビットが1であれば、パリティエラーでないため、当該パリティエラーフラグレジスタPEに「0」が設定されることとなる。一方、偶数パリティに設定されており、当該シリアル通信回路708が8ビット長データの「1」をカウントした際、パリティビットが1であれば、パリティエラーであるため当該パリティエラーフラグレジスタPEに「1」が設定されることとなる。また、奇数パリティに設定されており、当該シリアル通信回路708が8ビット長データの「1」をカウントした際、パリティビットが0であれば、パリティエラーであるため当該パリティエラーフラグレジスタPEに「1」が設定されることとなる。なお、パリティエラーフラグレジスタPEに「1」が設定された際、エラーが発生したとして、シリアル通信回路708は、割込みコントローラ707（図5参照）に割込み要求信号を出力する。

40

【0059】

50

一方、フレーミングエラーフラグレジスタ F E は、シリアル通信回路 7 0 8 にてデータを受信した際、そのデータのストップビットが「L」であれば、フレーミングエラーが発生したとして当該シリアル通信回路 7 0 8 にて「1」が設定され、ストップビットが「H」であれば、フレーミングエラーが発生していないとして「0」が設定されることとなる。なお、フレーミングエラーフラグレジスタ F E に「1」が設定された際、エラーが発生したとして、シリアル通信回路 7 0 8 は、割込みコントローラ 7 0 7（図 5 参照）に割込み要求信号を出力する。

【0060】

また、ブ레이크コード検出フラグレジスタ B R K は、シリアル通信回路 7 0 8 にてデータを受信した際、そのデータが 1 フレーム（図 1 0（a）のタイミング T 1 区間、（b）のタイミング T 2 区間、（c）のタイミング T 3 区間参照）以上「0」であれば、ブ레이크コードを検出したとして当該シリアル通信回路 7 0 8 にて「1」が設定され、1 フレーム以上「0」でなければ、ブ레이크コード未検出として「0」が設定される。なお、ブ레이크コード検出フラグレジスタ B R K に「1」が設定された際、エラーが発生したとして、シリアル通信回路 7 0 8 は、割込みコントローラ 7 0 7（図 5 参照）に割込み要求信号を出力する。

【0061】

一方、オーバーラン検出フラグレジスタ O R E は、シリアル通信回路 7 0 8 にてデータを受信した際、前回受信したデータ処理が終わっていなかった場合、オーバーランが発生したとして当該シリアル通信回路 7 0 8 にて「1」が設定され、そうでなければ、「0」が設定される。なお、オーバーラン検出フラグレジスタ O R E に「1」が設定された際、エラーが発生したとして、シリアル通信回路 7 0 8 は、割込みコントローラ 7 0 7（図 5 参照）に割込み要求信号を出力する。

【0062】

また、ノイズ検出フラグレジスタ N F は、シリアル通信回路 7 0 8 にてデータを受信した際、ノイズを検出すると、当該シリアル通信回路 7 0 8 にて「1」が設定され、ノイズが検出されなければ、「0」が設定される。

【0063】

一方、受信データフラグレジスタ R D R F は、シリアル通信回路 7 0 8 にてデータを受信した際使用されるシリアル通信回路 7 0 8 に内蔵されている受信用シフトレジスタ 7 0 8 c（図 5 参照）から上記受信用レジスタ 7 0 8 a にデータが転送された際、「1」が設定され、それ以外の場合に、「0」が設定される。なお、受信データフラグレジスタ R D R F に「1」が設定された際、シリアル通信回路 7 0 8 は、割込みコントローラ 7 0 7（図 5 参照）に割込み要求信号を出力する。

【0064】

また、送信データエンプティフラグレジスタ T D B E は、送信用レジスタ 7 0 8 b（図 5 参照）に格納されているデータをシリアル送信する際に使用されるシリアル通信回路 7 0 8 に内蔵されている送信用シフトレジスタ 7 0 8 d（図 5 参照）に当該データが転送された際、「1」が設定され、それ以外の場合に、「0」が設定される。なお、送信データエンプティフラグレジスタ T D B E に「1」が設定された際、シリアル通信回路 7 0 8 は、割込みコントローラ 7 0 7（図 5 参照）に割込み要求信号を送信する。

【0065】

一方、送信完了フラグレジスタ T C はシリアル通信回路 7 0 8 よりデータが送信中の場合は、「0」が設定され、データ送信が完了すると「1」が設定される。

【0066】

他方、シリアル通信回路 7 0 8 には、さらに、図 9（b）に示すシリアル通信データレジスタ S C D T が内蔵されている。このシリアル通信データレジスタ S C D T は、初期値が 0 0 h で読み書き可能で、0 0 h ～ F F h までのデータを格納することができる。このシリアル通信データレジスタ S C D T は、読み出された時、受信データとして機能し、書き込まれた時、送信データとして機能する。

10

20

30

40

50

【0067】

<演出制御基板>

演出制御基板90は、図3に示すように、上記主制御基板60からの演出制御コマンドDI_CMDを受けて各種演出を実行制御する演出制御CPU900と、演出制御手順を記述した制御プログラム等が格納されている演出制御ROM901と、作業領域やバッファメモリ等として機能する演出制御RAM902とで構成されている。そしてさらに、演出制御基板90は、所望のBGMや効果音を生成する音LSI903と、BGMや効果音等の音データ等が予め格納されている音ROM904とが搭載されている。

【0068】

このように構成される演出制御基板90には、ランプ演出効果を現出するLEDランプ等の装飾ランプが搭載されている装飾ランプ基板100が接続され、さらに、内蔵されているランプ（図示せず）点灯時に遊技者が押下することにより演出効果を変化させることができる押しボタン式の演出ボタン装置13が接続され、BGMや効果音等を発するスピーカ16が接続されている。またさらに、演出制御基板90には、液晶表示装置41を制御する液晶制御基板120が接続されている。

【0069】

かくして、このように構成される演出制御基板90は、主制御基板60より送信される大当たり抽選結果（大当たりかハズレの別）に基づく特別図柄変動パターン、現在の遊技状態、作動保留球数、抽選結果に基づき停止させる装飾図柄等に必要な基本情報を含んだ演出制御コマンドDI_CMDを演出制御CPU900にて受信する。そして、演出制御CPU900は、受信した演出制御コマンドDI_CMDに対応した演出パターンを、演出制御ROM901内に予め格納しておいた多数の演出パターンの中から抽選により決定し、その決定した演出パターンを実行指示する制御信号を演出制御RAM902内に一時的に格納する。

【0070】

演出制御CPU900は、演出制御RAM902に格納しておいた演出パターンを実行指示する制御信号のうち、音に関する制御信号を音LSI903に送信する。これを受けて音LSI903は、当該制御信号に対応する音データを音ROM904より読み出し、スピーカ16に出力する。これにより、スピーカ16より上記決定された演出パターンに対応したBGMや効果音が発せられることとなる。

【0071】

また演出制御CPU900は、演出制御RAM902に格納しておいた演出パターンを実行指示する制御信号のうち、光に関する制御信号を装飾ランプ基板100に送信する。これにより、装飾ランプ基板100が、ランプ演出効果を現出するLEDランプ等の装飾ランプを点灯又は消灯する制御を行うため、上記決定された演出パターンに対応したランプ演出が実行されることとなる。

【0072】

そして演出制御CPU900は、演出制御RAM902に格納しておいた演出パターンを実行指示する制御信号のうち、画像に関する液晶制御コマンドLC_CMDを液晶制御基板120に送信する。これにより、液晶制御基板120が、当該液晶制御コマンドLC_CMDに基づく画像を表示させるように液晶表示装置41を制御することにより、上記決定された演出パターンに対応した画像が液晶表示装置41に表示されることとなる。なお、液晶制御基板120には演出内容に沿った画像を表示するための種々の画像データが記憶されており、さらに、演出出力全般の制御を担うVDP（Video Display Processor）が搭載されている。

【0073】

<電源基板>

ところで、上記説明した各基板への電源供給は、電源基板130（図3参照）より供給されており、この電源基板130は、図3に示すように、電圧生成部1300と、電圧監視部1301と、システムリセット生成部1302とを含んで構成されている。この電圧

生成部 1300 は、遊技店に設置された図示しない変圧トランスから供給される外部電源である交流電圧 AC 24 V を受けて複数種類の直流電圧を生成するものである。そして、この生成された直流電圧が各基板へ供給されることとなる。なお、主制御基板 60 及び払出制御基板 70 には、後述するバックアップ処理を行うにあたり、バックアップ電源が供給されている。

【0074】

一方、電圧監視部 1301 は、上記交流電圧 AC 24 V の電圧を監視するもので、この電圧が遮断されたり、停電が発生したりして電圧異常を検出した場合に電圧異常信号 ALARM を主制御基板 60 及び払出制御基板 70 に出力するものである。なお、この電圧異常信号 ALARM は、電圧異常時には「L」レベルの信号を出力し、正常時には「H」レベルの信号を出力する。

10

【0075】

また、システムリセット生成部 1302 は、電源投入時のシステムリセット信号を生成するもので、その生成したシステムリセット信号を、主制御基板 60、払出制御基板 70 及びサブ制御基板 80 に出力するものである。なお、図示では、電源供給ルート、システムリセット信号の出力ルートは、省略している。

【0076】

ここで、本発明の特徴とするところは、主制御基板 60 と払出制御基板 70 との通信に関する部分であるため、この通信に関する部分を図 11～図 16 を参照して具体的に説明する。

20

【0077】

<主制御基板処理>

まず、主制御基板 60 の主制御 ROM 601 内に格納されているプログラムの概要を図 11 及び図 12 を参照して説明する。

【0078】

<主制御基板：メイン処理>

まず、パチンコ遊技機 1 に電源が投入されると、電源基板 130（電圧生成部 1300）（図 3 参照）から各制御基板に電源が投入された旨の電源投入信号が送られる。これを受けて、主制御 CPU 600（図 3 参照）は、図 11 に示す主制御メイン処理を行う。主制御 CPU 600 は、まず、最初に自らを割込み禁止状態に設定すると共に（ステップ S1）、当該主制御 CPU 600 内のレジスタ値等の初期設定を行う（ステップ S2）。この際、主制御 CPU 600 は、受信ボーレート設定レジスタ RPR（図 6（a）参照）にデータを設定し、受信ボーレート（bps）を設定すると共に、パリティ有無設定レジスタ RPEN（図 6（a）参照）にデータを設定し、パリティ有るか無しかの設定を行い、パリティ有りに設定した場合は、パリティ奇偶設定レジスタ REVEN（図 6（a）参照）にデータを設定し、偶数パリティか奇数パリティかの設定を行う。また、送信ボーレート設定レジスタ TPR（図 7（a）参照）にデータを設定し、送信ボーレート（bps）を設定すると共に、パリティ有無設定レジスタ TPEN（図 7（a）参照）にデータを設定し、パリティ有るか無しかの設定を行い、パリティ有りに設定した場合は、パリティ奇偶設定レジスタ TEVEN（図 7（a）参照）にデータを設定し、偶数パリティか奇数パリティかの設定を行う。

30

40

【0079】

続いて、主制御 CPU 600 は、サブ制御基板 80 の起動待ち時間をセットし（ステップ S3）、セットした起動待ち時間を 1 減算し（ステップ S4）、そのセットした起動待ち時間が 0 になるまでステップ S4 の処理を繰り返す（ステップ S5：≠ 0）。

【0080】

セットした起動待ち時間が 0 になると（ステップ S5：= 0）、主制御 CPU 600 は、電源基板 130（電圧監視部 1301）（図 3 参照）より送信されてくる電圧異常信号 ALARM を 2 回取得する（ステップ S6）。そして、その 2 回取得した電圧異常信号 ALARM のレベルが一致するか否かを確認し（ステップ S7）、一致していなければ（ス

50

テップ S 7 : N O) 、ステップ S 6 の処理に戻り、一致していれば (ステップ S 7 : Y E S) 、その電圧異常信号 A L A R M を図示しない内部レジスタ内に格納し、その電圧異常信号 A L A R M のレベルを確認する (ステップ S 8) 。電圧異常信号 A L A R M のレベルが「L」レベルであれば (ステップ S 8 : Y E S) 、ステップ S 6 の処理に戻り、電圧異常信号 A L A R M のレベルが「H」レベルであれば (ステップ S 8 : N O) 、ステップ S 9 の処理に進む。すなわち、主制御 C P U 6 0 0 は、電圧異常信号 A L A R M が正常レベル (すなわち「H」レベル) に変化するまで同一の処理を繰り返す (ステップ S 6 ~ S 8) 。

【0081】

次いで、主制御 C P U 6 0 0 は、主制御 R A M 6 0 2 (図 4 参照) へのデータ書込みを許可する (ステップ S 9) 。このように、電圧異常信号 A L A R M の正常レベル (正常値) を検出するまで主制御 R A M 6 0 2 へのデータ書き込みを禁止することにより、電源基板 1 3 0 (図 3 参照) に供給される外部電源 (交流電圧 A C 2 4 V) が安定して供給される前に、不安定な信号が主制御 R A M 6 0 2 にアクセスし、主制御 R A M 6 0 2 に記憶されているデータを書き換えてしまうという事態を防止することができる。

【0082】

次いで、主制御 C P U 6 0 0 は、演出制御基板 9 0 に液晶表示装置 4 1 に待機画面を表示させるような演出制御コマンド D I _ C M D を送信する (ステップ S 1 0) 。

【0083】

次いで、主制御 C P U 6 0 0 は、払出制御基板 7 0 (図 3 参照) から送信されてくる電源投入信号を確認し (ステップ S 1 1) 、その電源投入信号が O N であれば (ステップ S 1 1 : Y E S) 、ステップ S 1 2 の処理に進み、電源投入信号が O F F であれば (ステップ S 1 1 : N O) 、電源投入信号が O N になるまでステップ S 1 1 の処理を繰り返す。すなわち、払出制御基板 7 0 が起動するまで待機する。

【0084】

次いで、主制御 C P U 6 0 0 は、主制御バックアップフラグ M B F L の内容を判定する (ステップ S 1 2) 。なお、この主制御バックアップフラグ M B F L とは、図 1 2 に示す電圧監視処理の動作が実行されたか否かを示すデータである。

【0085】

この主制御バックアップフラグ M B F L が O F F 状態 (ステップ S 1 2 : O F F) であれば、後述する図 1 2 に示す電圧監視処理の動作が実行されていないこととなり、主制御 C P U 6 0 0 は、主制御 R A M 6 0 2 内の全領域を全てクリアする処理を行う。そしてさらに、主制御 C P U 6 0 0 は、復帰コマンド R E _ C M D を、シリアル通信回路 6 0 9 を用いて払出制御基板 7 0 にシリアル送信する (ステップ S 1 6) 。

【0086】

一方、主制御バックアップフラグ M B F L が O N 状態 (ステップ S 1 2 : O N) であれば、後述する図 1 2 に示す電圧監視処理の動作が実行されていることとなるため、主制御 C P U 6 0 0 は、チェックサム値を算出するためのチェックサム演算を行う (ステップ S 1 3) 。なお、チェックサム演算とは、主制御 R A M 6 0 2 の作業領域を対象とする 8 ビット加算演算である。

【0087】

そして、主制御 C P U 6 0 0 は、上記チェックサム値が算出されたら、この演算結果を主制御 R A M 6 0 2 内の S U M 番地の記憶値と比較する処理を行う (ステップ S 1 4) 。なお、記憶された演算結果は、主制御 R A M 6 0 2 内に記憶されている他のデータと共に、電源基板 1 3 0 (電圧生成部 1 3 0 0) にて生成されるバックアップ電源によって維持されている。

【0088】

この S U M 番地の記憶値と上記ステップ S 1 3 の処理にて算出されたチェックサム値が不一致 (ステップ S 1 4 : N O) であれば、主制御 C P U 6 0 0 は、主制御 R A M 6 0 2 内の全領域を全てクリアする処理を行う。そしてさらに、主制御 C P U 6 0 0 は、復帰コ

10

20

30

40

50

マンドRE_CMDを、シリアル通信回路609を用いて払出制御基板70にシリアル送信する（ステップS16）。

【0089】

一方、チェックサム値が一致（ステップS14：YES）していれば、主制御CPU600は、主制御RAM602内に記憶されているデータに基づいて電源遮断時の遊技動作に復帰させる処理を行う。そしてさらに、主制御CPU600は、復帰コマンドRE_CMDを、シリアル通信回路609を用いて払出制御基板70にシリアル送信する（ステップS15）。

【0090】

次いで、主制御CPU600は、ステップS15又はステップS16の処理後、4ms毎に定期的にタイマ割込みがかかるようにCTC607（図4参照）に所定時間を設定する（ステップS17）。

10

【0091】

次いで、主制御CPU600は、自身への割込みを禁止状態にセットした状態（ステップS18）で、各種の乱数カウンタの更新処理を行う（ステップS19）。この各種乱数更新処理には、普通図柄の当否抽選に使用する普通図柄当り判定用乱数の初期値変更に使用する普通図柄当り判定用初期値乱数の更新や、特別図柄変動パターンコマンドを決定するための抽選に使用する変動パターン用乱数値の更新等が含まれる。

【0092】

そしてその後、主制御CPU600は、割込み許可状態に戻して（ステップS20）、ステップS18に戻る処理を行い。ステップS18～ステップS20の処理を繰り返す。

20

【0093】

<主制御基板：タイマ割込み処理>

続いて、図12を参照して、上述したメイン処理を中断させて、4ms毎に開始されるタイマ割込みプログラムについて説明する。このタイマ割込みが生じると、主制御CPU600内のレジスタ群の内容を主制御RAM602のスタック領域に退避させる退避処理を実行し（ステップS50）、その後電圧監視処理を実行する（ステップS51）。この電圧監視処理は、電源基板130（電圧監視部1301）から出力される電圧異常信号ALARMのレベルを判定し、電圧異常信号ALARMが「L」レベル（異常レベル）であれば、主制御RAM602（図4参照）内に記憶されているデータのバックアップ処理、すなわち、当該データのチェックサム値を算出し、その算出したチェックサム値をバックアップデータとして主制御RAM602に保存する処理を行う。なお、バックアップ処理が実行された場合は、主制御バックアップフラグMBFLがONにセットされ、バックアップ処理が実行されなかった場合は、主制御バックアップフラグMBFLがOFFにセットされる。

30

【0094】

次いで、主制御CPU600は、上記電圧監視処理（ステップS51）が終了すると、各遊技動作の時間を管理しているタイマのタイマ減算処理を行う（ステップS52）。ここで減算されたタイマは、大入賞口43（図2参照）の開放時間、普通図柄の変動時間、特別図柄の変動時間等の遊技演出時間、不正情報タイマ等を管理するために使用されるものである。

40

【0095】

続いて、主制御CPU600には、特別図柄始動口スイッチ42a（図3参照）と、普通図柄始動口スイッチ44a（図3参照）と、一般入賞口スイッチ45a（図3参照）と、大入賞口スイッチ43a（図3参照）を含む各種スイッチ類のON/OFF信号が入力され、主制御RAM602の作業領域にON/OFF信号レベルや、その立ち上がり状態が記憶される（ステップS53）。なお、このスイッチ入力処理は、不正入賞があった場合に、立ち上がり状態を無効（入賞無効）にする処理も行い、賞球を払出するために上記大入賞口スイッチ43a、一般入賞口スイッチ45aに何個の遊技球が入賞したのかのカウントも行っている。

50

【0096】

その後、主制御CPU600は、エラー管理処理を行う（ステップS54）。このエラー管理処理にて、後述するステップS55にて払出制御基板70より送信不許可信号NTP_SIGを受信していた場合、ONにセットされる払出エラーフラグPERR_FLGを確認し、ONにセットされていれば、エラー表示する演出制御コマンドDI_CMDを生成し、演出制御基板90に送信する。これにより、エラー内容が液晶表示装置41（図2参照）等に表示されることとなる。

【0097】

次いで、主制御CPU600は、賞球管理処理を実行する（ステップS55）。この賞球管理処理は、払出制御基板70（図3参照）に払出し動作を行わせるための払出制御コマンドPAY_CMDを、シリアル通信回路609を用いてシリアル送信するものである。しかしながら、主制御CPU600は、払出制御基板70から送信されてくる送信許可信号TP_SIGを受信するまで、払出制御コマンドPAY_CMDを生成しない。そして、送信不許可信号NTP_SIGを受信した場合は、払出エラーフラグPERR_FLGをONにセットする。なお、この払出エラーフラグPERR_FLGがステップS54にて使用される。

【0098】

次いで、主制御CPU600は、各変動表示ゲームに係る乱数を更新する乱数管理処理を実行する（ステップS56）。この乱数管理処理は、当否抽選に使用する普通図柄当り判定用乱数を更新する処理や、特別図柄の種類を決める特別図柄用乱数を更新する処理等を実行するものである。

【0099】

次いで、主制御CPU600は、普通図柄処理を実行する（ステップS57）。この普通図柄処理は、普通図柄の当否抽選を実行し、その抽選結果に基づいて普通図柄の変動パターンや普通図柄の停止表示状態を決定したりするものである。

【0100】

次いで、主制御CPU600は、特別図柄処理を実行する（ステップS58）。この特別図柄処理では、特別図柄の当否抽選を実行し、その抽選の結果に基づいて特別図柄の変動パターンや特別図柄の停止表示態様（停止特別図柄）を決定する。

【0101】

次いで、主制御CPU600は、LED管理処理を実行する（ステップS59）。このLED管理処理は、処理の進行状態に応じて、特別図柄表示装置46や普通図柄表示装置47への出力データを生成したり、当該データに基づく制御信号を出力したりする処理である。

【0102】

次いで、主制御CPU600は、遊技状態に応じて、大入賞口43（図2参照）等の開閉動作を実現するソレノイドの駆動処理を実行する（ステップS60）。

【0103】

次いで、主制御CPU600は、割込み許可状態に戻し（ステップS61）、主制御RAM602のスタック領域に退避させておいたレジスタの内容を復帰させタイマ割込みを終える（ステップS62）。これにより、割込み処理ルーチンからメイン処理（図11参照）に戻ることとなる。

【0104】

<払出制御基板処理>

次に、払出制御基板70の払出制御ROM701内に格納されているプログラムの概要を図13～図15を参照して説明する。

【0105】

<払出制御基板：メイン処理>

パチンコ遊技機1に電源が投入されると、電源基板130（電圧生成部1300）（図3参照）から各制御基板に電源が投入された旨の電源投入信号が送られる。これを受けて

10

20

30

40

50

、払出制御CPU700（図5参照）は、図13に示す払出制御メイン処理を行う。払出制御CPU700は、まず、最初に自らを割込み禁止状態に設定すると共に（ステップS100）、当該払出制御CPU700内のレジスタ値等の初期設定を行う（ステップS101）。

【0106】

次いで、払出制御CPU700は、電源基板130（電圧監視部1301）（図3参照）より送信されてくる電圧異常信号ALARMを2回取得する（ステップS102）。そして、その2回取得した電圧異常信号ALARMのレベルが一致するか否かを確認し（ステップS103）、一致していなければ（ステップS103：NO）、ステップS102の処理に戻り、一致していれば（ステップS103：YES）、その電圧異常信号ALARMを図示しない内部レジスタ内に格納し、その電圧異常信号ALARMのレベルを確認する（ステップS104）。電圧異常信号ALARMのレベルが「L」レベルであれば（ステップS104：YES）、ステップS102の処理に戻り、電圧異常信号ALARMのレベルが「H」レベルであれば（ステップS104：NO）、ステップS105の処理に進む。すなわち、払出制御CPU700は、電圧異常信号ALARMが正常レベル（すなわち「H」レベル）に変化するまで同一の処理を繰り返す（ステップS102～S104）。

【0107】

次いで、払出制御CPU700は、払出制御RAM702（図5参照）へのデータ書込みを許可する（ステップS105）。

【0108】

次いで、払出制御CPU700は、払出制御バックアップフラグPBFLの内容を判定する（ステップS106）。なお、この払出制御バックアップフラグPBFLとは、図14に示す電圧監視処理の動作が実行されたか否かを示すデータである。

【0109】

この払出制御バックアップフラグPBFLがOFF状態（ステップS106：OFF）であれば、後述する図14に示す電圧監視処理の動作が実行されていないこととなり、払出制御CPU700は、払出制御RAM702内の全領域を全てクリアする処理を行う。そしてさらに、払出制御CPU700は、初期動作が完了したことを示す払出初期動作フラグPAIO_FLGをONにセットする（ステップS110）。

【0110】

一方、払出制御バックアップフラグPBFLがON状態（ステップS106：ON）であれば、後述する図14に示す電圧監視処理の動作が実行されていることとなるため、払出制御CPU700は、チェックサム値を算出するためのチェックサム演算を行う（ステップS107）。なお、チェックサム演算とは、払出制御RAM702の作業領域を対象とする8ビット加算演算である。

【0111】

そして、払出制御CPU700は、上記チェックサム値が算出されたら、この演算結果を払出制御RAM702内のSUM番地の記憶値と比較する処理を行う（ステップS108）。なお、記憶された演算結果は、払出制御RAM702内に記憶されている他のデータと共に、電源基板130（電圧生成部1300）にて生成されるバックアップ電源によって維持されている。

【0112】

このSUM番地の記憶値と上記ステップS107の処理にて算出されたチェックサム値が不一致（ステップS108：NO）であれば、払出制御CPU700は、払出制御RAM702内の全領域を全てクリアする処理を行う。そしてさらに、払出制御CPU700は、初期動作が完了したことを示す払出初期動作フラグPAIO_FLGをONにセットする（ステップS110）。

【0113】

一方、チェックサム値が一致（ステップS108：YES）していれば、払出制御CP

U700は、払出制御RAM702内に記憶されているデータに基づいて電源遮断時の遊技動作（未払い賞球の払出動作等）に復帰させる処理を行う。そしてさらに、払出制御CPU700は、払出制御バックアップフラグPBF LをOFFにセットし、払出初期動作フラグPAIO_F L GをONにセットする（ステップS109）。

【0114】

次いで、払出制御CPU700は、ステップS109又はステップS110の処理後、1.4ms毎に定期的にタイマ割込みがかかるようにCTC706（図5参照）に所定時間を設定する（ステップS111）。なお、タイマ割込みを1.4msに設定する理由については後述することとする。

【0115】

次いで、払出制御CPU700は、シリアル通信設定を行う（ステップS112）。すなわち、払出制御CPU700は、まず、シリアル通信ボーレート設定レジスタSCBRに所定値を設定し、ボーレート（bps）の設定を行う。具体的には、シリアル通信ボーレート設定レジスタSCBRに0BCh（=188）を設定すると、内部クロック（クロック回路704にて生成されたクロック）周波数が15MHzであれば、ボーレート（bps）は、 $15(\text{MHz}) / (188 \times 16) = 4986.7(\text{bps})$ となる。なお、この際、主制御基板60側のボーレート（bps）も同じ4986.7（bps）に設定されている。

【0116】

そしてさらに、払出制御CPU700は、パリティ機能設定レジスタPENに0を設定してパリティ未使用に設定し、データ長設定レジスタFMT（図8（b）参照）に0を設定して「L」レベルのスタートビット長、8ビット長のデータ、「H」レベルのストップビット長を1フレームとした通信フォーマットに設定し、動作モード設定レジスタMOD（図8（b）参照）に0を設定してノーマルモードに設定し、受信機能設定レジスタREN（図8（b）参照）に1を設定して、受信機能を使用可能に設定し、送信機能設定レジスタTEN（図8（b）参照）に1を設定して、送信機能を使用可能に設定する。

【0117】

上記のような処理を終えた後、払出制御CPU700は、割込み許可状態に戻し（ステップS113）、無限ループ処理を繰り返す。

【0118】

<払出制御基板：タイマ割込み処理>

続いて、図14を参照して、上述したメイン処理を中断させて、1.4ms毎に開始されるタイマ割込みプログラムについて説明する。このタイマ割込みが生じると、払出制御CPU700内のレジスタ群の内容を払出制御RAM702（図5参照）のスタック領域に退避させる退避処理を実行する（ステップS150）。

【0119】

次いで、払出制御CPU700は、電圧監視処理を実行する（ステップS151）。この電圧監視処理は、電源基板130（電圧監視部1301）から出力される電圧異常信号ALARMのレベルを判定し、電圧異常信号ALARMが「L」レベル（異常レベル）であれば、払出制御RAM702内に記憶されているデータのバックアップ処理、すなわち、当該データのチェックサム値を算出し、その算出したチェックサム値をバックアップデータとして払出制御RAM702に保存する処理を行う。なお、バックアップ処理が実行された場合は、払出制御バックアップフラグPBF LがONにセットされる。

【0120】

次いで、払出制御CPU700は、データ入力処理を行う（ステップS152）。このデータ入力処理は、主として、払出モータM（図3参照）の回転によって、遊技球が実際に払出されたか否かを確認する。

【0121】

次いで、払出制御CPU700は、シリアルデータ入力処理を行う（ステップS153）。このシリアルデータ入力処理について、図15を参照して具体的に説明する。

10

20

30

40

50

【0122】

< 払出制御基板：シリアルデータ入力処理 >

払出制御CPU700は、払出制御RAM702（図5参照）内に格納されているシリアル受信フラグSR_FLGを取得し（ステップS200）、シリアル受信フラグSR_FLGの設定内容を確認する（ステップS201）。

【0123】

シリアル受信フラグSR_FLGにA5Hが設定されていた場合（ステップS201：YES）、払出制御CPU700は、何らかの異常が発生したと判断し、シリアルデータ入力処理を終える。

【0124】

一方、シリアル受信フラグSR_FLGにA5Hが設定されていなければ（ステップS201：NO）、払出制御CPU700は、受信データフラグレジスタRDRF（図9（a）参照）を読み込み、「0」であれば、受信データがないと判断し（ステップS202：無）、シリアルデータ入力処理を終える。

【0125】

一方、受信データフラグレジスタRDRF（図9（a）参照）を読み出し、「1」であれば、受信データがあると判断し（ステップS202：有）、ステップ203へ進む。

【0126】

次いで、払出制御CPU700は、パリティエラーフラグレジスタPE（図9（a）参照）、フレーミングエラーフラグレジスタFE（図9（a）参照）、ブ레이크コード検出フラグレジスタBRK（図9（a）参照）、オーバーラン検出フラグレジスタORE（図9（a）参照）を読み出す（ステップS203）。そして、すべて「0」であれば、シリアル通信回路708（図5参照）とシリアル通信回路609（図4参照）との間で通信エラーが生じていないと判断し（ステップS203：NO）、シリアル通信データレジスタSCDT（図9（b）参照）に格納されているデータを読み出し、その値を取得する（ステップS204）。

【0127】

一方、いずれかが「0」でなければ、シリアル通信回路708（図5参照）とシリアル通信回路609（図4参照）との間で通信エラーが生じていると判断し（ステップS203：YES）、シリアル受信エラーカウンタSE_CNTをインクリメント（+1）する（ステップS205）。そして、このシリアル受信エラーカウンタSE_CNTの値が2以上であれば（ステップS206：YES）、シリアル受信フラグSR_FLGにA5Hを設定し（ステップS207）、シリアルデータ入力処理を終える。また、シリアル受信エラーカウンタSE_CNTの値が2以上でなければ（ステップS206：NO）、シリアルデータ入力処理を終える。

【0128】

他方、上記ステップS204にて、シリアル通信データレジスタSCDT（図9（b）参照）に格納されているデータを読み出しその値を取得した後、シリアル受信フラグSR_FLGを確認する（ステップS208）。シリアル受信フラグSR_FLGに5AHが設定されていなければ（ステップS208：NO）、復帰コマンドRE_CMDを受信したか否かを確認する（ステップS209）。具体的には、上記ステップS204にて取得した値を確認し、A5Hでなければ、復帰コマンドRE_CMDを受信していないと判断し（ステップS209：NO）、シリアル受信フラグSR_FLGにA5Hを設定し（ステップS207）、シリアルデータ入力処理を終える。

【0129】

一方、A5Hであれば、復帰コマンドRE_CMDを受信したと判断し（ステップS209：YES）、シリアル受信フラグSR_FLGに5AHを設定し（ステップS210）、シリアルデータ入力処理を終える。

【0130】

一方、シリアル受信フラグSR_FLGに5AHが設定されていれば（ステップS20

10

20

30

40

50

8：YES)、シリアル通信回路708(図5参照)とシリアル通信回路609(図4参照)との間で正常な通信が行われていると判断し、ステップS204にて取得した値を払出制御RAM702内に格納されているコマンド格納バッファレジスタへ書き込むためのコマンドライトポインタを取得する(ステップS211)。

【0131】

次いで、払出制御CPU700は、コマンド格納バッファレジスタのアドレス番地と上記コマンドライトポインタを元に、上記ステップS204にて取得した値を書き込むためのアドレス番地を特定し、その番地に、当該取得した値を書き込む(ステップS212)。

【0132】

次いで、払出制御CPU700は、コマンドライトポインタを更新し(ステップS213)、シリアルデータ入力処理を終える。

【0133】

<払出制御基板：タイマ割込み処理>

かくして、上記ステップS153の処理を終えた後、払出制御CPU700は、各種タイマの減算処理を行う(ステップS154)。

【0134】

次いで、払出制御CPU700は、主制御基板60よりシリアル通信回路609(図4参照)を用いて送信されてくる払出制御コマンドPAY_CMDの解析処理を実行する(ステップS155)。具体的には、上記ステップS212にてコマンド格納バッファレジスタに格納された値を取得し、賞球数指定コマンドか否かを確認する。賞球数指定コマンドであった場合には、そのコマンドによって特定される賞球数を払出制御RAM702に格納されている全賞球数カウンタAAC_CNTに加算する。

【0135】

次いで、払出制御CPU700は、図示しない球貸し機とのカード通信処理を行い(ステップS156)、図示しない球貸し機で清算される球貸し処理を行う(ステップS157)。

【0136】

次いで、払出制御CPU700は、払出制御RAM702に格納されている全賞球数カウンタAAC_CNTを読み出し、そのカウンタ値に基づいて払出処理を行う賞球処理を行う(ステップS158)。すなわち、この賞球処理においては、復帰コマンドRE_CMDを受信するか否かに係らず、全賞球数カウンタAAC_CNTのカウント値に基づいて払出処理が行われるため、電源投入を契機として、電源遮断時に払出されていなかった未払い賞球の払出が行われることとなる。これにより、遊技者への不利益を低減させることができる。なお、実際の遊技球の払出は、後述するデータ出力処理(ステップS162)にて払出モータM(図3参照)を動作させた場合に生じる。

【0137】

ところで、この賞球処理は、上述したように、主制御基板60よりシリアル通信回路609(図4参照)を用いて送信されてくる払出制御コマンドPAY_CMDに基づいて実行されるものであるが、シリアル通信速度と定期的に発生するタイマ割込みとの関係においては、賞球処理が確実に実行されない場合がある。

【0138】

すなわち、一般的に、シリアル通信は、パラレル通信と比較して時間がかかるため、ノイズ耐性が低いという問題がある。そこで、ボーレート(bps)を低くし、ノイズ耐性を向上させるという手法が一般的に採用されている。

【0139】

しかしながら、ボーレート(bps)を低く設定しすぎ、シリアル通信速度が主制御基板60のタイマ割込み処理の周期(4ms)を超えてしまうと、当該主制御基板60のタイマ割込み処理毎に、払出制御コマンドPAY_CMDを送信する事態になった場合、シリアル通信回路609(図4参照)内の送信用バッファ(図示せず)がオーバーフローし

10

20

30

40

50

てしまう。これにより、通信エラーとなり、もって、遊技者へ不利益を与えてしまう恐れがあるという問題がある。

【0140】

そしてさらに、上記シリアル通信回路609（図4参照）内の送信用バッファ（図示せず）内にデータが多数蓄積された状態で電源が遮断されてしまうと、主制御CPU600の動作が停止し、もって、当該蓄積されたデータが全て消去されてしまう。これにより、払出制御基板70側でそのデータを受信することができず、遊技者へ不利益を与えてしまう恐れがあるという問題がある。

【0141】

そこで、本実施形態においては、上記問題を解決すべく、1フレームのデータ送信時間が主制御基板60のタイマ割込み周期を超えないように設定している。すなわち、ボーレート（bps）の設定を4986.7（bps）と設定することで、「L」レベルのスタートビット長、8ビット長のデータ、「H」レベルのストップビット長を1フレームとした通信フォーマット（図10（a）参照）のデータ送信時間が2msとなるようにしている。そしてさらに、払出制御基板70側でも、受信処理においてオーバーランエラーが発生しないようにするため、払出制御基板70のタイマ割込み処理がデータ送信時間（2ms）よりも早く発生するように、タイマ割込み処理の周期を1.4msに設定している。

【0142】

このようにすれば、図16に示すように、主制御基板60のタイマ割込み（4ms）処理において賞球が発生し（タイミングt10参照）、払出制御コマンドPAY_CMDが送信されてくると、そのデータ送信時間に2msの時間を要するため、払出制御基板70のシリアル通信回路708はタイミングt11にて当該払出制御コマンドPAY_CMDのデータ受信を完了する。そのため、この時点で、主制御基板60から払出制御基板70へ送信するデータ（払出制御コマンドPAY_CMD）は、次の主制御基板60のタイマ割込み処理が発生（タイミングt13参照）する前に送信処理が完了しているため、主制御基板60側のシリアル通信回路609によって通信エラーとなる事態を防止することができる。

【0143】

そしてさらに、そのタイミングt11の1.4ms後に、払出制御基板70のタイマ割込みが発生し（タイミングt12参照）、払出制御コマンドPAY_CMDに基づいて賞球払出動作が実行されることとなる（図14参照）。そのため、次の主制御基板60のタイマ割込み処理（タイミングt13参照）にて賞球が発生したとしても、既に払出制御基板70のタイマ割込み処理が実行されているため、払出制御基板70側のシリアル通信回路708がオーバーランエラーとなることなく、もって、払出制御基板70側のシリアル通信回路708によって通信エラーとなる事態を防止することができる。

【0144】

よって、本実施形態によれば、遊技者へ不利益を与えてしまう事態を低減させることができる。

【0145】

かくして、上記賞球処理（ステップS158）を終えた後、払出制御CPU700は、遊技球の払出動作を示す賞球計数のエラーや払出動作のエラーが発生しているか否かを示す払出エラー処理（ステップS159）を実行し、払出モータM（図3参照）の動作内容を決定するモータ処理（ステップS160）を実行する。

【0146】

次いで、払出制御CPU700は、外部端子信号処理を行う（ステップS161）。具体的には、払出制御CPU700は、払出初期動作フラグPAIO_FLGがONにセットされていれば（図13に示すステップS109又はステップS110参照）、主制御基板60にシリアル通信回路708（図5参照）を用いて電源投入信号を送信する。そして、払出制御CPU700は、払出初期動作フラグPAIO_FLGをOFFにセットする。なお、この電源投入信号が主制御基板60のメイン処理（図11に示すステップS11

10

20

30

40

50

）にて使用される。

【0147】

また、払出制御CPU700は、シリアル受信フラグSR_FLG（図15参照）に5AHが設定されていれば、主制御基板60にシリアル通信回路708（図5参照）を用いて送信不許可信号NTP_SIGを送信し、シリアル受信フラグSR_FLG（図15参照）に5AHが設定されていれば、送信許可信号TP_SIGを送信する。

【0148】

さらに、払出制御CPU700は、上記払出エラー処理（ステップS159）にてエラーを検出した場合は、そのエラー内容を主制御基板60にシリアル通信回路708（図5参照）を用いて送信する。

10

【0149】

次いで、払出制御CPU700は、上記モータ処理（ステップS160）にて決定された払出モータMの動作内容に基づいて払出モータMを動作させ、遊技球を払出す（ステップS162）。

【0150】

次いで、払出制御CPU700は、払出制御RAM702のスタック領域に退避させておいたレジスタの内容を復帰させタイマ割込みを終える（ステップS163）。これにより、割込み処理ルーチンからメイン処理（図13参照）に戻ることとなる。

【0151】

しかして、本実施形態によれば、遊技者へ不利益を与えてしまう事態を低減させることができる。

20

【0152】

また、本実施形態によれば、主制御基板60から送信される復帰コマンドRE_CMDを払出制御基板70が受信したか否かを示す送信許可信号TP_SIG又は送信不許可信号NTP_SIGを払出制御基板70から主制御基板60に送信することで、主制御基板60は、送信許可信号TP_SIGを受信するまで払出制御コマンドPAY_CMDを生成しないようにしている。それゆえ、主制御基板60と払出制御基板70との通信が正常に行われているか否かを確認することができ、もって、遊技者への不利益を未然に防止することができる。

【0153】

さらに、主制御基板60と払出制御基板70との通信は、シリアル通信回路609（図4参照）とシリアル通信回路708（図5参照）を用いて行っている。それゆえ、パラレル送信のように配線とポートの数を多数用意せずとも良いため、簡易な構成で実装することができる。

30

【0154】

なお、本実施形態においては、送信許可信号TP_SIG又は送信不許可信号NTP_SIGを払出制御基板70から主制御基板60に送信する際、シリアル通信回路708（図5参照）を用いた例を示したが、これを用いず、払出制御基板70及び主制御基板60共に別ポートを設けて送信するようにしても良い。このようにすれば、シリアル通信回路708に何らかの異常が発生したとしても、送信不許可信号NTP_SIGを確実に主制御基板60に送信することができ、もって、エラー報知を確実に行うことができる。

40

【0155】

また、本実施形態においては、払出制御基板70にて払出モータMを制御して、遊技者に遊技球を払出す例を示したが、これに限らず、払出制御基板70にて賞球数のデータを管理し、賞球数を記憶したカード等により遊技者に賞球数を払出す、所謂、封入式遊技機であっても良い。なお、この場合であっても、シリアル通信回路708に何らかの異常が発生したとしても、送信不許可信号NTP_SIGを確実に主制御基板60に送信することができ、もって、エラー報知を確実に行うことができる。

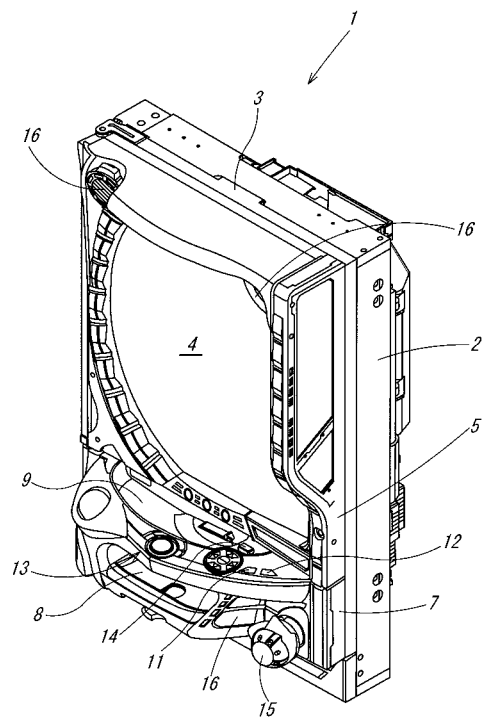
【符号の説明】

【0156】

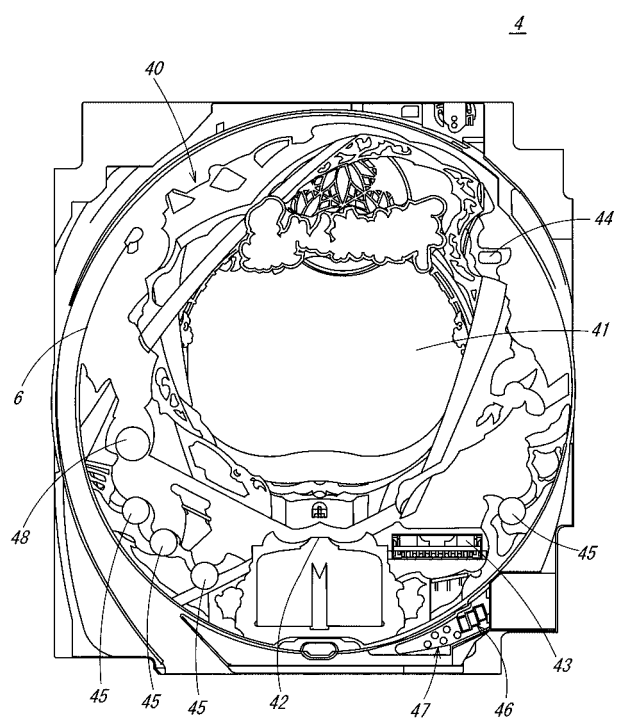
50

1	パチンコ遊技機
6 0	主制御基板（主制御手段）
7 0	払出制御基板（払出制御手段）
6 0 7	C T C（第 1 割込み手段）
6 0 9	（主制御基板の）シリアル通信回路
7 0 6	C T C（第 2 割込み手段）
7 0 8	（払出制御基板の）シリアル通信回路
P A Y _ C M D	払出制御コマンド（制御コマンド）

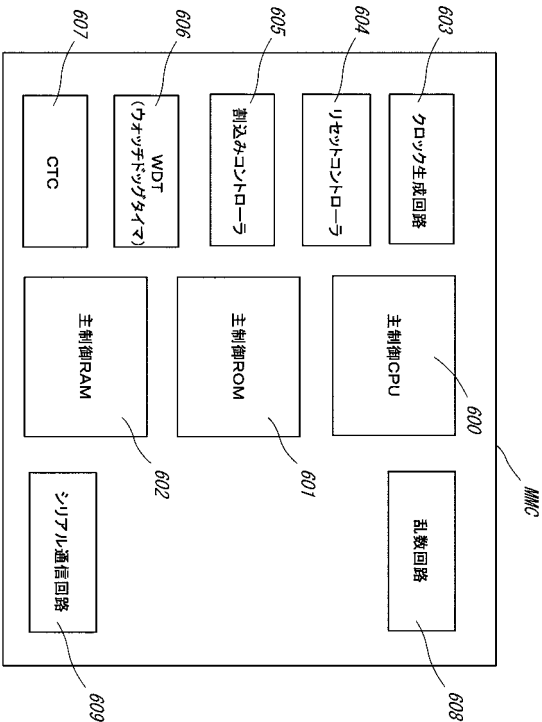
【図 1】



【図 2】



60



【図4】

(a)

受信レジスタ(RXPRE)

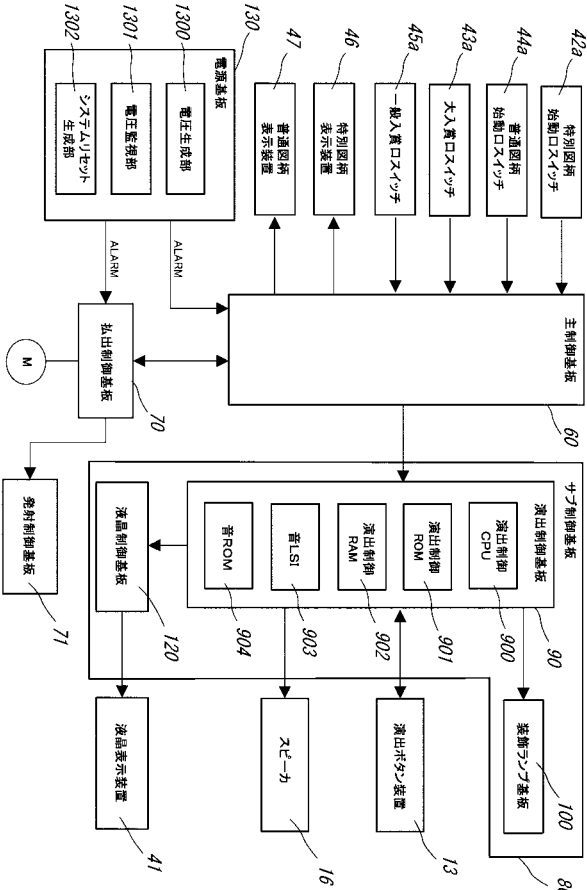
ビット	シンボル	機能	作用	R/W	初期値
15	REVEN	パリティ奇偶設定	0:偶数/パリティ1:奇数/パリティ	R/W	0
14	PREN	パリティ有無設定	0:パリティ無し1:パリティ有り	R/W	0
13	—	未使用	常に0	R	0
12-0	PPR	受信バースト設定	0000h~1FFFh	R/W	0000h

(b)

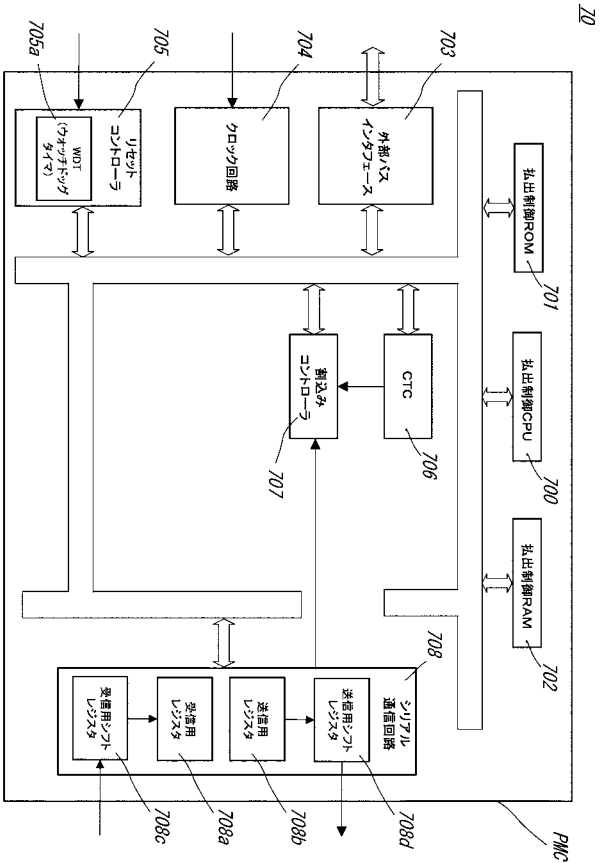
受信バッファレジスタ(RXBUF)

ビット	シンボル	機能	作用	R/W	初期値
7-0	RXBUF	受信バッファ	00h~FFFh 受信データ	R	00h

【図3】



【図5】



20

(a)
シリアル通信ポート設定レジスタ(SCBR)

ビット	シンボル	機能	作用	R/W	初期値
11-0	SCBR11-0	ポート設定	000h~FFh	R/W	000h

(b)

シリアル通信設定レジスタ(SCFM)

ビット	シンボル	機能	作用	R/W	初期値
7	TEN	送信機能の使用設定	0:送信機能禁止 1:送信機能使用	R/W	0
6	REN	受信機能の使用設定	0:受信機能禁止 1:受信機能使用	R/W	0
5	—	未使用	常に0	R	0
4	—	未使用	常に0	R	0
3	MOD	動作モードの設定	0:ノーマルモード 1:FIROモード	R/W	0
2	FMT	データ長の設定	0:1スタートビット, 8ビットデータ 1:1スタートビット, 8ビットデータ, 2ストップビット	R/W	1
1	REN	ハビテ機能の設定	0:ハビテ未使用 1:ハビテ使用	R/W	1
0	PTP	ハビテの種類の設定	0:偶数ハビテ 1:奇数ハビテ	R/W	0

【図 8】

送信タリステータスレジスタ(TXPRES)

ビット	シンボル	機能	作用	R/W	初期値
15	TEVEN	ハビテ奇数設定	0:偶数ハビテ 1:奇数ハビテ	R/W	0
14	TPEN	ハビテ有無設定	0:ハビテ無し 1:ハビテ有り	R/W	0
13	—	未使用	常に0	R	0
12-0	TPR	送信ポート設定	0000h~1FFh	R/W	0000h

(a)

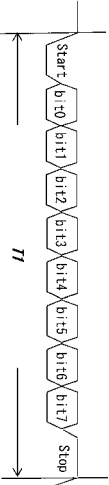
(b)

送信バッファレジスタ(TXBUF)

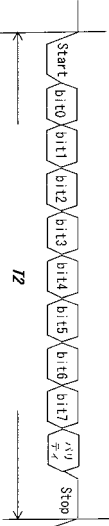
ビット	シンボル	機能	作用	R/W	初期値
7-0	TXBUF	送信バッファ	00h~FFh: 送信データ	W	00h

【図 7】

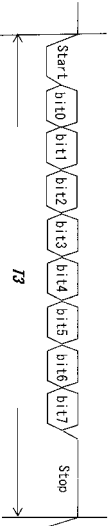
(a)



(b)



(c)



【図 10】

シリアル通信ステータスレジスタ(SCST)

ビット	シンボル	機能	作用	R/W	初期値
7	TC	送信完了フラグ	0:送信中 1:送信完了	R	1
6	TDBE	送信データエラーフラグ	0:送信用レジスタ外に未送信 1:送信用レジスタ外に転送済	R	1
5	RDRF	受信データフラグ	0:受信用レジスタ外にデータ有り 1:受信用レジスタ外にデータ無し	R	0
4	NF	ノイズ検出フラグ	0:受信時にノイズ検出 1:受信時にノイズ未検出	R	0
3	ORE	オーバーラン検出フラグ	0:受信時にオーバーラン未検出 1:受信時にオーバーラン検出	R	0
2	BRK	ブレークアウト検出フラグ	0:受信時にブレークアウト未検出 1:受信時にブレークアウト検出	R	0
1	FE	フレームシンクエラーフラグ	0:受信時にフレームシンクエラー未検出 1:受信時にフレームシンクエラー検出	R	0
0	PE	ハビテエラーフラグ	0:受信時にハビテエラー未検出 1:受信時にハビテエラー検出	R	0

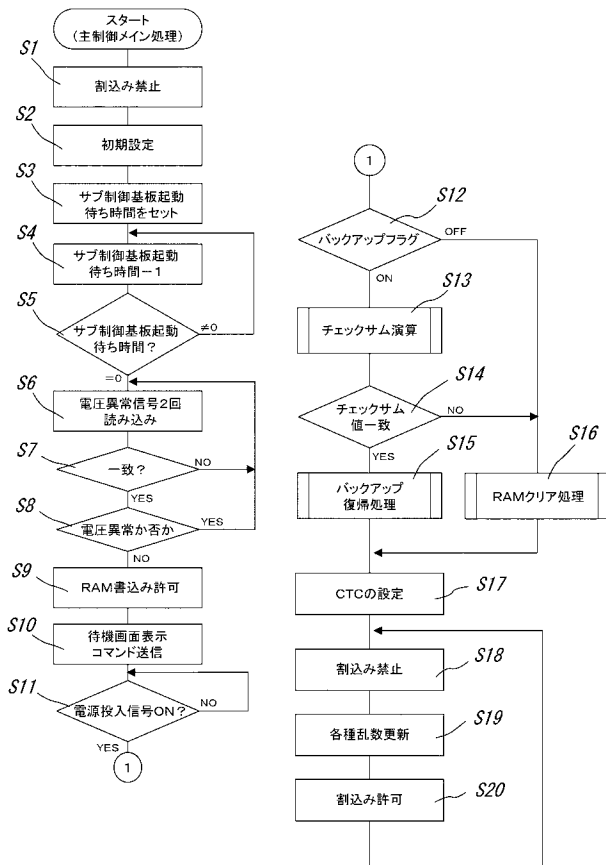
(b)

シリアル通信データレジスタ(SCDT)

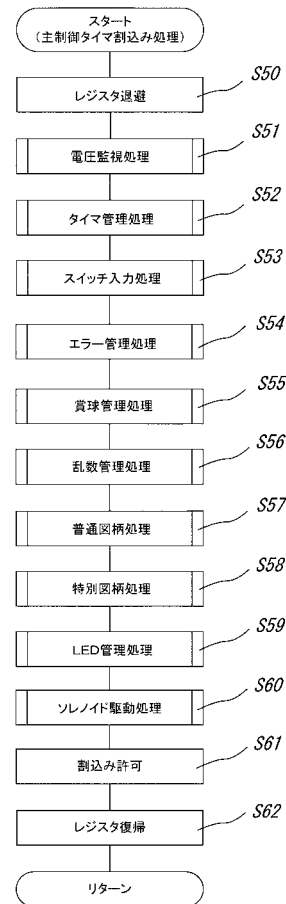
ビット	シンボル	機能	作用	R/W	初期値
7-0	SCDT7-0	送受信データレジスタ	00h~FFh: 送受信データ	R/W	00h

【図 9】

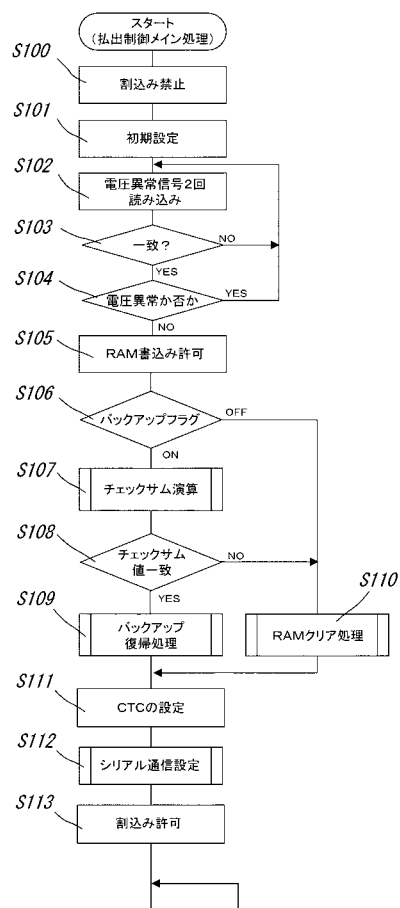
【図 1 1】



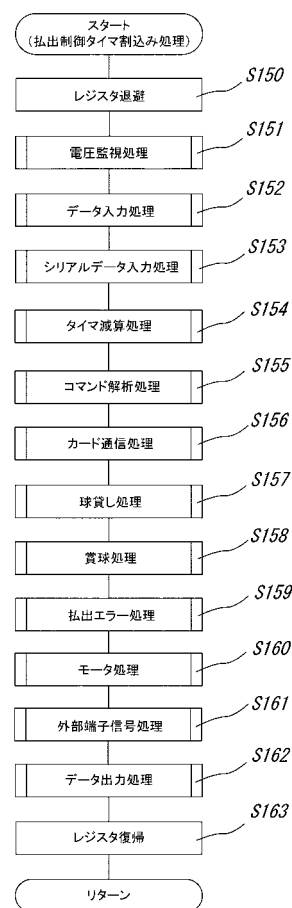
【図 1 2】



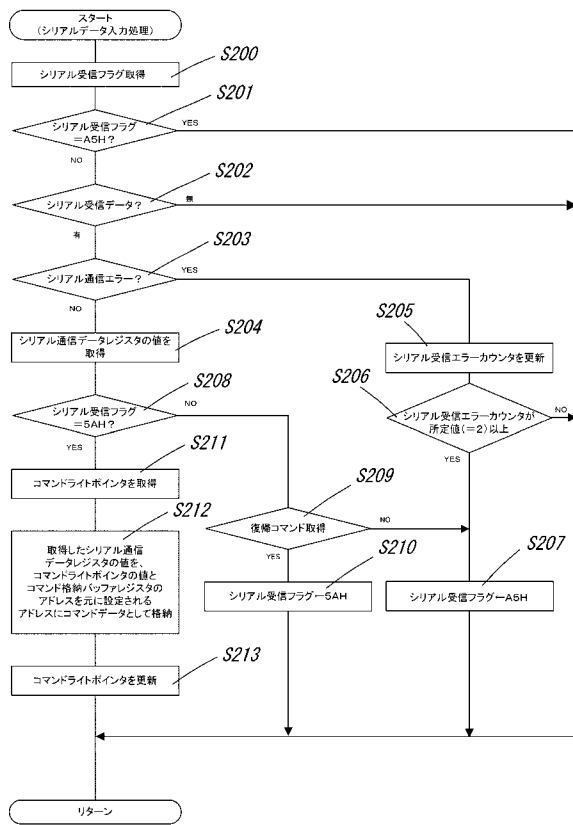
【図 1 3】



【図 1 4】



【図 15】



【図 16】

