

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 9311 1745

※ 申請日期： 93.4.27 ※IPC 分類：H01L 29/112

壹、發明名稱：(中文/英文)

具有獨立閘結構之電晶體

TRANSISTOR WITH INDEPENDENT GATE STRUCTURES

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

肆、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003 年 05 月 22 日；10/443,375

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明通常相關於一電晶體，尤其相關於製造具獨立閘結構的電晶體的方法。

【先前技術】

在毗鄰一通道區的數個側壁具有數個閘結構的數個電晶體係用以實作半導體裝置中的電路結構，此一電晶體的一範例為FinFET電晶體。通常一FinFET電晶體包括位於一"翼片"結構中的一通道區，該翼片結構垂直於該基板及一閘結構而延伸，該閘結構包括數個垂直閘元件，其沿著該翼片結構的通道的數個側面而設置。有些實施例中，該通道區在一向上延伸的源極區與汲極區之間延伸，在美國專利第6,413,802號中說明一FinFET範例。

期望一半導體裝置可實作具有數個獨立閘結構的電晶體，該等閘結構係毗鄰一通道區的各側壁而設置，惟製造此一電晶體會有困難，例如，美國專利第6,433,609號的圖2B示出具有獨立閘結構的一FinFET，惟由於在該翼片結構的上方分割一閘結構的校準問題，而使此專利提供的製造方法會有困難。

所期望的乃是有一改良方法，可用以製造具數個獨立閘結構的電晶體。

【發明內容】

相關申請案

本申請案於2003年5月22日向美國提出申請為第

10/443,375號專利申請案。

在本發明一概念中，製造一半導體裝置的方法包括提供一基板及該基板上方的一半導體結構，該半導體結構具有一第一側壁、一第二側壁及一上表面。該方法亦包括在該基板上方沈積至少一大體上正形層，該大體上正形層包括至少一層閘材料，該大體上的正形層具有一上表面，其超過該半導體結構一高度。該方法尚包括在該基板上方形成一大體上平面層，其低於該半導體結構上方的至少一大體上正形層的上表面高度，並以非研磨蝕刻穿透該半導體結構的上表面上方的該層閘材料。

在本發明另一概念中，製造一半導體裝置的方法包括提供一基板及該基板上方的一半導體結構，該半導體結構具有一第一側壁、一第二側壁及一上表面。該方法亦包括在該基板上方及在該半導體結構上方沈積一第一大體上正形層閘材料，在該第一大體上正形層上方沈積一第二大體上正形層材料，並在沈積該第二大體上正形層後，在該基板上方形成一大體上平面層。該方法仍尚包括蝕刻穿透該半導體結構的上表面上方的第一大體上正形層，蝕刻穿透該半導體結構的上表面上方的第二大體上正形層，並對該第一大體上正形層的一部分形成一接觸點。

在本發明另一概念中，形成一半導體結構的方法包括提供一基板，並在該基板上形成一半導體翼片，該翼片具有一第一側壁及一第二側壁。該方法亦包括在該基板上方形成一層電荷儲存材料，該層電荷儲存材料包括毗鄰該翼片

的第一側壁的第一部分，及毗鄰該翼片的第二側壁的第二部分。該方法仍尚包括在形成該層電荷儲存材料後，在該基板上方形形成一層閘材料，該層閘材料包括毗鄰該翼片的第一側壁的第一部分，及毗鄰該翼片的第二側壁的第二部分。該方法仍尚包括移除該半導體翼片上方的該層閘材料。

【實施方式】

以下將詳細說明用以實施本發明的模式，該說明意欲作為本發明的示範實施例，不應用以侷限本發明。

圖1根據本發明，以局部側剖圖說明在具獨立閘結構的電晶體製造中，在一階段期間的一半導體晶圓實施例。晶圓101包括一基板，該基板具有一絕緣層103，在絕緣層103上方已形成一結構104，結構104包括形成於絕緣層103上方的一半導體結構部分105，形成於半導體結構部分105及層103上方的一介電層部分111(例如二氧化矽)，及位於部分111及部分105上方的一氮化層部分109。在一實施例中，藉由在層103上方沈積一層半導體材料而形成結構104，在該半導體層上方形成一介電層(例如藉由該半導體層的熱氧化或藉由一高K電介質的原子層沈積)，然後並在該電介質上方沈積一層氮化物。然後將該半導體層、該介電層及該氮化層定圖案以形成結構104，然後在半導體結構部分105的數個側壁上形成一介電層106。如稍後將說明者，在結構104的半導體結構部分105中形成一電晶體的一通道區及數個電流端子區。在一實施例中，半導體結構部分105由接合在絕緣層103上的磊晶矽所製成，在另一實施例中，部分105

由多晶矽或其他半導體材料所製成。在一實施例中，結構104係一FinFET的翼片結構，在其他實施例中，部分109可由其他可用作硬式蝕刻罩幕的材料(例如其他電介質)所製成。

參照至圖2，在晶圓101上方(包括在結構104上方)沈積一正形多晶矽層203，如稍後將說明者，利用多晶矽層203而形成一FinFET電晶體的數個獨立閘結構。在其他實施例中，層203可由其他閘材料，諸如鎢、鈦、氮化鉭矽、矽化物(諸如矽化鈷或矽化鎳等)、鍍、鍍化矽、其他金屬，或其組合等所製成。在所示實施例中，然後在層203上方沈積一正形氮化層205，在一實施例中，使用層205作為一抗反射塗裝，並同時作為蝕刻層203的硬式罩幕，有些實施例中可不包括層205。有些實施例中，可在層205的沈積之前，先摻雜層203，在此等實施例中，可利用單一或多個植入物以多種不同的能量、角度及/或種類而摻雜層205。例如，在一實施例中，層203的左側(相關於圖2的圖示)可在一第一角度摻雜一第一雜質而使該部分具有一第一導電類型；層203的右側(相關於圖2的圖示)可在相關於圖2的圖示的一第二角度摻雜一第二雜質，而使該部分具有一第二導電類型。

圖3以局部等軸圖說明已將層205及203定圖案以形成閘結構301後的晶圓101，有些實施例中，利用習用的微影技術將層205及203定圖案。在定圖案期間，移除氮化層部分109位於結構104上方(但不在閘結構301下方)的部分，在其他實施例中，可在製造期間的稍後階段移除氮化層部分109

的此部分。 -

結構104包括電流端子區303及305，該等電流端子區位於結構104的部分105的各末端，在最終電晶體結構係一場效電晶體(FET)的一實施例中，區域303及305分別作用為源極區及汲極區，此時例如可藉由離子植入或電漿摻雜而摻雜區域303及305。

圖4以局部側剖圖說明在晶圓101上方沈積一平面層403之後的晶圓101，有些實施例中，例如可由光學阻蝕劑、旋塗式玻璃，或有機抗反射塗裝材料而製成層403。可藉由旋塗技術或藉由化學氣相沈積技術之後接著進行化學機械式拋光或回流而形成層403。

圖5說明已將層403蝕回至一位準而曝露部分505後的晶圓101，該位準低於氮化層203(位於結構104上方)的部分505的頂部。在一實施例中，例如可藉由習用乾式或濕式蝕刻技術將層403蝕回。在所示實施例中，在該蝕回之後，層403的厚度至少足以覆蓋層205的部分503，俾便不用移除部分503而可藉由蝕刻而移除層205的部分505。

在其他實施例中，可藉由層403的材料的平面沈積達到圖5所示位準(或其他期望位準)，而形成層403的最終結構(如圖5所示)。

圖6說明如圖5的相同圖示，在藉由蝕刻將位於結構104上方的氮化層205的部分505移除之後的情形。如圖6所示，在部分505的蝕刻期間，層403保護層205的部分503免於遭到移除。

參照至圖7，在移除層205的部分505之後，藉由一非研磨蝕刻(例如濕式或乾式)而移除層203先前位於層205的移除部分505下面的部分，而形成獨立閘結構701及703。在層203的蝕刻期間，層403(連同層205的剩餘部分)保護層203的部分707及709免於遭到移除。閘結構701及703各具有一垂直部分，其位置係沿著結構104的一側壁。

利用一平面層以形成數個獨立閘結構，無需額外的遮罩步驟而可容許移除該閘材料的一部分，以形成一電晶體的數個分開的閘結構。有些實施例中，該平面層容許無需移除該閘結構用以形成該等獨立閘結構的數個部分，而移除該閘結構位於結構104上方的部分。有些實施例中，因該等正形層的數個部分(包括位於結構104上方的閘材料)從該平面層露出，因此無需使用一額外遮罩步驟而可例如藉由蝕刻而移除該等部分，以隔離該等閘結構。因此，可避免掉先前所述在形成分開閘極時遭遇的校準問題。

圖8說明如圖7的相同圖示，在移除層403及205的剩餘部分後的情形。有些實施例中，可藉由濕式或乾式蝕刻而移除此等層，在其他實施例中，並未移除層403及205的剩餘部分。

圖9以等軸圖說明圖8所示的電晶體，在稍後處理階段中，由習用半導體技術而形成該電晶體的數個隔離物及矽化層。區域903及905作用為電流端子接觸點(例如作為FET的源/汲極接觸點)，同時區域907及909分別作用為閘結構701及703的閘極接觸點。

圖10說明如圖8的相同圖示，分別在區域907及909上方形成閘極通孔1003及1005之後的情形，示出一低K介電材料1009沈積於該最終電晶體結構上方。在晶圓101上可執行本文中未示出或說明的其他習用處理階段，以形成一半導體裝置的其他習用結構(諸如數個互連及鈍化層等)，然後將該晶圓個別化而分離該晶圓的數個積體電路。

根據本發明，可藉由其他過程製造具有數個獨立閘結構的電晶體，例如，如以上相關於圖10所述，形成數個隔離物及/或矽化物之後，可執行平面層403的形成及位於結構104上方的閘材料部分(例如在層203中)的移除。亦可能無需利用正形氮化層205而製造具獨立閘結構的電晶體，利用此等實施例，將形成平面層403，俾便將位於結構104上方的該層閘材料(例如203)的上部露出而用於蝕刻。

有些實施例中，可藉由硬式接線(例如在該等閘結構間延伸的導電材料)，或藉由可容許用於該等閘結構而可選擇地耦合一起的其他電晶體，而將數個獨立的閘結構耦合一起。

圖11至17根據本發明，以數個圖示提出在製造具有獨立閘結構的另一電晶體實施例中，在多種不同階段期間的半導體晶圓。所形成的電晶體亦包括位於該電晶體的數個閘極與通道區間的數個電荷儲存位置，如稍後將說明者，可利用此一電晶體作為非揮發性記憶裝置，而將資料儲存於該等電荷儲存位置中。

晶圓1101包括具有一絕緣層1103的一基板，一結構1104已形成於絕緣層1103上方，在一實施例中，結構1104係用

於一FinFET電晶體的"翼片"結構，該FinFET電晶體具有數個電荷儲存位置。結構1104包括形成於絕緣層1103上方的一半導體結構部分1105，形成於半導體結構部分1105及層1103上方的一介電層部分1111(例如二氧化矽)，及位於部分1111及部分1105上方的一氮化層部分1109。在一實施例中，藉由在層1103上方形成一層半導體材料，在該半導體材料層上方形成一介電層(例如藉由該半導體層的熱氧化或藉由一高K電介質的原子層沈積)，然後在該介電層上方沈積一層氮化物而形成結構1104。然後將該半導體層、該介電層及該氮化層定圖案以形成一結構，其中該半導體層、介電層部分1111及氮化層部分1109的側壁互相緊接。在所示實施例中，然後修整該半導體層的剩餘部分而使剩餘的半導體層的數個側壁凹陷，以形成圖11所示的部分1105。在其他實施例中，並未修整結構部分1105，有些實施例中，可在藉由習用半導體處理技術將該層半導體材料定圖案之前，先摻雜結構部分1105而提供部分1105的通道區一特定導電類型。

然後，在半導體結構部分1105的數個側壁上形成一介電層1107，如稍後將說明者，在部分1105中形成該通道區及數個電流端子區。在一實施例中，半導體結構部分1105由接合在絕緣層1103上的磊晶矽所製成，在其他實施例中，部分1105可由多晶矽或其他半導體材料所製成。在一實施例中，結構1104係一FinFET的一翼片結構。

參照至圖12，然後在晶圓1101(包括結構1104)上方沈積一

層電荷儲存材料1203，在一實施例中，層1203包括一層諸如多晶矽等導電材料(例如，如同於浮動閘電晶體)。在其他實施例中，層1203可包括其他類型的電荷儲存材料，包括具有複數個電荷捕捉元素的材料(例如，如同於薄膜電晶體的氮化矽)。在其他實施例中，層1203亦可包括分離的電荷儲存材料(例如矽奈米晶體內嵌於一層電介質中)。有些實施例中，該等奈米晶體直徑為2至10 nm，並具有 3 至 $10e^{11}/cm^2$ 的密度。在其他實施例中，層1203可由多層所製成，諸如一層矽奈米晶體及一層沈積於該層矽奈米晶體上方的氮化矽(或一層內嵌於兩層介電材料間的矽奈米晶體)。

圖13以局部側剖圖說明蝕刻層1203以移除層1203位於氮化層部分1109上方及位於絕緣層1103上的部分後的晶圓1101，稍後將蝕刻層1203所剩餘的數個部分，以形成位於結構1104的數個相對面側壁上的隔離式電荷儲存結構1307及1305。在一實施例中，利用各向異性乾式蝕刻將層1203蝕刻，以形成儲存結構1307及1305；有些實施例中(其中該電荷儲存材料由高電阻材料所製成，以便少(至無)漏電)，未蝕刻層1203，在此類實施例中，具有數個電荷儲存位置的數個電荷儲存結構將為一連續層1203的一部分。

圖14以局部側剖圖說明在晶圓1101上方沈積一正形層控制電介質1403後，及在層1403上方沈積一正形層閘材料1407後的晶圓1101。

沈積閘材料層1407後，按照以上相關於圖2至8所述類似

過程，而進一步處理該晶圓以形成兩個閘結構，例如，在層1407上方沈積一氮化層(未示)，該層類似於圖2中的氮化層205。然後將該氮化層及層1407定圖案以形成一閘結構(類似於圖3所示閘結構301)。有些實施例中，在蝕刻層1407後，將電荷儲存層1203位於介電層1107的側面上及未在該閘結構下方的部分加以蝕刻。形成一閘結構後，再形成一平面層(類似於圖5中的層403)，其中曝露該氮化層位於結構1104上方的部分(參見圖5及其討論內文)。移除該氮化層的裸露部分後，再利用類似於圖6至8及其討論中所提出的方式，將位於結構1104上方的閘材料加以蝕刻，以形成數個閘結構1505及1503(參見圖15)。

圖15以局部側剖圖說明形成數個閘結構1505及1503之後的晶圓1101，圖16以局部等軸圖說明圖15中所示的電晶體結構。數個區域1607及1605作用為數個電流端子區，該等區域有1611及1613作用為該等區域的數個電流端子接觸點(例如作為FET的源/汲極接觸點)，數個區域1620及1617亦分別作用為數個閘結構1505及1503)的閘極接觸點。

有些實施例中，將閘結構1503及1505加以摻雜，在一實施例中，在該層閘材料上方沈積該氮化層(例如205)之前，先摻雜此等閘結構的材料。有些實施例中，亦在形成閘結構1505及1503後才摻雜電流端子區1607及1605，以提供一導體類型，該導電類型不同於半導體結構部分1105的通道區的導電類型。

在稍後處理階段中，藉由習用半導體技術而在電晶體結

構1621上方形成數個矽化層、隔離物、閘極通孔及電流端子通孔，亦可在最終電晶體結構1621上方沈積一低K介電材料(例如1009)。在晶圓1101上可執行本文未示出或說明的其他習用處理階段，以形成一積體電路的其他習用結構(諸如數個互連及鈍化層等)。

可利用圖16所示的最終電晶體結構1621作為一非揮發性記憶單元，該記憶單元具有四個隔離的電荷儲存位置(在電荷儲存結構1305及1307中分別各有兩個)，該等電荷儲存位置各可儲存一位元資料。

圖17以局部剖面上視圖說明圖16所示的電晶體結構1621，電荷儲存結構1305包括兩個電荷儲存位置1709及1711，而電荷儲存結構1307包括兩個電荷儲存位置1713及1715。可藉由對電流端子區1605及1607及閘結構1503及1505施加電壓，而程式化、讀取及/或拭除此四個電荷儲存位置。

在一實施例中，電晶體結構1621的功能如同兩個共享源/汲極區並各有兩個電荷儲存位置的功能MOSFET電晶體。閘結構1503作用為該等功能電晶體之一者的閘極，而閘結構1505作用為另一功能電晶體的閘極。電荷儲存位置1709及1711作用為具有閘結構1503作為其閘極的功能電晶體的電荷儲存位置；電荷儲存位置1713及1715作用為具有閘結構1505作為其閘極的功能電晶體的電荷儲存位置。

在所示實施例中，半導體結構部分1105包括一通道區1725(大約由破折線加以區分)，通道區1725位於電流端子區

1605與1607之間。將通道區1725加以摻雜以提供一第一導電類型，並將電流端子區1605與1607加以摻雜以提供一第二導電類型。

在電晶體結構1621的操作期間，當一電壓施至閘結構1503而超過與閘結構1503相關聯的功能電晶體的一電壓臨界值時，沿著通道區1725毗鄰閘結構1503的側壁形成一反向區。當一電壓施至閘結構1505而超過與該閘結構相關聯的功能電晶體的一電壓臨界值時，沿著通道區1725毗鄰閘結構1505的側壁形成一反向層。有些實施例中(其中部分1105在閘結構1503與1505之間較薄)，發生該等反向層的數個區域會重疊。

可將電荷注入各個電荷儲存位置中(例如藉由熱載子注入)，以增加與該電荷儲存位置相關聯的功能電晶體的臨界電壓，例如，為將一電荷儲存於電荷儲存位置1709中，將一正電壓(V_{pp})施至閘結構1503，將 $1/2 V_{pp}$ 施至電流端子區1605，並將一接地電位施至電流端子區1607及閘結構1505。

可將各個電荷儲存位置互相獨立地加以讀取，將一正電壓(V_{dd})施至毗鄰一電荷儲存位置的閘結構，並將一正電壓(V_{dd})施至該電荷儲存位置對面側上的電流端子，將有效地讀取該電荷儲存位置中所儲存的電荷，而不會受到其他電荷儲存位置所儲存電荷的影響。例如，為讀取電荷儲存位置1709，將一正電荷施至閘結構1503，並施至電流端子區1607，將一接地電位(V_{SS})施至閘結構1505及電流端子區1605。施至電流端子區1607的電壓夠正向，俾有效地遮罩

或遮蔽任何存在於電荷儲存位置1711中的電荷，依此，通過該通道區的電流主要受到位置1709中所儲存電荷的影響，而未受到其他任何電荷儲存位置所儲存電荷的影響。

為拭除一電荷儲存位置所儲存的電荷，可利用一熱電洞注入技術，例如，為拭除電荷儲存位置1709中所儲存的電荷，將一負電荷($-V_{pp}$)施至閘結構1503，並將一正電荷(V_{pp})施至電流端子區1605，該電流端子毗鄰電荷儲存位置1709。將一接地電位(V_{ss})施至電流端子區1605及閘結構1505。

在另一實施例中，藉由將一負電壓($-V_{pp}$)施至閘結構1503及1505，並將一正電壓(V_{pp})施至電流端子區1605及1607，可同時拭除結構1621的數個電荷儲存位置。

在其他實施例中，可利用其他程式化、讀取及/或拭除技術，而程式化、讀取及/或拭除電晶體結構1621的電荷儲存位置中的電荷。

在其他實施例中，可利用電晶體結構1621，俾便只實作兩個電荷儲存位置，在一此類實施例中，第一電荷儲存位置位於電荷儲存結構1305中，而第二電荷儲存位置位於電荷儲存結構1307中。利用此等實施例，利用電晶體結構1621作為兩個功能電晶體，其中各功能電晶體包括一電荷儲存位置。在此一實施例的一範例中，該電荷儲存層將由導電材料(例如多晶矽)所製成，例如，如同於浮動閘電晶體。

在只具有兩個電荷儲存位置的其他實施例中，各電荷儲存結構(1305及1307)將能獨立地儲存一電荷，但將電晶體結

構1621讀取為具有4電壓臨界位準的單一功能電晶體，該電壓臨界值將為兩電荷儲存結構中所儲存電荷的函數。在此實施例中，將利用施至該等閘結構的不同電壓而將該等電荷儲存結構程式化，利用施至兩閘結構的單一電壓而讀取該電晶體結構。有些此等實施例中，該等閘結構較佳屬於不同導電類型，或具有不同的工作函數。

在其他實施例中，毗鄰該通道區的數個側壁具有數個閘結構的一電晶體結構可具有其他配置，例如，通道區1725的寬度、長度及/或高度可為其他尺寸。在其他實施例中，亦可將多個電晶體結構鏈結一起，其中各電晶體結構與該毗鄰電晶體結構共享一電流端子區(例如1607)。該等通道區(例如1725)及該等閘結構(例如1503及1505)將位於該等共享電流端子區(例如1607與1605)之間。此一實作範例可由圖18所示陣列所代表，其中一電晶體結構的電流端子區作用為另一的電晶體結構的電流端子區。例如，參照至圖16，當結構1104的中間結構1631從末端結構1630延伸時，一第二中間結構(未示)將從相反方向的末端結構1630延伸(至相對於圖17所示圖形的左邊)。當中間結構1631從末端結構1629延伸時，一第三中間結構(未示)將從相反方向的末端結構1629延伸(至相對於圖17所示圖形的右邊)。類似於閘結構1503及1505的一對閘結構將毗鄰該第二中間結構及第三中間結構的各側壁，類似於閘結構1503及1505相對於中間結構1631的位置。

在其他實施例中，閘結構1503及1505可具有不同的導電

類型，在一實施例中，此可藉由不同雜質種類的角度植入而達成，例如可在閘結構1505植入一P+雜質，並可在閘結構1503植入一N+雜質。

圖18以電路圖說明一非揮發性記憶體陣列，該記憶體陣列將電晶體結構1621實作為包括四個儲存位置(1713、1709、1715及1711)的一記憶單元。在一實施例中，陣列1801係一積體電路裝置的非揮發性記憶體陣列，陣列1801包括許多記憶單元，其中各單元(例如1809、1805、1807)實作類似於電晶體結構1621的一電晶體結構。各單元包括類似於儲存位置1713、1709、1715及1711的四個儲存位置。

各單元的數個閘結構(例如1505及1503)耦合至一字線，例如，閘結構1505耦合至字線WL0，而閘結構1503耦合至字線WL1。一記憶單元的各電流端子區耦合至一位元線，例如，端子區的端子接觸點1611耦合至位元線BL1，而電流端子接觸點1613耦合至位元線BL2。陣列1801的數個位元線(BL0、BL1、BL2及BL3)及數個字線(WL0、WL1、WL2及WL3)耦合至習用記憶體陣列控制電路結構(未示)，以控制該等線的電壓。該等記憶單元在數列及數行中，配置於陣列1801中，在所示實施例中，數個單元1809及電晶體結構1621的單元係位於同列中，而數個單元(1809及1807)係在同行中。

圖19提出用以程式化、拭除及讀取儲存位置1713而施至圖18所示位元線及字線的數個電壓，在一實施例中， $V_{pp}=8.0\text{ V}$ ， $V_{ss}=0$ ，及 $V_{dd}=4.0$ 。為讀取儲存位置1713，BL1

耦合至一感應放大器(未示)(如圖 19 的表中以 "SA" 所指明)，以判定該電晶體是否已導通。一電晶體是否已導通取決於一電荷是否儲存在正讀取的電荷儲存位置(例如 1713)。為將位置 1713 程式化，將 $V_{PP}/2$ 的一電壓施至位元線 BL1 及所有位於 BL1 之前的位元線(例如 BL0)，俾未將具有一閘極耦合至字線 WL0(位於位元線 BL1 之前)的數個位置(例如電荷儲存位置 1821)程式化。將一接地電壓 VSS 施至位於 BL1 之後的所有位元線(例如 BL2 及 BL3)，俾未有任何位於位元線 BL2 之後的電荷儲存位置(例如 1823)遭到不經意的程式化。

在其他實施例中，可在一封閉拭除函數中拭除陣列 1801 的數個電荷儲存位置，在此等實施例中，將一正電壓施至所有位元線，並將一負電壓施至所有字線。

圖 20 提出用以程式化、拭除及讀取儲存位置 1711 而施至圖 18 所示位元線及字線的數個電壓。

如圖 19 及 20 的表格所示，在此等操作期間，在正程式化、拭除或讀取的電荷儲存位置對面的一單元的閘極以接地(VSS)加以偏壓，例如在位置 1713 的程式化、拭除及讀取操作期間，以 VSS 將閘結構 1503(其在電荷儲存位置 1713 的對面)偏壓。

圖 21 及 22 提供在另一實施例中施至陣列 1801 的數個位元線及字線的數個電壓，用以程式化、拭除及讀取 1801 的數個電荷儲存位置。在此實施例中，正程式化的一單元的電荷儲存位置的對面閘極，以該單元(與該位置相關聯)的閘極

的相反電壓加以偏壓，例如，參照至圖 21，為將位置 1713 程式化，將一正電壓 V_{PP} 施至該字線 (WL0)，字線 WL0 耦合至閘結構 1505 並與電荷儲存位置 1713 相關聯，並將 $-V_{PP}$ 施至字線 WL1，字線 WL1 耦合至閘結構 1503 並在電荷儲存位置 1713 的對面。在此實施例中，該等電晶體結構的數個通道區的寬度及導電性，係便於毗鄰一閘結構的通道區的電位受到對面閘結構的影響。

因一負程式化電壓可施至正程式化的一電荷儲存位置的對面閘極，因此可減少施至與正程式化單元相關聯的閘極的電壓。例如，在一實施例中， V_{PP} 可為 6.0 伏特，因此，因為此實施例容許該程式化電壓減少，因此可利用較低的程式化電壓。有些實施例中，減少該程式化電壓可容許提供該程式化電壓的電路結構所需的面積減少。

由使用在一記憶體陣列中毗鄰數個相對面側壁而具有數個閘結構的一電晶體而發生的另一優勢為，一電荷儲存位置的對面閘極可提供具有電壓控制電路的一電晶體 (諸如一 FinFET 等)，該電壓控制電路有效地充任一平面 CMOS 電晶體的適當電壓控制電路。惟，不像平面 CMOS 電晶體的適當電壓控制電路，該對面閘極的電壓可獨立於該陣列的其他列中的數個閘極而受到控制。相較於利用其他類型電荷儲存電晶體的可能情況，此容許一陣列使用更先進的程式化及拭除技術。

利用圖 18 所示陣列而可發生的一優勢為，在一已知面積可實作的電荷儲存位置較多於利用平面 CMOS NVM 單元

者。此外，利用圖18的陣列，因僅利用兩個電流端子接觸點即可程式化四個獨立的儲存位置，因此可將該等電晶體更緊密地設置在一陣列中。有些實施例中，類似於電晶體結構1621的一電晶體結構可輕易地實作於一積體電路中，該積體電路具有實作FinFET科技或其他類型絕緣上矽科技的數個裝置。

在另一實施例中，可將電晶體結構1261修改成一閘極與該通道區的數個側壁間僅有一電荷儲存結構，利用此一電晶體的一實施例，該對面側壁在它與該對面閘極間將不具有一電荷儲存結構，該對面閘極將作用為一有效適當偏壓控制電路。

此外，諸如上述該等電晶體結構可實作於具有其他配置的記憶體陣列中，在其他實施例中，在毗鄰一半導體結構的數個相對面側壁具有兩個獨立閘結構，並在該等閘結構與該等側壁之間具有數個電荷儲存位置的一記憶單元，亦可能由此說明書所提出者以外的其他半導體處理過程(包括用以形成數個獨立閘結構的其他習用處理過程)加以製造。

雖然已提出並說明本發明的數個特殊實施例，但根據本文的教示，熟諳此藝者將了解，不用背離此發明及其較廣泛概念，可作出進一步的變動及修改，因此，後附申請專利範圍將用以在其範疇內涵括所有此類變動及修改，視同涵括在本發明的真精神及範疇內。

【圖式簡單說明】

參照以下附圖可較佳了解本發明，熟諳此藝者並可明白本發明多個目的、特徵及優點。

圖1根據本發明，以局部側剖圖說明在電晶體製造的一階段期間的一半導體晶圓實施例；

圖2根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的一半導體晶圓實施例；

圖3根據本發明，以局部等軸圖說明在電晶體製造的另一階段期間的一半導體晶圓實施例；

圖4根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的一半導體晶圓實施例；

圖5根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的一半導體晶圓實施例；

圖6根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的一半導體晶圓實施例；

圖7根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的一半導體晶圓實施例；

圖8根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的一半導體晶圓實施例；

圖9根據本發明，以局部等軸圖說明在電晶體製造的另一階段期間的一半導體晶圓實施例；

圖10根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的一半導體晶圓實施例；

圖11根據本發明，以局部側剖圖說明在電晶體製造的一階段期間的另一半導體晶圓實施例；

圖 12 根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的另一半導體晶圓實施例；

圖 13 根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的另一半導體晶圓實施例；

圖 14 根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的另一半導體晶圓實施例；

圖 15 根據本發明，以局部側剖圖說明在電晶體製造的另一階段期間的另一半導體晶圓實施例；

圖 16 根據本發明，以局部等軸圖說明在電晶體製造的另一階段期間的另一半導體晶圓實施例；

圖 17 根據本發明，以局部剖面上視圖說明另一電晶體實施例；

圖 18 根據本發明，以示意圖說明一記憶體陣列實施例；

圖 19 根據本發明，以表格說明施至一記憶體陣列的位元線及字線以程式化、拭除及讀取該記憶體陣列的一電荷儲存位置的一組電壓實施例；

圖 20 根據本發明，以表格說明施至一記憶體陣列的位元線及字線以程式化、拭除及讀取該記憶體陣列的另一電荷儲存位置的一組電壓實施例；

圖 21 根據本發明，以表格說明施至另一記憶體陣列的位元線及字線以程式化、拭除及讀取該記憶體陣列的一電荷儲存位置的另一組電壓實施例；及

圖 22 根據本發明，以表格說明施至另一記憶體陣列的位元線及字線以程式化、拭除及讀取該記憶體陣列的另一電

荷儲存位置的另一組電壓實施例。

除非特別註明，不同附圖中所使用的相同參照符號表示相同的項目。

【圖式代表符號說明】

1, 301, 1503, 1505	閘結構
101, 1101	晶圓
103, 403, 1103	層
104, 1104	結構
105	半導體結構部分
106, 1107	介電層
109, 1109	氮化層部分
111	介電層部分
203	多晶矽層
205	氮化層
303, 305	電流端子區
503, 505, 1105	部分
701, 703	閘結構
707, 709, 1111	部分
903, 905, 907, 909, 1617, 1620	區域
1003, 1005	閘極通孔
1009	低K介電材料
1203	電荷儲存層
1261, 1621	電晶體結構
1305, 1307	電荷儲存結構

1403, 1407 -	正形層
1605, 1607, 1611, 1613	電流端子區
1629, 1630	末端結構
1631	中間結構
1709, 1711, 1713, 1715, 1821	電荷儲存位置
1725	通道區
1801	陣列
1809	單元

伍、中文發明摘要：

本發明揭示一種製造具有獨立閘結構(701、703)之電晶體之方法，該等閘結構各毗鄰一半導體結構(105)之數個側壁，該方法包括在一半導體結構上方沈積至少一正形層，該半導體結構包括該通道區，該至少一正形層包括一層閘材料(203)。一平面層(403)形成於該晶圓上方，在該基板上方之一位置，該平面層具有一上表面，其低於該至少一正形層之上表面。蝕刻該至少一正形層以移除該半導體結構上方之閘材料。

陸、英文發明摘要：

A method of making a transistor with independent gate structures (701, 703). The gate structures are each adjacent to sidewalls of a semiconductor structure (105). The method includes depositing at least one conformal layer that includes a layer of gate material (203) over a semiconductor structure that includes the channel region. A planar layer (403) is formed over the wafer. The planar layer has a top surface below the top surface of the at least one conformal layer at a location over the substrate. The at least one conformal layers are etched to remove the gate material over the semiconductor structure.

拾壹、圖式：

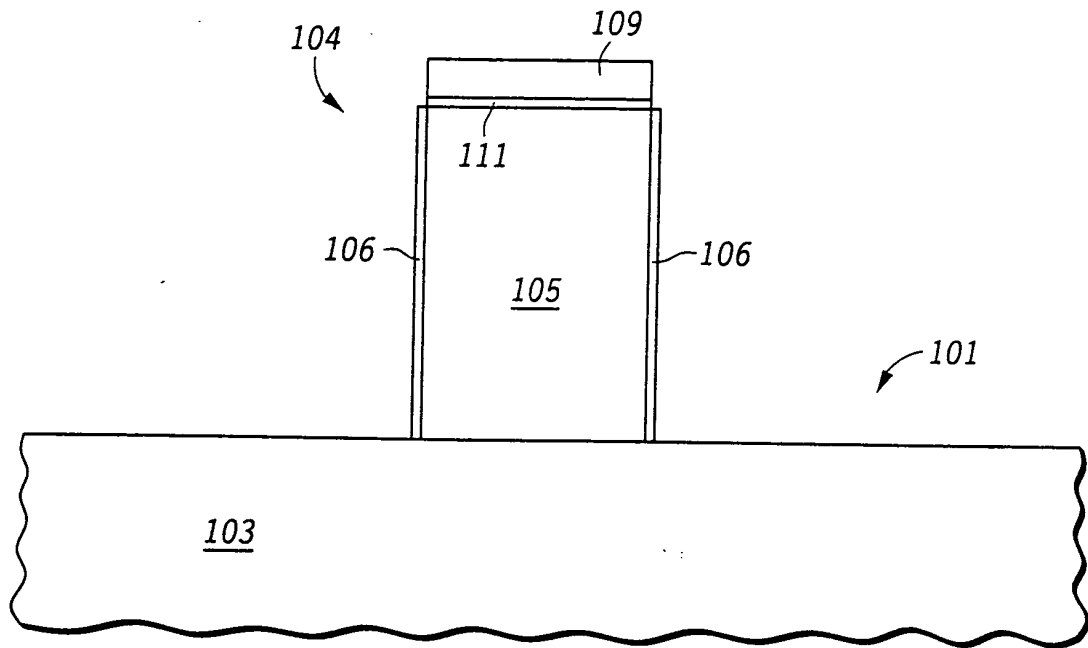


圖1

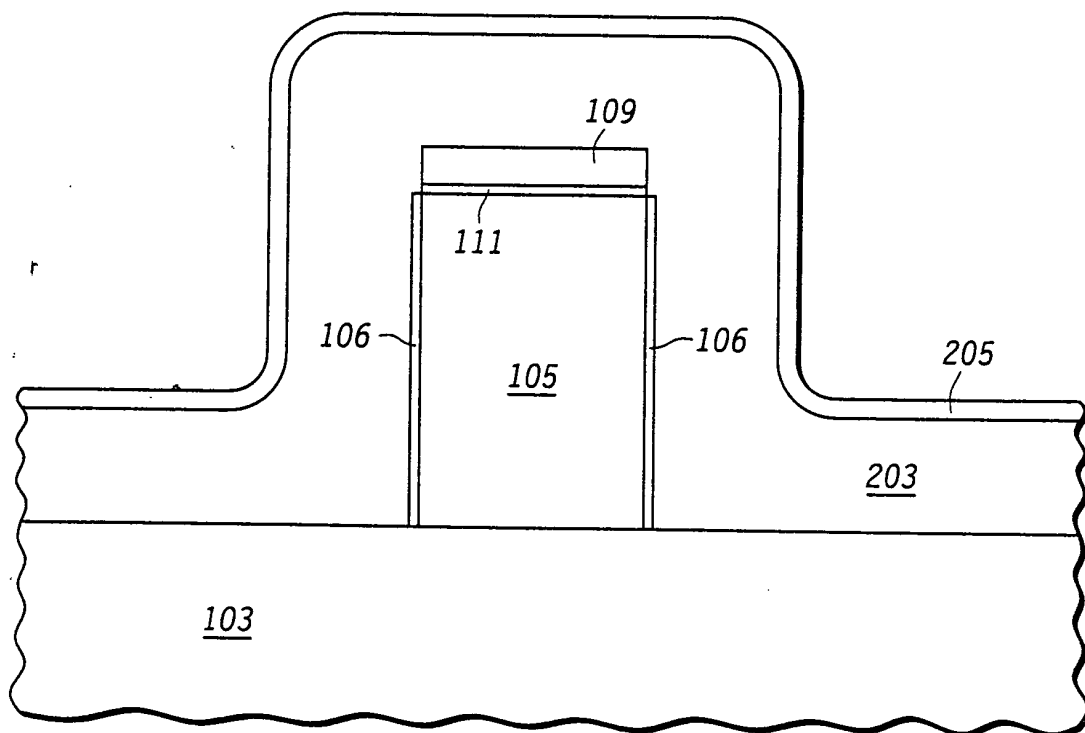


圖2

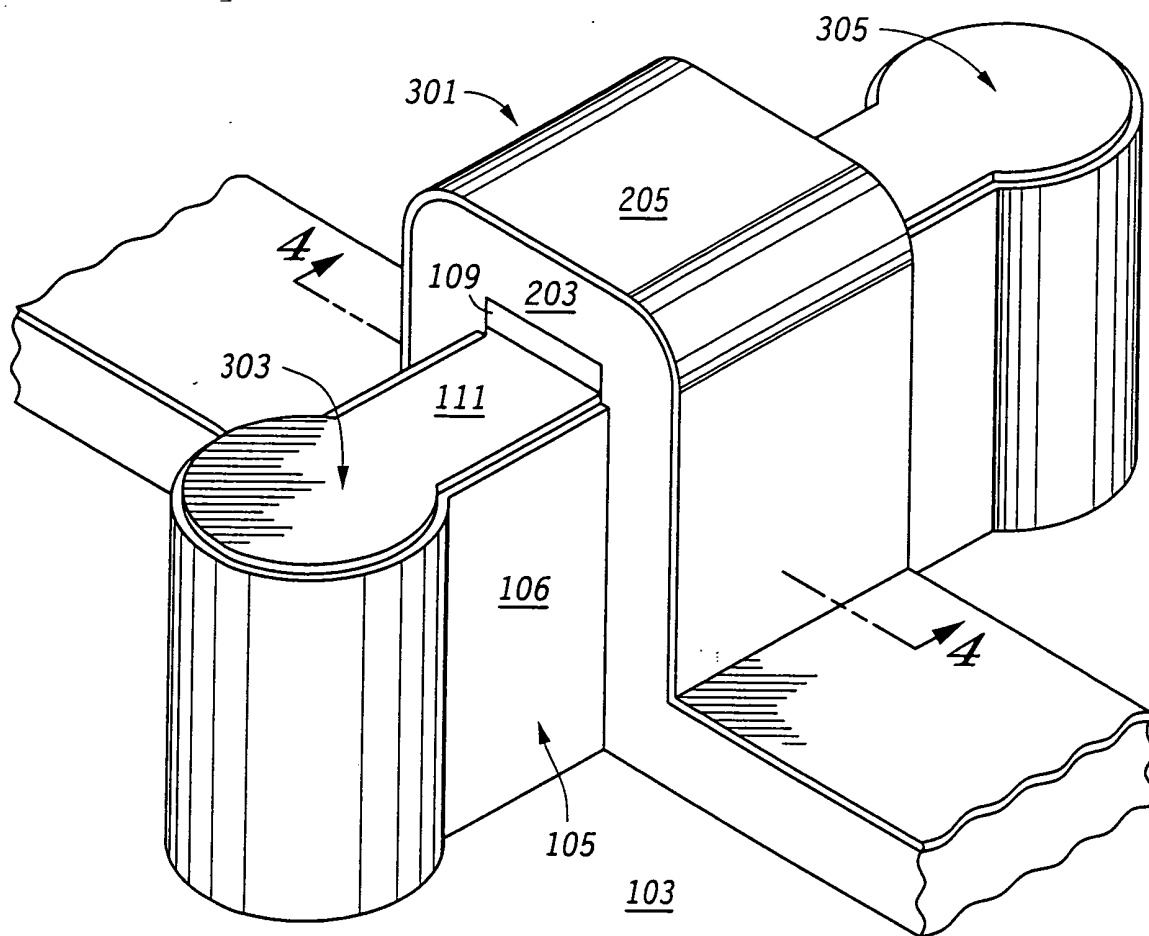


圖3

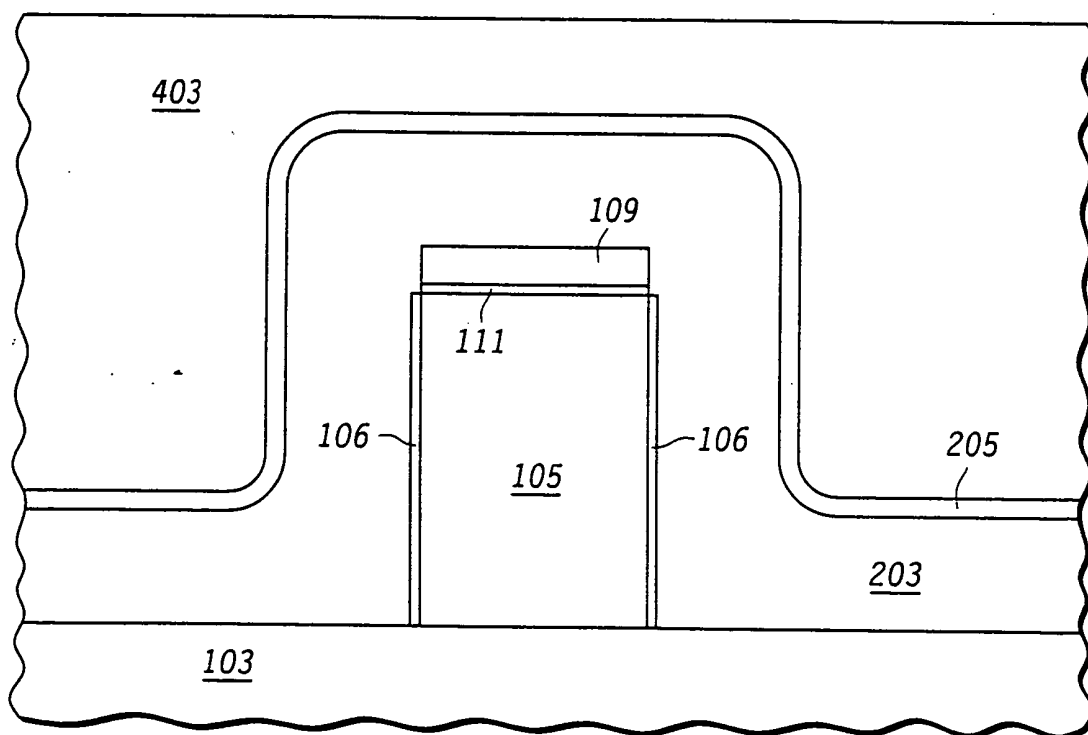


圖4

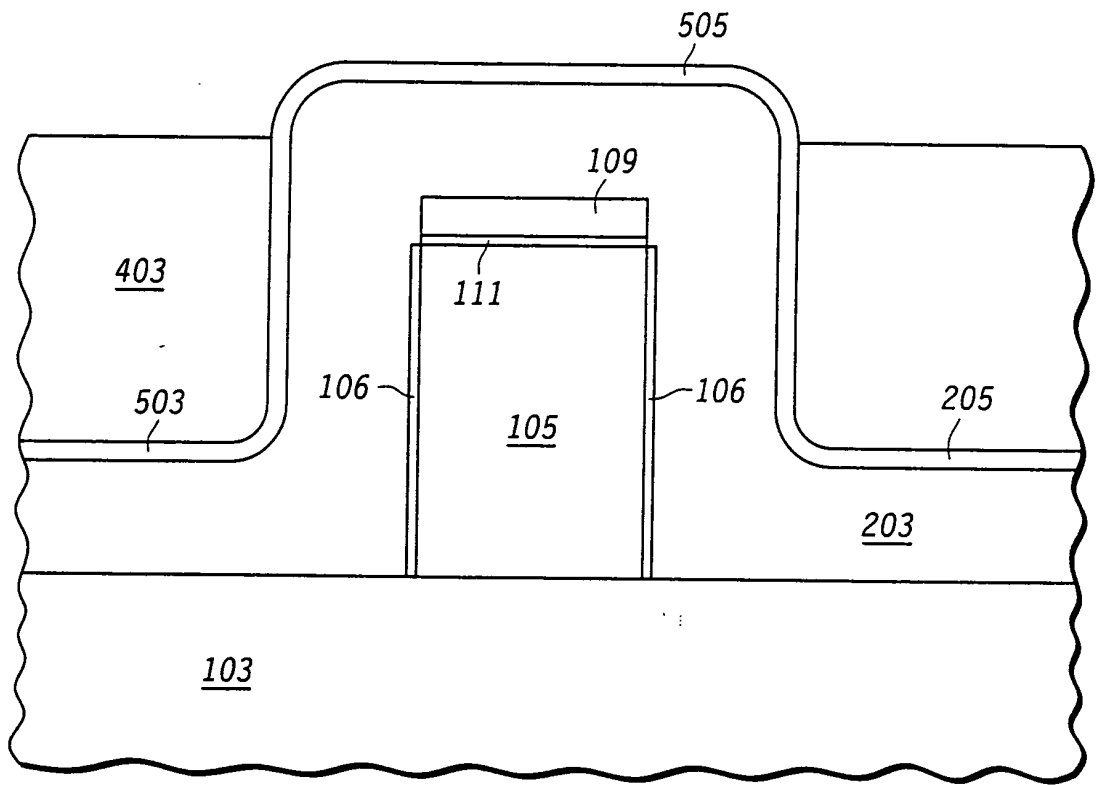


圖5

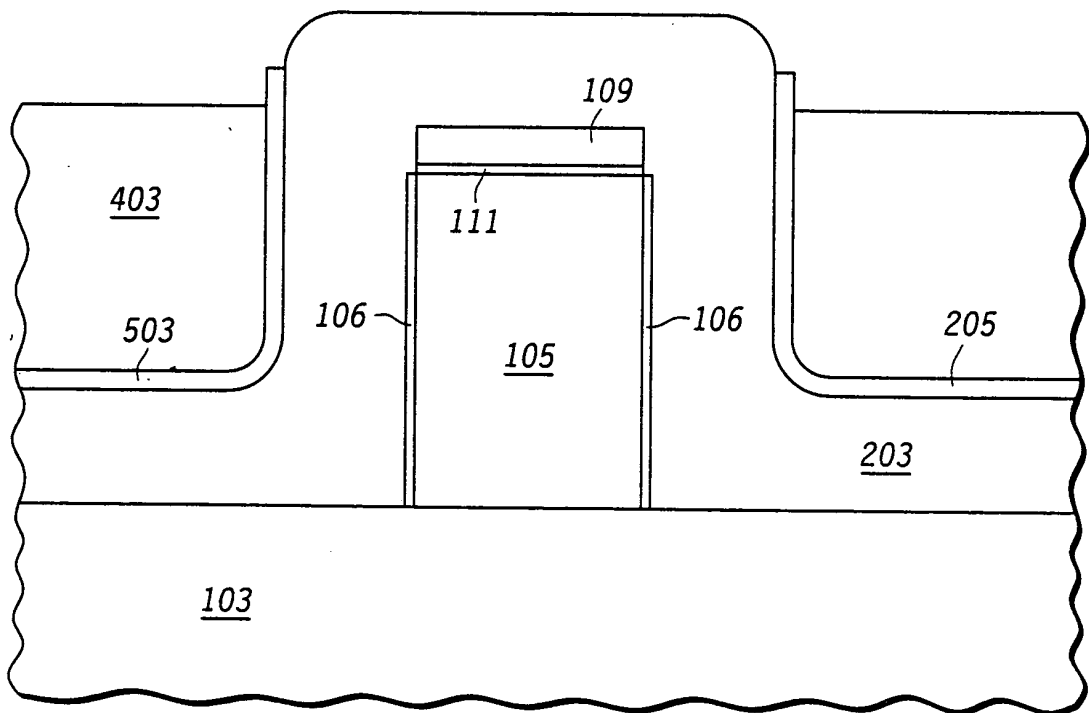


圖6

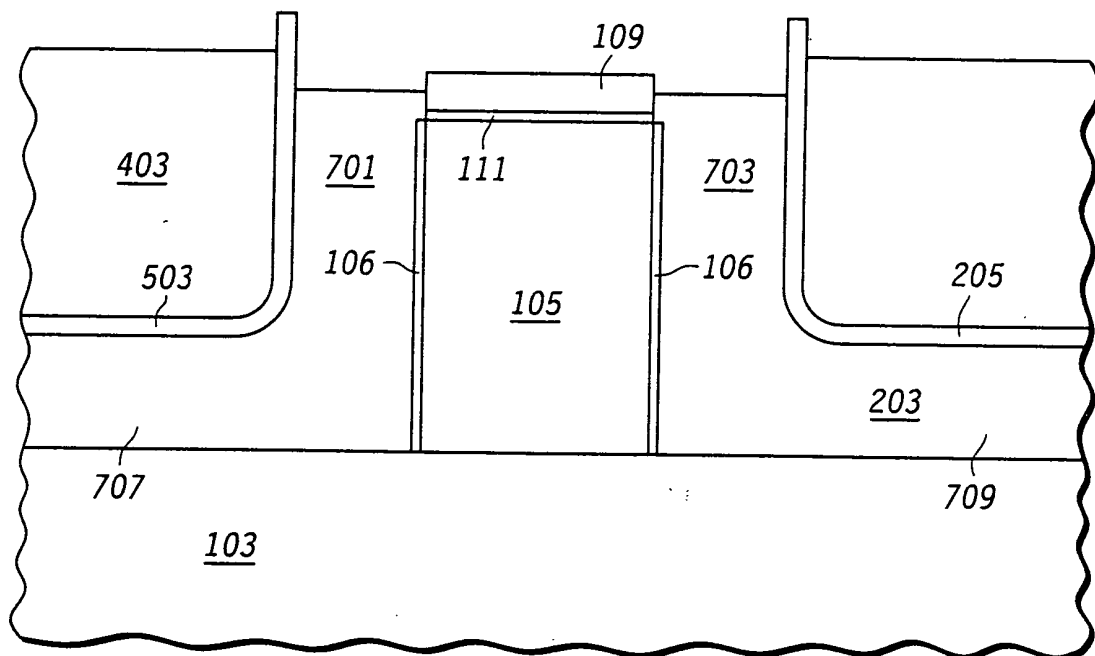


圖 7

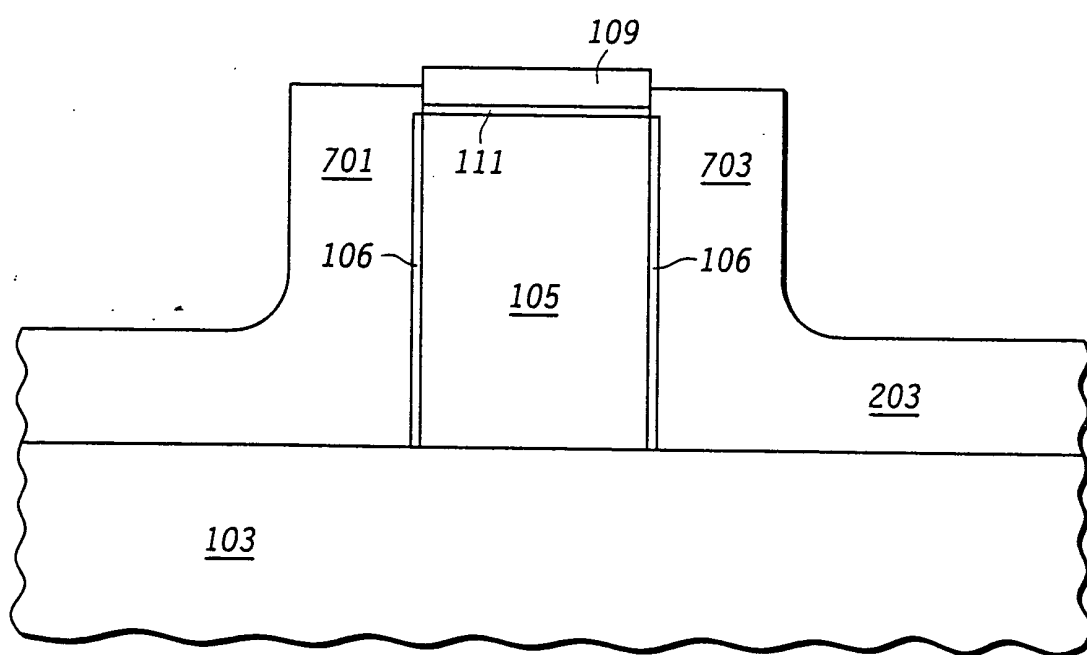


圖 8

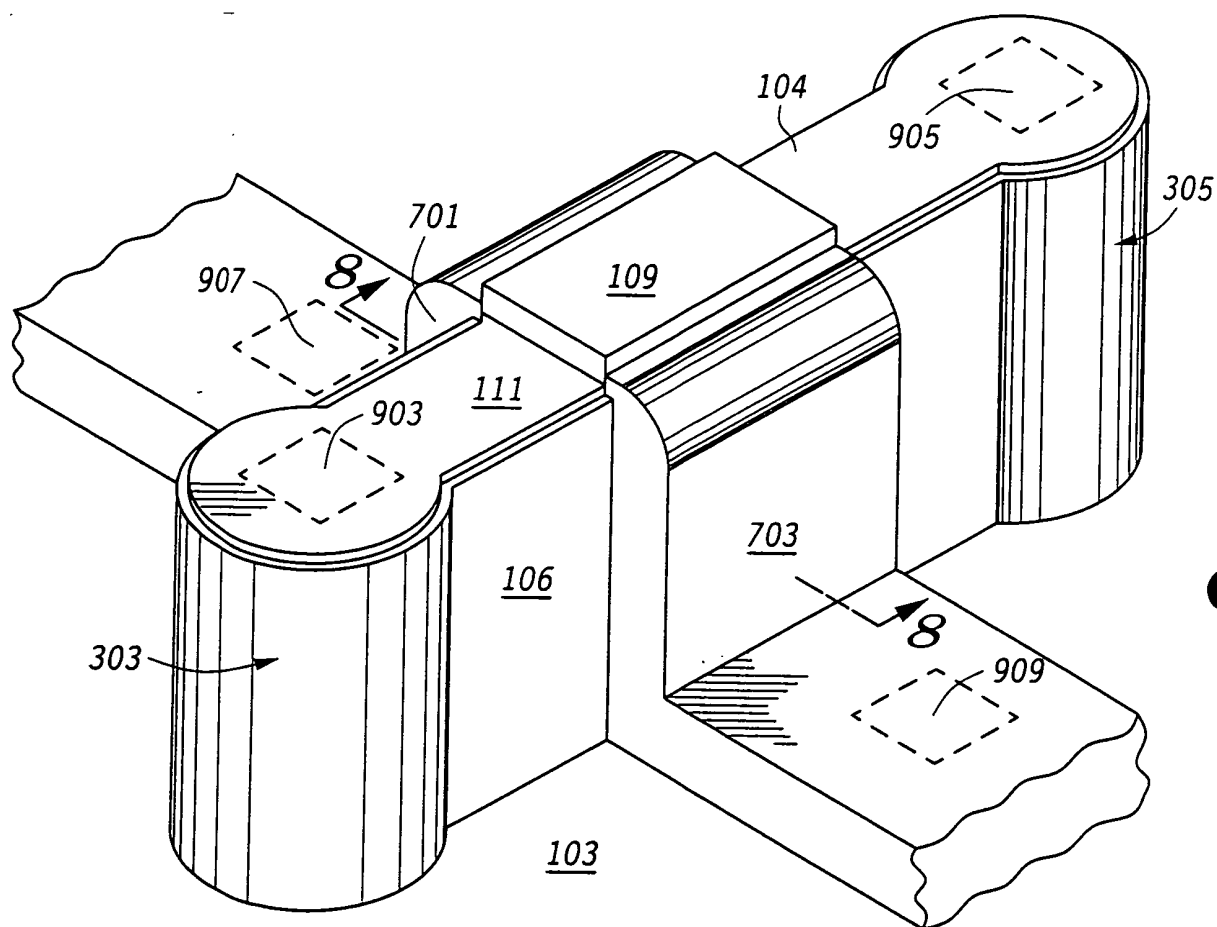


圖 9

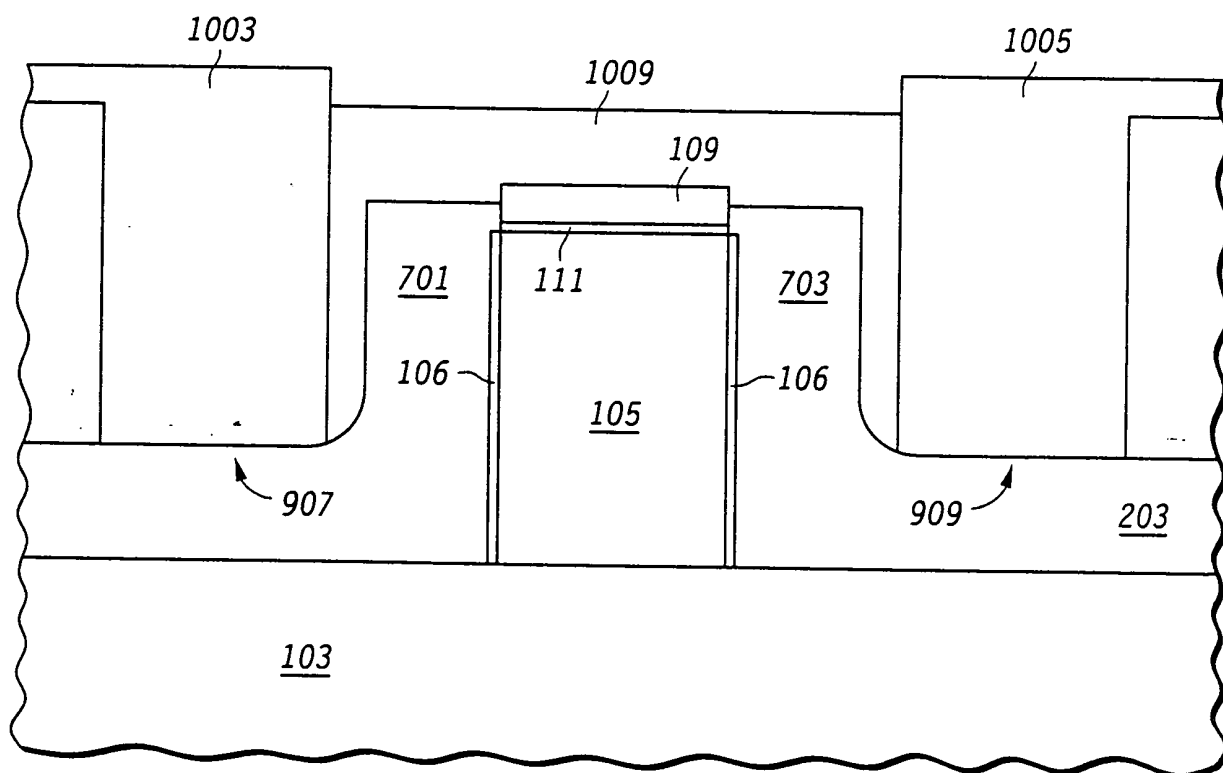


圖 10

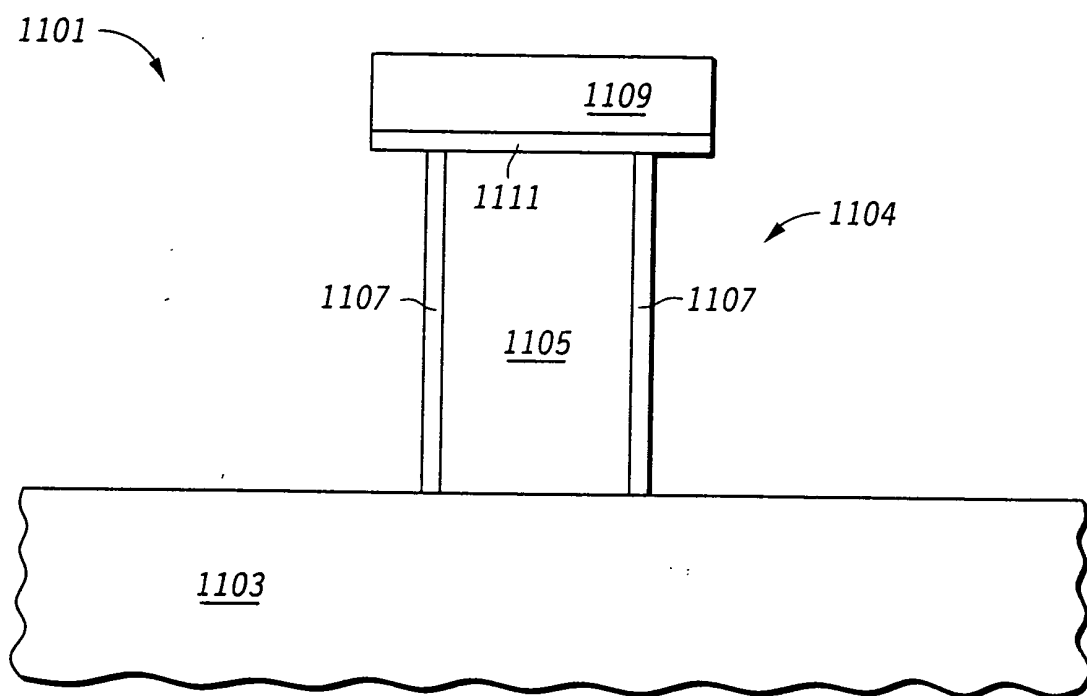


圖 11

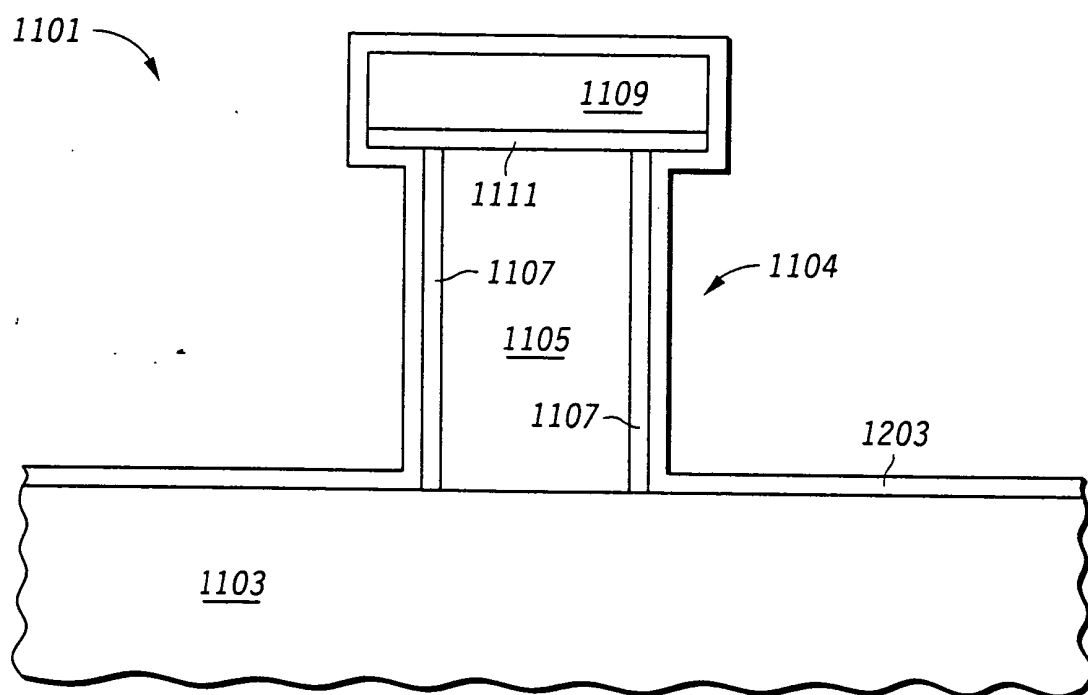


圖 12

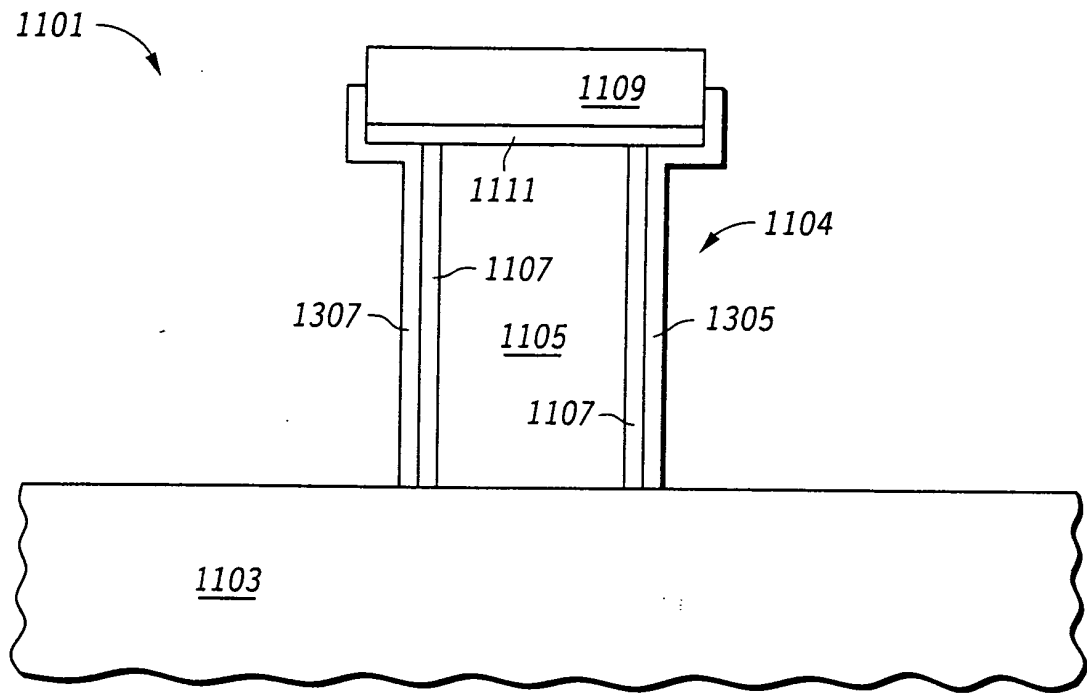


圖 13

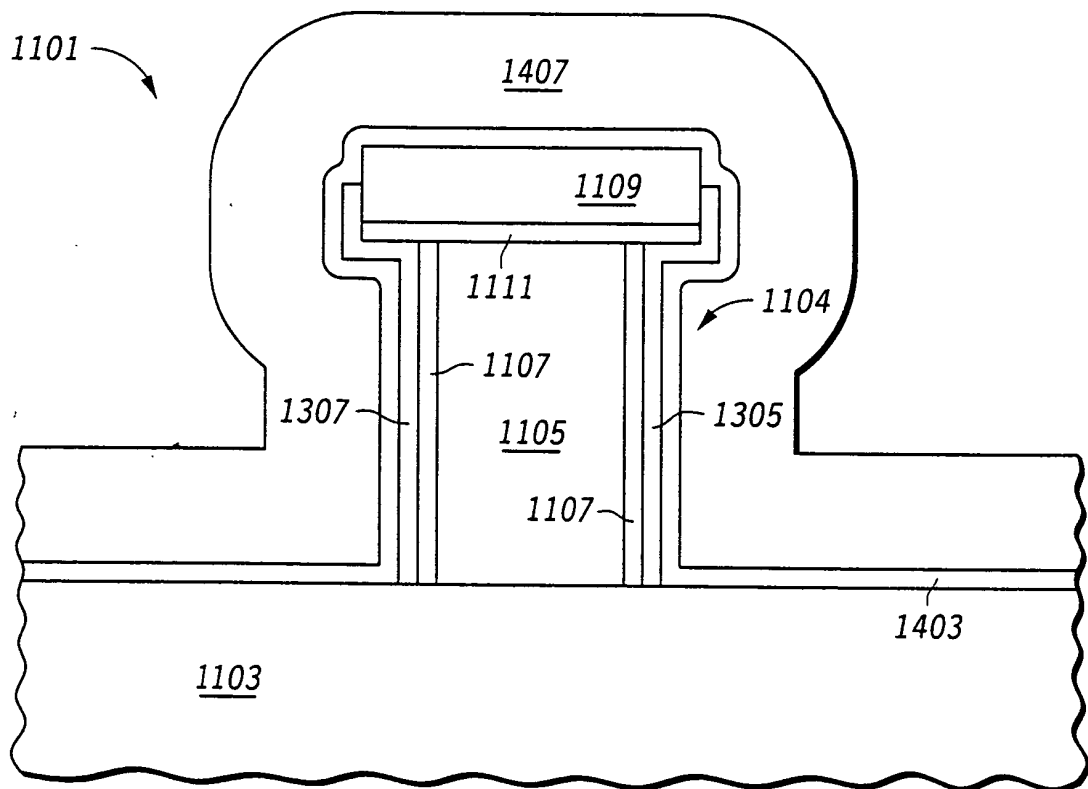


圖 14

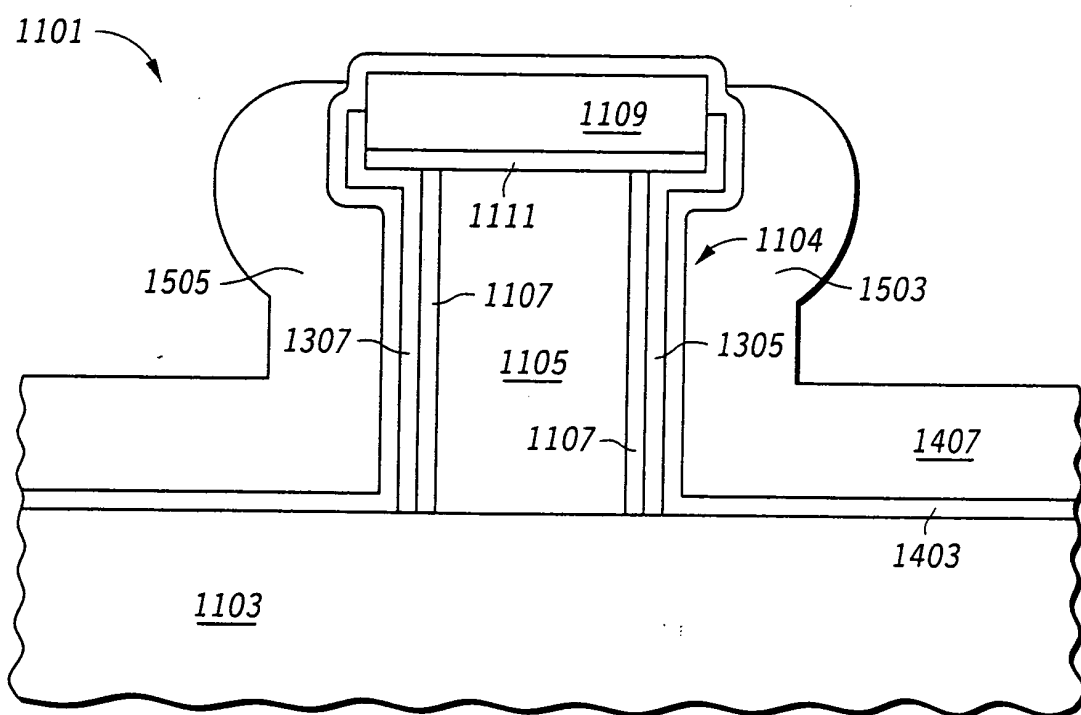


圖 15

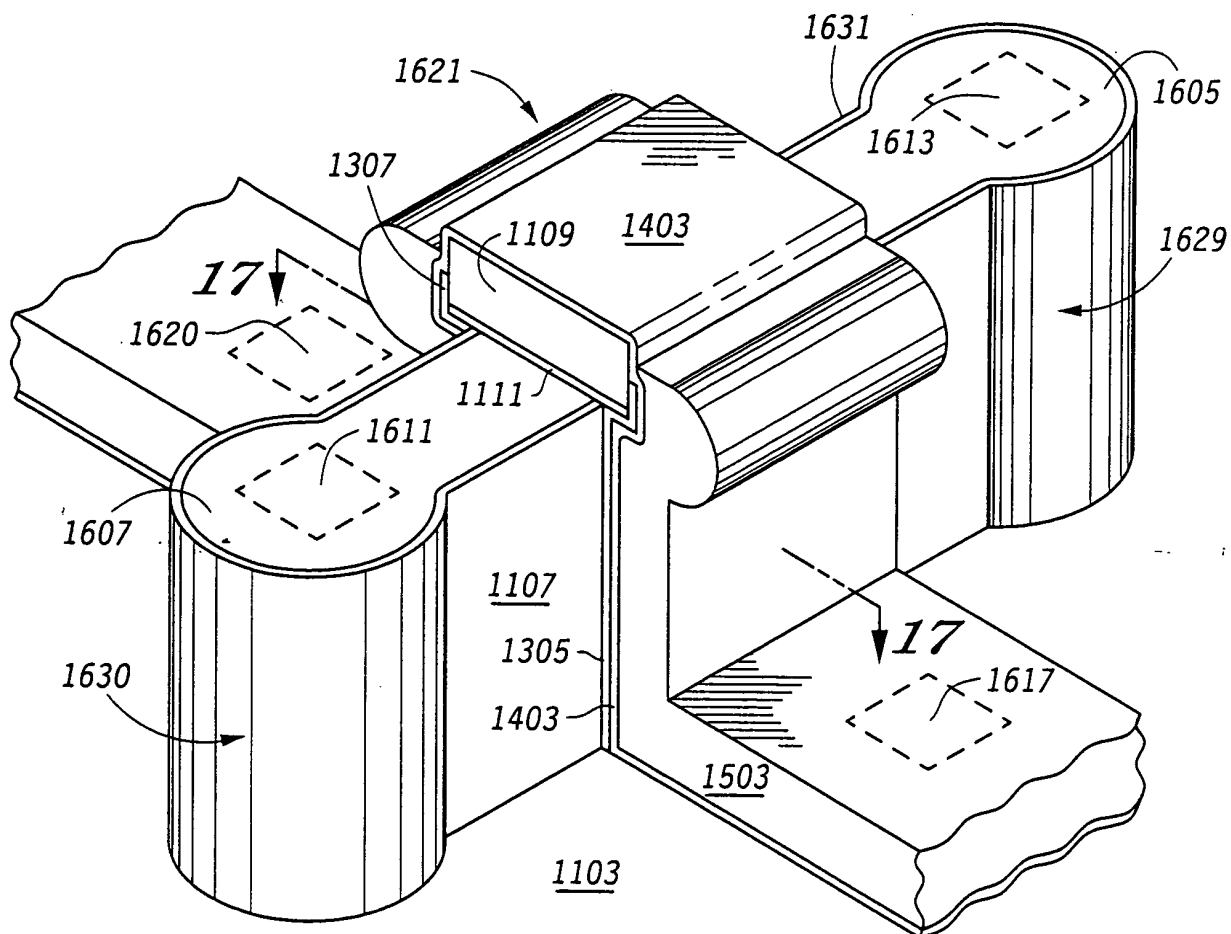
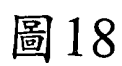


圖 16



用於位元1713之條件

	WL ₀	WL ₁	WL ₂	WL ₃	BL ₀	BL ₁	BL ₂	BL ₃
程式化	V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{PP/2}	V _{PP/2}	V _{SS}	V _{SS}
拭除	-V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP}	V _{SS}	V _{SS}
讀取	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	S _A	V _{DD}	V _{DD}

圖 19

用於位元1711之條件

	WL ₀	WL ₁	WL ₂	WL ₃	BL ₀	BL ₁	BL ₂	BL ₃
程式化	V _{SS}	V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP/2}	V _{PP/2}
拭除	V _{SS}	-V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP}	V _{SS}
讀取	V _{SS}	V _{DD}	V _{SS}	V _{SS}	V _{DD}	V _{DD}	S _A	V _{SS}

圖 20

	WL ₀	WL ₁	WL ₂	WL ₃	BL ₀	BL ₁	BL ₂	BL ₃
程式化	V _{PP}	-V _{PP}	-V _{PP}	-V _{PP}	-V _{PP/2}	-V _{PP/2}	-V _{PP}	-V _{PP}
拭除	-V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP}	V _{SS}	V _{SS}
讀取	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	S _A	V _{DD}	V _{DD}

圖 21

	WL ₀	WL ₁	WL ₂	WL ₃	BL ₀	BL ₁	BL ₂	BL ₃
程式化	-V _{PP}	V _{PP}	V _{PP}	V _{PP}	-V _{PP}	-V _{PP}	-V _{PP/2}	-V _{PP/2}
拭除	V _{SS}	-V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP}	V _{SS}
讀取	V _{SS}	V _{DD}	V _{SS}	V _{SS}	V _{DD}	V _{DD}	S _A	V _{SS}

圖 22

柒、指定代表圖：

(一)本案指定代表圖為：第（ 9 ）圖。

(二)本代表圖之元件代表符號簡單說明：

103	絕緣層
104	結構
106	介電層
109	氮化層部分
111	介電層部分
303, 305	電流端子區
701, 703	閘結構
903, 905, 907, 909	區域

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（ 無 ）

參、發明人：(共 3 人)

姓名：(中文/英文)

1. 里奧 馬修
MATHEW, LEO
2. 羅伯 F 史太姆里
STEIMLE, ROBERT F.
3. 拉馬辰蘭 慕拉里哈爾
MURALIDHAR, RAMACHANDRAN

住居所地址：(中文/英文)

1. 美國德州奧斯丁市佳里森圓環15844號
15844 GARRISON CIRCLE, AUSTIN, TEXAS 78717, U.S.A.
2. 美國德州奧斯丁市杜拉杜道7928號
7928 ELDORADO DRIVE, AUSTIN, TEXAS 78737, U.S.A.
3. 美國德州奧斯丁市派克菲爾道10601號
10601 PICKFAIR DRIVE, AUSTIN, TEXAS 78750, U.S.A.

國 籍：(中文/英文)

1. 印度 INDIA
- 2.3. 均美國 U.S.A.

拾、申請專利範圍：

1. 一種製造半導體裝置之方法，包括：

提供一基板，並在該基板上方提供一半導體結構，該半導體結構具有一第一側壁、一第二側壁及一上表面；

在該基板上方沈積至少一大體上正形層，其中該大體上正形層包括至少一閘材料層，其中該大體上正形層具有一上表面，其位於該半導體結構上方之一高度；

在該半導體結構上方之至少一大體上正形層上表面高度以下，並在該基板上方形成一大體上平面層；

非研磨蝕刻穿透該半導體結構上表面上方之閘材料層；及

在該基板上方形成該大體上平面層之前，先將該至少一大體正形層定圖案以形成一閘結構，其中該非研磨蝕刻穿透該半導體結構上表面上方之閘材料層尚包括蝕刻穿透該半導體結構上表面上方之閘結構之閘材料層。

2. 如申請專利範圍第1項之方法，其中形成該大體上平面層包括：

將該大體上平面層之材料沈積至該至少一大體上正形層上表面高度以上之高度；及

將該大體上平面層之材料蝕回至該至少一大體上正形層上表面高度以下之高度，以曝露該半導體結構上表面上方之至少一大體上正形層之上表面。

3. 如申請專利範圍第1項之方法，其中形成該大體上平面層包括旋塗該大體上平面層之材料。

4. 一種製造半導體裝置之方法，包括：

提供一基板，並在該基板上方提供一半導體結構，該半導體結構具有一第一側壁、一第二側壁及一上表面；

在該基板上方沈積至少一大體上正形層，其中該大體上正形層包括至少一閘材料層，其中該大體上正形層具有一上表面，其位於該半導體結構上方之一高度；

在該半導體結構上方之至少一大體上正形層上表面高度以下，並在該基板上方形成一大體上平面層；及

非研磨蝕刻穿透該半導體結構上表面上方之閘材料層；

其中形成該大體上平面層包括，在該半導體基板之一表面上方，將該大體上平面層之材料沈積至該至少一大體上正形層上表面高度以下之高度。

5. 如申請專利範圍第4項之方法，尚包括：

在該基板上方形成該大體上平面層之前，先將該至少一大體正形層定圖案以形成一閘結構，其中該非研磨蝕刻穿透該半導體結構上表面上方之閘材料層尚包括蝕刻穿透該半導體結構上表面上方之閘結構之閘材料層。

6. 一種製造半導體裝置之方法，包括：

提供一基板，並在該基板上方提供一半導體結構，該半導體結構具有一第一側壁、一第二側壁及一上表面；

在該基板上方沈積至少一大體上正形層，其中該大體上正形層包括至少一閘材料層，其中該大體上正形層具有一上表面，其位於該半導體結構上方之一高度；

在該半導體結構上方之至少一大體上正形層上表面高度以下，並在該基板上方形成一大體上平面層；及

非研磨蝕刻穿透該半導體結構上表面上方之閘材料層；

其中該至少一大體上正形層在該閘材料層上方尚包括一氮化層。

7. 一種製造半導體裝置之方法，包括：

提供一基板，並在該基板上方提供一半導體結構，該半導體結構具有一第一側壁、一第二側壁及一上表面；

在該基板上方沈積至少一大體上正形層，其中該大體上正形層包括至少一閘材料層，其中該大體上正形層具有一上表面，其位於該半導體結構上方之一高度；

在該半導體結構上方之至少一大體上正形層上表面高度以下，並在該基板上方形成一大體上平面層；及

非研磨蝕刻穿透該半導體結構上表面上方之閘材料層；

在形成該至少一大體上正形層之前，先在該半導體結構上形成一介電層；及

在形成該至少一大體上正形層之前，先在該半導體結構上方形成一層電荷儲存材料，該層電荷儲存材料包括一第一部分，其位置毗鄰該第一側壁，及一第二部分，其位置毗鄰該第二側壁。

8. 一種製造半導體裝置之方法，包括：

提供一基板，並在該基板上方提供一半導體結構，該

半導體結構具有一第一側壁、一第二側壁及一上表面；

在該基板上方沈積至少一大體上正形層，其中該大體上正形層包括至少一閘材料層，其中該大體上正形層具有一上表面，其位於該半導體結構上方之一高度；

在該半導體結構上方之至少一大體上正形層上表面高度以下，並在該基板上方形成一大體上平面層；及

非研磨蝕刻穿透該半導體結構上表面上方之閘材料層；

其中該至少一正形層包括在該層閘材料之後形成之一第二大體上正形層，該第二大體上正形層用作一蝕刻停止層。

9. 一種製造半導體裝置之方法，包括：

提供一基板，並在該基板上方提供一半導體結構，該半導體結構具有一第一側壁、一第二側壁及一上表面；

在該基板上方沈積至少一大體上正形層，其中該大體上正形層包括至少一閘材料層，其中該大體上正形層具有一上表面，其位於該半導體結構上方之一高度；

在該半導體結構上方之至少一大體上正形層上表面高度以下，並在該基板上方形成一大體上平面層；及

非研磨蝕刻穿透該半導體結構上表面上方之閘材料層；

在毗鄰該第一側壁之一面積中，以相關於該第一類型基板之一第一角度將數個雜質植入該閘材料層中；及

在毗鄰該第二側壁之一面積中，以相關於該第二類型

基板之一第二角度將數個雜質植入該閘材料層中。

10. 一種製造半導體裝置之方法，包括：

提供一基板及該基板上方之一半導體結構，該半導體結構具有一第一側壁、一第二側壁及一上表面；

在該基板上方及在該半導體結構上方，沈積一第一大體上正形層閘材料；

在該第一大體上正形層上方沈積一第二大體上正形層材料；

沈積該第二大體上正形層後，在該基板上方形成一大體上平面層；

蝕刻穿透該半導體結構上表面上方之第一大體上正形層；

蝕刻穿透該半導體結構上表面上方之第二大體上正形層；及

形成與該第一大體上正形層之一部分之一接觸點。

11. 如申請專利範圍第10項之方法，其中蝕刻穿透該第一大體上正形層造成該第一大體上正形層之第一部分毗鄰該半導體結構之第一側壁並在該基板之第一部分上方延伸，及該第一大體上正形層之第二部分毗鄰該半導體結構之第二側壁並在該基板之第二部分上方延伸，其中該第一部分與該第二部分互相以電隔離。

12. 如申請專利範圍第10項之方法，其中該大體平面層係一旋塗材料。

13. 一種形成半導體結構之方法，包括：

提供一基板；

在該基板上形成一半導體翼片，該翼片具有一第一側壁及一第二側壁；

在該基板上方形成一層電荷儲存材料，該層電荷儲存材料包括毗鄰該翼片之第一側壁之第一部分，及毗鄰該翼片之的第二側壁之第二部分；

形成該層電荷儲存材料後，在該基板上方形成一閘材料層，該閘材料層包括毗鄰該翼片之第一側壁之第一部分，及毗鄰該翼片之的第二側壁之第二部分；及

移除在該半導體翼片上方之閘材料層。