

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成22年11月25日 (2010.11.25)

【公開番号】特開2008-148288(P2008-148288A)

【公開日】平成20年6月26日 (2008.6.26)

【年通号数】公開・登録公報2008-025

【出願番号】特願2007-287006(P2007-287006)

【国際特許分類】

H 0 3 F 3/217 (2006.01)

H 0 3 F 1/00 (2006.01)

H 0 4 R 19/00 (2006.01)

H 0 4 R 17/00 (2006.01)

B 4 1 J 2/045 (2006.01)

B 4 1 J 2/055 (2006.01)

【 F I 】

H 0 3 F 3/217

H 0 3 F 1/00 C

H 0 4 R 19/00 3 3 0

H 0 4 R 17/00 3 3 1

B 4 1 J 3/04 1 0 3 A

【手続補正書】

【提出日】平成22年10月13日 (2010.10.13)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】D 級アンプの制御回路および液体噴射装置、印刷装置

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第一の電源に接続されたハイサイドのスイッチング素子と第二の電源もしくはグラウンドに接続されたローサイドのスイッチング素子とを接続したトータムポール型の出力回路と、

前記出力回路の出力端側に接続される低域通過フィルタとで構成される回路を一組以上備えるとともに、

入力信号をパルス変調した変調信号により前記出力回路の各スイッチング素子をオン、オフ制御することによって電力増幅を行う D 級アンプの制御回路であって、

D 級アンプの出力段のスイッチングを開始するとき、開始直後にハイサイドもしくはローサイドのスイッチング素子をオンさせる第一のスイッチング期間の長さを、前記第一のスイッチング期間に続いて、ローサイドもしくはハイサイドのスイッチング素子をオンさせる第二のスイッチング期間の長さよりも短い期間に設定する第一の手段と、

D 級アンプの出力段のスイッチングを停止する際、停止直前にハイサイドもしくはローサイドのスイッチング素子をオンさせる第四のスイッチング期間の長さを、前記第四のス

スイッチング期間の前に、ローサイドもしくはハイサイドのスイッチング素子をオンさせる第三のスイッチング期間の長さよりも短い期間に設定する第二の手段の両方またはいずれか一方の手段を含むことを特徴とするD級アンプの制御回路。

【請求項2】

少なくとも前記第一の手段は、前記第一のスイッチング期間を前記第二のスイッチング期間の1/2と設定し、

前記第二の手段は、前記第四のスイッチング期間を前記第三のスイッチング期間の1/2とすることを特徴とする請求項1記載の制御回路。

【請求項3】

D級アンプの出力段のスイッチングを開始以後、または停止以前にスイッチング周波数を第一の周波数に設定する手段と、

スイッチングを開始した後、所定時間経過後に前記スイッチング周波数を前記第一の周波数から、前記第一の周波数よりも低い第二の周波数に変更する手段と、

D級アンプの出力段のスイッチングを停止する際、前記スイッチング周波数を前記第二の周波数から、前記第二の周波数よりも高い第三の周波数に変更する手段と、

前記第三の周波数に変更した後、所定時間経過後に、D級アンプの出力段のスイッチングを停止するか、あるいは出力ミュート制御を行う手段を有し出力ミュート制御を行うことを特徴とする請求項1に記載のD級アンプの制御回路。

【請求項4】

D級アンプの出力の振幅を検出する出力振幅検出手段と、

D級アンプの出力段のスイッチングを開始以後、または停止以前に開始するときのスイッチング周波数を第一の周波数に設定する手段と、

スイッチングを開始した後、前記出力振幅検出手段において検出される振幅が略0に収束した後に、前記スイッチング周波数を前記第一の周波数から、前記第一の周波数よりも低い第二の周波数に変更する手段と、

D級アンプの出力段のスイッチングを停止する際、前記スイッチング周波数を前記第二の周波数から、前記第二の周波数よりも高い第三の周波数に変更する手段と、

前記第三の周波数に変更した後、前記出力振幅検出手段において検出される振幅が略0に収束した後に、D級アンプの出力段のスイッチングを停止するか、あるいは出力ミュート制御を行う手段と、

を備えることを特徴とする請求項1または請求項2に記載のD級アンプの制御回路。

【請求項5】

第一の電源に接続されたハイサイドのスイッチング素子と第二の電源もしくはグラウンドに接続されたローサイドのスイッチング素子とを接続したトータムポール型の出力回路と、前記出力回路の出力端側に接続される低域通過フィルタとで構成される回路を一組以上備えるとともに、入力信号をパルス変調した変調信号により前記出力回路の各スイッチング素子をオン、オフ制御することによって電力増幅を行うD級アンプの制御回路であって、

回路内の動作基準クロック信号CLKを生成するクロック発振器と、

前記クロック信号CLKを分周し、UP/DOWN信号として出力する分周器と、

前記クロック信号CLKをカウントするカウンタであって、前記UP/DOWN信号の立ち上がりエッジ及び立ち下がりエッジに同期してカウント値が所定値にリセットされるか、もしくは前記UP/DOWN信号のレベルに応じてアップカウント、もしくはダウンカウントするように構成されているカウンタと、

入力信号のレベル値と、前記カウンタのカウント値とを比較し、その大小関係を二値に変換して出力するコンパレータと、

スイッチング動作のオン、オフを指令する信号SW_ONの値を、前記UP/DOWN信号の立ち上がりエッジもしくは立ち下がりエッジに同期して出力し、保持するフリップフロップと、

前記コンパレータの出力と前記フリップフロップの出力との論理積を出力するANDゲ

ートと、

を備えることを特徴とするD級アンプの制御回路。

【請求項6】

第一の電源に接続されたハイサイドのスイッチング素子と第二の電源もしくはグラウンドに接続されたローサイドのスイッチング素子とを接続したトータムポール型の出力回路と、前記出力回路の出力端側に接続される低域通過フィルタとで構成される回路を一組以上備えるとともに、入力信号をパルス変調した変調信号により前記出力回路の各スイッチング素子をオン、オフ制御することによって電力増幅を行うD級アンプの制御回路であって、

回路内の動作基準クロック信号CLKを生成するクロック発振器と、

第一の分周比を格納する第一のレジスタと、

第一の分周比よりも大きい第二の分周比を格納する第二のレジスタと、

前記第一のレジスタから出力される第一の分周比と前記第二のレジスタから出力される第二の分周比とを切り換えて出力するスイッチと、

前記クロック信号CLKをカウントするプログラマブルカウンタを備え、

前記スイッチから出力される分周比に応じて、クロック信号CLKを分周し、UP/DOWN信号として出力する分周器と、

前記クロック信号CLKをカウントするカウンタであって、前記UP/DOWN信号の立ち上がりエッジ及び立ち下がりエッジに同期してカウント値が所定値にリセットされるか、もしくは前記UP/DOWN信号のレベルに応じてアップカウント、もしくはダウンカウントするように構成されているカウンタと、

入力信号のレベル値と、前記カウンタのカウント値とを比較し、その大小関係を二値に変換して出力するコンパレータと、

スイッチング動作のオン、オフを指令する信号SW_ONの値を、前記UP/DOWN信号の立ち上がりエッジもしくは立ち下がりエッジに同期して出力し、保持する第一のフリップフロップと、

前記UP/DOWN信号をカウント基準として、前記第一のフリップフロップからの出力信号を所定カウント数遅延させた信号DELAYを生成する遅延器と、

前記SW_ON信号と前記DELAY信号との論理和の値を、前記UP/DOWN信号の立ち上がりエッジもしくは立ち下がりエッジに同期して出力し、保持する第二のフリップフロップと、

前記コンパレータの出力と前記第二のフリップフロップの出力との論理積を出力するANDゲートと、を備え、

前記SW_ON信号は、スイッチング動作がオンの時には1の値を、スイッチング動作がオフの時には0の値をとり、

前記スイッチは、前記第一のフリップフロップからの出力信号と前記遅延器からの出力信号DELAYとの論理積の値が0の場合には前記第一の分周比を、1の場合には前記第二の分周比を、前記分周器に出力するように構成されていることを特徴とするD級アンプの制御回路。

【請求項7】

第一の電源に接続されたハイサイドのスイッチング素子と第二の電源もしくはグラウンドに接続されたローサイドのスイッチング素子とを接続したトータムポール型の出力回路と、

前記出力回路の出力端側に接続される低域通過フィルタとで構成される回路を一組以上備えるとともに、入力信号をパルス変調した変調信号により前記出力回路の各スイッチング素子をオン、オフ制御することによって電力増幅を行うD級アンプの制御回路であって、

回路内の動作基準クロック信号CLKを生成するクロック発振器と、

第一の分周比を格納する第一のレジスタと、第一の分周比よりも大きい第二の分周比を格納する第二のレジスタと、前記第一のレジスタから出力される第一の分周比と前記第二

のレジスタから出力される第二の分周比とを切り換えて出力するスイッチと、

前記クロック信号 C L K をカウントするプログラマブルカウンタを備え、前記スイッチから出力される分周比に応じて、クロック信号 C L K を分周し、U P / D O W N 信号として出力する分周器と、

前記クロック信号 C L K をカウントするカウンタであって、前記 U P / D O W N 信号の立ち上がりエッジ及び立ち下がりエッジに同期してカウント値が所定値にリセットされるか、もしくは前記 U P / D O W N 信号のレベルに応じてアップカウント、もしくはダウンカウントするように構成されているカウンタと、

入力信号のレベル値と、前記カウンタのカウント値とを比較し、その大小関係を二値に変換して出力するコンパレータと、

D 級アンプの出力の振幅が 0 に収束しているかどうかを検出し、検出信号 D E L A Y 1 として出力する出力振幅検出回路と、

スイッチング動作のオン、オフを指令する信号 S W _ O N と、前記出力振幅検出回路からの出力信号 D E L A Y 1 と、の論理和の値を、前記 U P / D O W N 信号の立ち上がりエッジもしくは立ち下がりエッジに同期して出力し、保持する第一のフリップフロップと、

前記コンパレータの出力と前記第一のフリップフロップの出力との論理積を出力する A N D ゲートと、

前記 S W _ O N 信号と前記 D E L A Y 1 信号との論理積の値を、前記 U P / D O W N 信号の立ち上がりエッジもしくは立ち下がりエッジに同期して出力し、保持する第二のフリップフロップと、を備え、

前記 S W _ O N 信号は、スイッチング動作がオンの時には 1 の値を、スイッチング動作がオフの時には 0 の値をとり、

前記出力振幅検出回路は、D 級アンプの出力の振幅が略 0 に収束（振幅約 0 の状態が所定時間継続）した時点で、前記 S W _ O N 信号の値が 1 であれば、前記 D E L A Y 1 信号の値を 0 から 1 に遷移させ、逆に前記 S W _ O N 信号の値が 0 であれば、前記 D E L A Y 1 信号の値を 1 から 0 に遷移させるように構成され、

前記スイッチは、前記第二のフリップフロップから出力される信号の値が 0 の場合には前記第一の分周比を、1 の場合には前記第二の分周比を、前記分周器に出力するように構成されていること

を特徴とする D 級アンプの制御回路。

【請求項 8】

第一の電源に接続されたハイサイドのスイッチング素子と第二の電源もしくはグラウンドに接続されたローサイドのスイッチング素子とを接続したトータムポール型の出力回路と、

前記出力回路の出力端側に接続される低域通過フィルタとで構成される回路を一組以上備えるときに、

入力信号をパルス変調した変調信号により前記出力回路の各スイッチング素子をオン、オフ制御することによって電力増幅を行う D 級アンプの制御回路であって、

回路内の動作基準クロック信号 C L K を生成するクロック発振器と、

第一の分周比を格納する第一のレジスタと、第一の分周比よりも大きい第二の分周比を格納する第二のレジスタと、前記第一のレジスタから出力される第一の分周比と前記第二のレジスタから出力される第二の分周比とを切り換えて出力するスイッチと、

前記クロック信号 C L K をカウントするプログラマブルカウンタを備え、前記スイッチから出力される分周比に応じて、クロック信号 C L K を分周し、U P / D O W N 信号として出力する分周器と、

前記クロック信号 C L K をカウントするカウンタであって、前記 U P / D O W N 信号の立ち上がりエッジ及び立ち下がりエッジに同期してカウント値が所定値にリセットされるか、もしくは前記 U P / D O W N 信号のレベルに応じてアップカウント、もしくはダウンカウントするように構成されているカウンタと、

入力信号のレベル値と、前記カウンタのカウント値とを比較し、その大小関係を二値に変換して出力するコンパレータと、

前記UP/DOWN信号をカウント基準として、スイッチング動作のオン、オフを指令する信号SW_ONを所定カウント数遅延させた信号DELAY2を生成する遅延器と、

前記SW_ON信号と前記DELAY2信号との論理和の値を、前記UP/DOWN信号の立ち上がりエッジもしくは立ち下がりエッジに同期して出力し、保持する第一のフリップフロップと、

前記コンパレータの出力と前記第一のフリップフロップの出力との論理積を出力するANDゲートと、

D級アンプの出力の振幅が0に収束しているかどうかを検出し、検出信号DELAY1として出力する出力振幅検出回路と、

前記SW_ON信号と前記DELAY1信号との論理積の値を、前記UP/DOWN信号の立ち上がりエッジもしくは立ち下がりエッジに同期して出力し、保持する第二のフリップフロップと、を備え、

前記SW_ON信号は、スイッチング動作がオンの時には1の値を、スイッチング動作がオフの時には0の値をとり、

前記出力振幅検出回路は、D級アンプの出力の振幅が略0に収束（振幅約0の状態が所定時間継続）した時点で、前記SW_ON信号の値が1であれば、前記DELAY1信号の値を0から1に遷移させ、逆に前記SW_ON信号の値が0であれば、前記DELAY1信号の値を1から0に遷移させるように構成され、

前記スイッチは、前記第二のフリップフロップからの出力信号の値が0の場合には前記第一の分周比を、1の場合には前記第二の分周比を、前記分周器に出力するように構成されていることを特徴とするD級アンプの制御回路。

【請求項9】

請求項1乃至8のD級アンプの制御回路を備えた液体噴射装置。

【請求項10】

請求項9の液体噴射装置を備えた印刷装置。