



[12] 发明专利说明书

[21] ZL 专利号 90104365.6

[51]Int.Cl⁶

H01L 27 / 10

[45]授权公告日 1995 年 10 月 11 日

[24]颁证日 95.7.22

[21]申请号 90104365.6

[22]申请日 90.6.9

[30]优先权

[32]89.6.10 [33]KR[31]8067 / 89

[73]专利权人 三星电子株式会社

地址 南朝鲜京畿道水原市

[72]发明人 闵东暄

[74]专利代理机构 中国专利代理(香港)有限公司

H01L 23 / 58

代理人 肖掬昌 肖春京

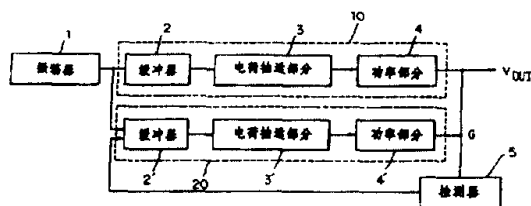
说明书页数:

附图页数:

[54]发明名称 半导体集成电路中的内电压变换器

[57]摘要

半导体集成电路中的一种内电压变换器包括: 一个振荡器、一个子电路、一个主电路和一个检测器, 所述子电路包含一个缓冲器、一个电荷抽运电路及一个功率部分, 所述主电路包含一个缓冲器、一个电荷抽运电路及一个功率部分。并联组成的多个电压变换级在操作时是可分开运行的, 因而在提供备用电源的场合可减少不必要的电力消耗, 同时还改进了内电源电压的稳定性。



权利要求书

1.一种半导体集成电路中的内电压变换器，它含有一个振荡器，用以产生方波信号；其特征在于它包括：

一个子电路，包含一个缓冲器、一个电荷抽运电路和一个功率部分，所述缓冲器用于接收所述振荡器的方波信号，所述电荷抽运电路借助接收缓冲器的输出用于产生受激参数输出，所述功率部分用于把电荷抽运电路的输出控制到某一内电压电平并自外电源端提供电源电压；

一个主电路，包含一个缓冲器、一个电荷抽运电路和一个功率部分，所述缓冲器用于接收所述振荡器的方波信号和由输出端至该缓冲器形成的反馈回路处的反馈信号，所述电荷抽运电路借助接收缓冲器的输出用于产生某一与参数无关的输出，所述功率部分把电荷抽运电路的输出控制到某一内电压电平并自外电源端提供电源电压，所述内电压电平变换器保持在一与所加电压无关的预定内电压电平。

2.根据权利要求1的一种内电压变换器，其特征在于它至少包含一个并联连接的主电路，而且其中的连接是在所述主电路与所述子电路之间形成的。

3.根据权利要求1的一种内电压变换器，其特征在于所述主电路的缓冲器包括一个由一与非门电路和一倒相器组成的逻辑组合电路，用以将所述振荡器的输出信号与来自输出端的反馈信号逻辑组合起来，这两个信号的相位相差 180° 。

4.根据权利要求1的一种内电压变换器，其特征在于所述振荡器共用以驱动所述子电路和所述至少一个主电路。

5.根据权利要求1的一种内电压变换器，其特征在于所述振荡器的数目与该缓冲器的数目是相等的。

6.根据权利要求3的一种内电压变换器，其特征在于所述振荡器共用以驱动所有的所述子电路和所述至少一个主电路。

7.根据权利要求3的一种内电压变换器，其特征在于所述振荡器的数目与该缓冲器的数目是相等的。

本发明涉及半导体存储器件中所用的电路，特别涉及一种内电压变换器，这种内电压变换器由于工作的内电压变换级的个数是随着所需电流的大小（即，例如起动电源情况下电流大，或备用电源情况下电流小）而不同的，所以能够消除电压的不稳定性和过量的备用电源。

随着半导体器件趋向于高密度化，电路中所用的各种各样的晶体管的尺寸也就越来越小。与晶体管尺寸的减小趋势相应，随之出现了以下缺点，即对于常规电源电压晶体管的可靠性下降，而集成电路的电力消耗增大。因而在集成电路中包含了如图1所示的内电压变换器以克服这些问题，但其电力消耗也相当大，从而导致内电压的稳定性下降。

本发明的目的是提供一种由多个内电压变换级并联组成的内电压变换器，操作时这些并联的内电压变换级可分开运行，以便在提供备用电源情况下减少不必要的电力消耗，从而内电源电压的稳定性也可得到改善。

本发明的特征在于半导体集成电路中的内电压变换器，该内电压变换器有多个并联的内电压变换级，它包括一个振荡器、一个缓冲器、一个功率级电路和一个检测器，所述振荡器用以产生特定频率的方波、所述缓冲器用以在接收振荡器的输出作为输入后驱动电荷抽运电路，所述功率级电路借助于电荷抽运电路控制内电源电压的电平，所述检测器通过对内电源电压的检测以控制缓冲器的操作。

这样，各并联的内电压变换级分别包括缓冲器、电荷抽运电路和功率级电路，并按照内电压电源级驱动多于一个的变换级。

参照附图对各最佳实施例作下列叙述将使本发明的上述以及其他目的、特征和优点变得更加明确，附图中：

图1是半导体集成电路中常规内电压变换器的方框图。

图2是本发明的半导体集成电路中内电压变换器的方框图。

图3例示本发明的半导体集成电路中内电压变换器的一个实施例。

图4表示在本发明中实现的偏压电路。

图5是本发明中的定时图。

3

图 6 表示本发明的半导体集成电路中内电压变换器的内电压。

下面将参照附图对本发明作进一步的说明。

图 1 表示常规半导体集成电路中内电压变换器的方框图。该内电压变换器做在一片半导体芯片上。该内电压变换器包括一个振荡器 1、一个缓冲器 2、一个电荷抽运电路 3 和一个功率部分 4，所述振荡器 1 由诸反相器或诸施密特触发器构成，缓冲器 2 用以传送从振荡器 1 所产生的信号，电荷抽运电路 3 通过接收缓冲器 2 的输出用以产生受激参数输出，而功率部分 4 则通过接收电荷抽运部分 3 的输出用以提供电源电压 V_{out} 。

上述电压变换器通过缓冲器 2 将振荡器 1 的输出提供给电荷抽运部分 3，同时还借助功率部分 4 中的功率晶体管将电荷抽运部分 3 的受激参数输出提供作为电源电压 V_{out} 。该内电压变换器总是与半导体芯片中内电压和工作状态无关地操作，因此，在芯片处于备用方式时浪费掉不必要的功率。此外，由于没有内电压反馈到输入级，以致在有效操作期间降低了内电压的稳定性。

图 2 是图 1 所示电路缺点经改进后的半导体集成电路中的内电压变换器的方框图。该内电压变换器分成子电路 10 和主电路 20。子电路 10 和主电路 20 两者分别包括用以传送振荡器 1 的输出的缓冲器 2 和 2'、通过接收缓冲器 2 和 2' 的输出用以产生受激参数输出的电荷抽运部分 3 和 3'、以及通过接收电荷抽运部分 3 和 3' 的输出用以提供电源电压 V_{out} 的功率部分 4 和 4'。由诸反相器或诸施密特触发器构成的振荡器 1 分别被连接到子电路 10 和主电路 20 的缓冲器 2 和 2' 上，并将所述功率部分 4 和 4' 的公共节点 G 连接到检测器 5 上。

检测器 5 把一种随输出电源电压 V_{out} 的状态而定的控制信号提供给主电路 20 中的缓冲器 2'。受检测器 5 输出控制的主电路 20 中的缓冲器的输出与不受检测器 5 输出控制的子电路 10 中的缓冲器的输出之间有 180° 的相位差。于是，子电路 10 和主电路 20 的功率部分 4 和 4' 轮流提供电源电压。本图中，振荡器 1 被公用连接到电路 10 和 20 的缓冲器 2 和 2'，但在子电路 10 和主电路 20 中也可以各自用一个独立的振荡器。此外，即使内电压变换器包含一个子电路 10 和一个主电路 20，它也可以由多个并联电压变换级来组成。纵然在这种

4

情况下，可以公用一个振荡器 1，也可以采用与变换器数量相符的多个振荡器。

图 2 所示的内电压变换器中，振荡器 1 的输出通过缓冲器 2 加到电荷抽运部分 3 上，并通过功率部分 4 提供受激参数输出作为电源电压 V_{out} 。

在该情况下，将从子电路 10 提供的输出电压用作备用电压。这时，检测器 5 检测输出级的电压，因此，若在提供起动电压或驱动接到输出级的负载情况下电源电压 V_{out} 突然下降时，则检测器 5 就会驱动主电路 20 以便为驱动负载提供必要的电流。这样，在本发明中，用以提供备用电压的子电路 10 中元件的尺寸必定是很小的，而按照内电压的状态或工作条件工作的主电路 20 中的元件则要求大的尺寸。

图 3 是半导体集成电路中内电压变换器实现了的电路图。图 3 中，振荡器 1 由三个反相器 I1、I2 和 I3 组成。该振荡器也可由施密特触发器组成。所述振荡器 1 产生方波脉冲。

类似地，缓冲器 2 包含三个反相器 I6-I8。电荷抽运部分 3 和 3' 分别包含用以构成电容器的金属-氧化物-半导体 (MOS) 晶体管 M1 和 M4，以及其他晶体管 M2-M3 和 M5-M6。同样地，功率部分 4 和 4' 分别包含用以使电压限定于一恒定电压的偏压电路 7 和 7' 以及功率晶体管 M8 和 M9。为把输出电压 V_{out} 反馈到输入侧的检测器 5 包含分压电阻器 R1、R2、反相器 I9、I10 和限制输出的 MOS 晶体管 M7。此外，包含在由与非门 ND4 和反相器 15 组成的缓冲器 2' 中的与非门 ND4 的一个输入端接到两个反相器 I9 和 I10 之间的节点 E 上。

下面参照图 3 将对如此构成的本发明进行详细的说明。由反相器或施密特触发器构成的振荡器 1 把特定频率的方波脉冲提供给节点 A。节点 A 的电压加到缓冲器 2 和 2'，由此分别驱动电荷抽运部分 3 和 3'。将缓冲器 2 以后的输出加在 MOS 电容晶体管 M4 上，而输出电压则由跨越电容器的方波电压进行抽运。MOS 晶体管 M6 把受激电压提供给功率部分 4。

类似地，另一个电荷抽运部分 3' 的操作与所述部分 3 的操作情况相同。这样，功率部分 4 和 4' 驱动由偏压电路 7 和 7' 进行控制的功率 MOS 晶体管 M8 和 M9，把内电源电压 V_{out} 提供给半导

体芯片。也将检测器 5 通过 R1 连接到节点 G 以便检测电压 V_{out} ，并在通过电阻 R1 和 R2 分压后提供其电压。反相器 I9 和 I10 通过检测内电压限制通过缓冲器 2' 的节点 B 的选通路径。于是，当集成电路的内电压下降时，反相器 I9 的高电平信号就加到与非门 ND4 的输入端上，使得与非门 ND4 提供低电平信号。在由反相器 I5 将该信号转换成高电平信号之后，将其加到电荷抽运部分 3' 上，从而提高在输出级处的电源电压 V_{out} 。

相反，当内电压升高时，由电阻 R1 和 R2 分压的状态信号处于高电平状态，并由反相器 I9 将其转换成低电平状态。于是，与非门 ND4 的输出变成高电平状态，并将由反相器 I5 转换成低电平状态的信号加到电荷抽运部分 3' 上，由此使电荷抽运部分的停止工作。同样地，在节点 B 处的低电平信号通过反相器 I10 变成高电平状态，因此使 MOS 晶体管 M9 可靠地截止。

在该情况下，检测器 5 通过控制缓冲器 2' 的选通路径就控制了主电路 20 的通-断操作。于是，在备用方式情况下，只有子电路 10 动作把电源电压 V_{out} 提供给集成电路的内部，而在起动电源情况下，则子电路 10 和主电路 20 都动作来提供所述电压 V_{out} 。

图 4 是本发明已实现的电路图，它表示接到电荷抽运部分 3 后面的功率部分 4。偏压电路 7 包含串联的 MOS 晶体管 M14-M17、电阻 R3 和 MOS 晶体管 M18。偏压电路 7 中，由起二极管作用的 MOS 晶体管 M14-M17 和电阻 R3 分压的电压使晶体管 18 导通。以致偏压电路 7 限制了超过特定恒定电压以上的电压。这样，使功率 MOS 晶体管 M8 的输出电压 V_{out} 箝位到大约 $4V_T$ （此处， V_T 是 MOS 晶体管的阈值电压），因此，可获得稳定的输出电压 V_{out} 。通过采用这些偏压电路，使内电源电压 V_{out} 能够与外电源电压无关地保持住恒定电压电平。图 6 中示出外部电源电压 V_{cc} 与内电源电压 V_{out} 之间的关系曲线。

下面将说明图 5 中示出的操作关系。在如图 5 (a) 所示需要大驱动功率情况下，由于内电压低于电源电压 V_{out} 的特定电压电平，因此，检测器 5 节点 B 的高电平输出启动缓冲器 2' 的与非门 ND4，从而同时驱动电荷抽运电路 3 和 3'。此时，MOS 晶体管 M7 截止。在这种情况下，缓冲

器 2 和 2' 的输出彼此具有 180° 的相位差，于是，功率部位 4 和 4' 的功率晶体管 M8 和 M9 轮流导通。这样，外电源电压可很快地提供内电压。但是，在如图 5 (b) 所示备用方式的情况下，检测器 5 的输出变成低电平状态，从而禁止缓冲器 2' 的与非门 ND4。

同样地，导通 MOS 晶体管 M7，同时截止功率部分 4'，于是，只驱动子电路 10 从而降低了电力消耗。

如上所述，借助于由一个以上并联内电压变换级组成的电路结构，在只需要备用电压情况下，仅驱动子电路 10 以提供内电压，而按照内电压条件驱动主电路 20，所以本发明可防止不必要的电力消耗，从而改善了内电压的稳定性。特别是，即使在象起动电源之类大驱动功率的情况下，各内电压变换级就会全部工作从而很快地保持恒定电平。此外，倘若把检测器 5 的节点 E 处输出和内操作时钟的逻辑组合用作内电压变换器的控制时钟，则可预期得到改进的效果。

本发明决不局限于上述的实施例。在参考本发明说明的基础上，本领域的技术人士对所公开的实施例以及本发明其他实施例的各种不同的修改会变得更加明确。因此，要视到所附权利要求书将包括在本发明实质范围内的任何这种修改或实施例。

图 1

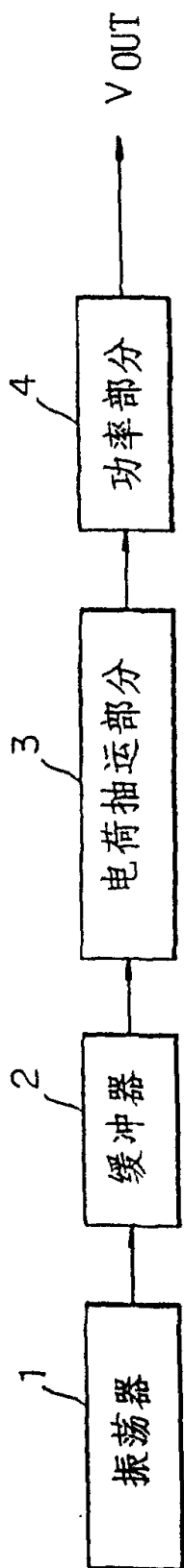
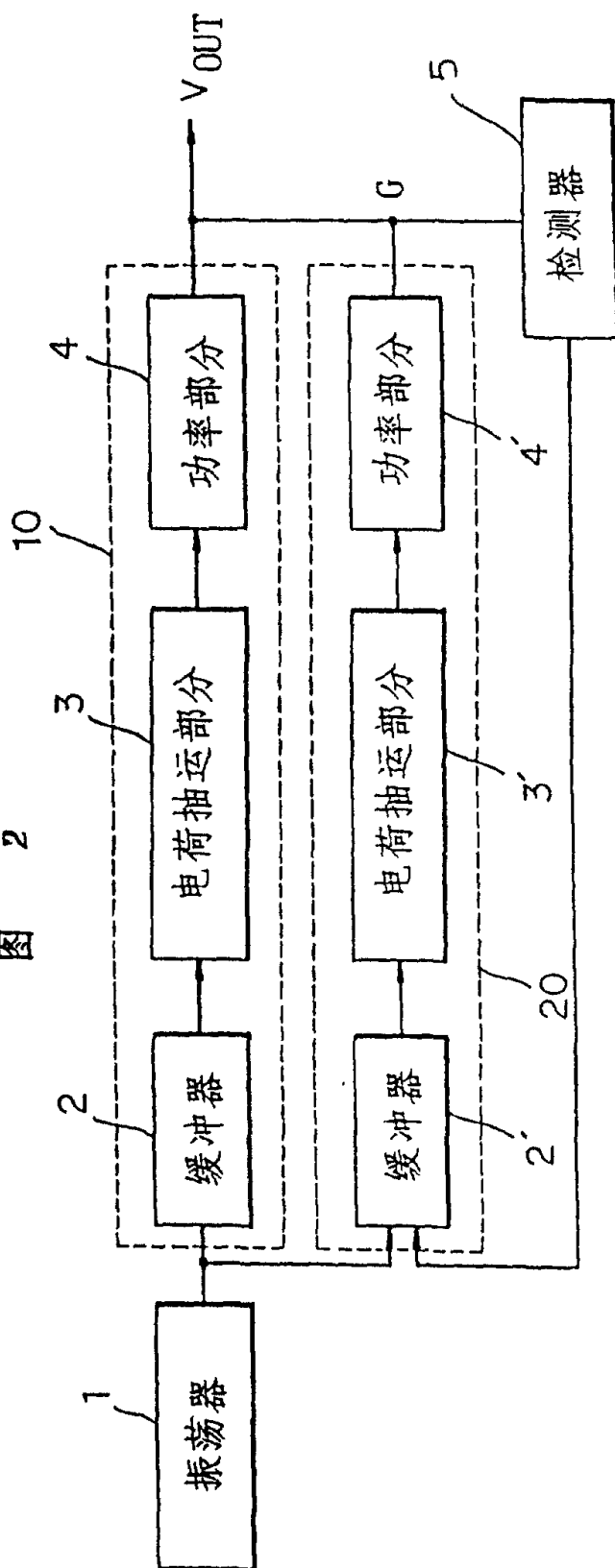
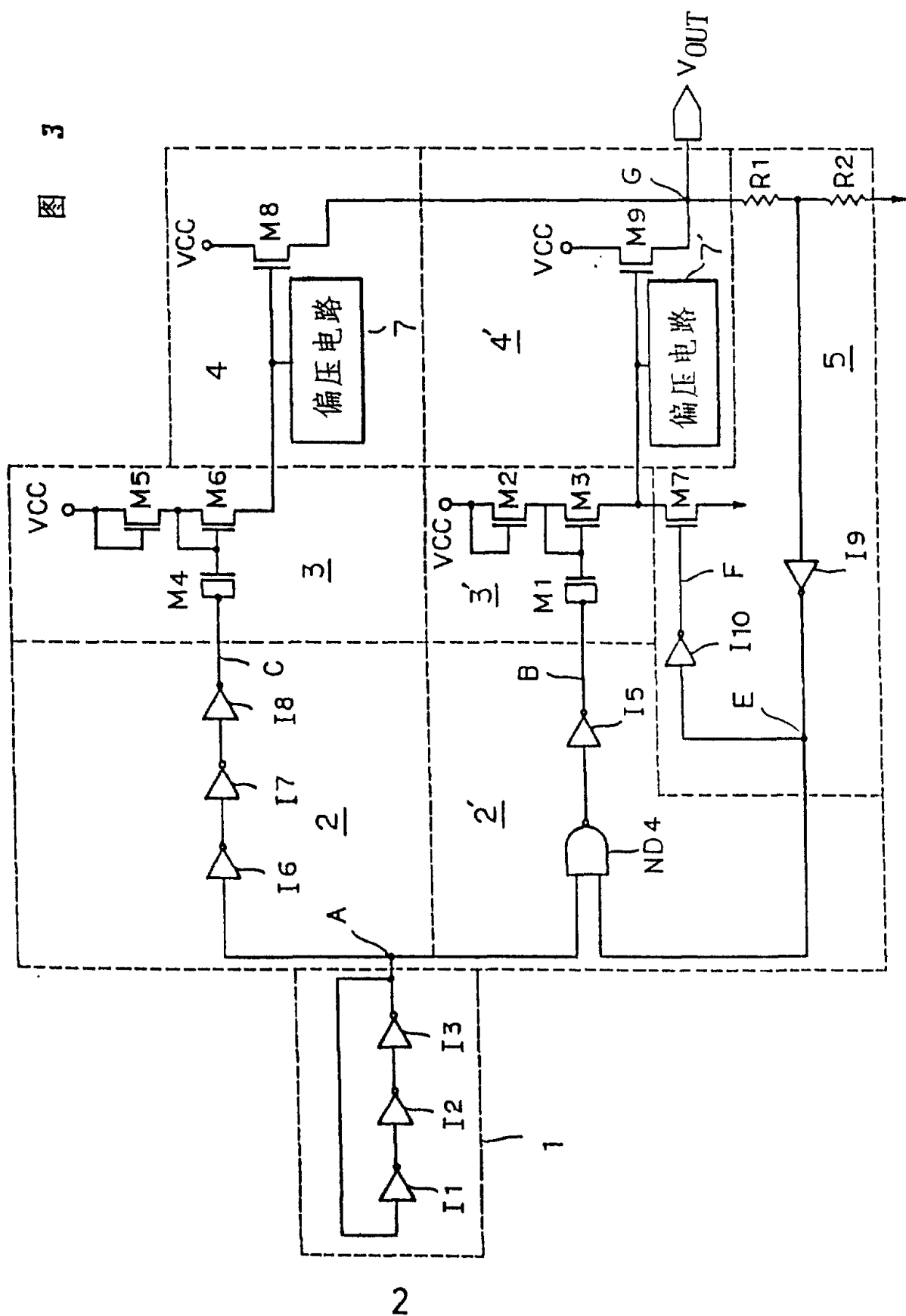


图 2





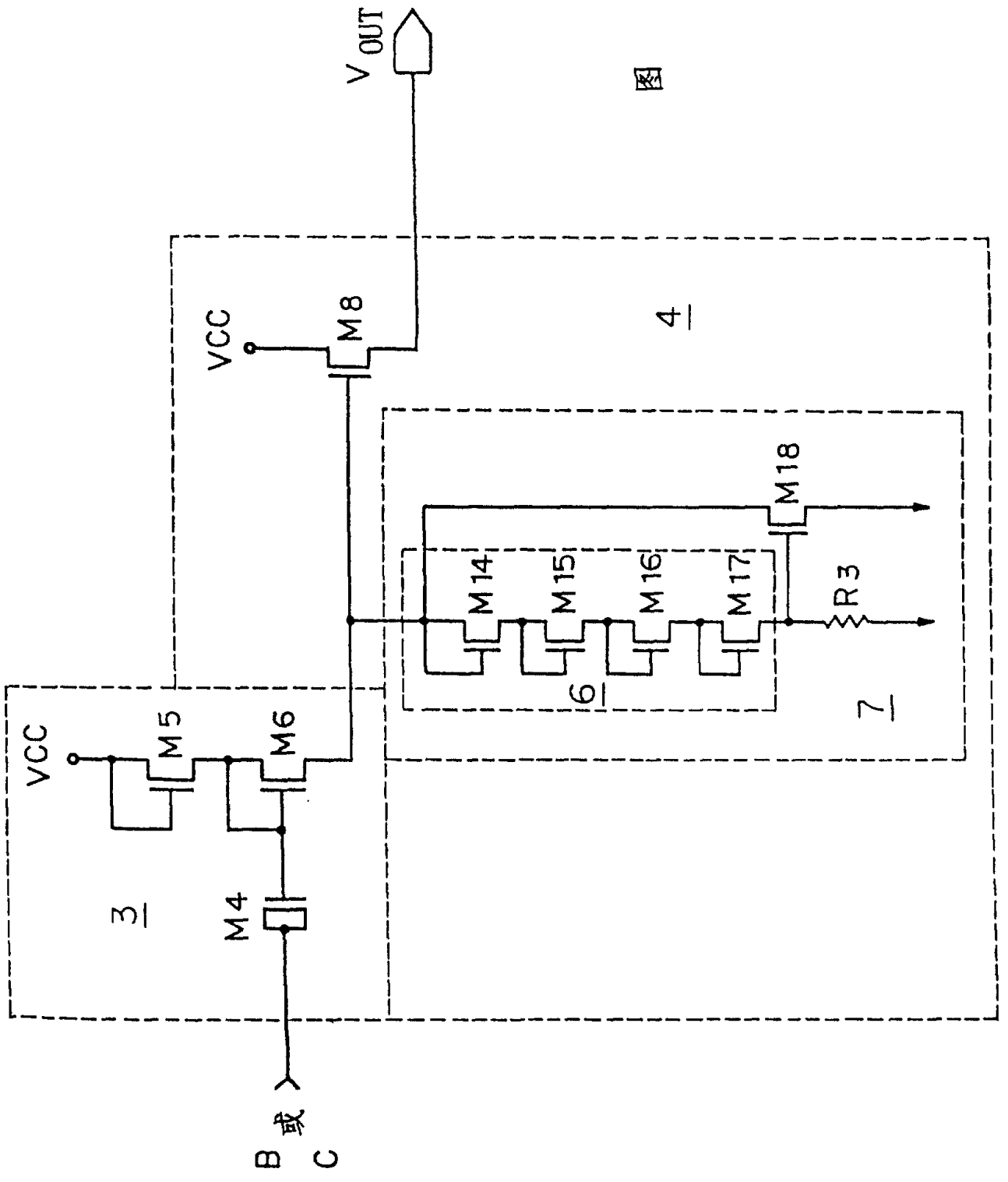
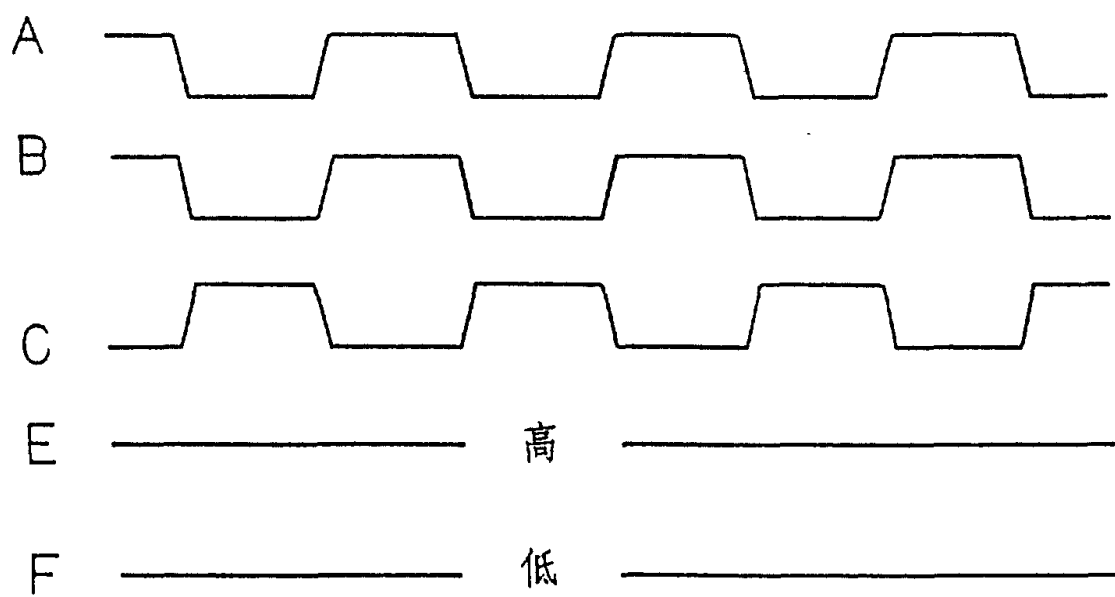


图 4

图 5

(a)



(b)

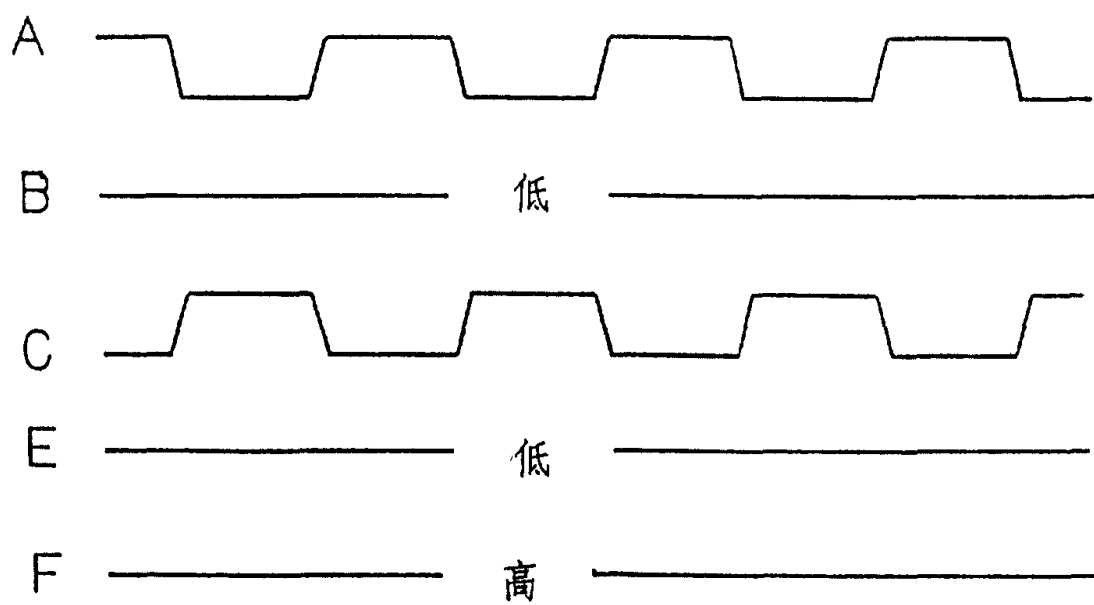


图 6

