(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 7 日(07.09.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/117936 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/417* (2006.01)
G02F 1/1368 (2006.01) *H01L 29/786* (2006.01)
H01L 21/28 (2006.01)

(21) 国際出願番号: PCT/JP2012/054403

(22) 国際出願日: 2012 年 2 月 23 日(23.02.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-044496 2011 年 3 月 1 日(01.03.2011) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 北角 英人(KITAKADO, Hidehito). 加藤 純男(KATOH, Sumio).

(74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

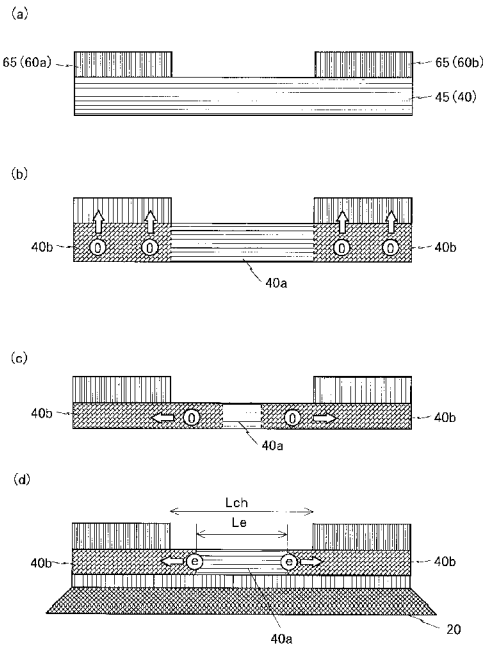
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: THIN-FILM TRANSISTOR AND METHOD FOR MANUFACTURING SAME, AND DISPLAY DEVICE

(54) 発明の名称 : 薄膜トランジスタおよびその製造方法、並びに表示装置

[図6]



あるソース／ドレイン間スペース（Ｌｃｈ）

(57) **Abstract**: Provided is a thin-film transistor with which current drive capability can be greatly improved while manufacturing costs are lowered. Part of an IGZO layer (45) from which oxygen has been removed by means of titanium electrodes (65) is converted into a low-resistance region (40b) by means of heat treatment. The remaining part of the IGZO layer (45) from which oxygen has not been removed remains as a high-resistance region (40a). In this state, when gate voltage is applied to a gate electrode (20), electrons in the low-resistance region (40b) close to the boundary with the high-resistance region (40a) migrate towards the titanium electrodes (65). As a result, the length of the low-resistance region (40b) becomes shorter and, contrariwise, the length of the high-resistance region (40a) becomes longer by the same amount. However, an electrical channel length (Le) becomes shorter than a source/drain interval space (Lch) which is the limiting resolution of an optical exposure device, and the current drive capability is increased.

(57) 要約: 製造コストを抑えつつ、電流駆動力を大幅に改善可能な薄膜トランジスタを提供する。 熱処理によって、チタン電極（６５）により酸素を奪い取られたＩＧＺＯ層（４５）は低抵抗領域（４０ｂ）になり、酸素を奪い取られなかったＩＧＺＯ層（４５）は高抵抗領域（４０ａ）として残る。この状態で、ゲート電極（２０）にゲート電圧を印加すれば、高抵抗領域（４０ａ）との境界に近い低抵抗領域（４０ｂ）の電子が、それぞれチタン電極（６５）側に移動する。その結果、低抵抗領域（４０ｂ）の長さが短くなり、逆に高抵抗領域（４０ａ）の長さはその分だけ長くなる。しかし、電気的チャネル長（Ｌｅ）は、露光装置の限界解像度でよりも短くなり、電流駆動力が大きくなる。

WO 2012/117936 A1

明　細　書

発明の名称 ：

薄膜トランジスタおよびその製造方法、並びに表示装置

技術分野

[0001] 本発明は、薄膜トランジスタおよびその製造方法、並びに表示装置に関し、特に、酸化物半導体からなるチャネル層を有する薄膜トランジスタおよびその製造方法、並びに表示装置に関する。

背景技術

[0002] 近年、酸化インジウムガリウム亜鉛（以下、「ＩＧＺＯ」という）等の酸化物半導体の優れた性質に着目し、酸化物半導体をチャネル層とする薄膜トランジスタ（Thin Film Transistor：以下、「ＴＦＴ」という）の開発が進められている。

[0003] このようなＴＦＴの電流駆動力を高めるためには、チャネル長を短くすることが最も効果的である。チャネル長はソース電極の端部とドレイン電極の端部との間の長さと等しく、この長さは露光装置の解像度限界によって決まる。解像度限界は、露光装置に使用される露光光の波長によって決まり、露光光の波長が短ければ短いほど、解像度限界は向上する。具体的には、ｇ線（波長４３６ｎｍ）およびｈ線（波長４０５ｎｍ）線による露光が可能な露光装置（以下、「ｇ線＋ｈ線露光装置」という）を使用すれば解像度限界は３μｍであるのに対して、ｉ線（波長３６５ｎｍ）による露光が可能な露光装置（以下、「ｉ線露光装置」という）を使用することにより解像度限界は１．５μｍまで向上する。このため、フォトリソグラフィ工程のばらつきを考慮したＴＦＴのチャネル長は、ｇ線＋ｈ線露光装置を使用した場合には４μｍ程度であるのに対して、ｉ線露光装置を使用した場合には２μｍ程度まで短くすることができる。

[0004] しかし、ｉ線露光装置はｇ線＋ｈ線露光装置に比べて高価であり、大型基板を露光可能な大型のｉ線露光装置はより高価になる。そこで、例えばＧ８

サイズ（２２００ｍｍ×２５００ｍｍ）の大型基板にＴＦＴを形成する際の製造コストを少しでも低減するために、大型のｉ線露光装置ではなく、大型のｇ線＋ｈ線露光装置が使用されることが多い。この場合、ＴＦＴのチャネル長は上述のように３～４μｍになる。そこで、ｇ線＋ｈ線露光装置を使用した場合にも、チャネル長を短く方法が求められている。

[0005] 特許文献１には、酸化物半導体からなるチャネル層を有するＴＦＴの電流駆動力を高めるために、ソース電極およびドレイン電極と接する酸化物半導体層を還元することによって酸化物半導体層を低抵抗化し、ソース電極およびドレイン電極とチャネル層とのコンタクト抵抗を低くすることが開示されている。

先行技術文献

特許文献

[0006] 特許文献1：日本国特開２０１０－２３２６４７号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、チャネル層の低抵抗化された領域は、ソース電極およびドレイン電極の下部にのみ形成される。このため、ＴＦＴのチャネル長は、ソース電極の端部とドレイン電極の端部との間の長さと同じ３～４μｍであり、露光装置の解像度限界以上に短くすることはできない。その結果、ＴＦＴの電流駆動力は、ソース電極およびドレイン電極とチャネル層とのコンタクト抵抗値が低くなることにより数％程度改善されるにとどまり、ＴＦＴの電流駆動力を大幅に改善することは難しい。

[0008] そこで、本発明の目的は、製造コストを抑えつつ、電流駆動力を大幅に改善可能な薄膜トランジスタおよびその製造方法を提供することである。また、本発明の他の目的は、そのような薄膜トランジスタを用いてハイフレームレート化および高精細化が可能な表示装置を提供することである。

課題を解決するための手段

[0009] 本発明の第１の局面は、絶縁基板上に形成された薄膜トランジスタであって、

前記絶縁基板上に形成されたゲート電極と、

前記ゲート電極を覆うように形成されたゲート絶縁膜と、

前記ゲート電極を挟むように、所定の距離を隔てて前記ゲート絶縁膜上に形成されたソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極によって挟まれた前記ゲート絶縁膜上に形成され、一端および他端が前記ソース電極および前記ドレイン電極とそれぞれ電気的に接続された酸化物半導体層を含むチャネル層とを備え、

前記酸化物半導体層は、第１の抵抗値を有する２つの第１の領域と、前記２つの第１の領域によって挟まれ、前記第１の抵抗値よりも高い第２の抵抗値を有する第２の領域とを含み、

前記第２の領域の長さは、前記ソース電極の端部と前記ドレイン電極の端部との間の長さよりも短いことを特徴とする。

[0010] 本発明の第２の局面は、本発明の第１の局面において、

前記ゲート電極に所定の電圧が印加されたとき、前記第１の領域の長さが短くなった分だけ前記第２の領域の長さが長くなることを特徴とする。

[0011] 本発明の第３の局面は、本発明の第１の局面において、

前記ソース電極および前記ドレイン電極は、前記酸化物半導体層から酸素を奪い取るとともに前記酸化物半導体層に水素を供給する金属からなる金属電極を含み、

前記金属電極は、前記酸化物半導体層と直接接していることを特徴とする。

[0012] 本発明の第４の局面は、本発明の第１の局面において、

前記ソース電極は前記酸化物半導体層の一端を覆うように形成され、前記ドレイン電極は前記酸化物半導体層の他端を覆うように形成されていることを特徴とする。

[0013] 本発明の第５の局面は、本発明の第４の局面において、

前記ソース電極の端部と前記ドレイン電極の端部とによって挟まれた領域の前記酸化物半導体層上に、前記第２の領域を覆うように形成されたエッチングストッパ層をさらに含み、

前記ソース電極および前記ドレイン電極は、前記エッチングストッパ層に形成されたコンタクトホールを介して前記チャネル層の前記２つの第１の領域とそれぞれ電気的に接続されていることを特徴とする。

[0014] 本発明の第６の局面は、本発明の第１の局面において、

前記酸化物半導体層の一端は前記ソース電極の一端を覆うように形成され、前記酸化物半導体層の他端は前記ドレイン電極の一端を覆うように形成されていることを特徴とする。

[0015] 本発明の第７の局面は、本発明の第６の局面において、

前記ソース電極および前記ドレイン電極は、前記酸化物半導体層から酸素を奪い取るとともに前記酸化物半導体層に水素を供給する金属電極を少なくとも１つ含み、複数の金属電極を積層した積層金属電極からなり、

前記積層金属電極は、前記複数の金属電極の表面の少なくとも一部が露出されるように形成された階段状の段差を有し、

前記酸化物半導体層の一端および他端は、前記階段状の段差を覆うように形成されていることを特徴する。

[0016] 本発明の第８の局面は、本発明の第３の局面または第７の局面において、

前記金属電極はチタン電極であることを特徴とする。

[0017] 本発明の第９の局面は、本発明の第８の局面において、

前記酸化物半導体層は酸化インジウムガリウム亜鉛層であり、前記チタン電極は前記酸化インジウムガリウム亜鉛層と直接接していることを特徴とする。

[0018] 本発明の第１０の局面は、本発明の第９の局面において、

前記ゲート電極に電圧が印加されたときの前記第２の領域の長さは、前記ソース電極の端部と前記ドレイン電極の端部との間の長さよりも１～３μｍだけ短いことを特徴とする。

[0019] 本発明の第１１の局面は、本発明の第１の局面において、

前記酸化物半導体層は微結晶酸化物半導体からなることを特徴とする。

[0020] 本発明の第１２の局面は、絶縁基板上に形成された薄膜トランジスタの製造方法であって、

前記絶縁基板上にゲート電極を形成する工程と、

前記ゲート電極を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、酸化インジウムガリウム亜鉛層からなるチャネル層を形成する工程と、

前記チャネル層の一端および他端を覆うようにソース電極およびドレイン電極をそれぞれ形成する工程と、

前記ソース電極および前記ドレイン電極を形成後に熱処理する工程とを備え、

前記熱処理する工程は、温度を２５０℃以上であって３５０℃以下とし、時間を０．５時間以上であって３時間以下とする処理であることを特徴とする。

[0021] 本発明の第１３の局面は、本発明の第１２の局面において、

前記ソース電極および前記ドレイン電極を形成後に、パッシベーション膜を形成する工程と、

前記パッシベーション膜に、前記ソース電極および前記ドレイン電極にそれぞれ到達するコンタクトホールを開孔する工程とをさらに含み、

前記熱処理する工程は、前記パッシベーション膜に前記コンタクトホールを開孔後に行うことを特徴とする。

[0022] 本発明の第１４の局面は、本発明の第１２の局面において、

前記ソース電極および前記ドレイン電極を形成する工程は、スパッタリング法を用いて、前記酸化インジウムガリウム亜鉛層の表面にチタン膜を成膜する工程を含み、

前記チタン膜を成膜する工程は、前記チタン膜の膜厚と成膜時のパワーを調整して成膜することを特徴とする。

[0023] 本発明の第１５の局面は、画像を表示するアクティブマトリクス型の表示装置であって、

複数のゲート配線と、前記複数のゲート配線と交差する複数のソース配線と、前記複数のゲート配線と前記複数のソース配線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを有する表示部と、

前記複数の画素形成部を駆動する駆動回路とを備え、

前記駆動回路は、第１の局面に係る薄膜トランジスタによって構成されていることを特徴とする。

[0024] 本発明の第１６の局面は、本発明の第１５の局面において、

前記画素形成部は、対応するゲート配線に印加される信号に応じてオンまたはオフするスイッチング素子を含み、

前記スイッチング素子は、第１の局面に係る薄膜トランジスタを含むことを特徴とする。

発明の効果

[0025] 上記第１の局面によれば、チャネル層に形成された２つの第１の領域によって挟まれた第２の領域の抵抗値は、第１の領域の抵抗値よりも高いので、第２の領域は薄膜トランジスタのチャネルとして機能する。第１の領域を形成することによって、露光装置の解像度限界で決まるソース電極の端部とドレイン電極の端部との間の長さよりも第２の領域の長さを短くすることができる。これにより、電気的チャネル長が短くなるので、薄膜トランジスタの電流駆動力が大きくなる。

[0026] 上記第２の局面によれば、ゲート電極に電圧を印加することにより、第１の領域の長さが短くなった分だけ第２の領域の長さが長くなる。しかし、第２の領域の長さは、ソース電極の端部とドレイン電極の端部との間の長さよりも短くなるので、従来の薄膜トランジスタと比較して電流駆動力を大きくすることができる。

[0027] 上記第３の局面によれば、金属電極は、酸化物半導体層から酸素を奪い取るとともに、酸化物半導体層に水素を供給する。酸化物半導体層は還元され

、またその内部に水素が拡散し、酸化物半導体層に抵抗値が低い第１の領域が形成される。これにより、電気的チャネル長が短くなるので、薄膜トランジスタの電流駆動力を大きくすることができる。

[0028] 上記第４の局面によれば、チャネルエッチ構造の薄膜トランジスタにおいても、第１の領域を形成することによって電気的チャネル長を短くする。これにより、チャネルエッチ構造の薄膜トランジスタの電流駆動力を大きくすることができる。

[0029] 上記第５の局面によれば、エッチストッパ構造の薄膜トランジスタにおいても、第１の領域を形成することによって電気的チャネル長を短くする。これにより、エッチストッパ構造の薄膜トランジスタの電流駆動力を大きくすることができる。

[0030] 上記第６の局面によれば、ボトムコンタクト構造の薄膜トランジスタにおいても、第１の領域を形成することによって電気的チャネル長を短くする。これにより、ボトムコンタクト構造の薄膜トランジスタの電流駆動力を大きくすることができる。

[0031] 上記第７の局面によれば、ボトムコンタクト構造の薄膜トランジスタにおいて、ソース電極およびドレイン電極は階段状の段差を有し、段差の表面には酸化物半導体層から酸素を奪い取るとともに酸化物半導体層の水素を供給する金属電極の表面が露出している。酸化物半導体層は金属電極によって還元され、またその内部に水素が拡散する。これにより、金属電極と直接接触している酸化物半導体層の一端および他端に、抵抗値が低い第１の領域が形成され、第２の領域の長さが短くなる。その結果、電気的チャネル長が短くなるので、ボトムコンタクト構造の薄膜トランジスタの電流駆動力を大きくすることができる。

[0032] 上記第８の局面によれば、チタン層は酸化物半導体層から酸素を奪い取るとともに、酸化物半導体層に水素を供給する能力が高いので、酸化物半導体層に第１の領域が形成されやすくなる。これにより、電気的チャネル長が短くなるので、薄膜トランジスタの電流駆動力を大きくすることができる。

[0033] 上記第９の局面によれば、酸化インジウムガリウム亜鉛層はチタン電極によって還元されやすく、またその内部に水素が拡散しやすいので、第１の領域が形成されやすくなる。これにより、電気的チャネル長が短くなるので、薄膜トランジスタの電流駆動力を大きくすることができる。

[0034] 上記第１０の局面によれば、第２の領域の長さを、ソース電極の端部とドレイン電極の端部との間の長さよりも１～３μｍだけ短くすることによって、ソース電極の端部とドレイン電極の端部との間の長さを解像度限界まで狭くした場合でも、薄膜トランジスタを正常に動作させることができる。

[0035] 上記第１１の局面によれば、酸化物半導体膜は微結晶半導体からなるので、薄膜トランジスタのオン抵抗が小さくなる。これにより、電流駆動力を大きくすることができる。

[0036] 上記第１２の局面によれば、０．５時間から３時間の熱処理を行うことにより、短い処理時間でゲート電圧ストレスによる閾値電圧のシフトを十分に抑制することができる。また、２５０℃から３５０℃の熱処理を行うことにより、第１の領域が形成されやすくなり、第１の領域の長さのばらつきを小さくすることができる。

[0037] 上記第１３の局面によれば、チャネル層の酸化インジウムガリウム亜鉛層を還元するための熱処理と、コンタクトホールをエッチングした際に受けたダメージを回復させるための熱処理とを１回の熱処理で行うことができる。これにより、薄膜トランジスタの製造プロセスを簡略化することができる。

[0038] 上記第１４の局面によれば、ソース電極およびドレイン電極に含まれるチタン膜をスパッタリング法によって成膜する際に、その膜厚およびパワーを調整することにより、第２の領域の長さを露光装置の解像度限界以上に短くすることができるので、電流駆動力が大きな薄膜トランジスタを形成することができる。

[0039] 上記第１５の局面によれば、電流駆動力が大きな第１の局面に係る薄膜トランジスタを用いて駆動回路を構成することにより、駆動回路の動作速度が速くなり、ハイフレームレート化しやすくなる。また、駆動回路の回路規模

を小さくすることができるので、表示部の額縁を小さくすることができるとともに、表示装置の消費電力を抑制することができる。

[0040] 上記第１６の局面によれば、画素形成部のスイッチング素子として第１の局面に係る薄膜トランジスタを用いることにより、画素容量に、画像信号の信号電圧を短時間で充電できるので、画素形成部の数を増やして高精細化を図ることが可能になる。

図面の簡単な説明

[0041] [図1]基礎検討で使用したボトムゲート型ＴＦＴの構成を示す断面図である。

[図2]図１に示すＴＦＴにおいて、ゲート電圧を変えたときのソース／ドレイン間スペースの長さと、ソース／ドレイン電極間の抵抗値との関係を示す図である。

[図3]図１に示すＴＦＴにおいて、ΔＬ領域の長さのゲート電圧依存性を示す図である。

[図4]図１に示すＴＦＴにおいて、ソース／ドレイン間スペースにおける電子キャリア濃度の分布を示す図である。

[図5]図１に示すＴＦＴにおいて、ΔＬ領域の抵抗値のゲート電圧依存性を示す図である。

[図6]（ａ）～（ｄ）は、図１に示すＴＦＴにおいて、ＩＧＺＯ層がチタン電極によって還元される様子を示す模式断面図である。

[図7]（ａ）は、本発明の第１の実施形態に係るボトムゲート型ＴＦＴの構成を示す平面図であり、（ｂ）は（ａ）に示すＡ－Ａ線に沿った断面図である。

[図8]（ａ）～（ｃ）は、図７（ａ）および図７（ｂ）に示すＴＦＴの各製造工程を示す工程断面図である。

[図9]（ａ）～（ｃ）は、図７（ａ）および図７（ｂ）に示すＴＦＴの各製造工程を示す工程断面図である。

[図10]図７（ａ）および図７（ｂ）に示すＴＦＴの各種のプロセス条件と低抵抗領域の長さとの関係を示す図である。

[図11]図１０に示す実験１のプロセス条件で製造したＴＦＴの断面図である。

[図12]図１０に示す実験２のプロセス条件で製造したＴＦＴの断面図である。

[図13]図７（ａ）および図７（ｂ）に示すＴＦＴのゲート電圧－ドレイン電流特性を示す図である。

[図14]（ａ）は、本発明の第２の実施形態に係るボトムゲート型ＴＦＴの構成を示す平面図であり、（ｂ）は（ａ）に示すＴＦＴのＢ－Ｂ線に沿った断面図である。

[図15]（ａ）～（ｄ）は、図１４（ａ）および図１４（ｂ）に示すＴＦＴの各製造工程を示す工程断面図である。

[図16]（ａ）～（ｃ）は、図１４（ａ）および図１４（ｂ）に示すＴＦＴの各製造工程を示す工程断面図である。

[図17]（ａ）および（ｂ）は、図１４（ａ）および図１４（ｂ）に示すＴＦＴのチャネル層付近の拡大断面図である。

[図18]（ａ）は、本発明の第３の実施形態に係るボトムゲート型ＴＦＴの構成を示す平面図であり、（ｂ）は（ａ）に示すＴＦＴのＣ－Ｃ線に沿った断面図である。

[図19]（ａ）～（ｄ）は、図１８（ａ）および図１８（ｂ）に示すＴＦＴの各製造工程を示す工程断面図である。

[図20]（ａ）～（ｃ）は、図１８（ａ）および図１８（ｂ）に示すＴＦＴの各製造工程を示す工程断面図である。

[図21]図１８（ａ）および図１８（ｂ）に示すＴＦＴのチャネル層を構成するＩＧＺＯ層が熱処理により還元される様子を示す拡大断面図である。

[図22]第１～第３の実施形態に係るＴＦＴのいずれかを含む液晶表示装置の構成を示すブロック図である。

[図23]図２２に示す液晶表示装置の液晶パネルに設けられた画素形成部内のパターン配置を示す平面図である。

発明を実施するための形態

[0042] ＜１．基礎検討＞

図１は、基礎検討で使用したボトムゲート型ＴＦＴ１０の構成を示す断面図である。図１に示すように、ＴＦＴ１０は、絶縁基板１５上に形成されたゲート電極２０と、ゲート電極２０を覆うように形成されたゲート絶縁膜３０と、ゲート電極２０に対応するゲート絶縁膜３０の表面上の位置に形成された島状のチャネル層４０と、チャネル層４０の左上面から左側のゲート絶縁膜３０上に延在するソース電極６０ａと、チャネル層４０の右上面から右側のゲート絶縁膜３０上に延在するドレイン電極６０ｂとを含む。

[0043] ＴＦＴ１０において、チャネル層４０はＩＧＺＯ層からなり、ＩＧＺＯ層はソース電極６０ａおよびドレイン電極６０ｂに含まれるチタン（Ｔｉ）電極（図示しない）と接している。チタン電極は、ＩＧＺＯ層から構成元素の１つである酸素を奪い取ることによってＩＧＺＯ層を還元し、奪い取った酸素によって酸化される。また、チタン電極に含まれる水素がＩＧＺＯ層に供給され、供給された水素はＩＧＺＯ層の内部に拡散する。このように、酸素を奪い取られるとともに、水素が拡散したＩＧＺＯ層は低抵抗領域になり、酸素を奪い取られず、水素も拡散しなかったＩＧＺＯ層は高抵抗領域として残る。これにより、チャネル層４０の両側には低抵抗領域（「第１の領域」ともいう）４０ｂが形成される。また、２つの低抵抗領域４０ｂに挟まれたチャネル層４０の中央には、高抵抗領域（「第２の領域」ともいう）４０ａが残り、ＴＦＴ１０のチャネルとして機能する。

[0044] しかし、物理分析または化学分析によって高抵抗領域４０ａまたは低抵抗領域４０ｂの大きさ（長さ）を求めることは困難である。また後述するように、低抵抗領域４０ｂの大きさがＴＦＴ特性の測定によって変化し、それにともなって高抵抗領域４０ａの大きさも変化する。そこで、以下に説明する方法によってＴＦＴ１０のチャネル長を求める。

[0045] ＴＦＴ１０において、ソース電極６０ａの端部とドレイン電極６０ｂの端部によって挟まれたスペース（以下、「ソース／ドレイン間スペース」とい

う）の長さをＬｃｈ、ＴＦＴ特性を測定することによって求めたＴＦＴ１０のチャネル長（以下、「電気的チャネル長」）をＬｅとしたとき、次式（１）で表わされる長さΔＬの領域をΔＬ領域という。

ΔＬ＝Ｌｃｈ－Ｌｅ　…　（１）

[0046] ソース／ドレイン電極６０ａ、６０ｂ間の電圧をＶｇｓ、ドレイン電流をＩｍｅａｓとしたとき、ソース／ドレイン電極６０ａ、６０ｂ間の抵抗値Ｒｍｅａｓは、次式（２）で表わされる。

Ｒｍｅａｓ＝Ｖｇｓ／Ｉｍｅａｓ　…　（２）

なお、ドレイン電流Ｉｍｅａｓは、チャネル幅が１μｍあたりの電流であり、ソース／ドレイン電極６０ａ、６０ｂ間に流れる全電流をチャネル幅で割った値である。

[0047] ソース／ドレイン電極６０ａ、６０ｂ間の抵抗値Ｒｍｅａｓから、電気的チャネル長Ｌｅの抵抗値を除いた抵抗値Ｒｅｘｔは、主にΔＬ領域の抵抗値であり、さらにソース電極６０ａおよびドレイン電極６０ｂとチャネル層４０とのコンタクト抵抗値も含む。

[0048] ΔＬ領域の長さΔＬおよび抵抗値Ｒｅｘｔを求める方法を説明する。図２は、ゲート電圧を変えたときのソース／ドレイン間スペースの長さＬｃｈと、ソース／ドレイン電極６０ａ、６０ｂ間の抵抗値Ｒｍｅａｓとの関係を示す図である。図２に示すように、ゲート電極２０に６±１Ｖを印加したときのＴＦＴ特性のチャネル長依存性を示すデータから、ゲート電圧が５Ｖのときの直線と、ゲート電圧が７Ｖのときの直線が得られる。２本の直線の交点におけるチャネル長成分（横軸成分）が長さΔＬを表わし、抵抗成分（縦軸成分）が抵抗値Ｒｅｘｔを表わす。

[0049] このようにして、ゲート電圧を変えて、ΔＬ領域の長さΔＬと抵抗値Ｒｅｘｔのゲート電圧依存性を求める。図３は、ΔＬ領域の長さΔＬのゲート電圧依存性を示す図である。ソース電極６０ａおよびドレイン電極６０ｂに含まれるチタン電極は、熱処理によってチャネル層４０を構成するＩＧＺＯ層から酸素を奪い取ってＩＧＺＯ層を還元し、奪い取った酸素によって酸化さ

れる。また、チタン電極に含まれている水素がＩＧＺＯ層に供給され、供給された水素はＩＧＺＯ層の内部に拡散する。これにより、チャネル層４０に、抵抗値の低い領域が形成される。この抵抗値の低い領域がΔＬ領域であり、その長さΔＬは、奪い取られた酸素と内部に拡散した水素とによって決まる。図３に示すように、ΔＬ領域の長さΔＬは、熱処理の温度が高いほど長くなることがわかる。

[0050] 図４は、ソース／ドレイン間スペースにおける電子キャリア濃度Ｎｅｘｔの分布を示す図である。図４に示すように、ソース／ドレイン間スペースの長さＬｃｈが８．７μｍの場合、電子キャリア濃度Ｎｅｘｔは、ソース電極およびドレイン電極の端部（それぞれｘ＝０μｍおよび８μｍの位置）で、電子キャリア濃度Ｎｅｘｔが最も高く、ソース／ドレイン間スペースの内側になるほど電子キャリア濃度Ｎｅｘｔは低くなっている。また、ゲート電極２０に印加するゲート電圧を高くすれば、チャネルの電子キャリア濃度Ｎｅｘｔが増加し、ΔＬ領域の電子キャリア濃度Ｎｅｘｔが低い領域の濃度を超えるようになる。これにより、ΔＬ領域の電子キャリア濃度Ｎｅｘｔが低い領域はチャネルに取り込まれるので、ΔＬ領域は電子キャリア濃度Ｎｅｘｔが高い領域のみになり、その長さΔＬが減少する。その結果、図３に示すように、電気的チャネル長Ｌｅは長くなり、ΔＬ領域の長さΔＬは短くなる。

[0051] 図５は、ΔＬ領域の抵抗値Ｒｅｘｔのゲート電圧依存性を示す図である。図５に示すように、ゲート電圧を高くすることによってΔＬ領域の長さΔＬが短くなれば、その抵抗値Ｒｅｘｔは低くなる。これは、ゲート電圧が高くなれば、ΔＬ領域内側の電子キャリア濃度Ｎｅｘｔが低い領域はチャネルに変化し、ΔＬ領域の抵抗値に関与する領域はΔＬ領域内の電子キャリア濃度Ｎｅｘｔが高い領域のみになるからである。また、ゲート電圧が高い領域では、熱処理の温度が高いほど、抵抗値Ｒｅｘｔも高くなっている。これは、熱処理の温度が高いほど、ΔＬ領域の長さΔＬが長くなるからである。

[0052] このように、ΔＬ領域の長さΔＬは、ゲート電圧に依存する。ΔＬ領域のうち、ＴＦＴ１０がオン状態のときのドレイン電流Ｉｍｅａｓに対する寄与

が大きいのは、電子キャリア濃度Ｎｅｘｔが低いチャネル内側の領域ではなく、ソース電極６０ａおよびドレイン電極６０ｂの端部に近い領域である。そこで、本明細書におけるΔＬ領域の長さΔＬとは、ゲート電極２０に２０～３０Ｖを印加したときに図３から求められる長さであると定義する。また、電気的チャネル長Ｌｅは、ソース／ドレイン間スペースの長さＬｃｈと、ΔＬ領域の長さΔＬから、次式（３）により求める。

$$Le = Lch - \Delta L \quad \cdots \quad (3)$$

[0053] また、図１に示す低抵抗領域４０ｂは、ΔＬ領域、すなわち長さがΔＬの領域をいい、高抵抗領域４０ａは、ソース／ドレイン間スペースから低抵抗領域４０ｂを除いた領域、すなわち長さが電気的チャネル長Ｌｅである領域をいう。上述のように、熱処理によってチャネル層４０に含まれるＩＧＺＯ層は酸素を奪い取られて還元され、酸素を奪い取ったチタン電極は酸化される。また、チタン電極に含まれている水素がＩＧＺＯ層に供給される。供給された水素はＩＧＺＯ層の内部に拡散する。このようなＩＧＺＯ層の還元および水素の拡散によって、長さΔＬの低抵抗領域４０ｂが形成される。

[0054] ＴＦＴ１０のチャネル層４０がＩＧＺＯ層４５を含み、ソース電極６０ａおよびドレイン電極６０ｂがチタン電極６５を含む場合について、ＩＧＺＯ層４５がチタン電極６５によって還元される様子を説明する。図６（ａ）～図６（ｄ）は、ＩＧＺＯ層４５がチタン電極６５によって還元される様子を示す模式断面図である。図６（ａ）～図６（ｄ）を参照しつつ、ＩＧＺＯ層４５の還元が進行する様子を説明する。

[0055] 図６（ａ）に示すように、ＩＧＺＯ層４５上に、チタン電極６５を形成する。この工程では、熱処理が施されていないので、ＩＧＺＯ層４５は還元されていない。このとき、ＩＧＺＯ層４５の酸素濃度は高く、チタン電極６５の酸素濃度は低いので、ＩＧＺＯ層４５とチタン電極６５との界面で酸素濃度勾配が急峻になっている。

[0056] 図６（ｂ）に示すように、熱処理を行うことにより、まずチタン電極６５の下部のＩＧＺＯ層４５に含まれる酸素がチタン電極６５によって奪い取ら

れる。これにより、ＩＧＺＯ層４５が還元されると同時に、チタン電極６５が酸化される。チタン電極６５の下部のＩＧＺＯ層４５は、酸素を奪い取られることによって酸素濃度が低下し、低抵抗領域４０ｂになる。

[0057] 図６（ｃ）に示すように、界面から離れているソース／ドレイン間スペース内のＩＧＺＯ層４５に含まれる酸素が界面に順に供給され、チタン電極６５に奪い取られる。チタン電極６５はＩＧＺＯ層４５から奪い取った酸素により酸化される。このようにして、チタン電極６５は、その下部のＩＧＺＯ層４５だけでなく、さらにソース／ドレイン間スペースのＩＧＺＯ層４５からも酸素を奪い取って還元する。また、チタン電極６５から水素が供給され、ＩＧＺＯ層４５の内部に拡散する。このため、低抵抗領域４０ｂは、ソース／ドレイン間スペース内のＩＧＺＯ層４５まで広がる。一方、還元されなかったＩＧＺＯ層４５は、高抵抗領域４０ａとして残る。

[0058] 図６（ｄ）に示すように、ゲート電極２０にゲート電圧を印加すれば、高抵抗領域４０ａとの境界に近い低抵抗領域４０ｂの電子が、それぞれチタン電極６５側に移動する。これにより、低抵抗領域４０ｂの長さが短くなり、逆に高抵抗領域４０ａの長さはその分だけ長くなる。このように、ゲート電極２０に２０～３０Ｖを印加したときの高抵抗領域４０ａの長さが電気的チャネル長Ｌｅになる。この電気的チャネル長Ｌｅは、ソース／ドレイン間スペースの長さＬｃｈよりも短いので、電流駆動力が従来の薄膜トランジスタと比較して大きくなる。

[0059] なお、以下の各実施形態では、低抵抗領域は、酸素を奪い取られて還元されることにより形成されるとし、チタン電極から供給された水素が拡散することの説明は省略する。

[0060] ＜２．第１の実施形態＞

＜２．１　ＴＦＴの構成＞

図７（ａ）は、本発明の第１の実施形態に係るボトムゲート型ＴＦＴ１００の構成を示す平面図であり、図７（ｂ）は図７（ａ）に示すＡ－Ａ線に沿った断面図である。図７（ａ）および図７（ｂ）に示すＴＦＴ１００は、チ

ャネルエッチ構造のＴＦＴともいわれる。図７（ａ）および図７（ｂ）を参照して、ＴＦＴ１００の構成を説明する。

[0061] ガラス基板等の絶縁基板１５上に、ゲート電極２０が形成されている。ゲート電極２０は、例えばチタン膜上に銅（Ｃｕ）膜を積層した積層金属膜により構成されている。なお、ゲート電極２０は、絶縁基板１５側からチタン膜、アルミニウム（ＡｌＩ）膜、チタン膜を順に積層した積層金属膜により構成されていてもよい。

[0062] ゲート電極２０を含む絶縁基板１５の全体を覆うように、ゲート絶縁膜３０が形成されている。ゲート絶縁膜３０は、窒化シリコン（ＳｉＮｘ）膜３５上に酸化シリコン（ＳｉＯ２）膜３６を積層した積層絶縁膜により構成されている。このように、窒化シリコン膜３５上に酸化シリコン膜３６を積層したのは、ゲート絶縁膜３０が後述するチャネル層４０になる酸化物半導体層から酸素を奪い取りにくくするためである。

[0063] ゲート電極２０に対応するゲート絶縁膜３０の表面上の位置に、島状のチャネル層４０が形成されている。チャネル層４０は、インジウム（Ｉｎ）、ガリウム（Ｇａ）、亜鉛（Ｚｎ）および酸素（Ｏ）を含むＩＧＺＯ層からなる。チャネル層４０の両側には、それぞれ低抵抗領域４０ｂが形成されている。２つの低抵抗領域４０ｂに挟まれたチャネル層４０の中央には、低抵抗領域４０ｂよりも抵抗値が高い高抵抗領域４０ａが残る。

[0064] ＩＧＺＯ層の膜厚は、３０～５０ｎｍ程度が好ましい。これは、以下の理由による。ＩＧＺＯ層の膜厚が３０μｍよりも薄くなると、ＴＦＴ１００のＴＦＴ特性が不安定になり、また温度およびゲート電圧ストレスによる閾値電圧のシフトが生じる。一方、膜厚が５０ｎｍよりも厚くなると、ゲート電圧による制御性が悪くなり、リーク電流（特にゲート電圧が０Ｖのときのリーク電流）が増大する。

[0065] 本実施形態で用いられるＩＧＺＯ層の組成比は、次式（４）に示す。

インジウム：ガリウム：亜鉛＝１：１：１ … （４）

しかし、ＩＧＺＯ層の組成比は、次式（５）に示す場合であってもよく、ま

たはその他の組成比であってもよい。

インジウム：ガリウム：亜鉛＝４：５：１　…　（５）

また、本実施形態で用いられるＩＧＺＯ層は非晶質膜であることが最も好ましいが、微結晶膜または多結晶膜等の結晶性膜であってもよい。微結晶膜である場合には、ＴＦＴ１００のオン抵抗が小さくなり、電流駆動力が大きくなる。

[0066] なお、ＴＦＴ１００のチャネル層４０として使用可能な酸化物半導体は、ＩＧＺＯに限定されず、Ｉｎ－Ｚｎ－Ｏ系、Ｉｎ－Ｚｎ－Ｓｎ－Ｏ系、またはＩｎ－Ｚｎ－Ｓｉ－Ｏ系等であってもよい。具体的には、ＩＺＯ、ＩＴＯ、ＺｎＯ、ＳｎＯ、ＷＯ、ＩＯ等であってもよい。

[0067] チャネル層４０の上面で所定の距離を隔てて形成されたソース電極６０ａおよびドレイン電極６０ｂが配置されている。ソース電極６０ａはチャネル層４０の左上面から左側のゲート絶縁膜３０上まで延在するように形成されている。ドレイン電極６０ｂはチャネル層４０の右上面から右側のゲート絶縁膜３０上まで延在するように形成されている。ソース電極６０ａおよびドレイン電極６０ｂの端部は、左右の低抵抗領域４０ｂ上にそれぞれ位置するように形成されている。

[0068] ソース電極６０ａおよびドレイン電極６０ｂは、例えば、膜厚１００ｎｍのチタン電極６５上に、膜厚３００～１０００ｎｍの銅電極６６を積層した積層金属膜により構成されている。このように、ソース電極６０ａおよびドレイン電極６０ｂを積層金属膜により構成するのは、チタン電極６５の抵抗値が高いので、抵抗値が低い銅電極６６を積層することにより、ソース電極６０ａおよびドレイン電極６０ｂの抵抗値を低くするためである。また、ソース電極６０ａおよびドレイン電極６０ｂにチタン電極６５が含まれているのは以下の理由による。すなわち、チタンは酸化物半導体（特にＩＧＺＯ）から酸素を奪い取って還元する能力が高いので、低抵抗領域４０ｂを形成しやすいからである。なお、ソース電極６０ａおよびドレイン電極６０ｂの抵抗値が高くてもよい場合には、ソース電極６０ａおよびドレイン電極６０ｂ

はチタン電極６５のみで構成されていてもよい。

[0069] また、ソース電極６０ａおよびドレイン電極６０ｂは、チタン、アルミニウム、銅、タングステン（Ｗ）、モリブデン（Ｍｏ）、タンタル（Ｔａ）等の単層金属膜、アルミニウムーネオジム（Ｎｄ）、チタンーアルミニウム、モリブデンータングステン、インジウムー錫の単層合金膜、チタン膜、アルミニウム膜、チタン膜を順に積層したり、チタン膜上にアルミニウム膜を積層したり、チタン膜上にモリブデン膜を積層したりした積層金属膜等からなる電極であってもよい。

[0070] ソース電極６０ａの端部はゲート電極２０の左側部の上方に配置され、ドレイン電極６０ｂの端部はゲート電極２０の右側部の上方に配置されている。このため、ゲート電極２０に所定の電圧が印加されたとき、ゲート電極２０からの電界によって、チャネル層４０の各低抵抗領域４０ｂに電子が誘起され、高濃度キャリア層が形成される。高濃度キャリア層が形成されることにより、ソース電極６０ａおよびドレイン電極６０ｂは、２つの低抵抗領域４０ｂとそれぞれオーミック接続される。

[0071] ソース電極６０ａおよびドレイン電極６０ｂを含む絶縁基板１５の全体を覆うように、パッシベーション膜７０が形成されている。パッシベーション膜７０は、膜厚３００ｎｍの酸化シリコン膜からなる。パッシベーション膜７０には、ソース電極６０ａおよびドレイン電極６０ｂの表面に到達するコンタクトホール７１ａ、７１ｂがそれぞれ開孔されている。ソース電極６０ａおよびドレイン電極６０ｂはコンタクトホール７１ａ、７１ｂを介して、パッシベーション膜７０上に形成された外部配線８０ａ、８０ｂとそれぞれ電気的に接続されている。

[0072] ＴＦＴ１００では、電気的チャネル長Ｌｅは、ソース／ドレイン間スペースの長さＬｃｈよりも短い。好ましくは、後述するように、電気的チャネル長Ｌｅは、ソース／ドレイン間スペースの長さＬｃｈよりも１～３μｍ程度短い。電気的チャネル長Ｌｅをソース／ドレイン間スペースの長さＬｃよりも１～３μｍだけ短くすることによって、ソース／ドレイン間スペースを解

像度限界まで狭くした場合でも、ＴＦＴ１００は正常に動作する。なお、図７（ａ）および図７（ｂ）に示す電気的チャネル長Ｌｅは、ゲート電極２０に２０～３０Ｖを印加したときのＴＦＴ１００のチャネル長を示す。

[0073] ＜２．２　ＴＦＴの製造方法＞

図８（ａ）～図８（ｃ）および図９（ａ）～図９（ｃ）は、図７（ａ）および図７（ｂ）に示すＴＦＴ１００の各製造工程を示す工程断面図である。

[0074] 図８（ａ）に示すように、絶縁基板１５上に、例えばスパッタリング法を用いて、チタン膜（図示しない）および銅膜（図示しない）を連続して成膜する。次に、銅膜の表面に、フォトリソグラフィ法を用いてレジストパターン（図示しない）を形成する。レジストパターンをマスクにして、銅膜、チタン膜の順にウエットエッチング法によりエッチングし、ゲート電極２０を形成する。その後、レジストパターンを剥離する。これにより、チタン膜上に銅膜を層したゲート電極２０が形成される。

[0075] 図８（ｂ）に示すように、ゲート電極２０を含む絶縁基板１５の全体を覆うように、プラズマ化学気相成長法（Chemical Vapor Deposition：以下、「プラズマＣＶＤ法」という）を用いて、窒化シリコン膜３５および酸化シリコン膜３６を連続して成膜し、ゲート絶縁膜３０を形成する。

[0076] 図８（ｃ）に示すように、ゲート絶縁膜３０の表面に、スパッタリング法を用いて、インジウム、ガリウム、亜鉛および酸素を含むＩＧＺＯ膜４１を成膜する。ＩＧＺＯ膜４１は、酸化インジウム（Ｉｎ２Ｏ３）と酸化ガリウム（Ｇａ２Ｏ３）と酸化亜鉛（ＺｎＯ）をそれぞれ等モルで混合して焼結したターゲットを用い、ＤＣ（Direct Current）スパッタリング法により成膜する。ＩＧＺＯ膜４１の膜厚は３０～５０ｎｍである。

[0077] 次に、ＩＧＺＯ膜４１の表面にレジストパターン４８を形成する。レジストパターン４８をマスクとしてＩＧＺＯ膜４１をドライエッチング法によりエッチングし、レジストパターン４８を剥離する。これにより、ゲート絶縁膜３０上のゲート電極２０に対応する位置に、島状のチャネル層４０となるＩＧＺＯ層を形成する。

[0078] 次に、大気中で温度を３５０℃にして、熱処理を１時間行なう。熱処理を行うことによって、酸化シリコン膜３６等のゲート絶縁膜３０の膜質が向上し、温度ストレスおよびゲート電圧ストレスによる閾値電圧のシフト量を抑制することができる。また、酸化シリコン膜３６とチャネル層４０との界面の欠陥が減少するので、ＴＦＴ１００の立ち上がり特性を改善することができる。このように、ソース電極６０ａおよびドレイン電極６０ｂを形成する前に熱処理を行う場合には、チタン電極６５によるＩＧＺＯ層の還元を考慮する必要がないので、ＴＦＴ特性の改善のみを目的とする高温の熱処理が可能になる。

[0079] 図９（ａ）に示すように、スパッタリング法を用いてソースメタル膜６１を成膜する。ソースメタル膜６１は、膜厚３０～１００ｎｍのチタン膜６２上に、膜厚３００～１０００ｎｍの銅膜６３を積層した積層金属膜により構成される。このとき、チタン膜６２の膜厚およびスパッタリング時のパワーは、後述する熱処理条件とともに、電気的チャネル長Ｌｅと深く関係していることがわかった。そこで、これらの条件については後述する。

[0080] 次に、ソースメタル膜６１上に、フォトリソグラフィ法を用いて、ゲート電極２０の上方で所定の距離を隔てて左右に分離されたレジストパターン６８を形成する。レジストパターン６８に形成された所定の距離は、ゲート電極２０の長さよりも短いので、レジストパターン６８の端部は、ゲート電極２０の左右の側部とそれぞれ重なるように形成されている。

[0081] 図９（ｂ）に示すように、レジストパターン６８をマスクにして、ウエットエッチング法により、ソースメタル膜６１の銅膜６３およびチタン膜６２を順にエッチングし、チタン電極６５および銅電極６６を積層したソース電極６０ａおよびドレイン電極６０ｂを形成する。これにより、ソース電極６０ａは、チャネル層４０の左上面から左側のゲート絶縁膜３０上まで延在する。ドレイン電極６０ｂは、チャネル層４０の右上面から右側のゲート絶縁膜３０上まで延在する。なお、チャネル層４０上にエッチングストッパ層は形成されていない。しかし、ウエットエッチング法によってソースメタル膜

６１をエッチングするので、ソース電極６０ａおよびドレイン電極６０ｂを形成する際に、チャネル層４０はほとんど膜減りしない。

[0082] ソース電極６０ａおよびドレイン電極６０ｂを含む絶縁基板１５の全体を覆うように、プラズマＣＶＤ法を用いて、パッシベーション膜７０になる酸化シリコン膜を成膜する。なお、パッシベーション膜７０は、チャネル層４０と直接接しているので、パッシベーション膜７０には、チャネル層４０を構成するＩＧＺＯ層を還元しにくい酸化シリコン膜を用いることが好ましい。

[0083] ドライエッチング法を用いて、パッシベーション膜７０に、ソース電極６０ａおよびドレイン電極６０ｂの表面にそれぞれ到達するコンタクトホール７１ａ、７１ｂを開孔する。次に、大気中で温度を３００℃とし、時間を１時間とする熱処理を行う。熱処理により、チャネル層４０を構成するＩＧＺＯ層からチタン電極６５に酸素が移動する。これにより、チャネル層４０の両側には低抵抗領域４０ｂが形成される。２つの低抵抗領域４０ｂに挟まれたチャネル層４０の中央には、低抵抗領域４０ｂよりも抵抗値が高い高抵抗領域４０ａが残る。この熱処理によって、ＴＦＴ１００の電気的チャネル長Ｌｅが決まる。

[0084] また、この熱処理によって、コンタクトホール７１ａ、７１ｂのエッチング時にソース電極６０ａおよびドレイン電極６０ｂに生じるダメージを回復させることができる。さらに、パッシベーション膜７０に含まれている酸素がチャネル層４０の高抵抗領域４０ａに供給されるので、高抵抗領域４０ａは高い抵抗値を維持することができる。なお、熱処理の温度および時間は、チタン膜６２の膜厚および成膜時のパワーも考慮して決まるので、その詳細は後述する。

[0085] 図９（ｃ）に示すように、コンタクトホール７１ａ、７１ｂを含むパッシベーション膜７０上に、金属膜（図示しない）を成膜し、レジストパターン（図示しない）をマスクにして金属膜をパターニングする。これにより、コンタクトホール７１ａ、７１ｂをそれぞれ介してソース電極６０ａおよびド

レイン電極６０ｂと電気的に接続される外部配線８０ａ、８０ｂが形成される。

[0086] なお、上記説明では、熱処理を、ソースメタル膜６１を成膜する前と、コンタクトホール７１ａ、７１ｂの形成後に行った。しかし、ソースメタル膜６１を成膜する前の熱処理を省略し、コンタクトホール７１ａ、７１ｂの形成後にまとめて熱処理を行ってもよい。コンタクトホール７１ａ、７１ｂの形成後に熱処理を行う場合には、チタン電極６５によるＩＧＺＯ層の還元が進むので、高温で長時間の熱処理を行うことはできない。このため、ＴＦＴ特性を十分向上させることは困難である。しかし、熱処理の回数を１回減らすことができるので、ＴＦＴ１００の製造プロセスを簡略化することができる。

[0087] ＜２．３ 電気的チャネル長とプロセス条件＞

チタン膜６２によるＩＧＺＯ膜４１の還元によって決まる低抵抗領域４０ｂの長さΔＬは、チタン膜６２の膜厚、チタン膜６２をスパッタリングによって成膜する際のパワー、および、チタン膜６２の成膜後（例えばコンタクトホール７１ａ、７１ｂの形成後）の熱処理条件（温度および時間）によって大きな影響を受けることがわかった。そこで、これらのプロセス条件と、低抵抗領域４０ｂの長さΔＬとの関係を調べる実験を行った。図１０は、各種のプロセス条件と低抵抗領域４０ｂの長さΔＬとの関係を示す図である。なお、実験で使用したＴＦＴのソース／ドレイン間スペースの長さＬｃｈは５μｍである。

[0088] 実験で使用したプロセス条件について説明する。チタン膜６２の膜厚を３０ｎｍまたは７０ｎｍのいずれかとし、スパッタリング法による成膜時のパワーを２ｋＷまたは７ｋＷのいずれかとした。また、チタン膜６２の成膜後の熱処理は、大気中で温度を２５０～３５０℃の範囲で変化させ、処理時間はいずれの場合も１時間とした。これらのプロセス条件を組み合わせて実験を行った。

[0089] 実験１では、チタン膜６２の膜厚を１００ｎｍとし、パワーを２ｋＷとし

、３５０℃で１時間の熱処理を行った。このとき、低抵抗領域４０ｂの長さΔＬは０μｍであった。したがって、ＴＦＴ１０１の電気的チャネル長Ｌｅは、ソース／ドレイン間スペースの長さＬｃｈと同じ５μｍであり、電気的チャネル長Ｌｅを短くすることはできなかった。

[0090] 図１１は、実験１のプロセス条件で製造したＴＦＴ１０１の断面図である。図１１において、図７（ｂ）に示すＴＦＴ１００の構成要素と同じ構成要素には同じ参照符号を付して、その説明を省略する。図１１に示すように、ＴＦＴ１０１のチャネル層４０では、低抵抗領域４０ｂの長さΔＬは０μｍであり、ソース／ドレイン間スペースの長さＬｃｈと電気的チャネル長Ｌｅとが一致している。このため、電気的チャネル長Ｌｅは露光装置の解像度限界によって決まり、それ以下にすることはできない。

[0091] 実験２では、チタン膜６２の膜厚を３０ｎｍとし、パワーを７ｋＷとし、３５０℃で１時間の熱処理を行った。このとき、低抵抗領域４０ｂの長さΔＬは５μｍであった。この場合、ＴＦＴの電気的チャネル長Ｌｅは０μｍになり、ＴＦＴ１０２は常に導通状態になった。

[0092] 図１２は、実験２のプロセス条件で製造したＴＦＴ１０２の断面図である。図１２において、図７（ｂ）に示すＴＦＴ１００の構成要素と同じ構成要素には同じ参照符号を付して、その説明を省略する。図１２に示すように、ＴＦＴ１０２のチャネル層４０では、高抵抗領域が消滅し、全体が低抵抗領域４０ｂになっている。このため、ＴＦＴ１０２は常に導通状態になっており、トランジスタとしての機能が失われている。

[0093] 実験３では、チタン膜６２の膜厚を３０ｎｍとし、パワーを７ｋＷとし、３００℃で１時間の熱処理を行った。このとき、低抵抗領域４０ｂの長さΔＬは３μｍであった。この場合、ＴＦＴの電気的チャネル長Ｌｅは２μｍになり、正常に動作することがわかった。

[0094] 実験４では、チタン膜６２の膜厚を７０ｎｍとし、パワーを７ｋＷとし、３００℃で１時間の熱処理を行った。このとき、低抵抗領域４０ｂの長さΔＬは２μｍであった。この場合、ＴＦＴの電気的チャネル長Ｌｅは３μｍに

なり、正常に動作することがわかった。実験３と実験４の結果から、チタン膜６２の膜厚を厚くすれば、低抵抗領域４０ｂの長さΔＬは短くなり、電気的チャネル長Ｌｅは長くなることがわかった。

[0095] 実験５では、チタン膜６２の膜厚を７０ｎｍとし、パワーを７ｋＷとし、２５０℃で１時間の熱処理を行った。このとき、低抵抗領域４０ｂの長さΔＬは１μｍであった。この場合、ＴＦＴの電気的チャネル長Ｌｅは４μｍになり、正常に動作することがわかった。また、実験４および実験５の結果から、熱処理温度を低くすれば、低抵抗領域４０ｂの長さΔＬは短くなり、電気的チャネル長Ｌｅは長くなることがわかった。

[0096] 実験３～実験５の結果から、低抵抗領域４０ｂの長さΔＬが１～３μｍであれば、ＴＦＴは正常に動作することがわかった。このことから、電気的チャネル長Ｌｅは、ソース／ドレイン間スペースの長さＬｃｈよりも１～３μｍ程度短いことが好ましい。

[0097] また、チタン膜６２の成膜時のパワーが小さいほど、低抵抗領域４０ｂの長さΔＬは短くなり、電気的チャネル長Ｌｅは長くなることがわかった。このように、低抵抗領域４０ｂの長さΔＬは、主にチタン膜６２の膜厚および成膜時のパワーによって決まる。チタン膜６２の膜厚が厚く、かつ成膜時のパワーが小さい場合に、低抵抗領域４０ｂの長さΔＬは最も短くなり、電気的チャネル長Ｌｅは最も長くなる。このように、チタン膜６２の膜厚およびパワーを調整することにより、高抵抗領域４０ａの長さを露光装置の解像度限界以上に短くすることができるので、電流駆動力が大きな薄膜トランジスタを形成することができる。

[0098] また、実験１～５では、熱処理時間を１時間としたが、０．５時間以上３時間以下としてもよい。０．５時間よりも短い時間で熱処理した場合には、低抵抗領域４０ｂの長さΔＬのばらつきが抑制されるので、電気的チャネル長Ｌｅのばらつきも抑制される。しかし、ゲート電圧ストレスによる閾値電圧のシフトを十分に抑制することができない。一方、３時間よりも長い時間で熱処理した場合には、スループットが悪くなる。また、２５０℃よりも低

い温度で熱処理した場合には、閾値電圧のシフトを抑制することができず、また低抵抗領域４０ｂが形成されにくくなる。一方、３５０℃よりも高い温度で熱処理した場合には、低抵抗領域４０ｂの長さΔＬのばらつきが大きくなるので、電気的チャネル長Ｌｅのばらつきが大きくなる。

[0099] なお、実験６は、後述する第２の実施形態に係るＴＦＴ２００についての実験結果であるので、第２の実施形態において説明する。

[0100] ＜２．４　ゲート電圧－ドレイン電流特性＞

図１３は、図７（ａ）および図７（ｂ）に示すＴＦＴ１００のゲート電圧－ドレイン電流特性を示す図である。図１３において、ＴＦＴ１００Ａは低抵抗領域４０ｂの長さΔＬが２μｍのＴＦＴであり、ＴＦＴ１００Ｂは低抵抗領域４０ｂの長さΔＬが０μｍのＴＦＴであり、ＴＦＴ１００Ｃは低抵抗領域４０ｂの長さΔＬが４．５μｍのＴＦＴである。なお、ＴＦＴ１００Ａ～１００Ｃのソース／ドレイン間スペースの長さＬｃｈはいずれも４．５μｍである。

[0101] ＴＦＴ１００Ａでは、３００℃で１時間の熱処理を行った。この場合、低抵抗領域４０ｂの長さΔＬは２μｍであるので、電気的チャネル長Ｌｅは２．５μｍである。ＴＦＴ１００Ｂでは、チャネル層４０を構成するＩＧＺＯ層と直接接するチタン電極６５の膜厚は１００ｎｍであり、２５０℃で１時間の熱処理を行った。この場合、低抵抗領域４０ｂの長さΔＬは０μｍであるので、電気的チャネル長Ｌｅは４．５μｍのままである。ＴＦＴ１００ｃでは、低抵抗領域４０ｂの長さΔＬがソース／ドレイン間スペースの長さと同じなので、電気的チャネル長Ｌｅは０μｍである。

[0102] 図１３からわかるように、ＴＦＴ１００Ａのドレイン電流Ｉｄｓは、ＴＦＴ１００Ｂのドレイン電流Ｉｄｓに比べて１．８倍も大きくなっていることがわかる。これは、ＴＦＴ１００Ａの電気的チャネル長Ｌｅが、ＴＦＴ１００Ｂの電気的チャネル長Ｌｅに比べて、２．０μｍだけ短くなっているためと考えられる。このことから、低抵抗領域４０ｂの長さΔを制御することによって、電気的チャネル長Ｌｅを調整し、電流駆動力が優れたＴＦＴ１００

Ａを製造することができることがわかる。なお、ＴＦＴ１００Ｃでは、電気的チャネル長Ｌｅは０μｍになったので、ゲート電圧によってドレイン電流Ｉｄｓを制御できないことを示している。

[0103] ＜３．第２の実施形態＞

＜３．１　ＴＦＴの構成＞

図１４（ａ）は、本発明の第２の実施形態に係るボトムゲート型ＴＦＴ２００の構成を示す平面図であり、図１４（ｂ）は図１４（ａ）に示すＴＦＴ２００のＢ－Ｂ線に沿った断面図である。図１４（ａ）および図１４（ｂ）に示すＴＦＴ２００はエッチストッパ構造のＴＦＴともいわれる。

[0104] 図１４（ａ）および図１４（ｂ）を参照して、ＴＦＴ２００の構成を説明する。ガラス基板等の絶縁基板１５上に、ゲート電極２０が形成されている。ゲート電極２０を含む絶縁基板１５の全体を覆うように、ゲート絶縁膜３０が形成されている。なお、ゲート電極２０およびゲート絶縁膜３０の構成は、第１の実施形態に係るＴＦＴ１００と同じであるので、同じ参照符号を付してそれらの説明を省略する。

[0105] ゲート電極２０に対応するゲート絶縁膜３０の表面上の位置に、島状のチャネル層４０が形成されている。チャネル層４０はＩＧＺＯ層からなる。チャネル層４０は、その両側に形成された低抵抗領域４０ｂと、２つの低抵抗領域４０ｂに挟まれたチャネル層４０の中央に残された高抵抗領域４０ａとを含む。なお、ＩＧＺＯ層の膜厚、結晶性、組成比等は第１の実施形態に係るＴＦＴ１００の場合とそれぞれ同じであるため、それらの説明を省略する。

[0106] ＴＦＴ１００の場合と異なり、チャネル層４０およびゲート絶縁膜３０上に、エッチングストッパ層１５０が形成されている。エッチングストッパ層１５０は、後述するソース電極１６０ａおよびドレイン電極１６０ｂをエッチングによって形成する際に、チャネル層４０の表面がエッチングされないように保護するとともに、配線の負荷容量を低減する機能を有する。このため、エッチングストッパ層１５０の膜厚は厚い方が好ましいが、厚すぎると

成膜時間が長くなり、スループットが落ちるという問題がある。そこで、エッチングストッパ層１５０の好ましい膜厚は、１００～５００ｎｍである。また、エッチングストッパ層１５０は、直接接するチャネル層４０を構成するＩＧＺＯ層から酸素を奪い取りにくくするために、酸化シリコン膜によって形成されている。

[0107] エッチングストッパ層１５０には、チャネル層４０の低抵抗領域４０ｂに到達するコンタクトホール１５１ａ、１５１ｂがそれぞれ開孔されている。エッチングストッパ層１５０のうち、コンタクトホール１５１ａ、１５１ｂによって挟まれたエッチングストッパ層１５０ｃの上面に所定の距離を隔てて形成されたソース電極１６０ａおよびドレイン電極１６０ｂが配置されている。ソース電極１６０ａは、エッチングストッパ層１５０ｃの左上面から左側のゲート絶縁膜３０上まで延在するように形成されているとともに、コンタクトホール１５１ａを介して、チャネル層４０の低抵抗領域４０ｂとも電気的に接続されている。ドレイン電極１６０ｂは、エッチングストッパ層１５０ｃの右上面から右側のゲート絶縁膜３０上まで延在するように形成されているとともに、コンタクトホール１５１ｂを介して、チャネル層４０の低抵抗領域４０ｂとも電気的に接続されている。なお、ソース電極１６０ａおよびドレイン電極１６０ｂの膜厚および材料は、ＴＦＴ１００の場合と同じであるので、それらの説明を省略する。

[0108] ソース電極１６０ａの端部は、エッチングストッパ層１５０ｃの左上面に配置され、ドレイン電極１６０ｂの端部は、エッチングストッパ層１５０ｃの右上面に配置されている。このため、ＴＦＴ１００の場合と同様に、ゲート電極２０にゲート電圧が印加されれば、低抵抗領域４０ｂに電子が誘起され、高濃度キャリア層が形成される。高濃度キャリア層が形成されることにより、ソース電極１６０ａおよびドレイン電極１６０ｂは、２つの低抵抗領域４０ｂとそれぞれオーミック接続される。

[0109] ソース電極６０ａおよびドレイン電極６０ｂを含む絶縁基板１５の全体を覆うように、パッシベーション膜７０が形成されている。パッシベーション

膜７０は、膜厚３００ｎｍの酸化シリコン膜からなる。パッシベーション膜７０には、ソース電極６０ａおよびドレイン電極６０ｂの表面に到達するコンタクトホール７１ａ、７１ｂがそれぞれ開孔されている。ソース電極６０ａおよびドレイン電極６０ｂはコンタクトホール７１ａ、７１ｂを介して、パッシベーション膜７０上に形成された外部配線８０ａ、８０ｂとそれぞれ電気的に接続されている。

[0110] ＴＦＴ２００では、電気的チャネル長Ｌｅは、ソース／ドレイン間スペースの長さＬｃｈよりも短い。電気的チャネル長Ｌｅは、ＴＦＴ１００の場合と同様に、ソース／ドレイン間スペースの長さＬｃｈよりも１～３μｍ程度短いことが好ましい。電気的チャネル長Ｌｅをソース／ドレイン間スペースの長さＬｃよりも１～３μｍだけ短くすることによって、ソース／ドレイン間スペースを解像度限界まで狭くした場合でも、ＴＦＴ２００は正常に動作する。なお、図１４（ａ）および図１４（ｂ）に示す電気的チャネル長Ｌｅは、ゲート電極２０に２０～３０Ｖを印加したときのＴＦＴ２００のチャネル長を示す。

[0111] ＜３．２　ＴＦＴの製造方法＞

図１５（ａ）～図１５（ｄ）および図１６（ａ）～図１６（ｃ）は、図１４（ａ）および図１４（ｂ）に示すＴＦＴ２００の各製造工程を示す工程断面図である。

[0112] ＴＦＴ２００の製造工程のうち、図１５（ａ）～図１５（ｃ）に示す、絶縁基板１５上にゲート電極２０、ゲート絶縁膜３０、およびチャネル層４０を順次形成する工程は、図８（ａ）～図８（ｃ）に示す工程と同じである。そこで、図１５（ａ）～図１５（ｃ）に図８（ａ）～図８（ｃ）と同じ参照符号を付して、それらの説明を省略する。

[0113] 図１５（ｄ）に示すように、プラズマＣＶＤ法を用いて、チャネル層４０を覆い、膜厚が１００～５００ｎｍの酸化シリコン膜１５１を成膜する。酸化シリコン膜１５１上にレジストパターン１５８を形成する。レジストパターン１５８をマスクにして、酸化シリコン膜１５１をドライエッチング法に

よりエッチングし、チャネル層４０の表面にそれぞれ到達するコンタクトホール１５１ａ、１５１ｂが開孔されたエッチングストッパ層１５０を形成する。このエッチングストッパ層１５０のうち、コンタクトホール１５１ａ、１５１ｂによって挟まれた部分を特にエッチングストッパ層１５０ｃという。

[0114] 次に、３５０℃で１時間の熱処理を行う。この熱処理は、ゲート電圧ストレスによる閾値電圧のシフトを抑制する等の信頼性の向上、および、コンタクトエッチング時にＩＧＺＯ層に生じたダメージを回復することによるＴＦＴ特性の向上を図ることを目的とするもので、コンタクトホール１５１ａ、１５１ｂを開孔後であって、後述するソースメタル膜１６１を成膜する前に行なう。

[0115] 図１６（ａ）に示すように、スパッタリング法を用いて、コンタクトホール１５１ａ、１５１ｂを含むエッチングストッパ層１５０上にソースメタル膜１６１を成膜する。ソースメタル膜１６１の構成、膜厚、および成膜条件はＴＦＴ１００のソースメタル膜６１の場合と同じであるため、それらの説明を省略する。

[0116] 次に、ソースメタル膜１６１上に、フォトリソグラフィ法を用いて、エッチングストッパ層１５０の上方で所定の距離を隔てて左右に分離されたレジストパターン１６８を形成する。

[0117] 図１６（ｂ）に示すように、レジストパターン１６８をマスクにして、ドライエッチング法を用いて、ソースメタル膜１６１に含まれる銅膜１６２およびチタン膜１６３を順にエッチングし、チタン電極１６５および銅電極１６６によって構成されるソース電極１６０ａおよびドレイン電極１６０ｂを形成する。これにより、ソース電極１６０ａは、エッチングストッパ層１５０ｃの左上面から左側のゲート絶縁膜３０上まで延在するとともに、コンタクトホール１５１ａを介してチャネル層４０とも電気的に接続される。ドレイン電極１６０ｂは、エッチングストッパ層１５０ｃの右上面から右側のゲート絶縁膜３０上まで延在するとともに、コンタクトホール１５１ｂを介し

てチャネル層４０とも電気的に接続される。なお、ソース電極１６０ａおよびドレイン電極１６０ｂと、ゲート電極２０との位置関係はＴＦＴ１００の場合と同じであるので、その説明を省略する。

[0118] 図１６（ｃ）に示すパッシベーション膜７０の形成から外部配線８０ａ、８０ｂの形成までは、コンタクトホール７１ａ、７１ｂの形成後の熱処理を除き、ＴＦＴ１００の場合と同じであるので、それらの説明を省略する。コンタクトホール７１ａ、７１ｂの形成後の熱処理により、チャネル層４０の両側には低抵抗領域４０ｂが形成され、２つの低抵抗領域４０ｂに挟まれたチャネル層４０の中央に高抵抗領域４０ａが残る。このようにして、図１４（ａ）および図１４（ｂ）に示すＴＦＴ２００が形成される。

[0119] ＜３．３　コンタクトホール形成後の熱処理条件＞

第１の実施形態では、コンタクトホール形成後の熱処理の温度は３００℃であったが、本実施形態では３５０℃と高くした。この理由について説明する。図１７（ａ）および図１７（ｂ）は、ＴＦＴ２００のチャネル層４０付近の拡大断面図である。

[0120] 図１７（ａ）に示すように、ソース電極１６０ａおよびドレイン電極１６０ｂに含まれるチタン電極１６５がエッチングストッパ層１５０上に形成されている。チタン電極１６５は、エッチングストッパ層１５０に形成されたコンタクトホール１５１ａ、１５１ｂを介してチャネル層４０を構成するＩＧＺＯ層４５と電気的に接続されている。チタン電極１６５に電圧が印加されれば、その電界によって、チタン電極１６５に対応するＩＧＺＯ層４５の位置に電子が誘起される。その結果、エッチングストッパ層１５０上のチタン電極１６５に対応するＩＧＺＯ層４５の位置に、高濃度キャリア層が形成される。

[0121] 高濃度キャリア層が形成されたチャネル層４０の電気的チャネル長Ｌｅを短くするためには、エッチングストッパ層１５０ｃの直下のＩＧＺＯ層４５をより多く還元する必要がある。しかし、エッチングストッパ層１５０ｃの直下のＩＧＺＯ層４５は、コンタクトホール１５１ａ、１５１ｂの位置から

離れた位置にある。そこで、図１７（ｂ）に示すように、熱処理の温度を高くして、ソース／ドレイン間スペース内のＩＧＺＯ層４５ｂに含まれる酸素をチタン電極１６５まで移動させて奪い取る必要がある。このようにして酸素を奪い取られたＩＧＺＯ層４５ｂは低抵抗領域４０ｂになる。また、２つの低抵抗領域４０ｂによって挟まれたＩＧＺＯ層４５ａは酸素を奪い取られないので、高抵抗領域４０ａとして残る。これにより、電気的チャネル長Ｌｅは、ソース／ドレイン間スペースの長さＬｃｈよりも短くなる。

[0122] 例えば、エッチングストッパ層１５０ｃの長さが７．５μｍの場合、図１０に示す実験６の結果から、ゲート電極２０に２０～３０Ｖを印加したときの低抵抗領域４０ｂの長さΔＬは５μｍになるので、電気的チャネル長Ｌｅは２．５μｍになる。このことから、ＴＦＴ２００にゲート電圧を印加したとき、エッチングストッパ層１５０ｃの両端の直下に位置するＩＧＺＯ層４５に、長さ２．５μｍの低抵抗領域４０ｂがそれぞれ形成されたことがわかる。この結果、図１０の実験１に示す場合と比較して、電気的チャネル長Ｌｅを２μｍ短くすることができる。

[0123] ＜３．４　効果＞

本実施形態によれば、第１の実施形態に係るＴＦＴ１００の場合と同様に、ＴＦＴ２００の電流駆動力を高くすることができる。

[0124] ＜４．第３の実施形態＞

＜４．１　ＴＦＴの構成＞

図１８（ａ）は、本発明の第３の実施形態に係るボトムゲート型ＴＦＴ３００の構成を示す平面図であり、図１８（ｂ）は図１８（ａ）に示すＴＦＴ３００のＣ－Ｃ線に沿った断面図である。図１８（ａ）および図１８（ｂ）に示すＴＦＴ３００は、ボトムコンタクト構造のＴＦＴともいわれる。

[0125] 図１８（ａ）および図１８（ｂ）を参照して、ＴＦＴ３００の構成を説明する。絶縁基板１５上に、ゲート電極２０が形成されている。ゲート電極２０を含む絶縁基板１５の全体を覆うように、ゲート絶縁膜３０が形成されている。なお、ゲート電極２０およびゲート絶縁膜３０の構成は、第１の実施

形態に係るＴＦＴ１００の場合と同じであるので、同じ参照符号を付してそれらの説明を省略する。

[0126] ゲート電極２０の上方のゲート絶縁膜３０上に、所定の距離を隔てて形成されたソース電極２６０ａおよびドレイン電極２６０ｂが形成されている。ソース電極２６０ａおよびドレイン電極２６０ｂは、ゲート絶縁膜３０の表面にチタン電極２６５、銅電極２６６、およびチタン電極２６７が順に積層された積層金属膜によって構成されている。ソース電極２６０ａでは、銅電極２６６およびチタン電極２６７の端部は、チタン電極２６５の端部よりも左側に後退している。ドレイン電極２６０ｂでは、銅電極２６６およびチタン電極２６７の端部は、チタン電極２６５の端部よりも右側に後退している。これにより、ソース電極２６０ａおよびドレイン電極２６０ｂの端部には、チタン電極２６５がそれぞれ内側に飛び出した階段状の段差が形成されている。

[0127] ソース電極２６０ａとドレイン電極２６０ｂとによって挟まれたゲート絶縁膜３０上には、ＩＧＺＯ層からなるチャネル層２４０が形成されている。チャネル層２４０の一端はソース電極２６０ａの上面まで延在し、他端はドレイン電極２６０ｂの上面まで延在している。ソース電極２６０ａと接するチャネル層４０の一端、および、ドレイン電極２６０ｂと接するチャネル層４０の他端は、チタン電極２６５およびチタン電極２６７と直接接している。このため、チャネル層２４０の両側には、チタン電極２６５およびチタン電極２６７によって還元された低抵抗領域（「第１の領域」ともいう）２４０ｂが形成されている。２つの低抵抗領域２４０ｂによって挟まれたチャネル層４０の中央には、還元されなかった高抵抗領域（「第２の領域」ともいう）２４０ａが残る。

[0128] ソース電極２６０ａの端部はゲート電極２０の左側部の上方に配置され、ドレイン電極２６０ｂの端部はゲート電極２０の右側部の上方に配置されている。このため、ゲート電極２０に所定の電圧が印加されたとき、ゲート電極２０からの電界によって、チャネル層２４０の各低抵抗領域２４０ｂに電

子が誘起され、高濃度キャリア層が形成される。高濃度キャリア層が形成されることにより、ソース電極２６０ａおよびドレイン電極２６０ｂは、２つの低抵抗領域２４０ｂとそれぞれオーミック接続される。

[0129] ソース電極２６０ａおよびドレイン電極２６０ｂを含む絶縁基板１５の全体を覆うように、パッシベーション膜７０が形成されている。パッシベーション膜７０は、膜厚３００ｎｍの酸化シリコン膜からなる。パッシベーション膜７０には、ソース電極２６０ａおよびドレイン電極２６０ｂの表面に到達するコンタクトホール７１ａ、７１ｂがそれぞれ開孔されている。ソース電極６０ａおよびドレイン電極６０ｂはコンタクトホール７１ａ、７１ｂを介して、パッシベーション膜７０上に形成された外部配線８０ａ、８０ｂとそれぞれ電気的に接続されている。

[0130] ＴＦＴ３００では、電気的チャネル長Ｌｅは、ソース／ドレイン間スペースの長さＬｃｈよりも短い。電気的チャネル長Ｌｅは、ＴＦＴ１００の場合と同様に、ソース／ドレイン間スペースの長さＬｃｈよりも１～３μｍ程度短いことが好ましい。電気的チャネル長Ｌｅをソース／ドレイン間スペースの長さＬｃよりも１～３μｍだけ短くすることによって、ソース／ドレイン間スペースを解像度限界まで狭くした場合でも、ＴＦＴ３００は正常に動作する。なお、図１８（ａ）および図１８（ｂ）に示す電気的チャネル長Ｌｅは、ゲート電極２０に２０～３０Ｖを印加したときのＴＦＴ３００のチャネル長を示す。

[0131] ＜４．２　ＴＦＴの製造方法＞

図１９（ａ）～図１９（ｄ）および図２０（ａ）～図２０（ｃ）は、図１８（ａ）および図１８（ｂ）に示すＴＦＴ３００の各製造工程を示す工程断面図である。

[0132] ＴＦＴ３００の製造工程のうち、図１９（ａ）～図１９（ｂ）に示す、絶縁基板１５上にゲート電極２０を形成する工程、および、ゲート絶縁膜３０を形成する工程は、図８（ａ）および図８（ｂ）に示す工程と同じである。そこで、図１９（ａ）および図１９（ｂ）には、図８（ａ）および図８（ｂ

）と同じ参照符号を付してそれらの説明を省略する。

[0133] 図１９（ｃ）に示すように、スパッタリング法を用いて、ゲート絶縁膜３０上にソースメタル膜２６１を成膜する。ソースメタル膜２６１は、チタン膜２６２、銅膜２６３、チタン膜２６４の順に積層した積層金属膜である。次に、ソースメタル膜２６１上に、フォトリソグラフィ法を用いて、ゲート電極２０の上方で所定の距離を隔てて左右に分離されたレジストパターン２６８を形成する。レジストパターン２６８をマスクにして、ウエットエッチング法を用いて、ソースメタル膜２６１に含まれるチタン膜２６４および銅膜２６３を順にエッチングし、ソース電極２６０ａおよびドレイン電極２６０ｂに含まれるチタン電極２６７および銅電極２６６を形成する。

[0134] 図１９（ｄ）に示すように、レジストパターン２６８を剥離し、チタン電極２６７および銅電極２６６を覆い、レジストパターン２６８よりも開口部を狭くしたレジストパターン２６９を形成する。レジストパターン２６９をマスクにして、ウエットエッチング法を用いてチタン膜２６２をエッチングし、チタン電極２６５を形成する。これにより、ソース電極２６０ａおよびドレイン電極２６０ｂは、チタン電極２６７および銅電極２６６の端部がチタン電極２６５の端部よりも後退した階段状の段差を有する構造になる。ソース電極２６０ａは、ゲート電極２０の左上方から左側に延在し、ドレイン電極２６０ｂは、ゲート電極２０の右上方から右側に延在する。なお、ソース電極２６０ａおよびドレイン電極２６０ｂの端部と、ゲート電極２０の側部との位置関係はＴＦＴ１００の場合と同じであるので、その説明を省略する。

[0135] 図２０（ａ）に示すように、スパッタリング法を用いて、膜厚３０～５０ｎｍのＩＧＺＯ膜（図示しない）を成膜する。ＩＧＺＯ膜上に形成したレジストパターン２４８を用いてＩＧＺＯ膜をエッチングすることにより、ソース／ドレイン間スペースにＩＧＺＯ層からなるチャネル層２４０を形成する。チャネル層２４０の一端はソース電極２６０ａの上面まで延在し、他端はドレイン電極２６０ｂの上面まで延在する。これにより、ＩＧＺＯ層の左下

面は、ソース電極２６０ａに含まれるチタン電極２６７およびチタン電極２６５の端部の表面と直接接し、ＩＧＺＯ層の右下面は、ドレイン電極２６０ｂに含まれるチタン電極２６７およびチタン電極２６５の端部の表面と直接接する。

[0136] 図２０（ｂ）に示すように、チャネル層２４０、ソース電極２６０ａおよびドレイン電極２６０ｂを含む絶縁基板１５の全体を覆うように、パッシベーション膜７０を成膜する。次に、パッシベーション膜７０に、ソース電極２６０ａおよびドレイン電極２６０ｂの表面にそれぞれ到達するコンタクトホール７１ａ、７１ｂを開孔する。なお、これらの工程は、第１の実施形態の場合と同じであるので、詳細な説明を省略する。

[0137] コンタクトホール７１ａ、７１ｂを開孔後に、大気中で温度を３５０℃とし、時間を１時間とする熱処理を行う。熱処理によって、チャネル層２４０を構成するＩＧＺＯ層からソース電極２６０ａおよびドレイン電極２６０ｂのチタン電極２６５、２６７に酸素が移動し、ＩＧＺＯ層が還元される。これにより、チャネル層２４０の両側に低抵抗領域２４０ｂが形成され、２つの低抵抗領域２４０ｂに挟まれたＩＧＺＯ層は高抵抗領域２４０ａとして残る。また、コンタクトホール７１ａ、７１ｂのエッチングによってソース電極２６０ａおよびドレイン電極２６０ｂに生じたダメージが回復され、ＴＦＴ特性が改善される。なお、ＩＧＺＯ層が還元される様子は後述する。

[0138] 図２０（ｃ）に示すパッシベーション膜７０の形成から外部配線８０ａ、８０ｂの形成までは、コンタクトホール７１ａ、７１ｂを形成後の熱処理を除き、ＴＦＴ１００の場合と同じであるので、それらの説明を省略する。コンタクトホール７１ａ、７１ｂを形成後の熱処理により、チャネル層２４０の両側には低抵抗領域２４０ｂが形成され、２つの低抵抗領域２４０ｂに挟まれたチャネル層２４０の中央に高抵抗領域２４０ａが残る。このようにして、図１８（ａ）および図１８（ｂ）に示すＴＦＴ３００が形成される。

[0139] 図２１は、チャネル層２４０を構成するＩＧＺＯ層が熱処理により還元される様子を示すＴＦＴ３００の拡大断面図である。図２１に示すように、チ

ャネル層２４０を構成するＩＧＺＯ層は、ソース電極２６０ａのチタン電極２６５、２６７の表面および側面と直接接している。熱処理により、ＩＧＺＯ層は、チタン電極２６５、２６７の表面および側面と直接接する領域から還元されるので、チタン電極２６５、２６７と接する領域を基点として低抵抗領域２４０ｂが広がる。

[0140] ＜４．３　効果＞

本実施形態によれば、第１の実施形態に係るＴＦＴ１００の場合と同様に、ＴＦＴ３００の電流駆動力を高くすることができる。

[0141] ＜４．４　変形例＞

ＴＦＴ３００では、ソース電極２６０ａおよびドレイン電極２６０ｂは、チタン電極２６５、銅電極２６６、チタン電極２６７を順に積層した積層金属膜によって構成されているとした。しかし、積層金属膜には、チタン電極２６５およびチタン電極２６７のうち少なくともいずれか一方のみが含まれていればよい。この場合、チャネル層２４０を構成するＩＧＺＯ層がチタン電極２６５、２６７と接する面積が減少するので、ＩＧＺＯ層が還元される速度が遅くなる。そこで、低抵抗領域２４０ｂの長さΔＬを十分長くするために、熱処理時の温度を高くしたり、処理時間を長くしたりする必要がある。

[0142] ＜５．第４の実施形態＞

図２２は、第１から第３の実施形態に係るＴＦＴ１００～３００のいずれかを含む液晶表示装置１の構成を示すブロック図である。図２２に示す液晶表示装置１は、液晶パネル２と、表示制御回路３と、ゲートドライバ４と、ソースドライバ５とを含む。液晶パネル２には、水平方向に延びるｎ本（ｎは１以上の整数）のゲート配線Ｇ１～Ｇｎと、ゲート配線Ｇ１～Ｇｎと交差する方向に延びるｍ本（ｍは１以上の整数）のソース配線Ｓ１～Ｓｍが形成されている。ｉ番目のゲート配線Ｇｉ（ｉは１以上ｎ以下の整数）とｊ番目のソース配線Ｓｊ（ｊは１以上ｍ以下の整数）との交点近傍には、それぞれ画素形成部Ｐｉｊが配置されている。

[0143] 表示制御回路３には、液晶表示装置１の外部から水平同期信号や垂直同期信号等の制御信号ＳＣと画像信号ＤＴが供給される。表示制御回路３は、これらの信号に基づき、ゲートドライバ４に対して制御信号ＳＣ１を出力し、ソースドライバ５に対して制御信号ＳＣ２と画像信号ＤＴを出力する。

[0144] ゲートドライバ４はゲート配線Ｇ１～Ｇｎに接続され、ソースドライバ５はソース配線Ｓ１～Ｓｍに接続されている。ゲートドライバ４は、選択状態を示すハイレベルの信号をゲート配線Ｇ１～Ｇｎに順に与える。これにより、ゲート配線Ｇ１～Ｇｎが１本ずつ順に選択される。例えば、ｉ番目のゲート配線Ｇｉが選択されたとき、１行分の画素形成部Ｐｉ１～Ｐｉｍが一括して選択される。ソースドライバ５は、各ソース配線Ｓ１～Ｓｍに対して画像信号ＤＴに応じた信号電圧を与える。これにより、選択された１行分の画素形成部Ｐｉ１～Ｐｉｍに画像信号ＤＴに応じた信号電圧が書き込まれる。このようにして、液晶表示装置１は液晶パネル２に画像を表示する。なお、液晶パネル２を「表示部」といい、ゲートドライバ４およびソースドライバ５をまとめて「駆動回路」ということがある。

[0145] 図２３は、液晶パネル２に設けられた画素形成部Ｐｉｊ内のパターン配置を示す平面図である。図２３に示すように、液晶パネル２は、水平方向に延びるｉ番目のゲート配線Ｇｉと、ゲート配線Ｇｉと交差する方向に延びるｊ番目のソース配線Ｓｊと、ゲート配線Ｇｉとソース配線Ｓｊに囲まれた領域に配置された画素形成部Ｐｉｊとを含む。画素形成部Ｐｉｊは、スイッチング素子として機能するＴＦＴとして、図７（ａ）および図７（ｂ）に示すＴＦＴ１００を含む。ＴＦＴ１００のゲート電極２０はゲート配線Ｇｉと電気的に接続されている。ゲート電極２０の上方には、島状のチャネル層４０が形成されている。チャネル層４０の一端は、ソース配線Ｓｊに接続されたソース電極と電気的に接続され、チャネル層４０の他端は、ドレイン電極と電気的に接続されている。さらに、ドレイン電極は、コンタクトホール６を介して画素電極７と接続されている。画素電極７は、対向電極（図示しない）とともに、画像信号ＤＴに応じた信号電圧を所定時間保持する画素容量を構

成する。

[0146] 液晶パネル２に設けられた各画素形成部Ｐｉｊのスイッチング素子として、駆動電流力が大きなＴＦＴ１００を用いれば、ＴＦＴ１００は、ソース配線Ｓｊから与えられる画像信号ＤＴの信号電圧を、短時間で画素容量に充電できる。これにより、画素形成部Ｐｉｊの数を増やすことができるので、高精細化を図ることが可能になる。

[0147] また、ＴＦＴ１００を用いて、液晶パネル２の額縁にゲートドライバ４およびソースドライバ５を形成することもできる。この場合、ＴＦＴ１００のオン電流が大きいので、ゲートドライバ４およびソースドライバ５の動作速度が速くなり、ハイフレームレート化を実現することができる。また、ゲートドライバ４およびソースドライバ５の回路規模を小さくすることができるので、液晶パネル２の額縁を小さくすることができるとともに、液晶表示装置１の消費電力を低減することができる。

[0148] なお、図２２および図２３では、ＴＦＴ１００を用いた場合について説明したが、ＴＦＴ１００の代わりに、ＴＦＴ２００または３００を用いてもよい。

[0149] また、上述の説明では、ＴＦＴ２１０を液晶表示装置１に適用する場合について説明したが、有機ＥＬ（Electro Luminescence）表示装置に適用することもできる。

産業上の利用可能性

[0150] 本発明は、アクティブマトリクス型液晶表示装置等のような表示装置に用いられる薄膜トランジスタに適しており、特に、その画素形成部に形成されるスイッチング素子、または、画素形成部を駆動する駆動回路のトランジスタに適している。

符号の説明

[0151] １…液晶表示装置

２…液晶パネル

４…ゲートドライバ

５…ソースドライバ

２０…ゲート電極

３０…ゲート絶縁膜

４０…チャネル層（ＩＧＺＯ層）

４０ａ、２４０ａ…高抵抗領域

４０ｂ、２４０ｂ…低抵抗領域

６０ａ、１６０ａ、２６０ａ…ソース電極

６０ｂ、１６０ｂ、２６０ｂ…ドレイン電極

６５、１６５、２６５、２６７…チタン電極

７１ａ、７１ｂ、１５１ａ、１５１ｂ…コンタクトホール

１００、２００、３００…薄膜トランジスタ（ＴＦＴ）

１５０、１５０ｃ…エッチングストッパ層

請求の範囲

[請求項1] 絶縁基板上に形成された薄膜トランジスタであって、

前記絶縁基板上に形成されたゲート電極と、

前記ゲート電極を覆うように形成されたゲート絶縁膜と、

前記ゲート電極を挟むように、所定の距離を隔てて前記ゲート絶縁膜上に形成されたソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極によって挟まれた前記ゲート絶縁膜上に形成され、一端および他端が前記ソース電極および前記ドレイン電極とそれぞれ電気的に接続された酸化物半導体層を含むチャネル層とを備え、

前記酸化物半導体層は、第１の抵抗値を有する２つの第１の領域と、前記２つの第１の領域によって挟まれ、前記第１の抵抗値よりも高い第２の抵抗値を有する第２の領域とを含み、

前記第２の領域の長さは、前記ソース電極の端部と前記ドレイン電極の端部との間の長さよりも短いことを特徴とする、薄膜トランジスタ。

[請求項2] 前記ゲート電極に所定の電圧が印加されたとき、前記第１の領域の長さが短くなった分だけ前記第２の領域の長さが長くなることを特徴とする、請求項１に記載の薄膜トランジスタ。

[請求項3] 前記ソース電極および前記ドレイン電極は、前記酸化物半導体層から酸素を奪い取るとともに前記酸化物半導体層に水素を供給する金属からなる金属電極を含み、

前記金属電極は、前記酸化物半導体層と直接接していることを特徴とする、請求項１に記載の薄膜トランジスタ。

[請求項4] 前記ソース電極は前記酸化物半導体層の一端を覆うように形成され、前記ドレイン電極は前記酸化物半導体層の他端を覆うように形成されていることを特徴とする、請求項１に記載の薄膜トランジスタ。

[請求項5] 前記ソース電極の端部と前記ドレイン電極の端部とによって挟まれ

た領域の前記酸化物半導体層上に、前記第２の領域を覆うように形成されたエッチングストッパ層をさらに含み、

前記ソース電極および前記ドレイン電極は、前記エッチングストッパ層に形成されたコンタクトホールを介して前記チャネル層の前記２つの第１の領域とそれぞれ電気的に接続されていることを特徴とする、請求項４に記載の薄膜トランジスタ。

[請求項6] 前記酸化物半導体層の一端は前記ソース電極の一端を覆うように形成され、前記酸化物半導体層の他端は前記ドレイン電極の一端を覆うように形成されていることを特徴とする、請求項１に記載の薄膜トランジスタ。

[請求項7] 前記ソース電極および前記ドレイン電極は、前記酸化物半導体層から酸素を奪い取るとともに前記酸化物半導体層に水素を供給する金属電極を少なくとも１つ含み、複数の金属電極を積層した積層金属電極からなり、

前記積層金属電極は、前記複数の金属電極の表面の少なくとも一部が露出されるように形成された階段状の段差を有し、

前記酸化物半導体層の一端および他端は、前記階段状の段差を覆うように形成されていることを特徴する、請求項６に記載の薄膜トランジスタ。

[請求項8] 前記金属電極はチタン電極であることを特徴とする、請求項３または７に記載の薄膜トランジスタ。

[請求項9] 前記酸化物半導体層は酸化インジウムガリウム亜鉛層であり、前記チタン電極は前記酸化インジウムガリウム亜鉛層と直接接していることを特徴とする、請求項８に記載の薄膜トランジスタ。

[請求項10] 前記ゲート電極に電圧が印加されたときの前記第２の領域の長さは、前記ソース電極の端部と前記ドレイン電極の端部との間の長さよりも１～３μｍだけ短いことを特徴とする、請求項９に記載の薄膜トランジスタ。

［請求項11］ 前記酸化物半導体層は微結晶酸化物半導体からなることを特徴とする、請求項１に記載の薄膜トランジスタ。

［請求項12］ 絶縁基板上に形成された薄膜トランジスタの製造方法であって、

前記絶縁基板上にゲート電極を形成する工程と、

前記ゲート電極を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、酸化インジウムガリウム亜鉛層からなるチャネル層を形成する工程と、

前記チャネル層の一端および他端を覆うようにソース電極およびドレイン電極をそれぞれ形成する工程と、

前記ソース電極および前記ドレイン電極を形成後に熱処理する工程とを備え、

前記熱処理する工程は、温度を２５０℃以上であって３５０℃以下とし、時間を０．５時間以上であって３時間以下とする処理であることを特徴とする、薄膜トランジスタの製造方法。

［請求項13］ 前記ソース電極および前記ドレイン電極を形成後に、パッシベーション膜を形成する工程と、

前記パッシベーション膜に、前記ソース電極および前記ドレイン電極にそれぞれ到達するコンタクトホールを開孔する工程とをさらに含み、

前記熱処理する工程は、前記パッシベーション膜に前記コンタクトホールを開孔後に行うことを特徴とする、請求項１２に記載の薄膜トランジスタの製造方法。

［請求項14］ 前記ソース電極および前記ドレイン電極を形成する工程は、スパッタリング法を用いて、前記酸化インジウムガリウム亜鉛層の表面にチタン膜を成膜する工程を含み、

前記チタン膜を成膜する工程は、前記チタン膜の膜厚と成膜時のパワーを調整して成膜することを特徴とする、請求項１２に記載の薄膜トランジスタの製造方法。

［請求項15］ 画像を表示するアクティブマトリクス型の表示装置であって、

複数のゲート配線と、前記複数のゲート配線と交差する複数のソース配線と、前記複数のゲート配線と前記複数のソース配線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを有する表示部と、

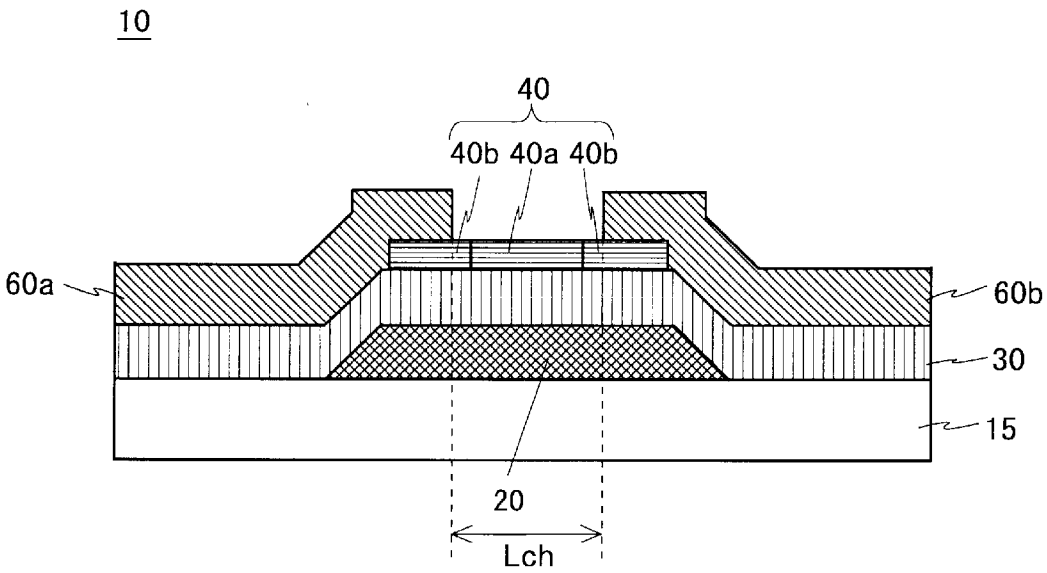
前記複数の画素形成部を駆動する駆動回路とを備え、

前記駆動回路は、請求項１に記載の薄膜トランジスタによって構成されていることを特徴とする、表示装置。

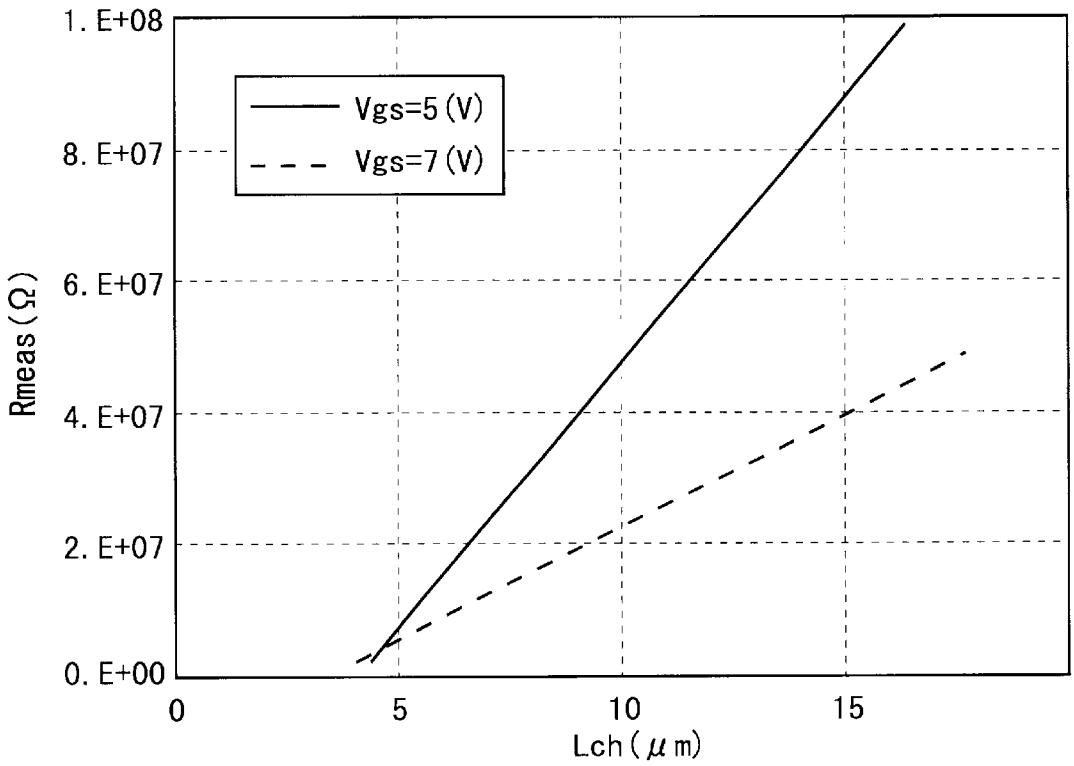
［請求項16］ 前記画素形成部は、対応するゲート配線に印加される信号に応じてオンまたはオフするスイッチング素子を含み、

前記スイッチング素子は、請求項１に記載の薄膜トランジスタを含むことを特徴とする、請求項１５に記載の表示装置。

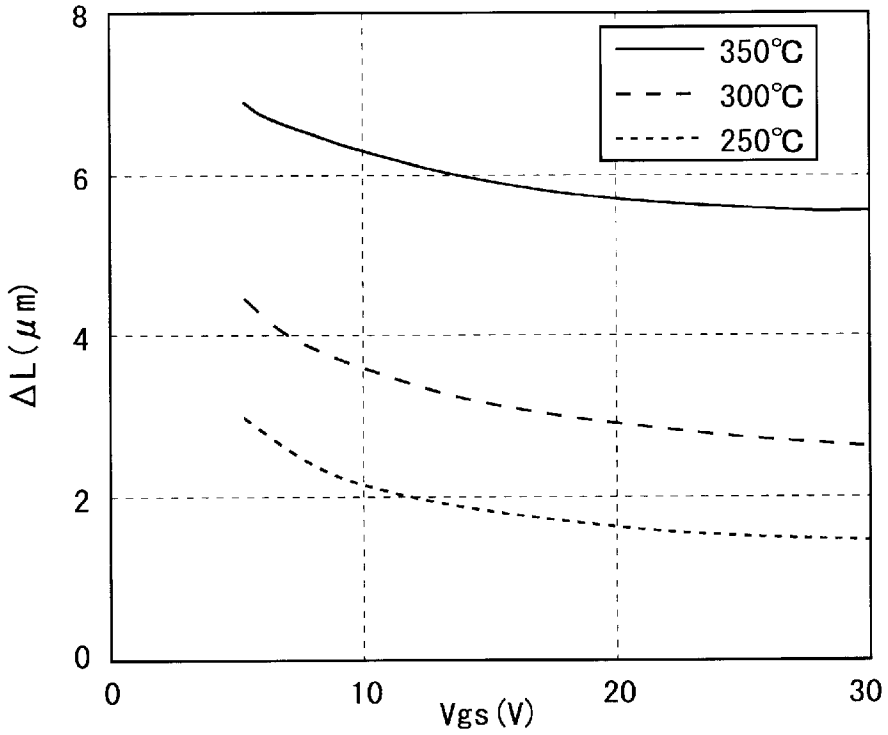
[図1]



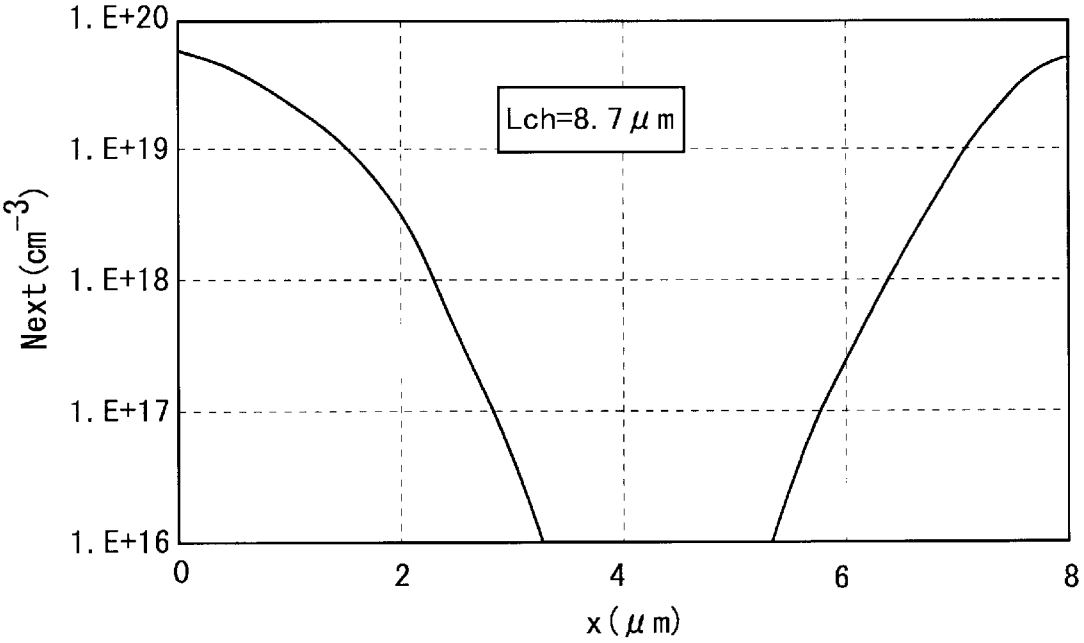
[図2]


1. E+08
8. E+07
6. E+07
4. E+07
2. E+07
0. E+00
Rmeas (Ω)
Vgs=5 (V)
Vgs=7 (V)
0
5
10
15
Lch (μm)

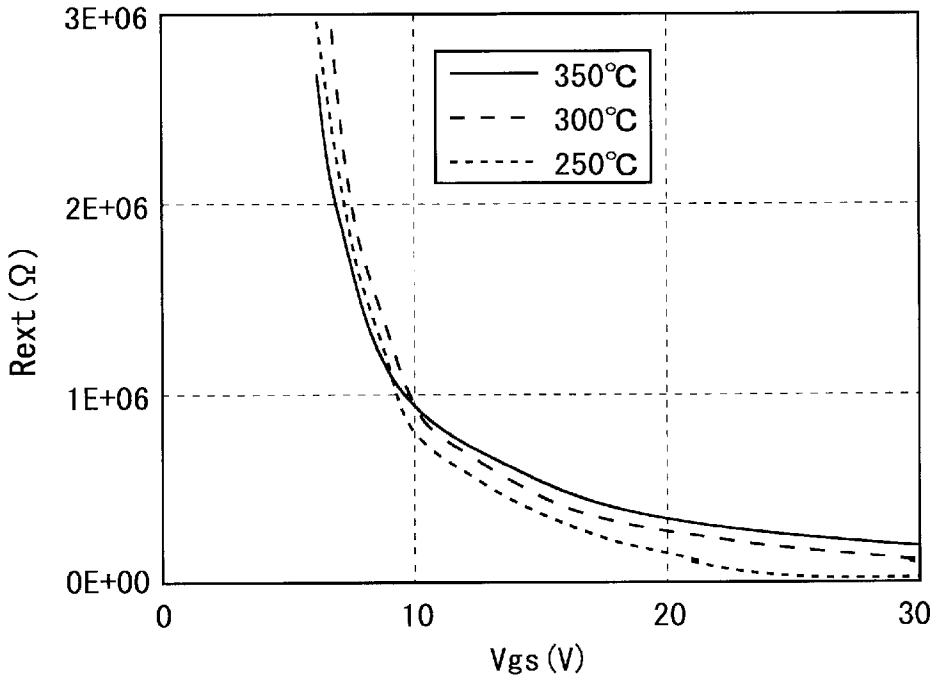
[図3]


8
6
4
2
0
ΔL (μm)
350℃
300℃
250℃
0
10
20
30
Vgs (V)

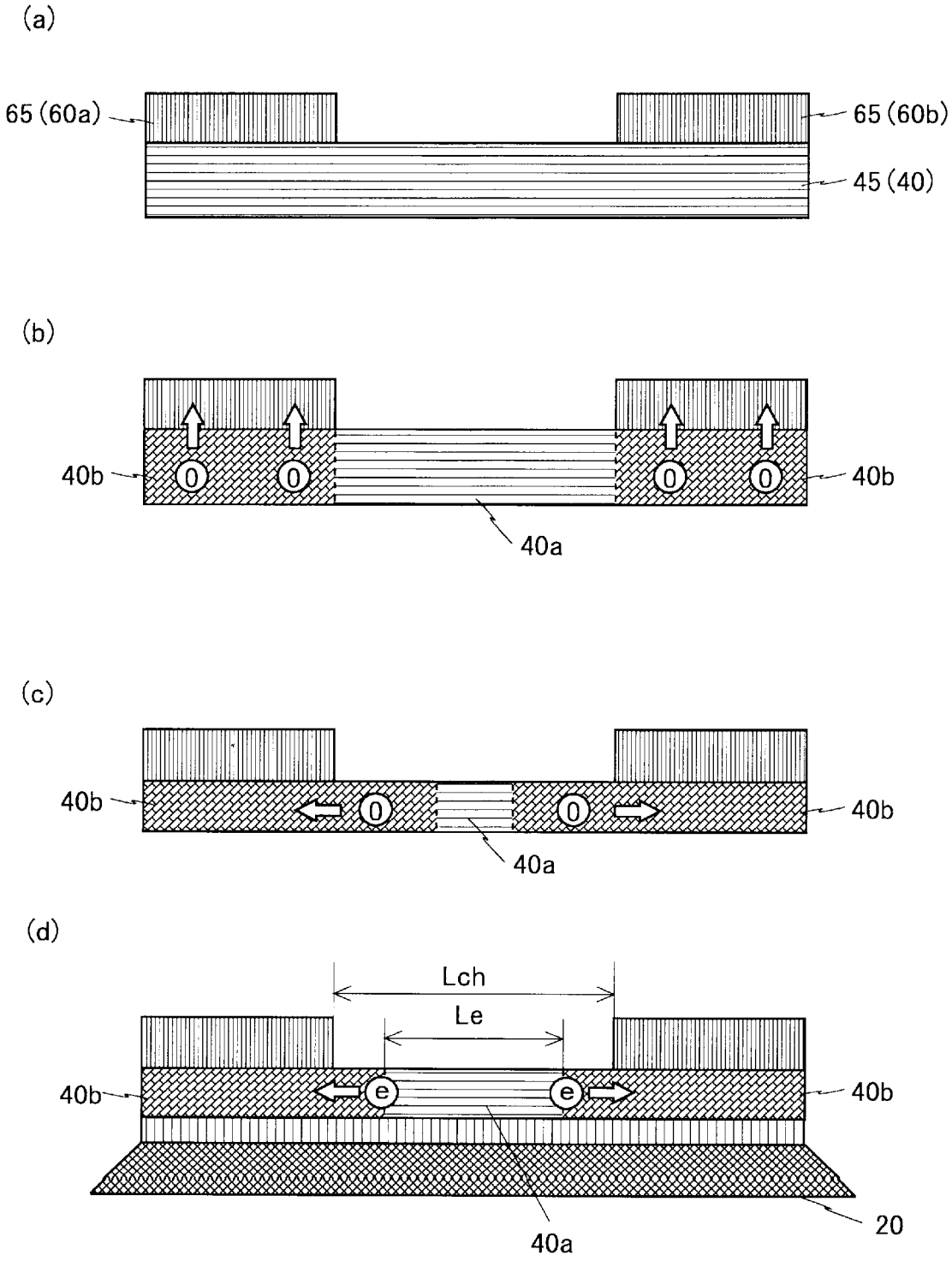
[図4]


1. E+20
1. E+19
1. E+18
1. E+17
1. E+16
Next (cm^{-3})
Lch=8. 7 μ m
0
2
4
6
8
x (μ m)

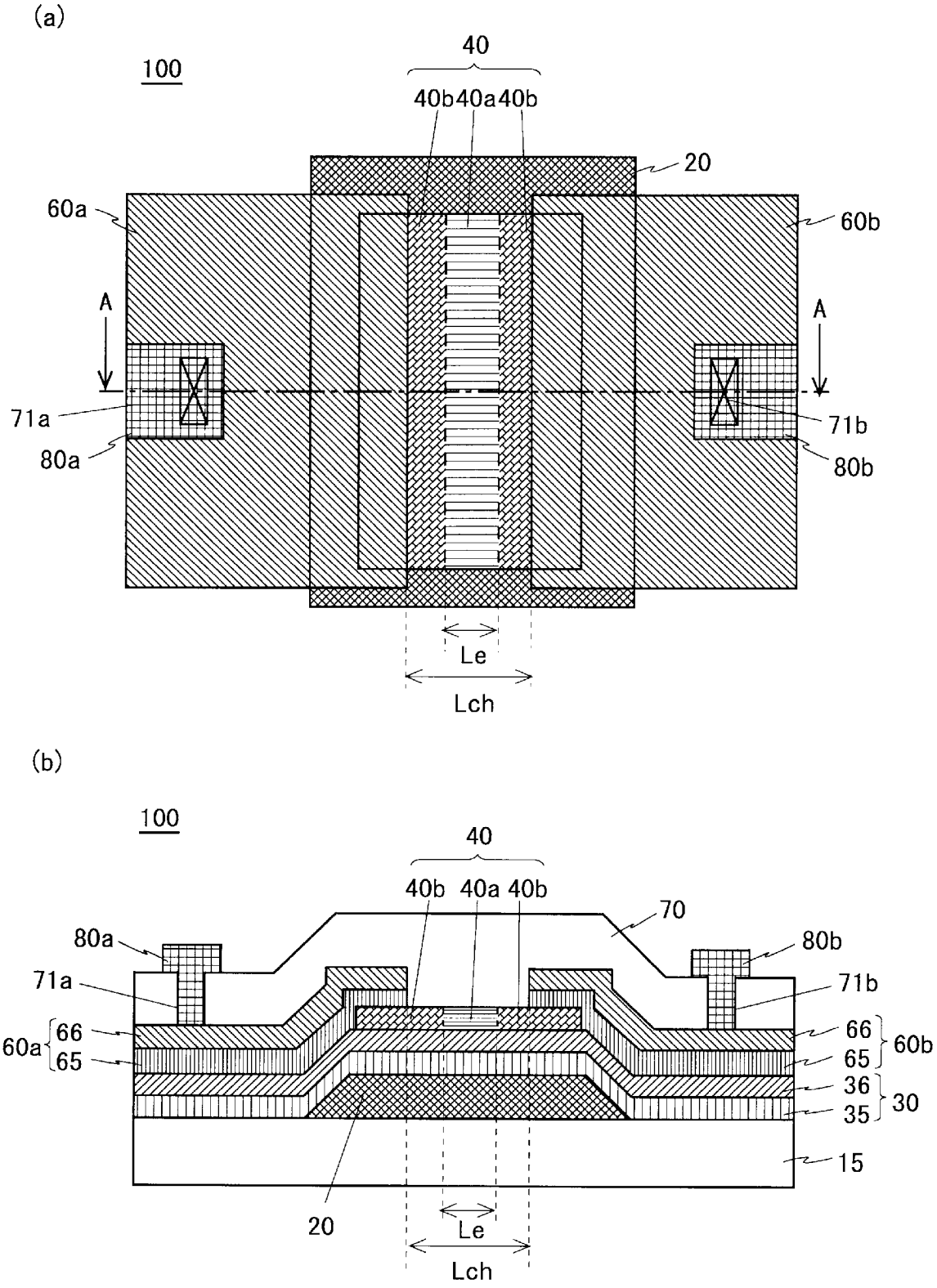
[図5]


3E+06
2E+06
1E+06
0E+00
Rext (Ω)
350℃
300℃
250℃
0
10
20
30
Vgs (V)

[図6]

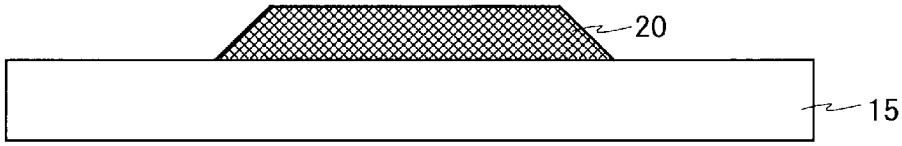

(a)
65 (60a)
65 (60b)
45 (40)
(b)
40b
40b
40a
(c)
40b
40b
40a
(d)
Lch
Le
40b
40b
20
40a

[図7]

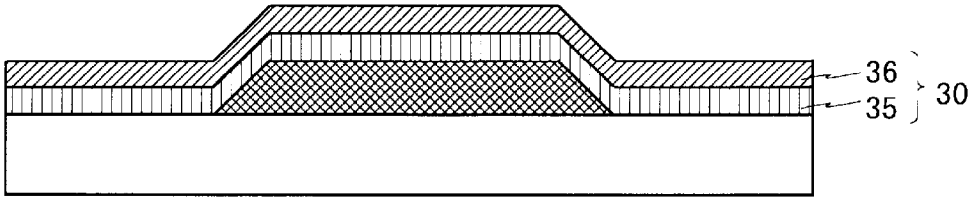

(a)
100
40
40b 40a 40b
20
60a
60b
A
A
71a
71b
80a
80b
Le
Lch
(b)
100
40
40b 40a 40b
70
80a
80b
71a
71b
60a
66
65
66
65
60b
36
35
30
15
20
Le
Lch

[図8]

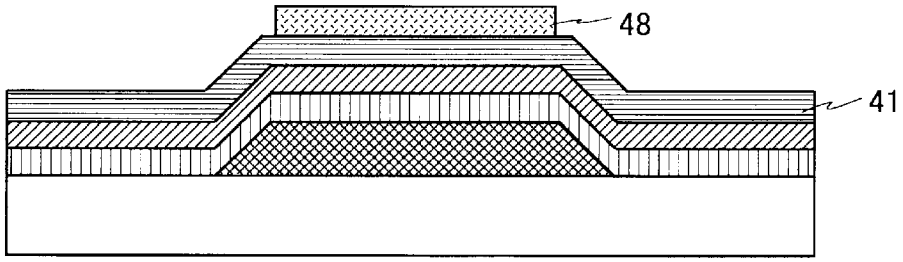
(a)



(b)

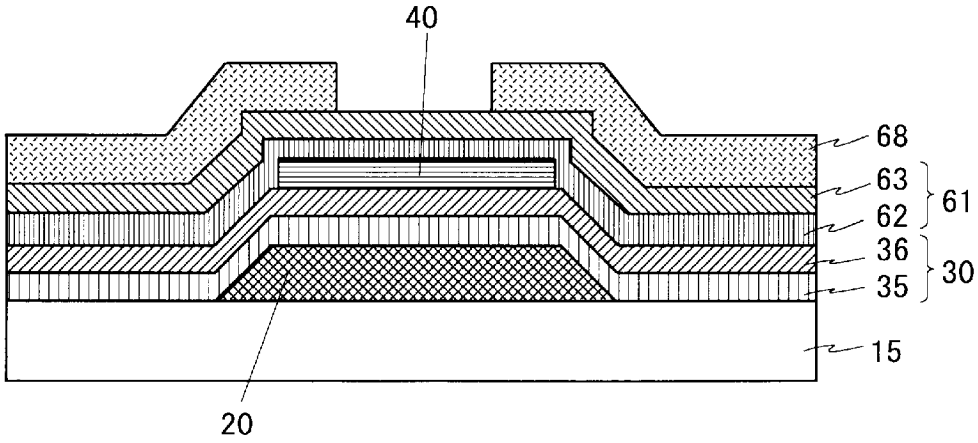


(c)

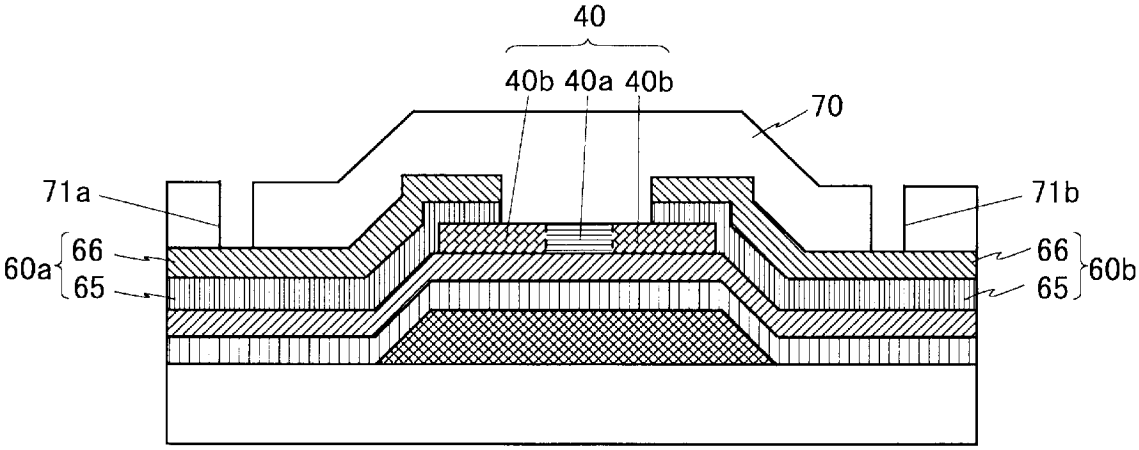


[図9]

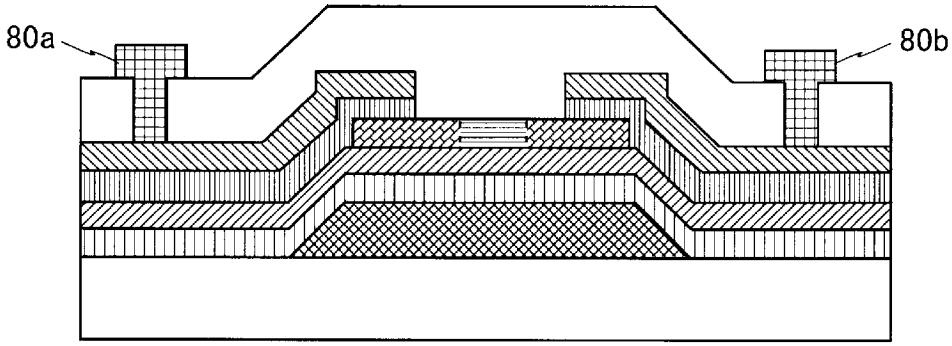
(a)


40
68
63
61
62
36
30
35
15
20

(b)


40
40b 40a 40b
70
71a
71b
60a
66
65
66
65
60b

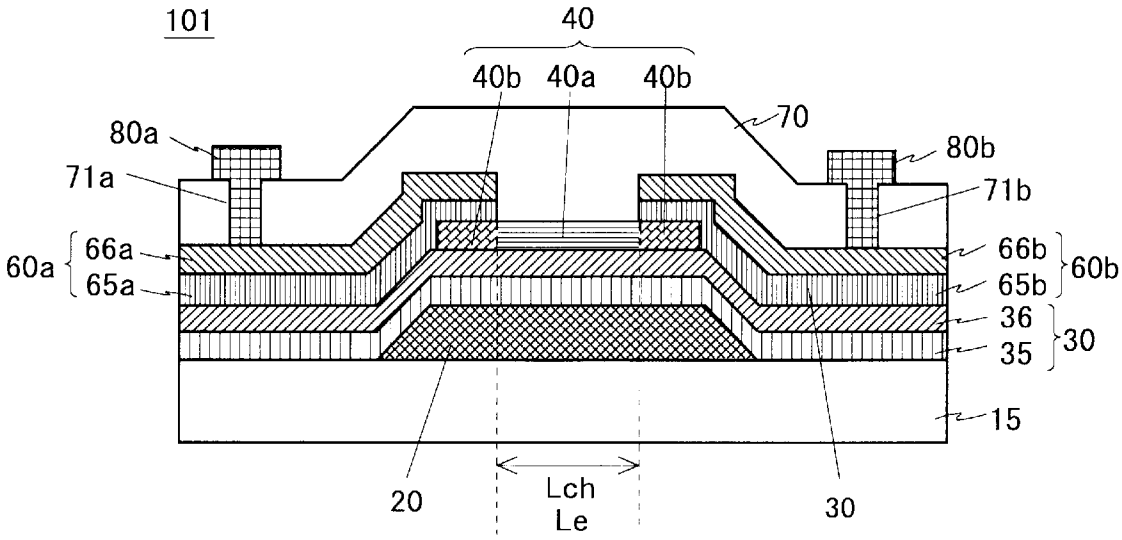
(c)


80a
80b

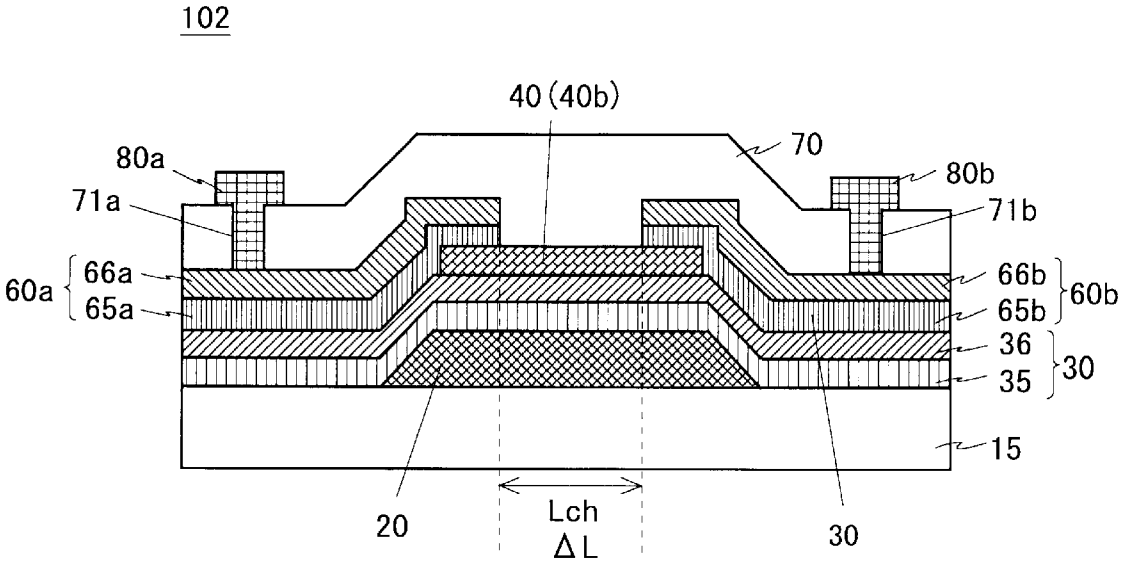
[図10]

	チタン膜の膜厚	成膜時のパワー	熱処理条件	ΔL	Le
実験1	100nm	2kW	350℃ 1時間	0μm	5μm
実験2	30nm	7kW	350℃ 1時間	5μm	0μm
実験3	30nm	7kW	300℃ 1時間	3μm	2μm
実験4	70nm	7kW	300℃ 1時間	2μm	3μm
実験5	70nm	7kW	250℃ 1時間	1μm	4μm
実験6	30nm	7kW	350℃ 1時間	5μm	2.5μm

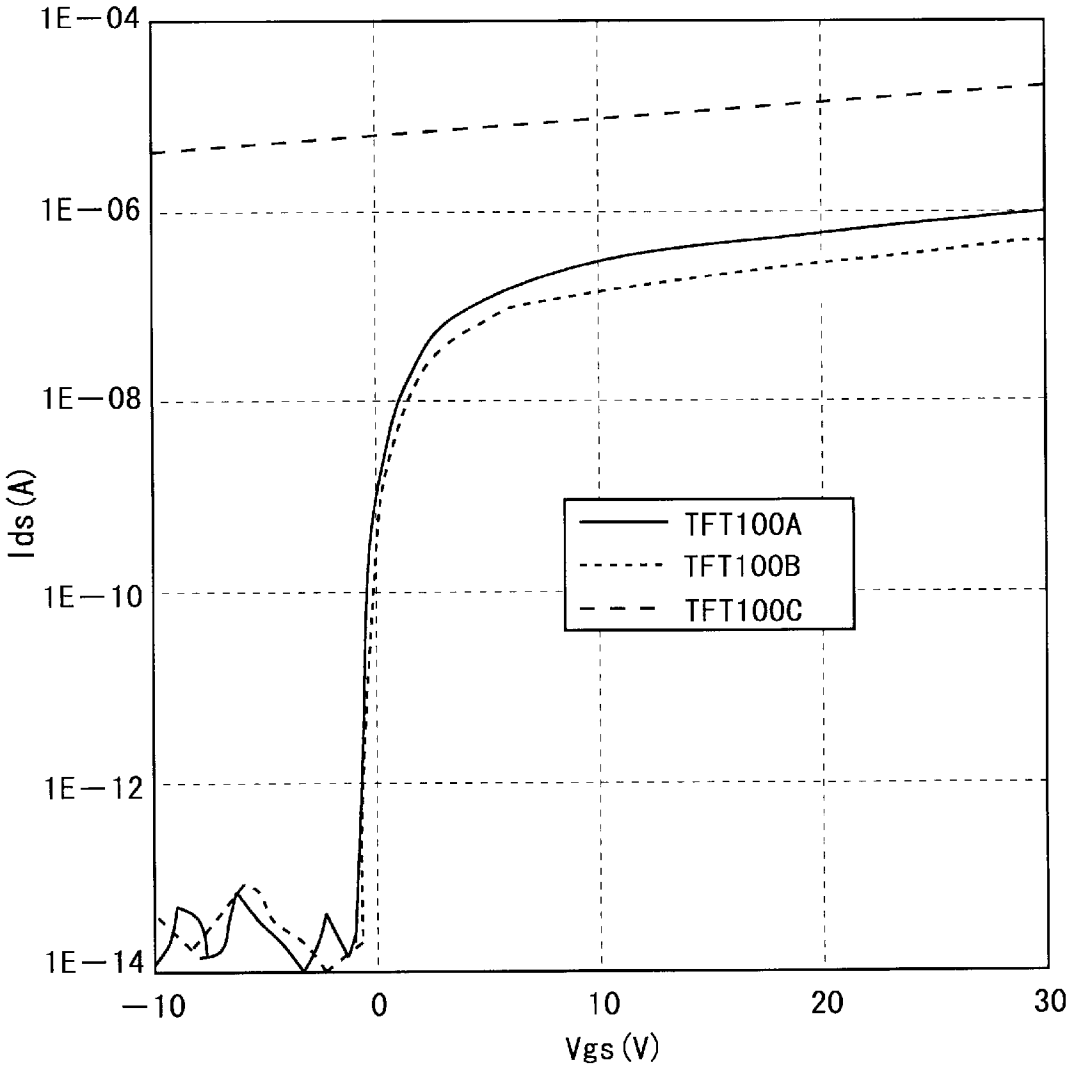
[図11]


101
40
40b
40a
40b
70
80a
80b
71a
71b
60a
66a
65a
66b
65b
60b
36
35
30
15
20
Lch
Le
30

[図12]

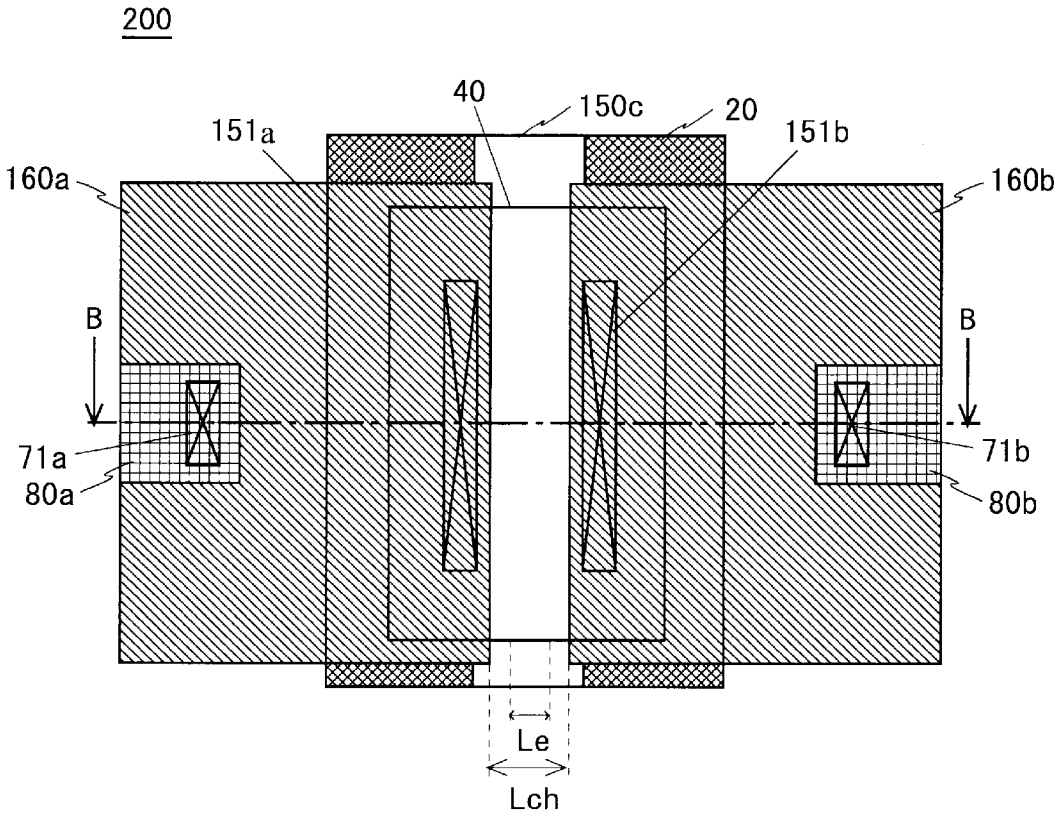

102
40 (40b)
70
80a
80b
71a
71b
60a
66a
65a
66b
65b
60b
36
35
30
15
20
Lch
ΔL
30

[図13]

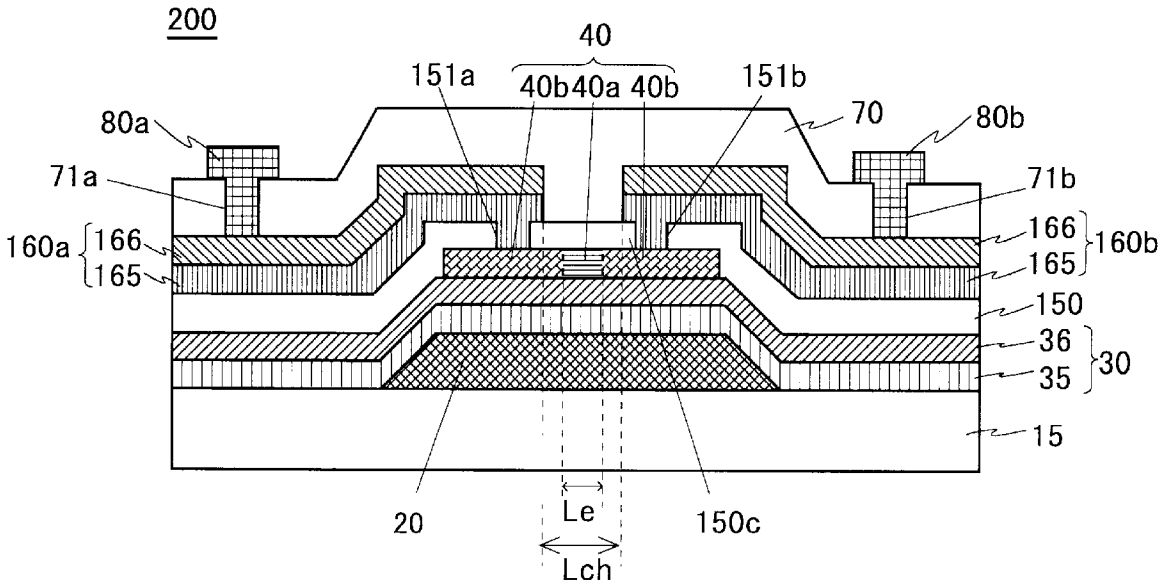

1E−04
1E−06
1E−08
1E−10
1E−12
1E−14
Ids (A)
−10
0
10
20
30
Vgs (V)
TFT100A
TFT100B
TFT100C

[図14]

(a)

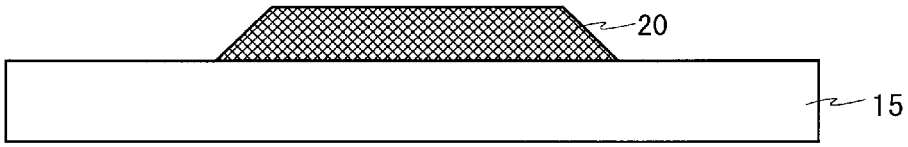

200
40
150c
20
151a
151b
160a
160b
B
B
71a
71b
80a
80b
Le
Lch

(b)

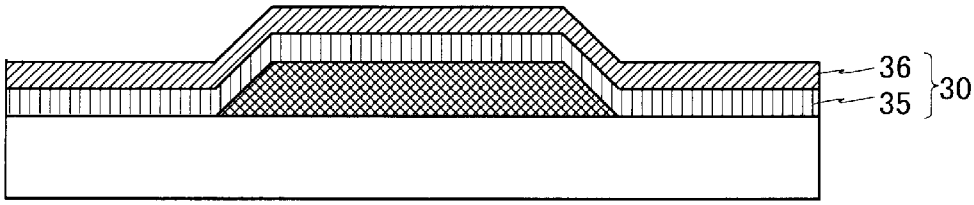

200
40
151a
40b40a 40b
151b
80a
70
80b
71a
71b
160a
166
165
166
165
160b
150
36
35
30
15
20
Le
150c
Lch

[図15]

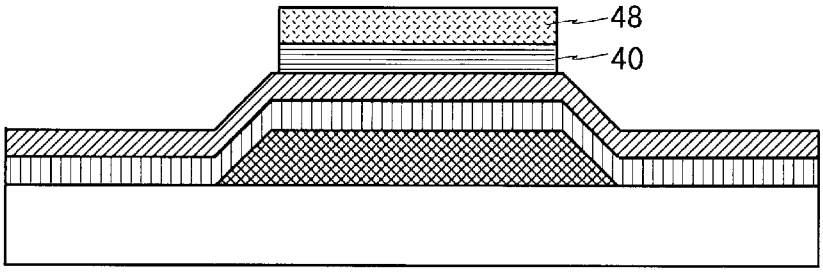
(a)



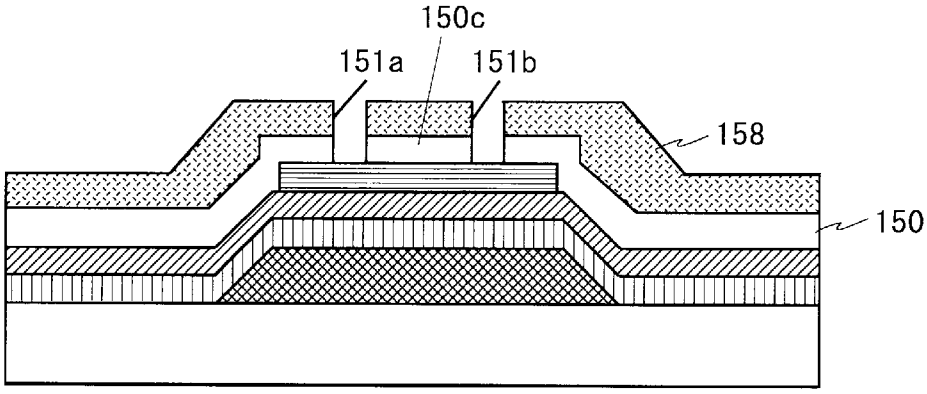
(b)



(c)

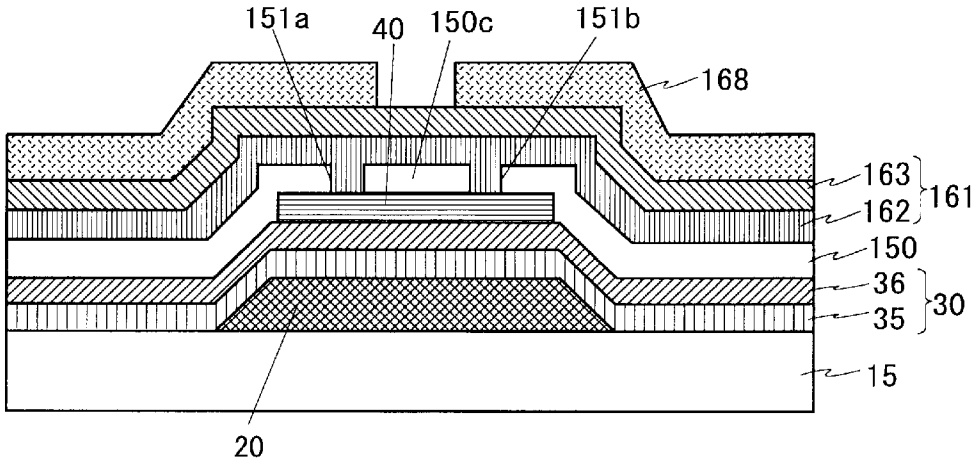


(d)

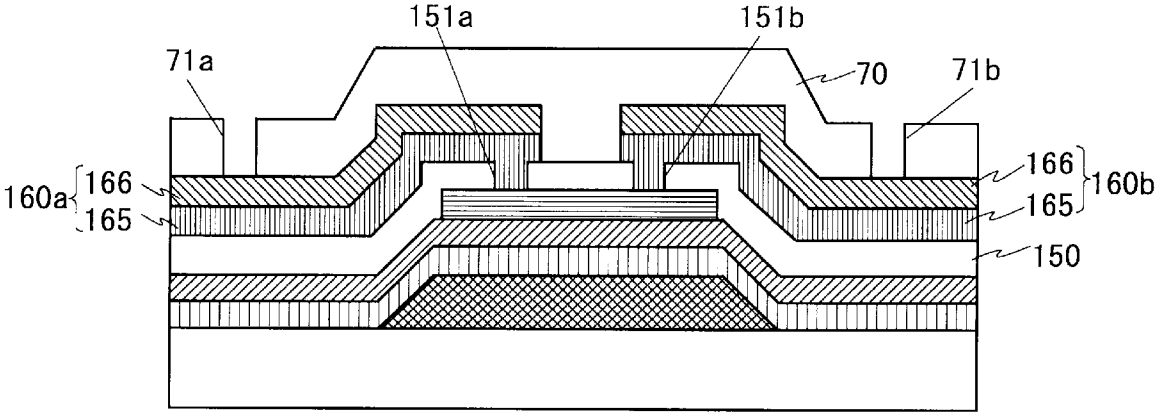


[図16]

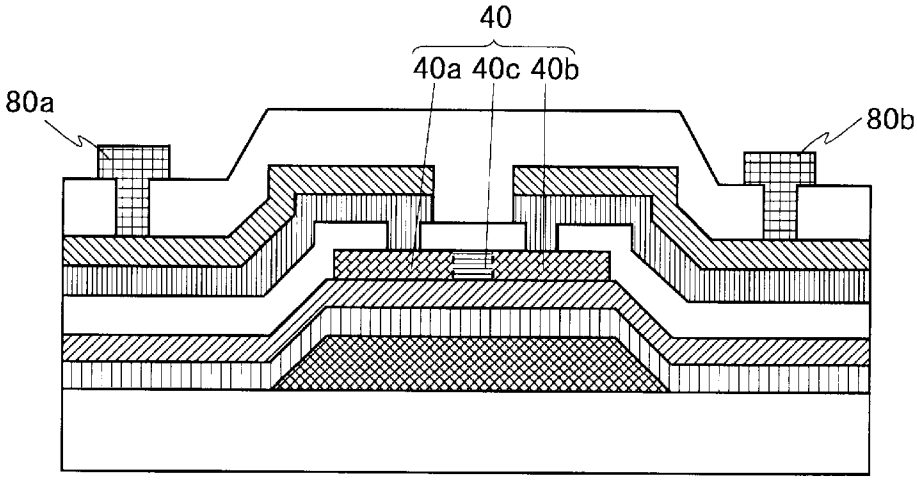
(a)


151a
40
150c
151b
168
163
161
162
150
36
30
35
15
20

(b)

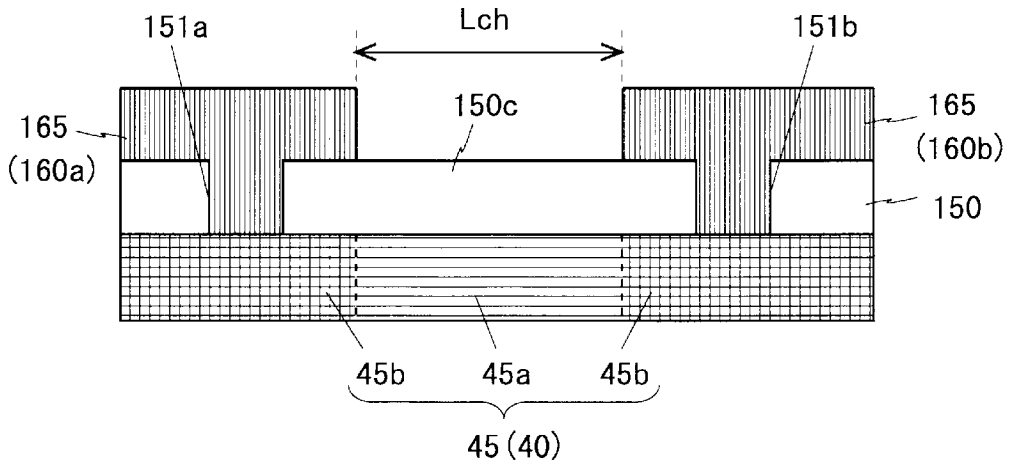

151a
151b
71a
70
71b
160a
166
165
166
160b
165
150

(c)

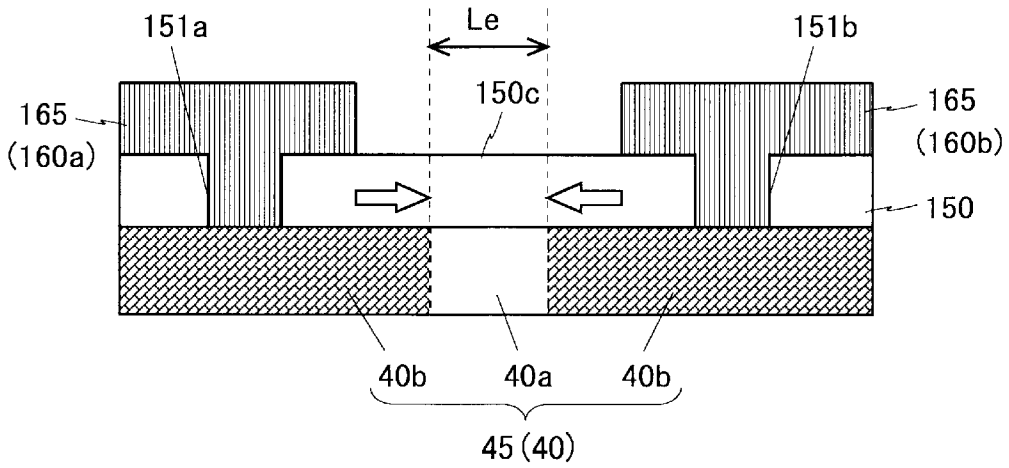

40
40a 40c 40b
80a
80b

[図17]

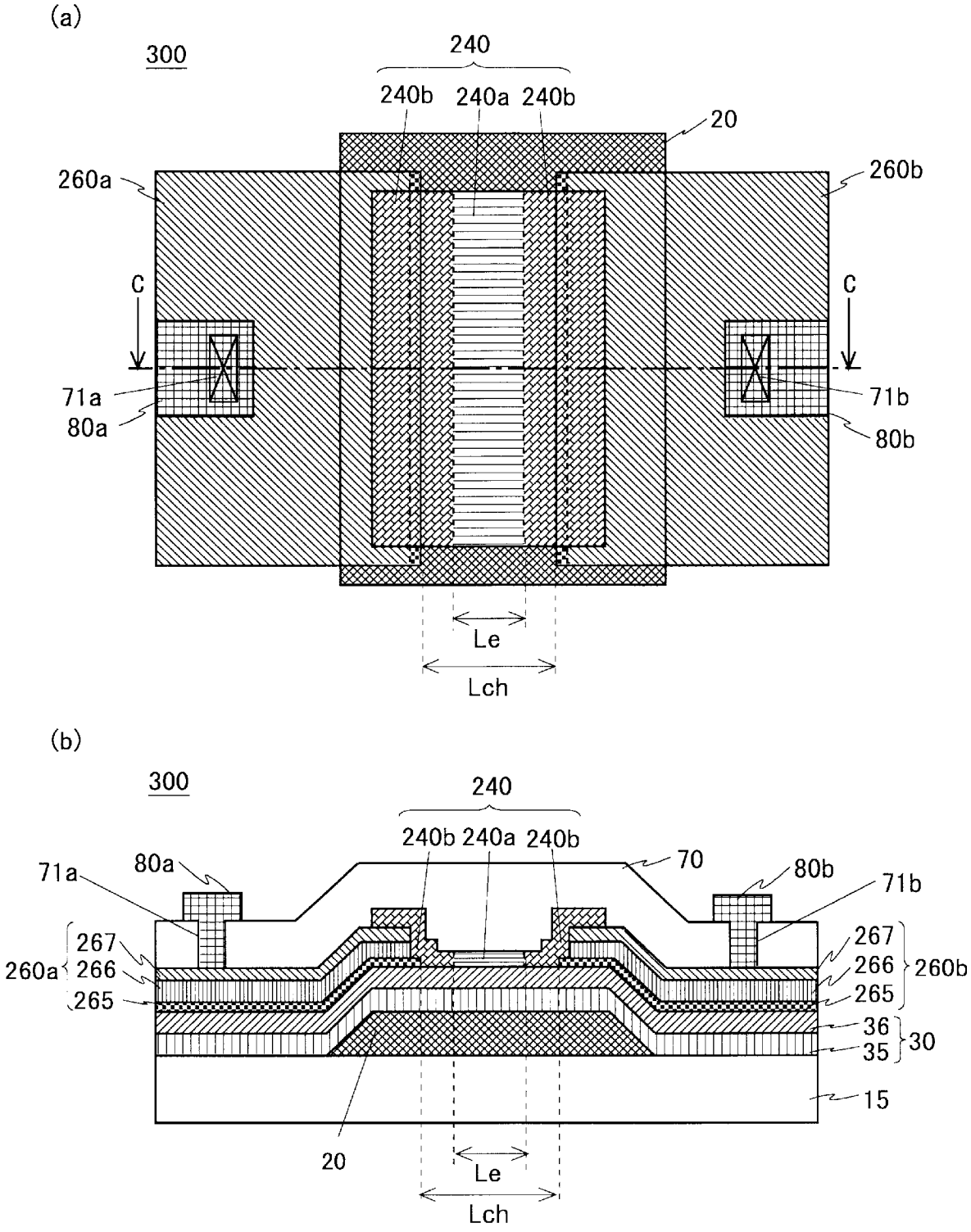
(a)


151a
Lch
151b
165
(160a)
150c
165
(160b)
150
45b
45a
45b
45 (40)

(b)

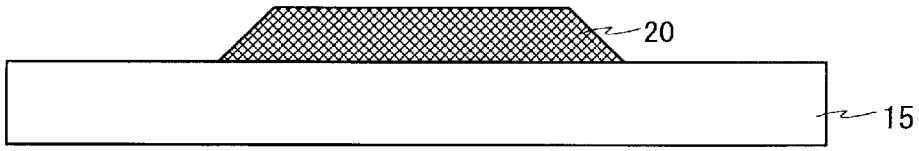

151a
Le
151b
165
(160a)
150c
165
(160b)
150
40b
40a
40b
45 (40)

[図18]

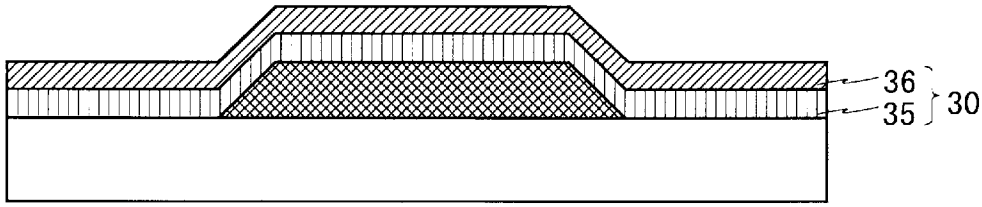

(a)
300
240
240b
240a
240b
20
260a
260b
C
C
71a
80a
71b
80b
Le
Lch
(b)
300
240
240b
240a
240b
70
71a
80a
80b
71b
267
266
265
260a
267
266
265
260b
36
35
30
15
20
Le
Lch

[図19]

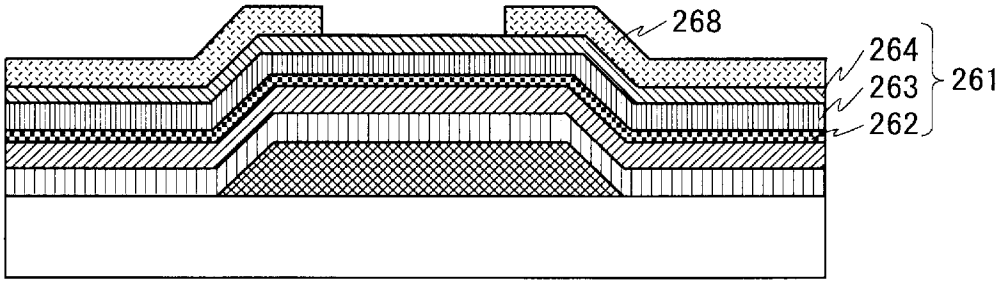
(a)



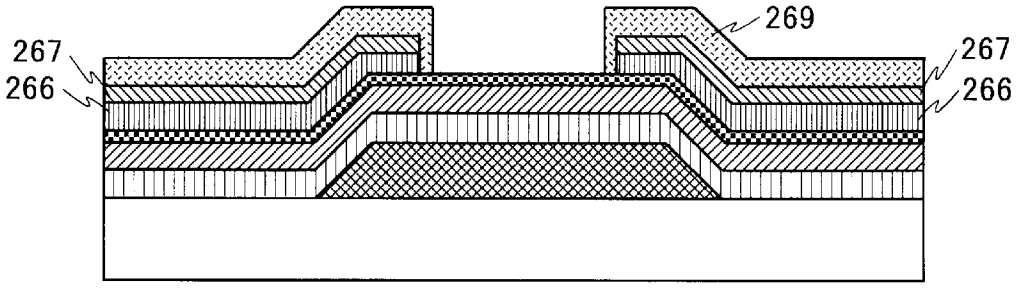
(b)



(c)

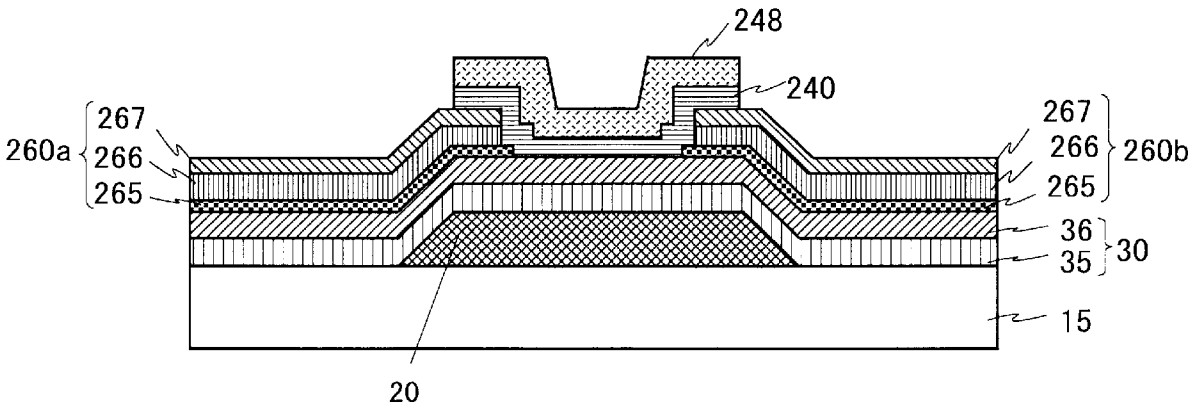


(d)

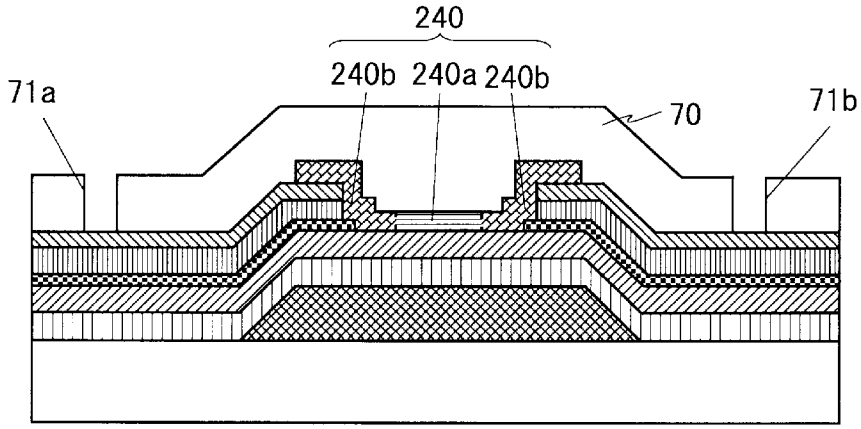


[図20]

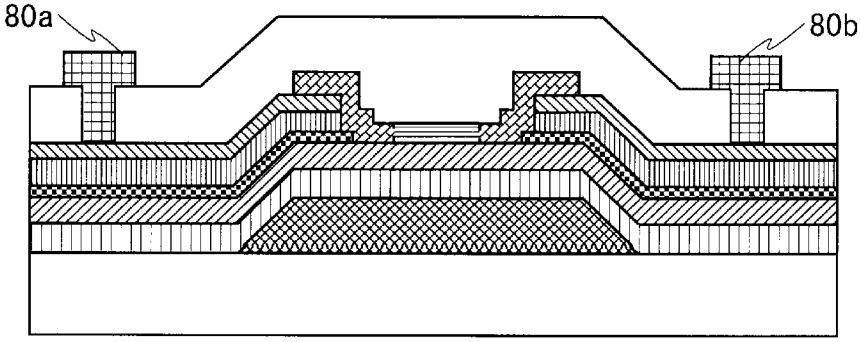
(a)


248
240
267
266
265
260a
267
266
265
260b
36
35
30
15
20

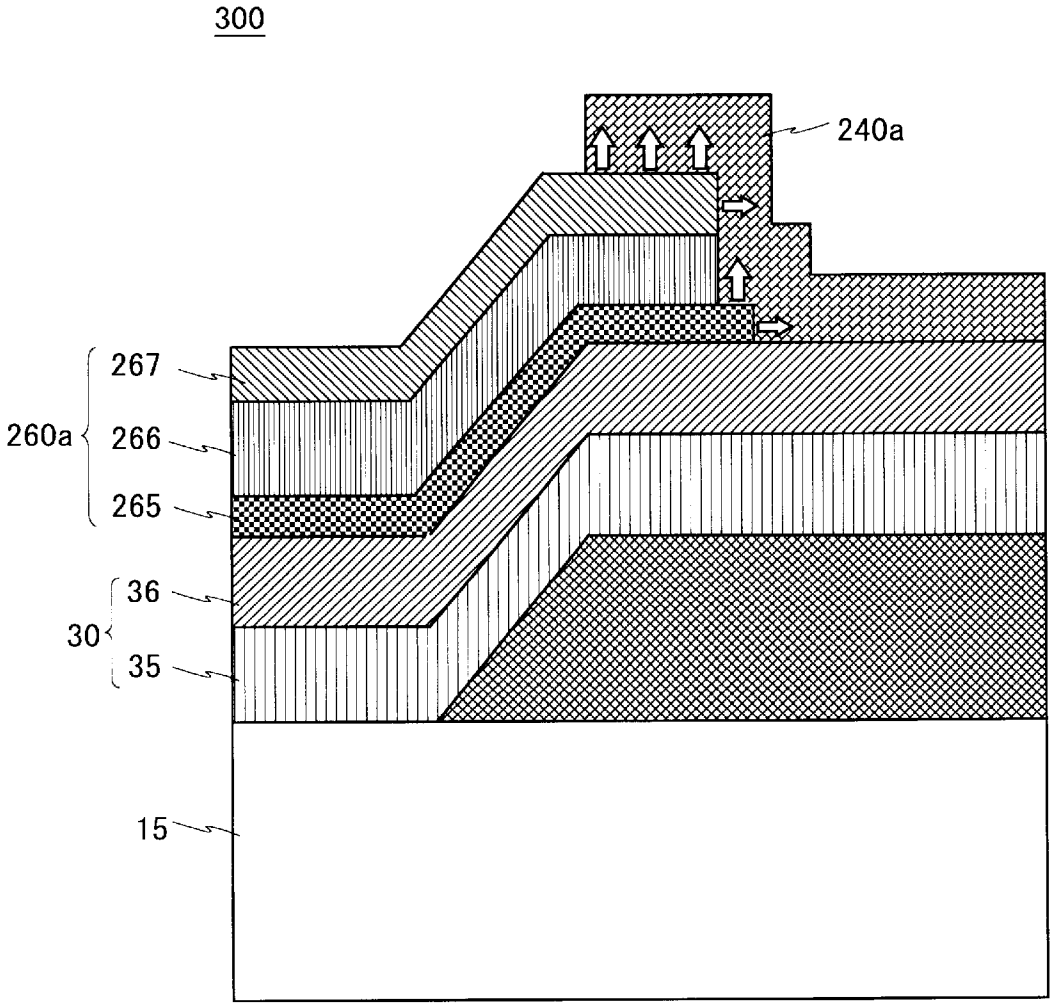
(b)


240
240b
240a
240b
71a
70
71b

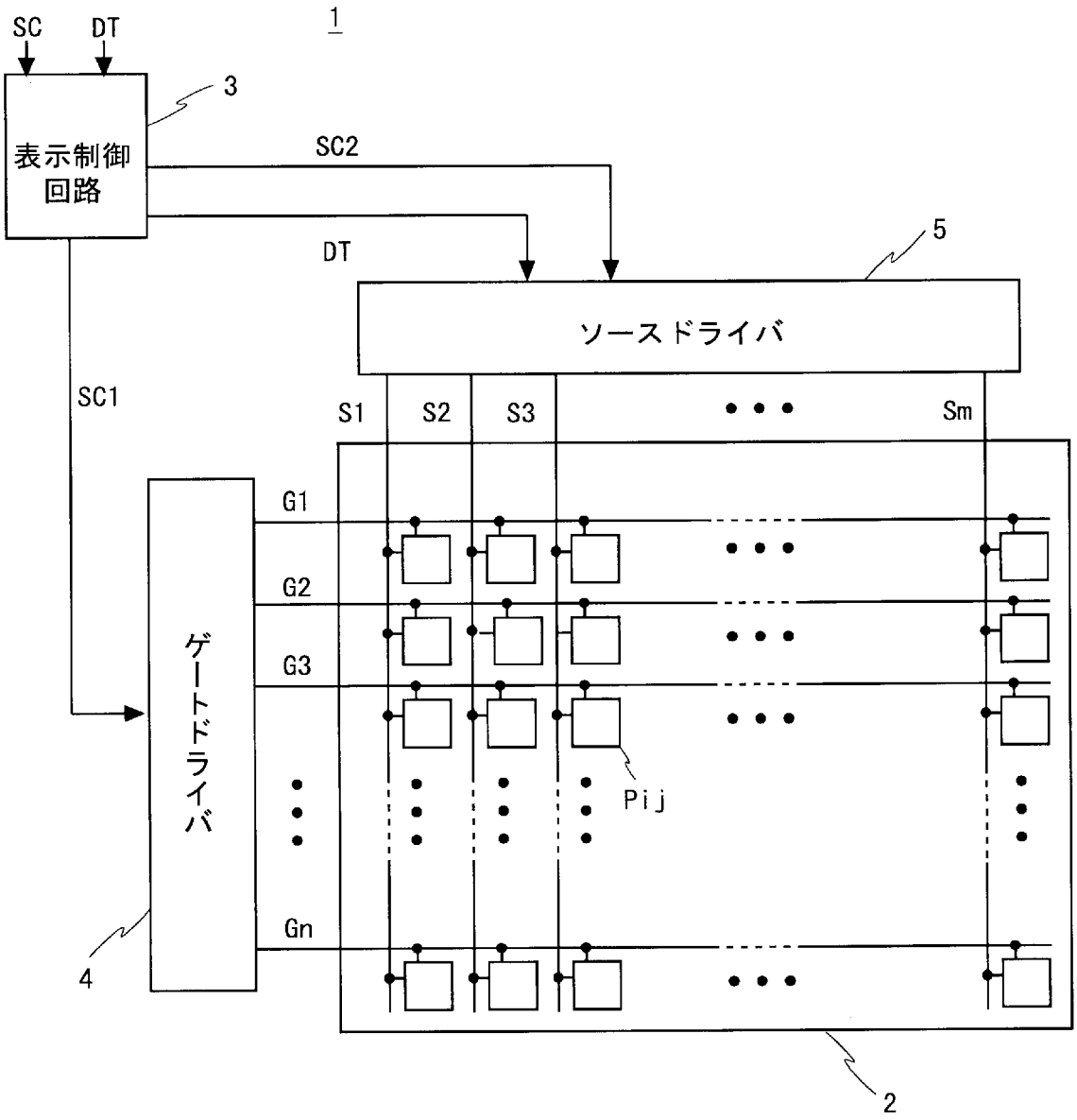
(c)


80a
80b

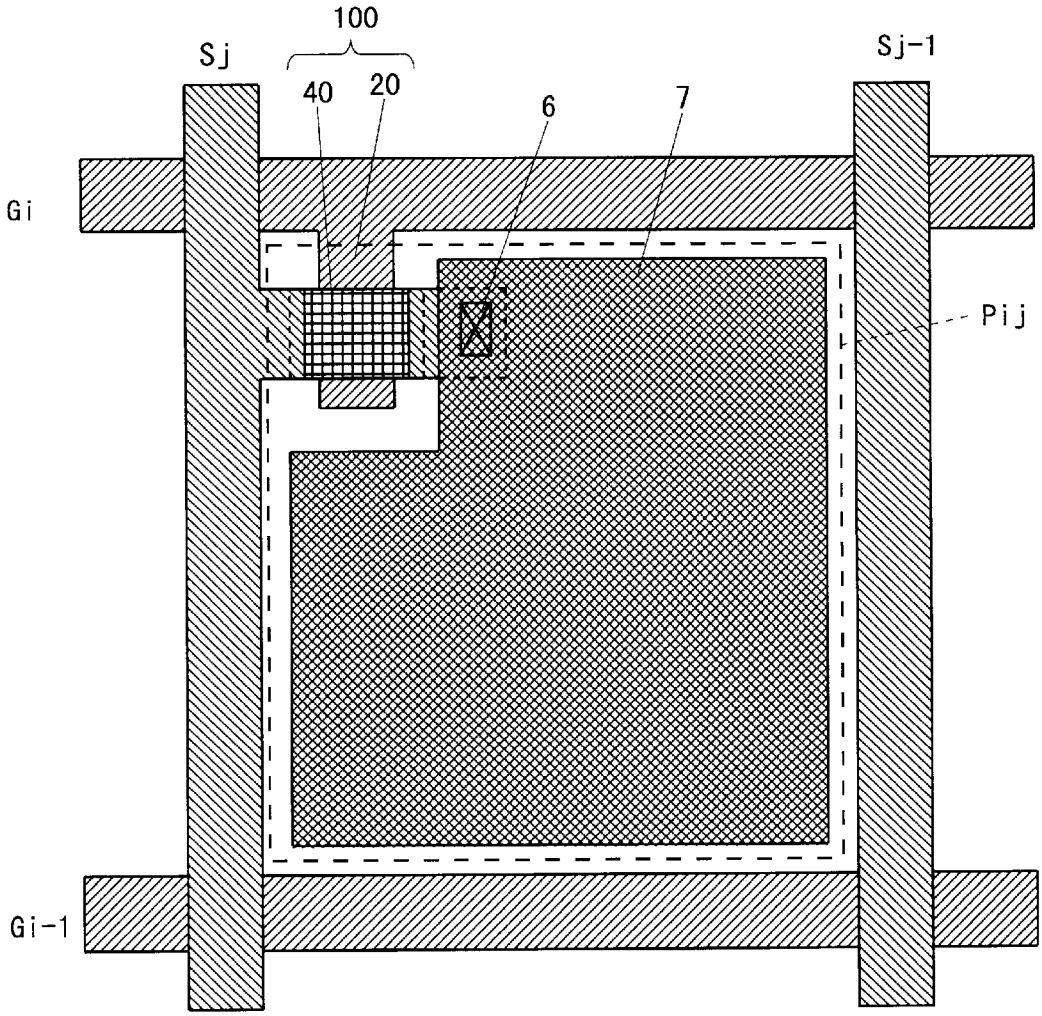
[図21]



[図22]


SC
DT
1
3
表示制御
回路
SC2
DT
5
ソースドライバ
SC1
S1
S2
S3
Sm
G1
G2
G3
Gn
ゲートドライバ
Pij
4
2

[図23]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/054403

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *G02F1/1368*(2006.01)i, *H01L21/28*(2006.01)i,
H01L29/417(2006.01)i, *H01L29/786*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, G02F1/1368, H01L21/28, H01L29/417, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2008-205469 A (Samsung Electronics Co., Ltd.), 04 September 2008 (04.09.2008), paragraphs [0016] to [0052] & US 2008/0197350 A1 & US 2011/0141100 A1 & CN 101246909 A	1,2,4,12, 14-16 3,5,6,11,13 7-10
Y A	JP 2008-072025 A (Canon Inc.), 27 March 2008 (27.03.2008), paragraphs [0009] to [0097] & US 2008/0067508 A1 & US 2008/0272370 A1	3 7-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 16 May, 2012 (16.05.12)	Date of mailing of the international search report 29 May, 2012 (29.05.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/054403

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-161373 A (Samsung Mobile Display Co., Ltd.), 22 July 2010 (22.07.2010), fig. 1, 2 & US 2010/0176388 A1 & KR 10-2010-0082939 A & CN 101794819 A	5 7-10
Y A	JP 2011-009728 A (Semiconductor Energy Laboratory Co., Ltd.), 13 January 2011 (13.01.2011), fig. 3, 4 & US 2010/0304529 A1 & EP 2256795 A1 & CN 101901768 A	6 7-10
Y A	JP 2007-298602 A (Toppan Printing Co., Ltd.), 15 November 2007 (15.11.2007), paragraph [0008] (Family: none)	11 7-10
Y A	JP 2010-045263 A (Idemitsu Kosan Co., Ltd.), 25 February 2010 (25.02.2010), fig. 2 (Family: none)	13 7-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０５４４０３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, G02F1/1368(2006.01)i, H01L21/28(2006.01)i, H01L29/417(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, G02F1/1368, H01L21/28, H01L29/417, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2008-205469 A (三星電子株式会社) 2008.09.04, 0016段落ないし0052段落 & US 2008/0197350 A1 & US 2011/0141100 A1	1,2,4,12,14-16
Y	& CN 101246909 A	3,5,6,11,13
A		7-10
Y	JP 2008-072025 A (キャノン株式会社) 2008.03.27, 0009段落ないし0097段落 & US 2008/0067508 A1 & US 2008/0272370 A1	3
A		7-10

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１６．０５．２０１２	２９．０５．２０１２

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３６１
棚田　一也
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2010-161373 A (三星モバイルディスプレイ株式會社) 2010.07.22, 図1及び図2 & US 2010/0176388 A1 & KR 10-2010-0082939 A & CN 101794819 A	5 7-10
Y A	JP 2011-009728 A (株式会社半導体エネルギー研究所) 2011.01.13, 図3及び図4 & US 2010/0304529 A1 & EP 2256795 A1 & CN 101901768 A	6 7-10
Y A	JP 2007-298602 A (凸版印刷株式会社) 2007.11.15, 0008段落 (ファミリーなし)	11 7-10
Y A	JP 2010-045263 A (出光興産株式会社) 2010.02.25, 図2 (ファミリーなし)	13 7-10